



(12) 发明专利申请

(10) 申请公布号 CN 104143518 A

(43) 申请公布日 2014. 11. 12

(21) 申请号 201410199214. 6

(22) 申请日 2014. 05. 12

(30) 优先权数据

2013-099833 2013. 05. 10 JP

(71) 申请人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 金本光一

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 李兰 孙志湧

(51) Int. Cl.

H01L 21/52(2006. 01)

H01L 23/12(2006. 01)

H01L 25/04(2014. 01)

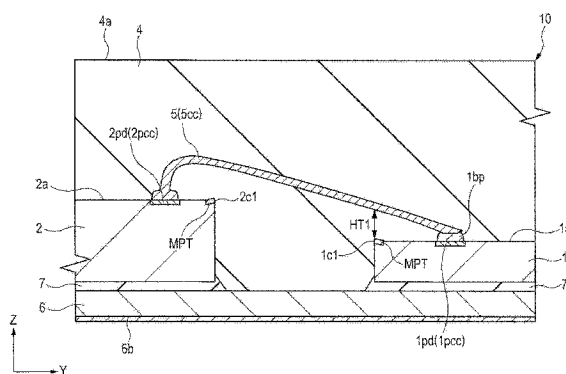
权利要求书3页 说明书16页 附图21页

(54) 发明名称

制造半导体器件的方法以及半导体器件

(57) 摘要

本发明涉及制造半导体器件的方法以及半导体器件,改善了半导体器件的可靠性。该制造半导体器件的方法包括在管芯焊盘的芯片安装表面上布置彼此邻近的多个半导体芯片的步骤。而且,制造半导体器件的方法包括经由导线电耦合半导体芯片和半导体芯片的步骤。在这点上,在耦合导线的步骤中在第二结合侧上提供半导体芯片的焊盘,即芯片对芯片连接焊盘,使得其位于远离半导体芯片的表面的周边部分。



1. 一种制造半导体器件的方法,包括以下步骤:

(a) 分别提供:引线框架,所述引线框架具有管芯焊盘、用于支撑所述管芯焊盘的多个悬置引线,以及在平面图中被布置在所述管芯焊盘周围的多个引线,

第一半导体芯片,所述第一半导体芯片具有第一主表面、在所述第一主表面上面并且沿所述第一主表面的每个边形成的多个第一焊盘,以及与所述第一主表面相反的第一背表面,以及

第二半导体芯片,所述第二半导体芯片具有第二主表面、在所述第二主表面上面并且沿所述第二主表面的每个边形成的多个第二焊盘,以及与所述第二主表面相反的第二背表面;

(b) 在所述步骤(a)之后,在所述管芯焊盘的芯片安装表面中的第一芯片安装区上面安装所述第一半导体芯片,并且

在所述管芯焊盘的所述芯片安装表面中的与所述第一芯片安装区相邻定位的第二芯片安装区上面安装所述第二半导体芯片;

(c) 在所述步骤(b)之后,经由多个第一导线分别将所述第一半导体芯片的所述第一焊盘中的多个引线连接焊盘与所述引线中的第一引线组电耦合,

经由多个第二导线将所述第二半导体芯片的所述第二焊盘中的多个引线连接焊盘与所述引线中的第二引线组电耦合,并且

经由多个第三导线将所述第一半导体芯片的所述第一焊盘中的多个芯片对芯片连接焊盘与所述第二半导体芯片的所述第二焊盘中的多个芯片对芯片连接焊盘电耦合;以及

(d) 利用树脂密封所述管芯焊盘、所述第一半导体芯片、所述第二半导体芯片、所述第一导线、所述第二导线以及所述第三导线,使得与所述管芯焊盘的所述芯片安装表面相反的表面以及所述引线中的每一个的一部分被暴露,

其中,在所述步骤(b)中,所述第一半导体芯片和所述第二半导体芯片被安装为使得所述第一主表面的第一边和所述第二主表面的第一边彼此邻近;

其中,在所述步骤(c)中,在所述第三导线的一部分被电耦合到所述第二半导体芯片之后,所述第三导线的另一部分被分别电耦合到所述第一半导体芯片;

其中,在所述第一半导体芯片的所述第一边与沿所述第一半导体芯片的所述第一边形成的所述第一半导体芯片的所述芯片对芯片连接焊盘之间的距离大于在所述第二半导体芯片的所述第一边与沿所述第二半导体芯片的所述第一边形成的所述第二半导体芯片的所述芯片对芯片连接焊盘之间的距离,并且

其中,在所述引线框架的厚度方向上,所述第一半导体芯片的所述第一主表面和所述第二半导体芯片的所述第二主表面位于所述引线中的每一个和所述管芯焊盘之间。

2. 根据权利要求1所述的制造半导体器件的方法,

其中,所述第一半导体芯片的厚度小于所述第二半导体芯片的厚度。

3. 根据权利要求2所述的制造半导体器件的方法,

其中,在所述步骤(a)中提供的所述第一半导体芯片的所述第一主表面的周边部分处形成金属图案。

4. 根据权利要求3所述的制造半导体器件的方法,

其中,在所述步骤(d)中,在所述第一半导体芯片和所述第二半导体芯片、所述管芯焊

盘、所述第一导线、所述第二导线、所述第三导线以及所述引线的一部分被分别布置在成型模具的腔中的状态下,以挤压方式将树脂供应到所述腔中以形成密封体。

5. 根据权利要求 1 所述的制造半导体器件的方法,

其中,在所述步骤 (a) 中,在所述芯片对芯片连接焊盘中的每一个上面提供所述第一半导体芯片,在所述第一半导体芯片上面预先形成有凸起元件。

6. 根据权利要求 1 所述的制造半导体器件的方法,

其中,所述第一半导体芯片的所述引线连接焊盘中的一些沿在所述步骤 (a) 中提供的所述第一半导体芯片的所述第一主表面的第二边布置;并且

其中,在所述第一半导体芯片的所述第二边与沿所述第一半导体芯片的所述第二边布置的所述第一半导体芯片的所述引线连接焊盘之间的距离小于在所述第一半导体芯片的所述第一边与所述第一半导体芯片的所述芯片对芯片连接焊盘之间的距离。

7. 根据权利要求 1 所述的制造半导体器件的方法,

其中,在所述步骤 (a) 中提供的所述引线框架的所述悬置引线处分别形成第一弯曲部和第二弯曲部。

8. 根据权利要求 1 所述的制造半导体器件的方法,

其中,在所述步骤 (a) 中提供的所述引线框架的所述管芯焊盘中的所述第一芯片安装区和所述第二芯片安装区周围形成多个凹部。

9. 根据权利要求 3 所述的制造半导体器件的方法,

其中,在所述步骤 (a) 中提供的所述第二半导体芯片的所述第二主表面的周边部分处形成金属图案。

10. 一种半导体器件,包括:

管芯焊盘;

多个悬置引线,所述悬置引线耦合至所述管芯焊盘;

多个引线,所述引线在平面图中被布置在所述管芯焊盘周围;

第一半导体芯片,所述第一半导体芯片具有第一主表面、在所述第一主表面上面并且沿所述第一主表面的每个边形成的第一焊盘,以及与所述第一主表面相反的第一背表面,并且所述第一半导体芯片被安装在所述管芯焊盘的芯片安装表面中的第一芯片安装区上面;

第二半导体芯片,所述第二半导体芯片具有第二主表面、在所述第二主表面上面并且沿所述第二主表面的每个边形成的第二焊盘,以及与所述第二主表面相反的第二背表面,并且所述第二半导体芯片被安装在所述管芯焊盘的所述芯片安装表面中的第二芯片安装区上面;

多个第一导线,所述第一导线被耦合到所述第一半导体芯片的所述第一焊盘中的引线连接焊盘以及所述引线中的第一引线组;

多个第二导线,所述第二导线被耦合到所述第二半导体芯片的所述第二焊盘中的所述引线连接焊盘以及所述引线中的第二引线组;

多个第三导线,所述第三导线被电耦合到所述第一半导体芯片的所述第一焊盘中的芯片对芯片连接焊盘以及所述第二半导体芯片的所述第二焊盘中的所述芯片对芯片连接焊盘;以及

密封体,所述密封体用于密封所述管芯焊盘、所述第一半导体芯片、所述第二半导体芯片、所述第一导线、所述第二导线以及所述第三导线,使得与所述管芯焊盘的所述芯片安装表面相反的表面以及所述引线的一部分分别被暴露,

其中,所述第一半导体芯片和所述第二半导体芯片被安装在所述管芯焊盘上面,使得所述第一主表面的第一边和所述第二主表面的第一边彼此邻近;

其中,在所述第一半导体芯片的所述第一边与沿所述第一半导体芯片的所述第一边形成的所述第一半导体芯片的所述芯片对芯片连接焊盘之间的距离大于在所述第二半导体芯片的所述第一边与沿所述第二半导体芯片的所述第一边形成的所述第二半导体芯片的所述芯片对芯片连接焊盘之间的距离,并且

其中,在所述密封体的厚度方向上,所述第一半导体芯片的所述第一主表面和所述第二半导体芯片的所述第二主表面位于各引线和所述管芯焊盘之间。

11. 根据权利要求 10 所述的半导体器件,

其中,所述第一半导体芯片的厚度小于所述第二半导体芯片的厚度。

12. 根据权利要求 11 所述的半导体器件,

其中,在所述第一半导体芯片的所述第一主表面的周边部分处形成有金属图案。

13. 根据权利要求 10 所述的半导体器件,

其中,在所述第一半导体芯片的所述芯片对芯片连接焊盘中的每一个上面形成有凸起电极,并且所述第三导线中的每一个的一端被接合到所述凸起电极。

14. 根据权利要求 10 所述的半导体器件,

其中,所述第一半导体芯片的所述引线连接焊盘中的一些沿所述第一半导体芯片的所述第一主表面的第二边布置,并且

其中,在所述第一半导体芯片的所述第二边与沿所述第一半导体芯片的所述第二边布置的所述第一半导体芯片的所述引线连接焊盘之间的距离小于在所述第一半导体芯片的所述第一边与所述第一半导体芯片的所述芯片对芯片连接焊盘之间的距离。

15. 根据权利要求 10 所述的半导体器件,

其中,在所述悬置引线中的每一个处形成有第一弯曲部和第二弯曲部。

16. 根据权利要求 10 所述的半导体器件,

其中,在所述管芯焊盘的所述第一芯片安装区和所述第二芯片安装区周围形成有多个凹部。

17. 根据权利要求 12 所述的半导体器件,

其中,在所述第二半导体芯片的所述第二表面的周边部分处形成有金属图案。

制造半导体器件的方法以及半导体器件

[0001] 相关申请的交叉引用

[0002] 将 2013 年 5 月 10 日提交的日本专利申请 No. 2013-099833 的公开内容,包括说明书、附图和摘要,整体并入本文作为参考。

技术领域

[0003] 本发明涉及一种半导体器件及其制造技术。特别地,其涉及有效应用于其中并排布置的半导体芯片经由导线电耦合的半导体器件的技术。

背景技术

[0004] 日本专利公布 No. 2004-356382(专利文献 1)描述了一种半导体器件,其中在一个管芯焊盘上面以平面方式彼此相邻布置的两个半导体芯片经由导线电耦合。

[0005] 而且,日本专利公布 No. 2011-124487(专利文献 2)描述了一种半导体器件,其中在布线基板上面以平面方式彼此相邻布置的两个半导体芯片经由导线电耦合。

[0006] [专利文献 1]

[0007] 日本专利公布 No. 2004-356382

[0008] [专利文献 2]

[0009] 日本专利公布 No. 2011-124487

发明内容

[0010] 系统级封装(SiP)类型的半导体器件是众所周知的,其中通过在一个半导体器件中安装若干种半导体芯片而形成一个系统。对于 SiP 的构造来说,有堆叠型半导体器件,其中一个半导体芯片堆叠于另一半导体芯片上面,以及平板型半导体器件,其中一个半导体芯片相邻于另一半导体芯片布置。平板型比堆叠型更有效之处在于半导体器件可以被制造得更薄,并且可以减小用于将半导体芯片与基材耦合的导线的长度。

[0011] 除上述半导体器件之外,还有管芯焊盘暴露型半导体器件,其中上面安装了半导体芯片的管芯焊盘从密封体中暴露。在管芯焊盘暴露型半导体器件的情况下,半导体芯片的热量容易地从管芯焊盘释放,从而改善其散热特性。

[0012] 但是,当在管芯焊盘暴露型半导体器件中采用平板型,并且两个相邻的半导体芯片经由导线电耦合时,已经发现在导线的接合部分会出现电可靠性问题。

[0013] 本发明的其他目的和新的特性将从说明书和附图的描述中变得显而易见。

[0014] 根据本发明的一个实施例的制造半导体器件的方法包括在管芯焊盘的芯片安装表面上面彼此邻近地布置多个半导体芯片的步骤。而且,制造半导体器件的方法包括经由导线电耦合上述半导体芯片的步骤。在这点上,在导线连接步骤中在第二结合侧上的第一半导体芯片的芯片对芯片连接焊盘被设置为使得其远离上述第一半导体芯片的表面的周边部分地定位。

[0015] 根据上述一个实施例,能有效制造改善了封装强度的半导体器件。

附图说明

- [0016] 图 1 是示出根据本发明一个实施例的半导体器件的俯视图；
- [0017] 图 2 是沿图 1 的线 A-A 截取的截面图；
- [0018] 图 3 是示出透过图 1 中所示的密封体观察的半导体器件的内部结构的透视平面图。
- [0019] 图 4 是沿图 1 的线 B-B 截取的截面图；
- [0020] 图 5 是图 3 中所示的半导体芯片的外围的放大平面图；
- [0021] 图 6 是将图 5 中所示的半导体芯片电耦合的部分的放大截面图；
- [0022] 图 7 是示出图 1 至 6 中所示的半导体器件的组装流程的说明图；
- [0023] 图 8 是示出图 7 中所示的基材提供步骤中提供的引线框架的放大平面图；
- [0024] 图 9 是示出在图 7 中所示的半导体芯片提供步骤中获取半导体芯片之前的半导体晶片的元件形成表面侧的平面图；
- [0025] 图 10 是示出在半导体芯片已经被安装在图 8 中所示的管芯焊盘上面之后的状态的放大平面图；
- [0026] 图 11 是沿图 10 的线 A-A 截取的放大截面图；
- [0027] 图 12 是示出在图 10 中所示的半导体芯片与图 8 中所示的引线之间以及在图 10 中所示的半导体芯片之中提供电连接的状态的放大平面图；
- [0028] 图 13 是示出如图 12 中所示,在半导体芯片之中以及半导体芯片之中以及在半导体芯片与引线之间提供电连接的状态的放大截面图；
- [0029] 图 14 是示出当图 12 中所示的半导体芯片由树脂密封时在安装表面侧上的状态的放大平面图；
- [0030] 图 15 是示出在图 7 中所示的密封步骤中,引线框架被布置在成型模具中的状态的截面图；
- [0031] 图 16 是示出金属膜被形成在图 14 中的引线框架的从树脂暴露出的表面上面的状态的放大截面图；
- [0032] 图 17 是示出金属膜形成在图 14 中所示的引线的暴露表面上面、其每一个已经被切割并执行成型的状态的放大平面图；
- [0033] 图 18 是示出图 17 中所示的悬置引线被切割并被分割成用于各个器件形成区的片段的状态的放大平面图；
- [0034] 图 19 是示出作为图 2 中的半导体器件的一个变型实例的半导体器件的截面图；
- [0035] 图 20 是图 8 中所示的管芯焊盘的一个变型实例的放大平面图；
- [0036] 图 21 是图 20 中所示的凹部的外围的放大截面图；
- [0037] 图 22 是示出图 8 中所示的管芯焊盘的另一变型实例的放大平面图；以及
- [0038] 图 23 是图 22 中所示的凸起部件的外围的放大截面图。

具体实施方式

- [0039] (本申请中的描述方式、基本术语和用途的解释)
- [0040] 在本申请中,虽然根据需要为了方便而将实施例的说明分成多个部分,但是无论

说明顺序如何,它们之间彼此并不独立,除非另外明确说明;这些部分可以是单个实例的相应部分;一个部分可以是另一个的详细说明;或者一个部分可以是另一个的一部分或整体变型。此外,原则上省略相似组件的重复性说明。实施例中的组成部分不是必需的,除非另外明确说明,或者理论上被限制数量或者从上下文中显然是无限的。

[0041] 类似地,在实施例的说明中,对于材料或成分来说,表述方式“X 包括 A”不排除还包括任意除 A 之外的成分,除非另外明确说明或明显有悖于上下文。例如,它可以指“X 包括 A 作为主要成分”。例如,毋庸置疑的是“硅部件”不限于纯硅,而是可以包括 SiGe(硅-锗)合金以及包括硅作为主要成分的其他多元素合金,以及包括其他添加剂等的部件。除非另外明确说明,否则还假设金镀层、Cu 层或镍镀层可包括具有金、Cu 或镍作为主要成分的部件。

[0042] 而且,即使提及特定数值或量,否则数值可大于或小于特定值,除非另外明确说明,或者理论上被限制数量或者从上下文显然是无限的。

[0043] 在实施例的附图中,相同或相似的组件由相同或相似的符号或参考数字表示,并且基本上省略其重复说明。

[0044] 在附图中,在不必要地增加复杂性或与空白的差别显而易见的情况下,可以省略截面上的阴影。还存在一种情况,当能从说明中显而易见时,省略平面中封闭的孔的背景轮廓。而且,除截面之外的位置可以被提供有阴影或点图案以明确指示它是空白或一个区域的边界。

[0045] 第一实施例

[0046] 将在以下实施例中说明的技术广泛应用于具有半导体芯片和用于密封半导体芯片的密封体的半导体器件。根据本实施例,作为一个实例,说明了将上述技术应用于 QFP(四方扁平封装)型半导体器件的方面,在 QFP(四方扁平封装)型半导体器件中,作为外部端子的多个引线从用于密封半导体芯片的密封体的四个侧表面中的每一个暴露。

[0047] < 半导体器件 >

[0048] 首先,参考图 1 至 4,将说明本实施例的半导体器件 10 的概要。图 1 是示出本实施例的半导体器件的平面图。图 2 是沿图 1 的线 A-A 截取的截面图。而且,图 3 是示出透过图 1 中所示的密封体观察的半导体器件的内部结构的透视平面图。而且,图 4 是沿图 1 中线 B-B 截取的截面图。

[0049] 如图 1 至 3 中所示,半导体器件 10 包括:半导体芯片 1(参见图 2 和图 3);半导体芯片 2(参见图 2 和图 3);作为在半导体芯片 1 和半导体芯片周围布置的多个引线 3;以及作为将半导体芯片 1、半导体芯片 2 以及引线 3 互相电耦合的导电部件的多个导线 5(参见图 2 和图 3)。而且,半导体芯片 1 和 2 以及导线 5 通过密封体(树脂体)4 密封。而且,引线 3 的各个内部部分 3a(参见图 3)通过密封体 4 密封,并且引线 3 的各个外部部分 3b 从密封体 4 暴露。

[0050] 如图 1 中所示,半导体器件 10 包括平面形状是四边形的密封体 4。密封体 4 具有:上表面 4a;与上表面 4a 相反的下表面(背表面,安装表面)4b(参见图 2);以及在上表面 4a 和下表面 4b 之间的多个(四个)侧表面 4c。

[0051] 密封体 4 包括在平面图中在 X 方向上延伸的边(主边)S1,与该边 S1 相反的边(主边)S2,在与 X 方向相交(正交)的 Y 方向上延伸的边(主边)S3,以及与该边 S3 相反的边

(主边)S4。而且,密封体4的四个侧表面4c沿密封体4的相应边布置。而且,在图1中所示的实例中,密封体4的相应边相交的角部4d被削角。

[0052] 在这点上,密封体4的角部4d包括四边(四个主边)之中的两个给定边相交的交点的外围区域。具体地,如图1和3中所示,因为密封体4的角部4d被削角,因此主边的交点位于密封体4的角部4d的外部。但是,削角部与主边的长度相比足够小。因此,在本申请中,将削角部的中心认为是密封体4的角部而给出说明。即,在本申请中,在密封体4的四边(四个主边)之中,当给定的两边(两个主边)相交的区域存在并且该区域被削角时,削角部对应于角部4d。替代地,当该区域未被削角时,给定的两边(两个主边)的交点对应于角部4d。以下,在本申请中,当涉及密封体4的角部4d时,除这种术语被解释为用于具体地不用含义或内容的情况之外,如上所述,“角部4d”用于相同的含义或内容。

[0053] 在半导体器件10中,引线3沿平面形状是四边形的密封体4的相应边(相应主边)布置。引线3中的每一个都包括金属材料,并且在本实施例中,例如是包括铜(Cu)作为主要成分的金属部件。

[0054] 在密封体4的侧表面4c上面,引线3的外部部分3b朝向密封体4的外部突出。而且,在引线的外部部分3b中的每一个的暴露表面上面,例如形成包括焊料成分的金属膜(外部镀膜)SD。通过在作为外部端子的引线的外部部分3b中的每一个上面形成诸如焊料部件的金属膜SD,当半导体器件10安装在安装基板(未示出)上面时,变得能够提高作为接合部件的焊料的润湿性。因此,变得能够提高引线3和安装基板侧上的端子(未示出)之间的接合强度。

[0055] 而且,如图2和3中所示,半导体芯片1和半导体芯片2密封在密封体4的内部。如图2中所示,半导体芯片1具有表面1a和与表面1a相反定位的背表面1b。如图3中所示,半导体芯片1的平面形状是四边形。在其表面1a上面,沿作为表面1a的外缘的相应四边形成多个焊盘(结合焊盘)1pd。覆盖半导体芯片1的衬底和布线的绝缘膜形成在半导体芯片1的表面1a上面,并且在形成于绝缘膜中的开口处,焊盘1pd的各个表面从绝缘膜中暴露。而且,焊盘1pd包括金属。根据本实施例,焊盘1pd例如包含铝(Al)。

[0056] 而且,半导体芯片1(具体地,半导体芯片1的半导体衬底)例如包含硅(Si)。虽未示出,但是多个半导体元件(电路元件)形成在半导体芯片1的主表面(具体地,在半导体芯片1的半导体衬底的顶表面中设置的半导体元件形成区)上面。而且,焊盘1pd经由形成在被布置在半导体芯片1的内部(具体地,表面1a和未示出的半导体元件形成区之间)的布线层中的布线(未示出)与半导体元件电耦合。即,焊盘1pd与半导体芯片1中形成的电路电耦合。虽然细节将在下文说明,但是例如,控制电路被形成在半导体芯片1中。而且,焊盘1pd中的至少一些与控制电路电耦合。

[0057] 此外,如图2中所示,半导体芯片2具有表面2a和与表面2a相反定位的背表面2b。如图3中所示,半导体芯片2的平面形状是四边形,其面积大于半导体芯片1的表面1a的面积。在表面2a上面,多个焊盘(结合焊盘)2pd沿作为表面2a的外缘的相应四边形成。如上述焊盘1pd的情况,焊盘2pd中的每一个在形成在用于覆盖半导体芯片2的衬底和布线的绝缘膜中的开口处从绝缘膜中暴露。而且,焊盘2pd包含金属。根据本实施例,焊盘2pd例如包含铝(Al)。

[0058] 而且,半导体芯片2(具体地,半导体芯片2的半导体衬底)例如包含硅(Si)。虽

未示出,多个半导体元件(电路元件)形成在半导体芯片2的主表面(具体地,在半导体芯片2的半导体衬底的顶表面中设置的半导体元件形成区)上面。而且,焊盘2pd经由形成在被布置在半导体芯片2的内部(具体地,表面2a和未示出的半导体元件形成区之间)的布线层中的布线(未示出)与半导体元件电耦合。即,焊盘2pd与半导体芯片2中形成的电路电耦合。虽然细节将在下文说明,但是例如,存储电路被形成在半导体芯片2中。而且,焊盘2pd中的至少一些与控制电路电耦合。

[0059] 此外,半导体芯片1和半导体芯片2分别与引线3电耦合。而且,根据本实施例,半导体芯片1的焊盘1pd中的一些以及半导体芯片2的焊盘2pd中的一些不是经由引线3而是经由导线5彼此电耦合。半导体芯片1中形成的电路和半导体芯片2中形成的电路电耦合以构成一个系统。通过电耦合密封在一个密封体4内部的半导体芯片而由此形成系统的半导体封装体被称为SiP型半导体器件。存在用于SiP型半导体器件的系统电路的应用的各种实例。例如,可以给出的实例是在单一密封体4中密封其中形成存储电路的存储芯片以及其中形成用于控制存储芯片的控制电路的控制器芯片。在图3中所示的实例的情况下,例如,半导体芯片2对应于其中形成存储电路的存储芯片,并且半导体芯片1对应于其中形成控制形成在半导体芯片2中的存储电路的操作的控制电路的控制器芯片。

[0060] 对于本实施例来说,通过将形成在半导体芯片中的电路彼此耦合来构建系统的情况与构成系统的所有电路都形成在一个半导体芯片中的情况相比能更好地提高其多功能性。例如,通过改变存储芯片的类型,可以改变系统的存储电路的容量。

[0061] 而且,如在本实施例中,当不经由引线3而经由导线5电耦合安装在一个密封体4中的半导体芯片时,可以缩短半导体芯片之间的传输距离。因此,可以降低传输路径内的噪声并提高电特性。

[0062] 而且,如图2和3中所示,半导体芯片1和半导体芯片2中的每一个都安装在单一管芯焊盘(芯片安装部)6上面。管芯焊盘6具有作为芯片安装表面的上表面6a以及与上表面6a相反定位的下表面6b。管芯焊盘6包括与引线3相同的金属材料,例如包括铜(Cu)作为主要成分的金属材料。

[0063] 此外,如图2中所示,在密封体4的下表面4b中,管芯焊盘6的下表面6b从密封体4中暴露。即,半导体器件10是管芯焊盘暴露型(抽头暴露型)半导体器件。通过从密封体4中暴露热导率大于密封体4的热导率的管芯焊盘6的下表面6b,与没有暴露管芯焊盘6的半导体器件相比,可以提高封装体的散热特性。而且,当将半导体器件10安装在安装基板(未示出)上面时,如果管芯焊盘6的下表面6b例如经由焊料部件(接合材料)与安装基板的端子耦合,则变得能更有效地向安装基板侧辐射在半导体器件10中产生的热量。

[0064] 顺便提及,作为本实施例的一个变型实例,能分开地设置上面安装了半导体芯片1的芯片安装部以及上面安装了半导体芯片2的芯片安装部。但是,从扩大散热面积方面考虑,如在本实施例中,优选提供平面面积大于半导体芯片1和半导体芯片2的平面面积总和的管芯焊盘6,并且在单一管芯焊盘6上面安装半导体芯片1和2。

[0065] 而且,如图3中所示,在半导体芯片1和半导体芯片2周围(即在管芯焊盘6周围),例如布置多个引线3。引线3中的每一个都具有通过密封体4密封的内部部分3a以及从密封体暴露的外部部分3b。随后,经由导线(导电部件)5将形成在半导体芯片1的表面1a上面的焊盘1pd以及形成在半导体芯片2的表面2a上面的焊盘2pd与位于密封体4

内部的引线 3 的内部部分 3a 电耦合。

[0066] 导线 5 例如包含金 (Au)。导线 5 的一部分 (例如一端) 接合到焊盘 1pd 或焊盘 2pd, 并且另一部分 (例如另一端) 接合到内部部分 3a 的结合部分。虽未示出, 镀膜形成在引线 3 的内部部分 3a 的结合部分的表面上面。镀膜例如包括具有银 (Ag), 金 (Au) 或钯 (Pd) 作为主要成分的材料 (例如其中薄金 (Au) 膜形成在钯 (Pd) 膜上面的堆叠结构)。可通过在内部部分 3a 的结合部分的表面上面形成包括具有银 (Ag), 金 (Au) 或钯 (Pd) 作为主要成分的材料 (例如薄金 (Au) 膜形成在钯 (Pd) 膜上面的堆叠结构) 而提高与包含金 (Au) 的导线 5 的接合强度。

[0067] 此外, 如图 3 中所示, 在管芯焊盘 6 周围布置多个悬置引线 8。在半导体器件 10 的制造步骤中, 悬置引线 8 是用于在引线框架的支撑部上支撑管芯焊盘 6 的部件。在图 3 中所示的实例中, 从管芯焊盘 6 的角部朝向密封体 4 的角部 4d 布置四个悬置引线 8。具体地, 悬置引线 8 的每一端都耦合至管芯焊盘 6 的角部 (角)。悬置引线 8 的另一端中的每一个都朝向密封体 4 的角部 4d 延伸, 在角部 4d 附近分支, 并且从密封体 4 暴露。通过朝向密封体 4 的角部 4d 延伸悬置引线 8, 可以在不干扰沿密封体 4 的相应边 (相应主边) 布置的引线 3 的行的情况下设置悬置引线 8。

[0068] 根据本实施例, 管芯焊盘 6 的上表面 6a 以及引线 3 的内部部分 3a 的上表面被布置在不同层处。在图 2 中所示的实例中, 管芯焊盘 6 的上表面 6a 比内部部分 3a 的位置低 (密封体 4 的下表面 4d 侧)。换言之, 在密封体 4 的厚度方向上, 除内部部分 3a 外的管芯焊盘 6 布置在密封体 4 的下表面 4b 侧上。因此, 在图 3 中所示的悬置引线 8 中的每一个中, 提供偏移部分 (图 3 中所示的实例中的下移安置部分), 其是弯曲的, 使得管芯焊盘 6 的上表面 6a 位于与引线 3 的内部部分 3a 的上表面不同的高度。

[0069] 此外, 如图 4 中所示, 在本实施例中, 管芯焊盘 6 在密封体 4 的下表面 4b 中从密封体 4 暴露。因此, 偏移部分 8a 处的高度差变大。为此, 在图 4 中所示的实例中, 悬置引线 8 中的每一个都具有作为弯曲部分的偏移部分 8a1 和偏移部分 8a2。此外, 在密封体 4 较薄的产品的情况下, 偏移部分 8a 所处的高度差变小。因此, 如图 4 中所示, 不总是需要提供偏移部分。换言之, 要提供在悬置引线 8 中的偏移部分 8a 的数量可以是一个。

[0070] 而且, 如图 2 中所示, 半导体芯片 1 经由粘合材料 (管芯结合材料) 7 安装在管芯焊盘 6 上面, 并且半导体芯片 1 的背表面 1b 面对管芯焊盘 6 的上表面 6a。而且, 半导体芯片 2 经由粘合材料 7 安装在管芯焊盘 6 上面, 并且半导体芯片 2 的背表面 2b 面对管芯焊盘 6 的上表面 6a。即, 半导体芯片 1 和半导体芯片 2 通过所谓的面朝上安装方法安装, 其中芯片安装表面 (上表面 6a) 面对与上面形成相应焊盘 1pd 和 2pd 的表面 (主表面) 1a 和 2a 相反的表面 (背表面 1b 和 2b)。粘合材料 7 是用于将半导体芯片 2 管芯结合的材料。对于这种粘合材料来说, 使用其中包括银 (Ag) 等的金属颗粒包含在环氧热固化树脂中的树脂粘合剂或者诸如焊料部件的金属结合材料。

[0071] < 半导体芯片之间的连接结构的细节 >

[0072] 以下, 在图 3 中所示的导线 5 之中, 详细说明用于将半导体芯片 1 和半导体芯片 2 电耦合的导线 5cc 的外围结构。图 5 是图 3 中所示的半导体芯片的外围的放大平面图。而且, 图 6 是图 5 中所示的用于电耦合半导体芯片的部分的放大截面图。

[0073] 如图 5 中所示, 在平面形状是四边形的半导体芯片 1 的表面 1a 上面, 多个焊盘 1pd

沿表面 1a 的相应边布置。在半导体芯片 1 的焊盘 1pd 之中,经由导线 5cc 与半导体芯片 2 电耦合的焊盘 1pcc 沿表面 1a 的周边部分的边之中的、面对半导体芯片 2 的边 1c1 (或具有该边 1c1 的侧表面) 布置。另一方面,除半导体芯片 1 的边 1c1 之外,导线 5c1 的一端耦合至沿边 1c2 (或具有该边 1c2 的侧表面) 布置。导线 5c1 的另一端耦合至图 3 中所示的引线 3。

[0074] 此外,在平面形状是四边形的半导体芯片 2 的表面 2a 上面,多个焊盘 2pd 沿表面 2a 的相应边布置。在半导体芯片 2 的焊盘 2pd 之中,经由导线 5cc 与半导体芯片 1 电耦合的焊盘 2pcc 沿表面 2a 的周边部分的边之中的、面对半导体芯片 1 的边 2c1 (或者具有该边 2c1 的侧表面) 布置。另一方面,除半导体芯片 2 的边 2c1 之外,导线 5c1 的一端耦合至沿边 2c2 (或具有该边 2c2 的侧表面) 布置的焊盘 2pc1。导线 5c1 的另一端耦合至如图 3 中所示的引线 3。

[0075] 而且,如图 2 和 4 中所示,本实施例的半导体芯片 1 的厚度 (表面 1a 和背表面 1b 之间的距离) 小于半导体芯片 2 的厚度 (表面 2a 和背表面 2b 之间的距离)。在图 2 和 4 中所示的实例中,例如,半导体芯片 1 的厚度 (图 2 中所示的 Z 方向上的长度) 约为 $200\ \mu\text{m}$,并且半导体芯片 2 的厚度约为 $400\ \mu\text{m}$ 。对于电耦合半导体芯片 1 和半导体芯片 2 的方法来说,根据本实施例,半导体芯片 1 的焊盘 1pcc 和半导体芯片 2 的焊盘 2pcc 经由导线 5cc 耦合。因此,从形成导线环的观点来看,当经由导线 5 耦合在平面图中并排布置的半导体芯片 1 和 2 时,优选布置为使得半导体芯片 1 的表面 1a 和半导体芯片 2 的表面 2a 处于不同高度。而且,优选表面 1a 和表面 2a 之间的高度差约为 $200\ \mu\text{m}$ 。

[0076] 如上所述,根据本实施例,半导体芯片 1 的厚度降至约 $200\ \mu\text{m}$ 。虽然将在下文详细说明这样做的原因,但是当从增加从一个半导体晶片获取的半导体芯片的数量的观点考虑,减小相邻芯片区的布置间距时,除非将半导体芯片制造得较薄,否则会在分割成片步骤中出现诸如碎片的问题。因此,半导体芯片 1 的厚度薄到约为 $200\ \mu\text{m}$ 。

[0077] 因此,当半导体芯片 1 较薄并且半导体芯片通过导线 5cc 耦合时,用于覆盖半导体芯片 1 的表面 1a 的密封体 4 变厚。特别地,根据本实施例,如上所述,管芯焊盘 6 的下表面 6b 从密封体 4 暴露。因此,管芯焊盘 6 的位置比引线 3 的位置明显向下偏移 (在安装表面方向上)。

[0078] 因此,如图 2 中所示,在沿密封体 4 (下文将说明引线框架) 或者半导体芯片 1 和 2 的厚度方向切割半导体芯片 1、半导体芯片 2、管芯焊盘 6 以及引线 3 的截面图中,半导体芯片 1 的表面 1a 和半导体芯片 2 的表面 2a 位于内部部分 3a (具体地,内部部分 3a 的上表面 3t) 和管芯焊盘 6 之间。换言之,在密封体 4 (下文将说明引线框架) 或者半导体芯片 1 和 2 的厚度方向上,半导体芯片 1 的表面的高度位于引线 3 的内部部分 3a 的上表面 3t 和管芯焊盘 6 的上表面 6a 之间。而且,半导体芯片 2 的表面 2a 的高度位于引线 3 的内部部分 3a 的上表面 3t 和管芯焊盘 6 的上表面 6a 之间。上述高度是指在半导体芯片 1、半导体芯片 2、管芯焊盘 6、引线 3 或者密封体 4 的厚度方向 (图 2 中的 Z 方向) 上的位置。

[0079] 因此,在本实施例中,覆盖半导体芯片 1 的表面 1a 的密封体 4 变得特别厚。在这种情况下,当热负载施加至半导体器件 10 时,倾向于出现由密封体 4 的构成材料和半导体芯片 1 的构成材料之间的线性膨胀系数造成的应力。而且,这种应力在半导体芯片 1 的表面 1a 的周边部分中变得最大。而且,在以封装体 (密封体 4 的中心部) 作为平面图中的基

点而发生弯曲变形的方向上产生应力。因此,应力在作为封装体的中心部的部分处变得最大,并且其对应于半导体芯片 1 的表面 1a 的周边部分。

[0080] 由于本申请的发明人的检查,当导线 5cc 的接合部被布置在应力变得较大的部分时,已经发现导线 5cc 和焊盘 1pcc 之间的接合部会由于应力而被损坏。

[0081] 因此,根据本实施例,在导线 5cc 和焊盘 1pcc 之间的接合部位于在远离应力变得最大的位置。即,如图 5 中所示,进行布置以增加在边 1c1 和在半导体芯片 1 的表面 1a 侧上布置的焊盘 1pd 之中的、沿表面 1a 的侧面 1c1 布置的芯片对芯片连接焊盘 1pcc 之间的距离 D1。

[0082] 另一方面,如图 6 中所示,半导体芯片 2 比半导体芯片 1 厚。因此,在半导体芯片 2 的焊盘 2pd 和导线 5cc 之间的接合部不容易受到上述应力的影响。因此,在半导体芯片 2 的焊盘 2pd 之中,导线 5cc 耦合到的焊盘 2pcc 与其他焊盘 2pc1 相同,都靠近表面 2a 的周边部分侧布置。

[0083] 为此,如图 5 中所示,半导体芯片 1 的芯片对芯片连接焊盘 1pcc 与边 1c1 之间的距离 D1 大于在布置在半导体芯片 2 的表面 2a 侧上的焊盘 2pd 之中的、沿表面 2a 的边 2c1 布置的芯片对芯片连接焊盘 2pcc 与边 2c1 之间的距离 D2。

[0084] 下文是形成在半导体芯片 1 的表面 1a 上面的焊盘 1pcc 和焊盘 1pc1 的位置的比较。即,在半导体芯片 1 的芯片对芯片连接焊盘 1pcc 与边 1c1 之间的距离 D1 大于在布置在半导体芯片 1 的表面 1a 侧上的焊盘 1pd 之中的、沿表面 1a 的边 1c2 布置的引线连接焊盘 1pc1 与边 1c2 之间的距离 D3。

[0085] 在半导体芯片 2 中,能增加其中形成诸如逻辑电路和存储电路的主电路并且通过在表面 2a 的周边部分侧上布置焊盘 2pd 而被设置在表面 2a 的中心的区域的面积。有效区(active region)是与在半导体衬底的主表面(半导体元件形成表面)上面的、用于构成包括逻辑电路的主电路的半导体元件形成区重叠,并且在厚度方向上在半导体衬底上面与半导体元件形成区重叠的部分。

[0086] 另一方面,在半导体芯片 1 中,焊盘 1pd 中的一些(焊盘 1pcc)被布置在内侧上而不是周边部分上。因此,有效区的面积变小。替代地,焊盘 1pcc 形成在有效区中。但是,可以通过将除沿边 1c1 布置的焊盘 1pcc 之外的、可能受到上述应力影响的焊盘 1pc1 中的每一个布置为靠近表面 1a 的周边部分而增加有效区的面积。

[0087] 至此,已经关于焊盘 1pd 和焊盘 2pd 中的每一个都形成在有效区外部的实例给出了说明。但是,作为变型例,能在有效区内形成焊盘 1pd 和焊盘 2pd 中的一些或者其全部。在这种情况下,需要抑制在导线结合时由外力造成对有效区中形成的半导体元件和布线层的损坏的技术。当下文说明制造本实施例的半导体器件的方法时将解释细节。

[0088] 此外,如图 6 中所示,金属图案 MPT 形成在半导体芯片 1 的表面 1a 和半导体芯片 2 的表面 2a 的周边部分中。在将半导体芯片 1 和半导体芯片 2 分割成片之前的晶片状态下,当形成半导体元件和芯片布线时,金属图案例如是被提供用于评估形成状态的测试图案的残留物。

[0089] 上述测试图案被称为 TEG(测试元件组),并且在具有多个芯片区的半导体晶片中被形成在相邻芯片区之间提供的划片区中。当将半导体晶片分割成片并获取半导体芯片 1 和半导体芯片 2 时,切割处理施加至划片区。因此,如果存在用于在形成在划片区中的 TEG

周围进行处理的足够裕量,则能在将半导体晶片分割成片时整体移除 TEG。

[0090] 但是,从增加从一个半导体晶片获取半导体芯片的数量的观点考虑,优选减小划片区的宽度。为此,在切割处理期间,变得难以确保用于在 TEG 周围进行处理的足够裕量,并且会残留部分 TEG。图 6 中所示的金属图案 MPT 不限于 TEG 的一部分。但是,作为用于形成金属图案 MPT 的原因之一,可以给出如上残留 TEG 的一部分的事实。

[0091] 在这点上,当金属图案 MPT 残留在半导体芯片 1 的表面 1a 以及半导体芯片 2 的表面 2a 的周边部分中时,例如,导线 5 与金属图案 MPT 的接触会劣化电学可靠性。例如,当导线 5 与金属图案 MPT 接触时,存在包括了导线 5 的传输路径中的阻抗改变的情况。而且,例如,存在相邻的导线 5 经由金属图案 MPT 电耦合的情况。

[0092] 如图 6 中所示,导线 5cc 的一端耦合至半导体芯片 2 的焊盘 2pcc,并且另一端耦合至半导体芯片 1 的焊盘 1pcc。虽然将在下文说明其细节,但是根据本实施例,在导线结合步骤中,在导线 5cc 的一端已经与焊盘 2pcc 耦合之后,导线 5cc 的另一端耦合到焊盘 1pcc。换言之,导线 5cc 和焊盘 2pcc 的接合部在第一结合侧上,并且导线 5cc 和焊盘 1pcc 的接合部(具体地,导线 5cc 经由凸起电极 1bp 与焊盘 1pcc 耦合的部分)在第二结合侧上。

[0093] 导线 5cc 和焊盘 2pcc 的接合部在第一结合侧上。因此,通过形成跨接半导体芯片 2 的金属图案 MPT 的导线环形形状,能容易地防止导线 5cc 与半导体芯片 2 的金属图案 MPT 接触。

[0094] 另一方面,导线 5cc 和焊盘 1pcc 的接合部在第二结合侧上。因此,导线 5cc 倾向于与半导体芯片 1 的金属图案 MPT 接触而不是与半导体芯片 2 的金属图案 MPT 接触。因此,在根据本实施例的半导体器件 10 中,在第二结合侧上的焊盘 1pcc 远离表面 1a 的周边部分布置。换言之,如图 5 中所示,在半导体芯片 1 的芯片对芯片连接焊盘 1pcc 与边 1c1 之间的距离 D1 大于在半导体芯片 2 的芯片对芯片连接焊盘 2pcc 与边 2c1 之间的距离 D2。

[0095] 因此,如图 6 中所示,在半导体芯片 1 的表面 1a 的周边部分处,可以使在金属图案 MPT 和导线 5cc 之间的高度差 HT1 更大。因此,可以抑制导线 5cc 和半导体芯片 1 的金属图案 MPT 之间的接触。

[0096] 虽然没有通过截面图示出,但是在图 5 中的半导体芯片 1 的表面 1a 上面形成的多个焊盘 1pd 之中,除芯片对芯片连接焊盘 1pcc 之外的焊盘 1pc1 都形成在第一结合侧上。如图 6 中所示,当经由导线 5 电耦合半导体芯片时,其至少一个接合部必须在第二结合侧上。但是,如图 2 中所示,当耦合引线 3 与半导体芯片 1 的焊盘 1pd 时,与引线 3 的接合部可以在第二结合侧上。因此,即使在半导体芯片 1 的焊盘 1pc1 更靠近表面 1a 的周边部分布置时,也可以通过导线 5c1 的环形形状抑制与金属图案 MPT(参见图 6)的接触。

[0097] 由于此,如图 5 中所示,根据本实施例,在半导体芯片 1 的芯片对芯片连接焊盘 1pcc 与边 1c1 之间的距离 D1 大于在半导体芯片 1 的引线连接焊盘 1pc1 与边 1c2 之间的距离 D3。

[0098] 此外,如图 5 和 6 中所示,根据本实施例,凸起电极 1bp 被形成在芯片对芯片连接焊盘 1pcc 上面。导线 5cc 的一端接合到凸起电极 1bp。在导线结合步骤中,在第二结合侧上的接合处需要用于按压并固定导线 5 的力以及用于切割导线 5 的力。因此,与第一结合侧相比,焊盘 1pcc 周围产生的应力往往会较大。因此,布置在焊盘 1pcc 正下方的电路元件会由于应力而损坏。如上所述,当焊盘 1pcc 被布置在半导体芯片 1 的有效区中时,如果在

焊盘 1pcc 正下方的部件损坏,则会劣化半导体器件 10 的可靠性。特别地,当使用介电常数降低的所谓低 k 膜的绝缘材料作为用于形成将诸如晶体管的半导体元件与焊盘 1pd 电耦合的芯片布线层的绝缘材料时,如果施加外力,则可能发生破裂。

[0099] 因此,根据本实施例,凸起电极 1bp 被形成在芯片对芯片连接焊盘 1pcc 上面,并且导线 5cc 的一端接合到凸起电极 1bp。凸起电极 1bp 包含诸如金的相对软的金属材料,这可以降低在接合导线 5cc 时施加至半导体芯片 1 的应力,由此抑制对布置在焊盘 1pcc 的下层中的电路元件的损坏。

[0100] < 半导体器件的制造步骤 >

[0101] 以下将说明图 1 至 6 中所示的半导体器件 10 的制造步骤。根据本实施例的半导体器件 10 按照图 7 中所示的组装流程来制造。图 7 是说明图 1 至 6 中所示的半导体器件的组装流程的说明图。

[0102] 1. 基材提供步骤;首先,在图 7 中所示的基材提供步骤中,提供如图 8 中所示的引线框架(基材)LF。图 8 是说明图 7 中所示的基材提供步骤中提供的引线框架的放大平面图。

[0103] 本步骤中提供的引线框架 LF 在框架部分 LFb 内部具有多个器件形成区 LFa。引线框架 LF 包括金属。根据本实施例,引线框架 LF 例如包括具有铜(Cu)作为主要成分的金属。在器件形成区 LFa 中的每一个周围,将框架部分 LFb 布置为围绕器件形成区 LFa 中的每一个。框架部分 LFb 是将在下文说明的分割成片步骤(参见图 7)中被切割的区域。而且,框架部分 LFb 被形成为围绕引线 3。

[0104] 在各个器件形成区 LFa 的中心部分中,形成平面形状是四边形的管芯焊盘 6。在作为管芯焊盘 6 的芯片安装区的上表面 6a 中,设置上面将要安装半导体芯片 1(参见图 3)的芯片安装区 6cb1 以及上面将要安装半导体芯片 2 的芯片安装区 6cb2。

[0105] 在图 8 中,芯片安装区 6cb1 和芯片安装区 6cb2 的位置通过双点划线区别示出。但是,可以不在芯片安装区 6cb1 和 6cb2 以及其他区域中提供可见边界。

[0106] 悬置引线 8 的一端被耦合到管芯焊盘 6 的四个角部中的每一个,并且被布置为朝向器件形成区 LFa 的角部延伸。而且,悬置引线 8 的另一端耦合至框架部分 LFb。管芯焊盘 6 经由悬置引线 8 耦合至框架部分 LFb 并且由框架部分 LFb 支撑。

[0107] 而且,偏移部分 8a 形成在本步骤中提供的引线框架的悬置引线 8 中的每一个中。虽然出于说明的目的而省略了图 8 中的参考符号,但是如参考图 4 进行解释的,悬置引线 8 中的每一个都具有作为弯曲部分的偏移部 8a1 和偏移部 8a2。

[0108] 在管芯焊盘 6 周围,在悬置引线 8 之间,分别形成多个引线 3。引线 3 分别耦合至框架部 LFb。而且,引线 3 经由连杆 TB 彼此耦合。除耦合引线 3 的功能之外,在图 8 中所示的密封步骤中,连杆 TB 作为防止树脂过度液化并从供应位置扩散的围堰。

[0109] 在管芯焊盘 6 周围,在悬置引线 8 之间,分别形成引线 3。引线 3 中的每一个都耦合至相对于管芯焊盘 6 被布置在引线 3 外部的框架部分 LFb。框架部分 LFb 与引线 3、悬置引线 8 以及管芯焊盘 6 一体形成。

[0110] 2. 半导体芯片提供步骤;在图 7 中所示的半导体芯片提供步骤中,提供参考图 5 和 6 说明的半导体芯片 1 和半导体芯片 2。图 9 是示出在图 7 中所示的半导体芯片提供步骤中获取半导体芯片之前的半导体晶片的元件形成表面侧的平面图。除了平面尺寸、厚度

和将要形成的电路不同之外,图 5 和 6 中所示的半导体芯片 2 可以与制造半导体芯片 1 的方法类似地形成。因此,在本部分中,将作为典型实例说明半导体芯片 1。

[0111] 在如图 9 中所示的晶片(半导体晶片)WH 的状态下形成在图 5 中所示的半导体芯片 1 中形成的电路、焊盘 1pd 以及凸起电极 1bp。晶片 WH 的平面形状大体上是圆形,并且晶片具有表面(主表面,上表面)1a 以及与表面 1a 相反的背表面(主表面,下表面)(未示出)。

[0112] 晶片 WH 具有形成在表面 1a 中的多个芯片区 WHc 以及在芯片区 WHc 之中在相邻芯片区 WHc 之间形成的划片区 WHd。芯片区 WHc 中的每一个都对应参考图 5 和 6 说明的半导体芯片 1。而且,在半导体衬底的元件形成表面上面,形成多个半导体元件以及与半导体元件电耦合的焊盘 1pd。而且,如图 9 中所示,凸起电极 1bp 被预先形成在焊盘 1pd 之中的、将要被电耦合到图 5 中所示的半导体芯片 2 的焊盘 1pcc 上面。

[0113] 而且,金属图案 WHm 被布置在晶片 WH 的划片区 WHd 中。金属图案 WHm 例如是被称为 TEG 的评估元件。金属图案 WHm 被形成为以便当在晶片 WH 上面形成包括多个半导体元件和布线层的集成电路时,检查集成电路是否被适当的形成。在划片区 WHd 中形成的金属图案 WHm 不限于 TEG。例如,金属图案可以形成为对准标记。而且,在图 9 中,示出形成多个金属图案 WHm 的情况。但是,金属图案 WHm 的数量没有限制。例如包括一个金属图案 WHm 被布置在划片区 WHd 中的情况或者一个金属图案 WHm 被布置在多行划片区 WHd 中的情况。

[0114] 可以通过沿图 9 中所示的划片区 WHd 切割来将芯片区 WHc 中的每一个分割成片,来获取图 5 中所示的半导体芯片 1。例如进行分割以使得划片刀(未示出)沿划片区 WHd 的延伸方向运动并执行切割处理。

[0115] 在这点上,从提高半导体芯片 1 的生产效率方面考虑,优选增加单一晶片 WH 中芯片区 WHc 的占据面积并增加将要获取的半导体晶片的数量。换言之,优选划片区 WHd 的宽度 Wd 较小。例如,在图 9 中所示的实例中,宽度 Wd 约为 $60\mu\text{m}$ 。另一方面,根据其功能确定金属图案 WHm 的平面尺寸,小型化可以仅被实现至某一程度。例如,当使用金属图案 WHm 作为 TEG 时,需要使用于检查的端子(未示出)与金属图案 WHm 接触。这时,需要考虑用于检查的端子的接触特性来确定平面尺寸,并且优选平面尺寸尽可能大。因此,金属图案 WHm 被布置为靠近芯片区 WHc。

[0116] 因此,当减小划片区 WHd 的宽度 Wd 以增加将要获取的半导体芯片的数量时,金属图案 WHm 和芯片区 WHc 之间的裕量变小。为此,当考虑切割划片区 WHd 时的工艺精度时,执行切割以留下金属图案 WHm 的一部分。因此,如图 6 中所示,在半导体芯片 1 的表面 1a 的周边部分中形成金属图案 MPT。

[0117] 此外,如果图 9 中所示的划片区 WHd 的宽度 Wd 较窄,则由切割刀造成的切割宽度也变小。但是,在要被切割的晶片 WH 较厚时,如果切割宽度较窄,则在与切割区相邻的部分中会出现碎片等的情况。为此,根据本实施例,在预先研磨背表面侧使得晶片 WH 的厚度变成 $200\mu\text{m}$ 或更小之后才执行切割。

[0118] 3. 半导体芯片安装步骤;随后,在图 7 中所示的半导体芯片安装步骤中,如图 10 中所示,分别在芯片安装区 6cb1 中安装半导体芯片 1 并且在芯片安装区 6cb2 中安装半导体芯片 2。图 10 是示出在半导体芯片安装到图 8 中所示的管芯焊盘上面之后的状态的放大平面图。而且,图 11 是沿图 10 的线 A-A 截取的放大截面图。

[0119] 在本步骤中,如图 11 中所示,在半导体芯片 1 的背表面 1b 面对管芯焊盘 6 的上表面 6a 的情况下,通过所谓的面朝上安装方法将半导体芯片 1 安装到管芯焊盘 6 的芯片安装区 6cb1(参见图 10)中。而且,在半导体芯片 2 的背表面 2b 面对管芯焊盘 6 的上表面 6a 的情况下,通过所谓的面朝上安装方法将半导体芯片 2 安装到管芯焊盘 6 的芯片安装区 6cb2(参见图 10)中。

[0120] 而且,将半导体芯片 1 和半导体芯片 2 分别经由粘合材料 7 安装到管芯焊盘 6 的上表面 6a 上面。在硬化(固化)之前,粘合材料 7 是可流动的糊状材料。因此,在这样使用糊状材料作为粘合材料 7 中,首先,将粘合材料 7 涂布在管芯焊盘 6 上面,并且随后,将半导体芯片 1(半导体芯片 2)的背表面 1b(背表面 2b)固定到管芯焊盘 6 的上表面 6a 上。随后,在粘合之后,当固化(例如通过热处理)粘合材料 7 时,如图 11 中所示,半导体芯片 1 和半导体芯片 2 经由粘合材料 7 粘附地固定到管芯焊盘 6。

[0121] 对于安装半导体芯片的顺序来说,例如,首先安装半导体芯片 2,并且随后安装半导体芯片 1。但是,作为变型例,在已经安装相对薄的半导体芯片 1 之后再安装半导体芯片 2。这种情况是优选地,因为安装工具在安装半导体芯片 2 时不太可能与已经安装的半导体芯片 1 接触。

[0122] 此外,在本步骤中,如图 10 中所示,安装半导体芯片 1 和 2,使得形成半导体芯片 2 的表面 2a 的周边部分的四个边之中的边 2c1 与形成半导体芯片 1 的表面 1a 的周边部分的四个边中的一个边 1c1 彼此相邻。因此,可以缩短在芯片对芯片连接焊盘 1pcc 和焊盘 2pcc 之间的距离。

[0123] 在本实施例中,已经说明了使用包含热固性树脂的糊状材料用于粘合材料 7 的方面。但是,可以应用各种变型例。例如,替代糊状材料,作为在其两侧上都具有粘合层的带状材料(膜材料)的粘合材料可以被预先粘贴至半导体芯片 1 的背表面 1b 以及半导体芯片 2 的背表面 2b,并且半导体芯片 1 和 2 可以经由带状材料安装在管芯焊盘 6 上面。

[0124] 4. 导线结合步骤;随后,在图 7 中所示的导线结合步骤中,如图 12 中所示,经由导线(导电部件)5c1 分别电耦合半导体芯片 1 的焊盘 1pc1 以及引线 3。而且,经由导线 5c1 电耦合半导体芯片 2 的焊盘 2pc1 和引线 3。而且,经由导线 5cc 电耦合半导体芯片 1 的芯片对芯片连接焊盘 1pcc 以及半导体芯片 2 的芯片对芯片连接焊盘 2pcc。图 12 是示出图 10 中所示的半导体芯片与图 8 中所示的引线之间以及在图 10 中所示的半导体芯片之中提供的电连接的状态的放大平面图。而且,图 13 是示出如图 12 中,在半导体芯片之中以及在半导体芯片与引线之间提供电连接的状态的放大截面图。

[0125] 在本步骤中,例如,如图 13 中所示,具有安装在管芯焊盘 6 上面的半导体芯片 1 和半导体芯片 2 的引线框架 LF 被布置在热台(引线框架加热板)HS 上面。随后,经由导线 5 分别电耦合半导体芯片 1 的焊盘 1pd 和引线 3,半导体芯片 2 的焊盘 2pd 和引线 3,以及半导体芯片 1 的焊盘 1pcc 和半导体芯片 2 的焊盘 2pcc。

[0126] 对于导线 5 的连接方法来说,例如,可以采用所谓的钉头结合方法,其中经由毛细管 CP 供应导线 5,并且导线 5 借助超声和热压焊的组合而被接合。

[0127] 当将半导体芯片 1 和 2 的焊盘 1pc1 和 2pc1 分别与引线 3 电耦合时,首先,导线 5c1 的一端被接合至焊盘 1pc1 或焊盘 2pc1。随后,通过在从毛细管 CP 送出导线 5 的同时将导线 5 移动至引线 3 的接合部(结合部分)来形成导线 5 的环形形状。在已经将导线 5c1 的

另一端接合至引线 3 的内部部分 3a 之后切割导线 5 时,在焊盘 1pc1 和 2pc1 以及引线 3 之间提供电连接。即,在本实施例中,通过所谓的向前结合方法执行导线结合,其中导线 5c1 首先结合至半导体芯片 1 和 2 的焊盘 1pc1 和 2pc1。

[0128] 在引线 3 的一部分(内部部分 3a 的尖端处的结合部分)上面,例如,形成包含银(Ag)或金(Au)的镀膜(未示出),并且导线 5 的一部分经由镀膜与引线 3 电耦合。而且,在本实施例中,导线 5 包括金属,该金属例如为金(Au)。

[0129] 此外,当电耦合半导体芯片 1 的焊盘 1pcc 以及半导体芯片 2 的焊盘 2pcc 时,导线 5cc 的一端首先耦合至相对厚的半导体芯片 2 的焊盘 2pcc。随后,通过从毛细管 CP 送出导线 5 的同时将导线 5 移动至半导体芯片 1 的焊盘 1pcc(具体地,凸起电极 1bp)而形成导线 5 的环形形状。在已经将导线 5cc 的另一端接合至预先形成在焊盘 1pcc 上面的凸起电极 1bp 之后切割导线 5 时,在焊盘 1pcc 和焊盘 2pcc 之间提供电耦合。即,在本实施例中,相对薄的半导体芯片 1 的焊盘 1pcc 在第二结合侧上。

[0130] 在这点上,在本实施例中,如图 10 中所示,在第二结合侧上的焊盘 1pcc 远离表面 1a 的周边部分布置。换言之,在半导体芯片 1 的芯片对芯片连接焊盘 1pcc 与边 1c1 之间的距离 D1 大于在半导体芯片 2 的芯片对芯片连接焊盘 2pcc 与边 2c1 之间的距离 D2。

[0131] 因此,如图 6 中所示,在半导体芯片 1 的表面 1a 的周边部分处,可以增大在金属图案 MPT 和导线 5cc 之间的高度差 HT1。因此,可以抑制在导线 5cc 和半导体芯片 1 的金属图案 MPT 之间的接触。而且,除半导体芯片 1 的焊盘 1pcc 之外的焊盘,即半导体芯片 1 的焊盘 1pc1 以及半导体芯片 2 的焊盘 2pcc 和 2pc1 分别在第一结合侧上。因此,借助导线 5c1 的环形形状,可以在表面 1a 或表面 2a 的周边部分处抑制与金属图案 MPT(参见图 6)的接触。

[0132] 此外,如图 13 中所示,凸起电极 1bp 预先形成在芯片对芯片连接焊盘 1pcc 上面,并且导线 5cc 的一端接合至凸起电极 1bp。为此,与导线 5cc 直接接合到焊盘 1pcc 的情况相比,可以减小按压和接合时施加的应力。因此,变得能够抑制对布置在焊盘 1pcc 的下层中的电路元件的损坏。

[0133] 5. 密封步骤;随后,在图 7 中所示的密封步骤中,如图 14 中所示,形成密封体 4,并且利用树脂密封图 13 中所示的管芯焊盘 6,半导体芯片 1,半导体芯片 2,导线 5 以及引线的内部部分 3a。图 14 是示出当利用树脂密封图 12 中所示的半导体芯片时的安装表面侧的状态的放大平面图。而且,图 15 是示出图 7 中所示的密封步骤中的状态的截面图,其中引线框架被布置在模具中。

[0134] 在本步骤中,如图 14 中所示,密封体 4 被形成使得分别暴露被设置在各个器件形成区 LFa 中的引线 3 的外部部分 3b。而且,根据本实施例,密封体 4 被形成使得分别暴露设置在器件形成区 LFa 中的管芯焊盘 6 的下表面 6b。在本步骤中,例如,通过所谓的传递模塑方法形成密封体 4,其中在引线框架 LF 夹持在图 15 中所示的模具 50 的上部和下部之间的情况下,软化的树脂被挤压并供应到模具 50 中并被固化。

[0135] 模具 50 包括:布置在引线框架 LF 的上侧上的上模具(模具)51;以及被布置在引线框架 LF 下侧上的下模具(模具)52。上模具 51 具有用于挤压引线框架 LF 的夹持表面(模具表面,挤压表面,表面)51a;以及形成在夹持表面 51a 内部的腔(凹部)51b。而且,下模具 52 包括:面对夹持表面 51a 并挤压引线框架 LF 的夹持表面(模具表面,挤压表面,

表面)52a;以及形成在夹持表面 52a 内部的腔(凹部)52b。

[0136] 在密封步骤中,密封树脂被挤压进通过组合腔 51b 和腔 52b 而形成的空间中。随后,利用树脂密封管芯焊盘 6,半导体芯片 1,半导体芯片 2,导线 5 以及引线的内部部分 3a。随后,通过固化被供应至腔 51b 和 52b 的树脂来形成密封体 4。

[0137] 在本步骤中,通过与腔 52b 的底面接触的管芯焊盘 6 的下表面 6b 供应树脂。替代地,作为本实施例的变型例,当在腔 52b 中布置树脂膜材料时,使膜材料与管芯焊盘 6 的下表面 6b 接触。因此,通过借助与成型夹具(下模具 52 或膜材料)接触的管芯焊盘 6 的下表面 6b 提供树脂,密封体 4 可形成使得作为相对于管芯焊盘 6 的芯片安装表面的表面的下表面 6b 暴露。

[0138] 根据本实施例,如上所述,半导体芯片 1 的表面 1a 的高度位于引线 3 的内部部分 3a 的上表面 3t 和管芯焊盘 6 的上表面 6a 之间。而且,半导体芯片 2 的表面 2a 的高度位于引线 3 的内部部分 3a 的上表面 3t 和管芯焊盘 6 的上表面 6a 之间。因此,与其中半导体芯片的上表面高于引线的内部部分的上表面的比较例(未示出)相比,更大量的树脂被供应在半导体芯片 1 的表面 1a 以及半导体芯片 2 的表面 2a 上面,即供应至导线 5 的接合部分。在密封步骤中,如果要供应的树脂量增加,则导线 5 的环形形状往往会由于树脂的供应压力而变形。

[0139] 如上所述,在耦合半导体芯片的导线 5cc 的第二结合侧上,导线 5cc 和半导体芯片 1 的表面 1a 之间的距离短于在第一结合侧上的距离。为此,当金属图案 MPT(参见图 11)被形成在表面 1a 的周边部分中时,如果导线 5cc 被树脂的供应压力变形,则金属图案 MPT 会与导线 5cc 接触。

[0140] 根据本实施例,在密封步骤中,在可能与金属图案 MPT 接触的部分中,焊盘 1pcc 被远离表面 1a 的周边部分布置,使得在导线 5cc 和表面 1a 之间的高度差变大。即,如图 10 中所示,增加了在半导体芯片 1 的表面 1a 侧上布置的焊盘 1pd 之中的、沿表面 1a 的边 1c1 布置的芯片对芯片连接焊盘 1pcc 与边 1c1 之间的距离 D1。

[0141] 另一方面,对于半导体芯片 2 的表面 2a 来说,如图 13 中所示,能够通过形成导线 5cc 的环形形状,使得导线 5cc 从与焊盘 2pcc 的接合部分向上延伸,以容易地调整在半导体芯片 2 的周边部分和导线 5cc 之间的高度差。因此,在半导体芯片 2 的焊盘 2pd 之中,导线 5cc 耦合到的焊盘 2pcc 类似于其他焊盘 2pc1 地靠近表面 2a 的周边部分侧布置。

[0142] 因此,如图 10 中所示,在半导体芯片 1 的芯片对芯片连接焊盘 1pcc 与边 1c1 之间的距离 D1 大于在半导体芯片 2 的表面 2a 侧上布置的焊盘 2pd 之中的、沿表面 2a 的边 2c1 布置的芯片对芯片连接焊盘 2pcc 与边 2c1 之间的距离 D2。

[0143] 当形成在半导体芯片 1 的表面 1a 上面的焊盘 1pd 彼此比较时,结果如下。即,半导体芯片 1 的芯片对芯片连接焊盘 1pcc 与边 1c1 之间的距离 D1 大于在半导体芯片 1 的表面 1a 侧上布置的焊盘 1pd 之中的、沿表面 1a 的边 1c2 布置的引线连接焊盘 1pc1 与边 1c2 之间的距离 D3。如图 13 中所示,在半导体芯片 1 的表面 1a 侧上布置的焊盘 1pd 之中的、沿表面 1a 的边 1c2 布置引线连接焊盘 1pc1 被设置在导线 5c1 的第一结合侧上。因此,能通过形成导线 5c1 的环形形状,使得导线 5c1 在焊盘 1pc1 上面从导线 5c1 的接合部分向上延伸,来容易地调整在半导体芯片 1 的周边部分和导线 5cc 之间的高度差。因此,即使金属图案 MPT(参见图 11)被形成在边 1c2 处(参见图 10),也可以抑制在导线 5c1 和金属图案

MPT 之间的接触。

[0144] 6. 镀覆步骤 ;随后,在图 7 中所示的镀覆步骤中,如图 16 中所示,在从密封体 4 暴露的引线 3 的表面上面形成金属膜 SD。图 16 是示出金属膜被形成在从图 14 中所示的树脂暴露的引线框架的表面上面的状态的放大截面图。

[0145] 在本步骤中,在从树脂暴露的金属部件的表面上面,例如,通过电解镀覆方法形成包括焊料的金属膜 SD。本实施例的金属膜 SD 包括所谓的无铅焊料,其基本上不包含铅 (Pb)。其例如仅包含锡 (Sn),锡 - 铋 (Sn-Bi) 或锡 - 铜 - 银 (Sn-Cu-Ag) 等。

[0146] 当通过电解镀覆方法形成金属膜 SD 时,金属膜 SD 形成在从树脂暴露的金属部件的表面上面。因此,根据本实施例,金属膜 SD 被形成为覆盖暴露至密封体 4 的外部的引线 3 的外部部分 3b 的上下表面。而且,根据本实施例,在密封体 4 的下表面 4b 处,管芯焊盘 6 的下表面 6b 从密封体 4 暴露。因此,当通过电解镀覆方法形成金属膜 SD 时,金属膜 SD 被形成为覆盖管芯焊盘 6 的下表面 6b。虽然金属膜 SD 的厚度可以根据产品规格而改变,但是,例如,形成具有约 10 μ m 至 20 μ m 厚度的薄膜。

[0147] 7. 引线成型步骤 ;随后,在图 7 中所示的引线成型步骤中,如图 17 中所示,引线 3 中的每一个都如图 2 中所示被切割和弯曲。图 17 是示出在图 14 中所示的引线的暴露表面上面形成的金属膜被分别切割并被成型的状态的放大平面图。

[0148] 在本步骤中,切割耦合引线 3 的连接杆 TB。而且,从框架部 LFb 切割下引线 3 中的每一个。因此,引线 3 被分成独立的部件。在已经切割下引线 3 之后,密封体 4 和引线 3 经由悬置引线 8 由框架部 LFb 支撑。

[0149] 例如可以借助切割器模具 (未示出) 通过挤压处理来切割引线 3 和连接杆 TB。而且,例如,通过经由挤压处理借助模具 (未示出) 的弯曲将已被切割之后的引线 3 如图 2 中所示成型。在本步骤中,执行弯曲处理,使得引线 3 的外部部分 3b 朝向安装表面延伸。在图 2 中所示的实例中,密封体 4 的下表面 4b 侧作为安装表面。因此,在从密封体 4 的上表面 4a 朝向下表面 4b 的方向上对引线 3 中的每一个施加弯曲。

[0150] 8. 分割成片步骤 ;随后,在图 7 中所示的分割成片步骤中,如图 18 中所示,切割悬置引线 8 中的每一个,并且在器件形成区 LFa 中的每一个处分离半导体封装体。图 18 是示出切割图 17 中所示的悬置引线并对各个器件形成区分割成片的状态的放大平面图。

[0151] 在本步骤中,切割悬置引线 8 以及残留在密封体 4 的角部中的树脂,并获取半导体器件 (对象 10t)。例如,如上述引线成型步骤中一样,通过借助切割器模具 (未示出) 挤压来执行切割处理。具体地,在本步骤之后,执行诸如外观检查和电学测试的必要检查和检验,且通过检查的将成为参考图 1 至 6 中说明的成品半导体器件 10。随后,半导体器件 10 被出货或安装在安装基板 (未示出) 上面。

[0152] < 变型例 >

[0153] 虽然已经根据以上实施例具体说明了由本申请的发明人提出的本发明,但是本发明不限于此,并且显而易见的是可以在不脱离本发明主旨的范围内进行各种替换和变型。

[0154] 变型例 1

[0155] 例如,根据本实施例,如图 2 中所示,已经说明了密封体 4 的下表面 4b 作为安装表面并且在安装表面侧上暴露管芯焊盘 6 的下表面 6b 的方面。但是,像图 19 中所示的作为变型例的半导体器件 10A 那样,管芯焊盘 6 可以被暴露在与安装表面相反的表面处。图 19

是示出作为图 2 中所示的半导体器件的变型例的半导体器件的截面图。当在从密封体 4 的下表面 4b 朝向上表面 4a 的方向上对引线 3 中的每一个施加弯曲时,在上述图 7 的引线成型步骤中形成图 19 中所示的半导体器件 10A。

[0156] 在半导体器件 10A 的情况下,除执行用于引线 3 的外部部分 3b 的弯曲的方向之外,上述实施例中说明的半导体器件 10 被构造为上下颠倒。因此,当半导体器件 10A 的安装表面被面向下布置时,半导体芯片 1 的表面 1a 中的每一个以及半导体芯片 2 的表面 2a 位于引线 3 的上表面 3t 上方。

[0157] 变型例 2

[0158] 例如,在上述实施例中,已经说明了图 8 中所示的管芯焊盘 6 的芯片安装表面处的芯片安装区 6cb1 和芯片安装区 6cb2 是平坦的方面。但是,像图 20 中所示的变型例那样,可以在芯片安装区 6cb1 和芯片安装区 6cb2 周围形成多个凹部 6dp。图 20 是示出图 8 中所示的管芯焊盘的变型例的放大平面图。而且,图 21 是图 20 中所示的凹部的外围的放大截面图。

[0159] 通过在芯片安装区 6cb1 和 6cb2 周围布置图 20 和 21 中所示的凹部 6dp,变得能够增强管芯焊盘 6 和密封体 4(参见图 2) 的接触。因此,变得能够进一步稳固管芯焊盘 6 和密封体 4 的接触,并且抑制其剥离过程。

[0160] 变型例 3

[0161] 而且,例如,作为不同于变型例 2 的变型例,如图 22 和 23 中所示,由密封体 4 密封的凸起部件 6fn 可以被设置在管芯焊盘 6 的周边部分处。图 22 是示出图 8 中所示的管芯焊盘的另一变型例的放大平面图。而且,图 23 是图 22 中所示的凸起部件的外围的放大截面图。

[0162] 图 22 和 23 中所示的凸起部件 6fn 例如与管芯焊盘 6 一体形成,并且对管芯焊盘 6 和凸起部件 6fn 的边界施加弯曲处理。因此,如图 23 中所示,管芯焊盘 6 的下表面 6b 从密封体 4 暴露,但是凸起部件 6fn 的下表面 6fnb 由密封体 4 密封。

[0163] 如果提供如图 22 和 23 中所示的凸起部件 6fn,则在已经安装了半导体器件 10(参见图 2) 之后,当在平面图中施加热循环负载时,不太可能发生以封装体(密封体 4 的中心部分)作为基点的翘曲。因此,能进一步降低由于密封体 4 的翘曲的影响而导致的图 6 中所示的导线 5cc 和焊盘 1pcc 之间的接合部的损坏。

[0164] 变型例 4

[0165] 作为 SiP 型半导体器件的实例,已经在上述实施例中说明了其中一个半导体芯片是存储芯片并且另一半导体芯片是控制芯片的情况。但是,除上述之外,可以对通过电耦合半导体芯片而形成的系统应用各种变型例。例如,当通过电耦合多个控制电路构成一个系统时,能经由导线 5 电耦合第一半导体芯片和第二半导体芯片,并通过形成在第二半导体芯片中的第二控制电路控制形成在第一半导体芯片中的第一控制电路。

[0166] 变型例 5

[0167] 而且,在不脱离上述实施例中说明的技术观点的本质的范围内,可以通过彼此组合变型例来实施本发明。

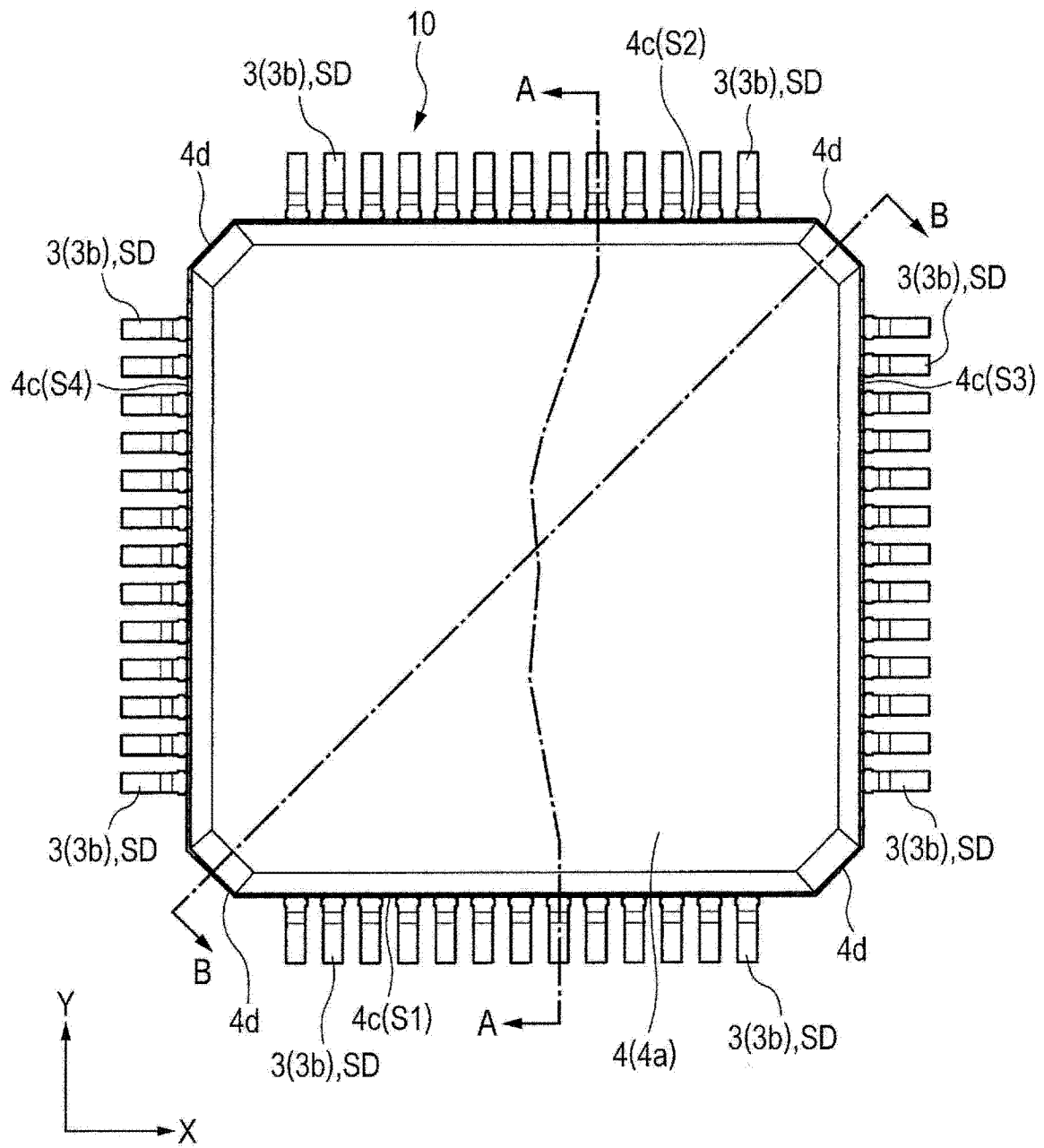


图 1

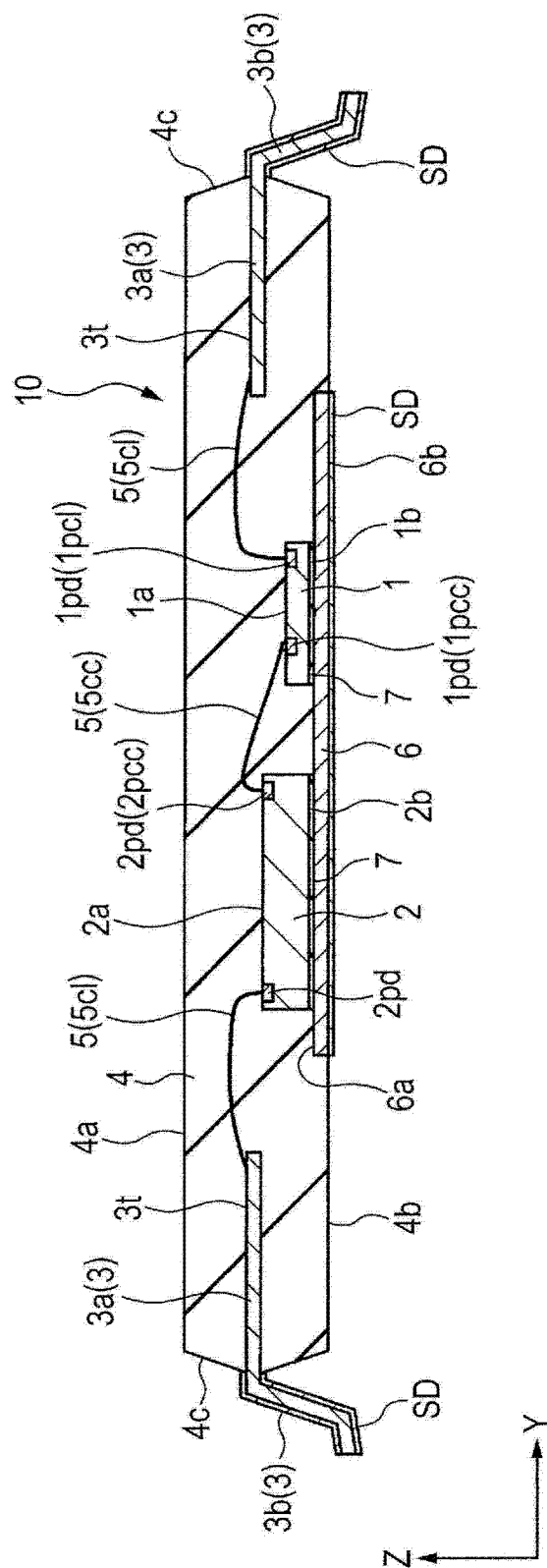


图 2

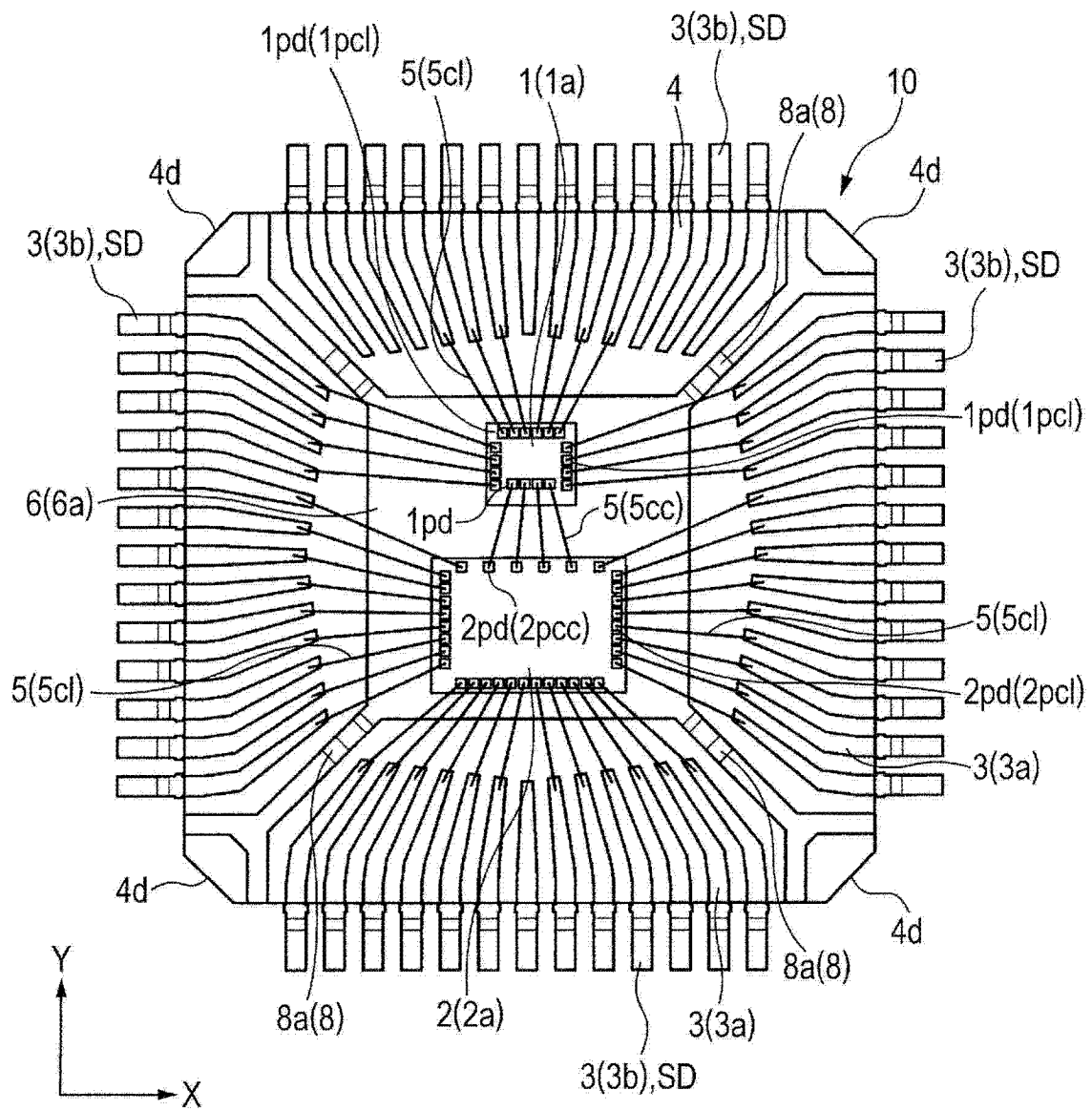


图 3

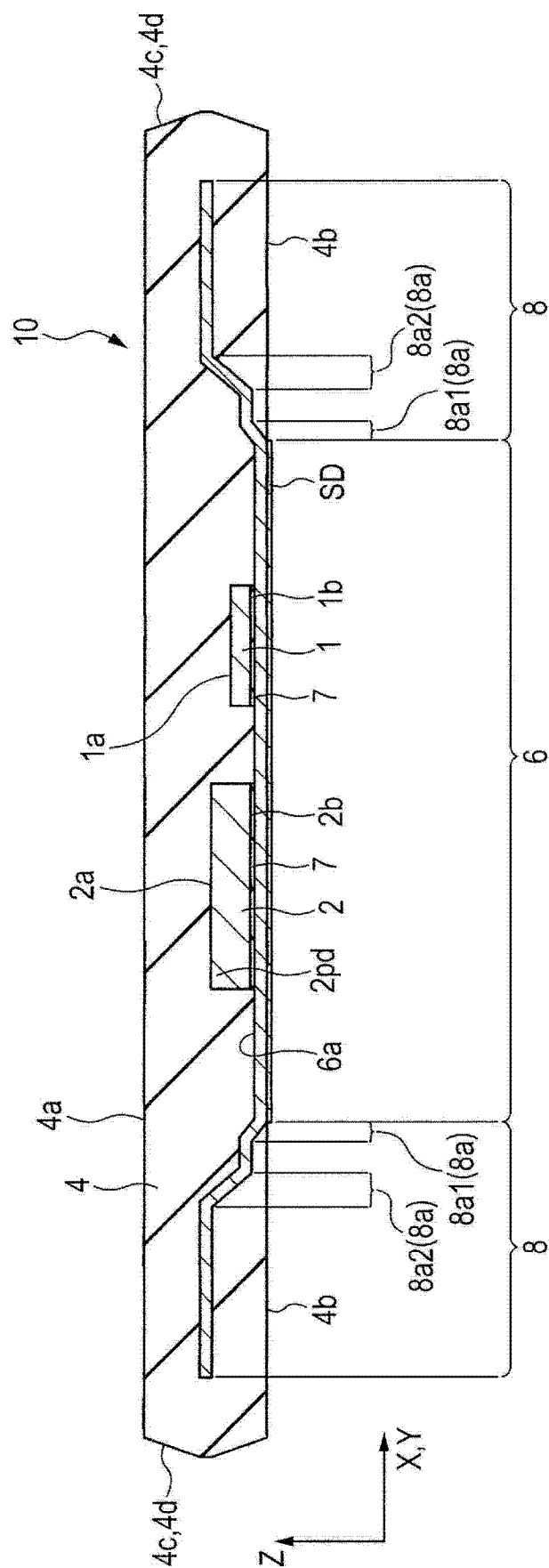


图 4

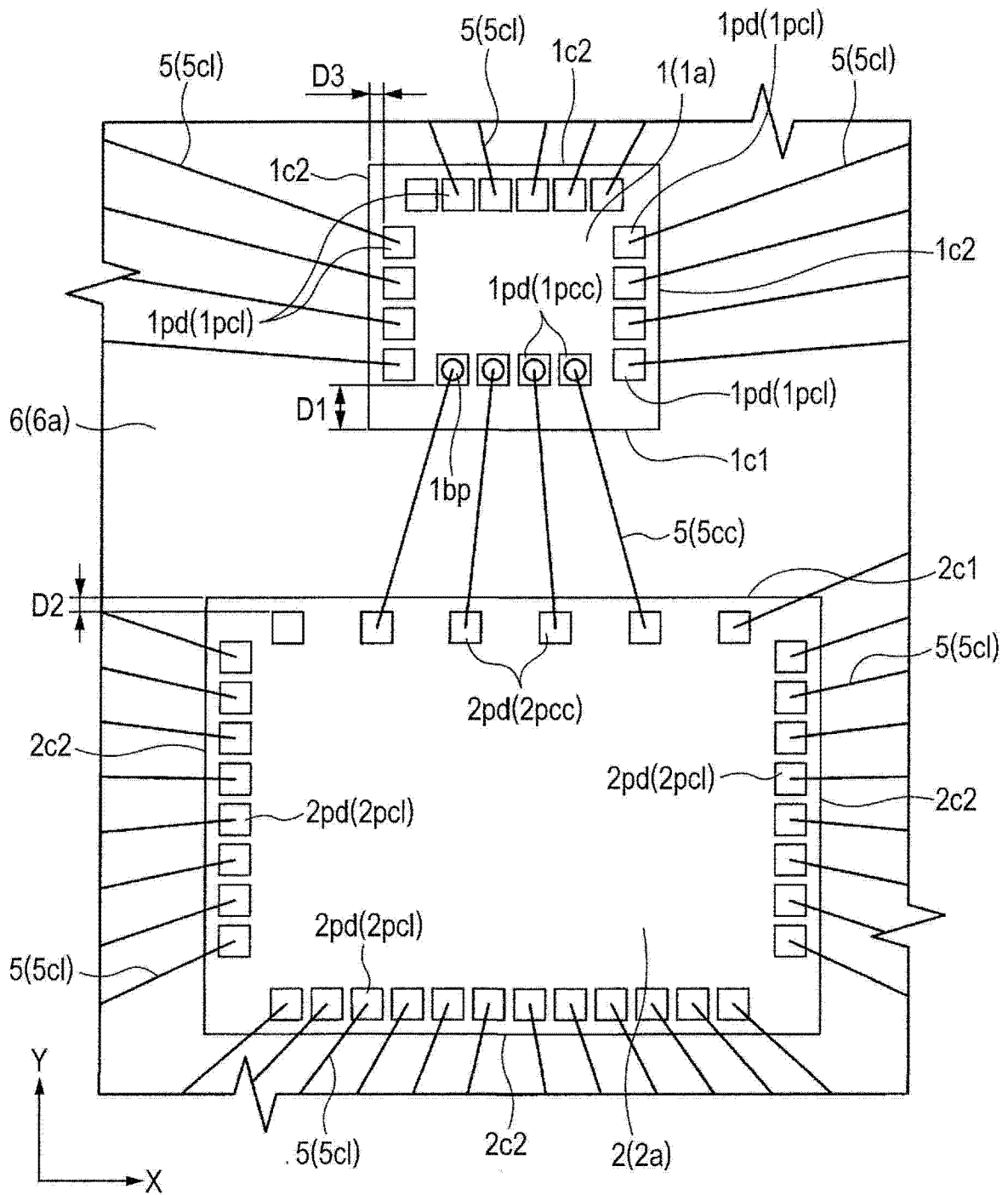


图 5

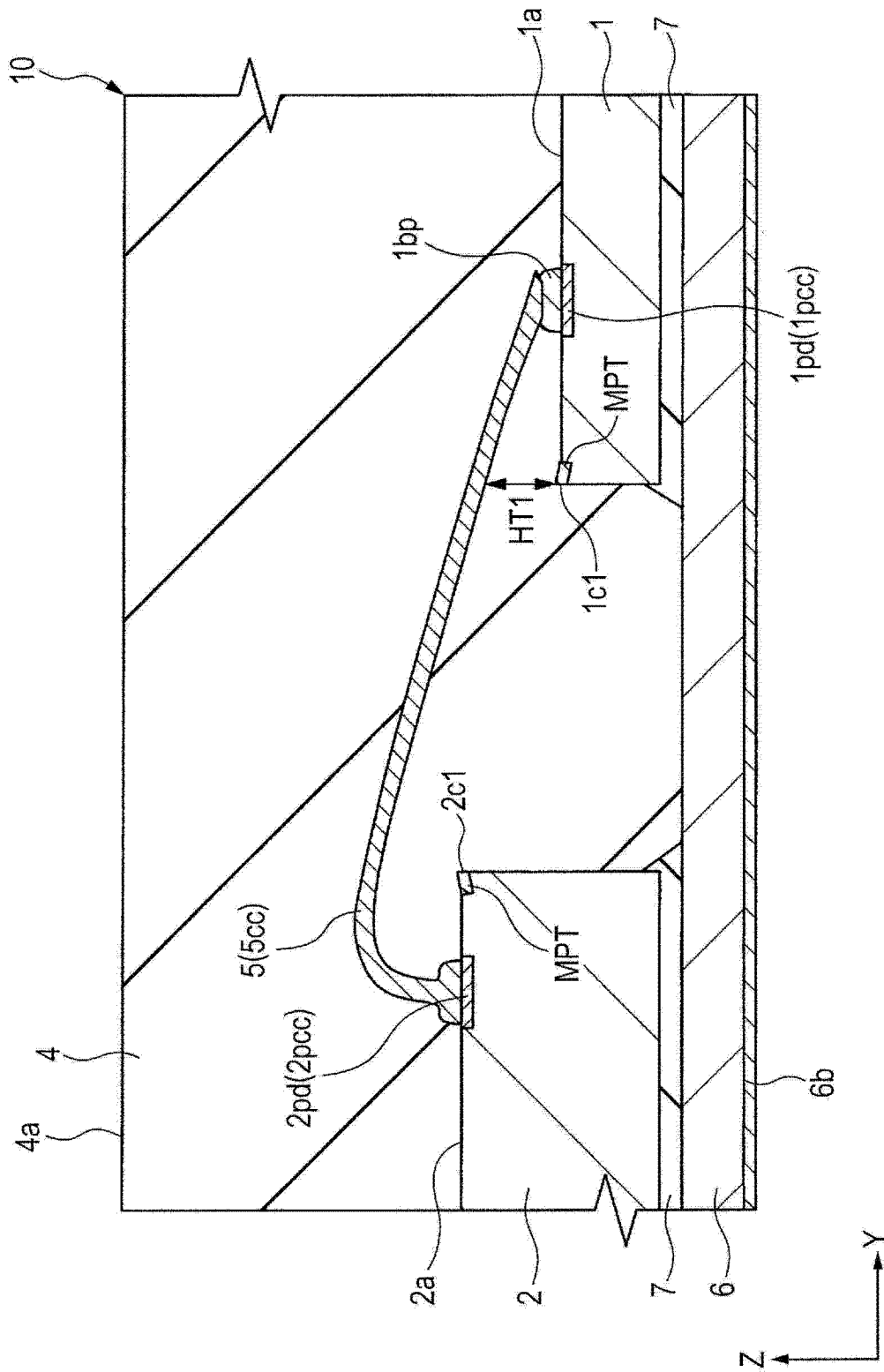


图 6

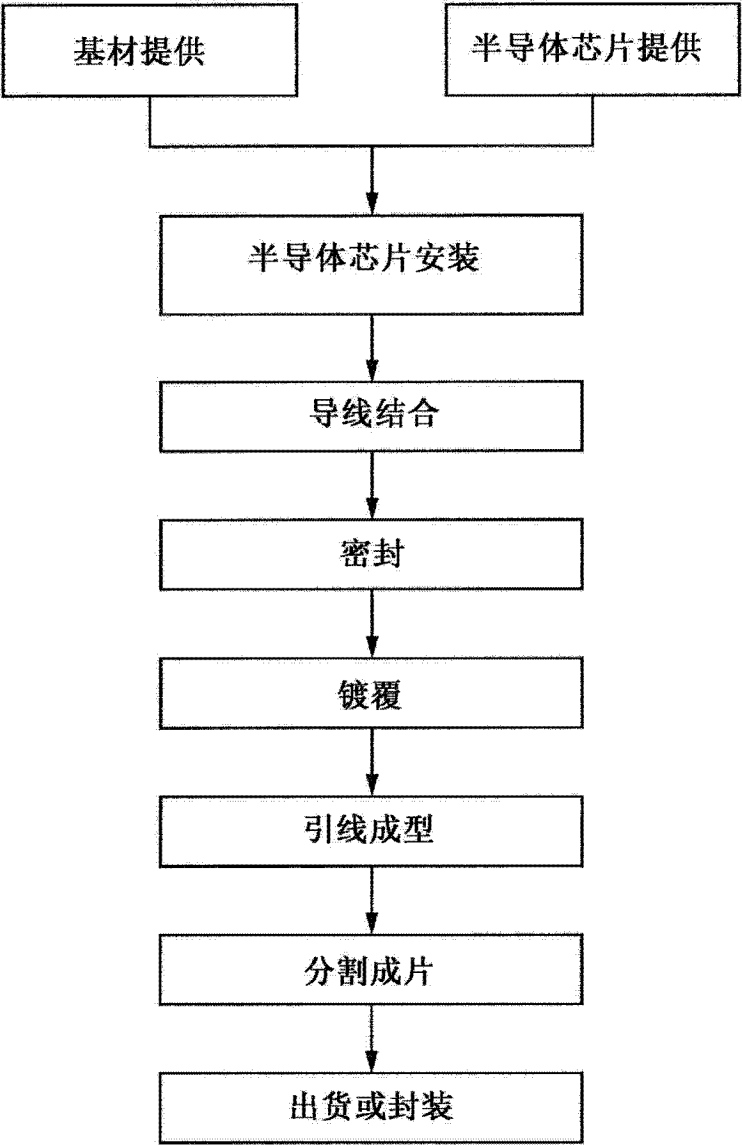


图 7

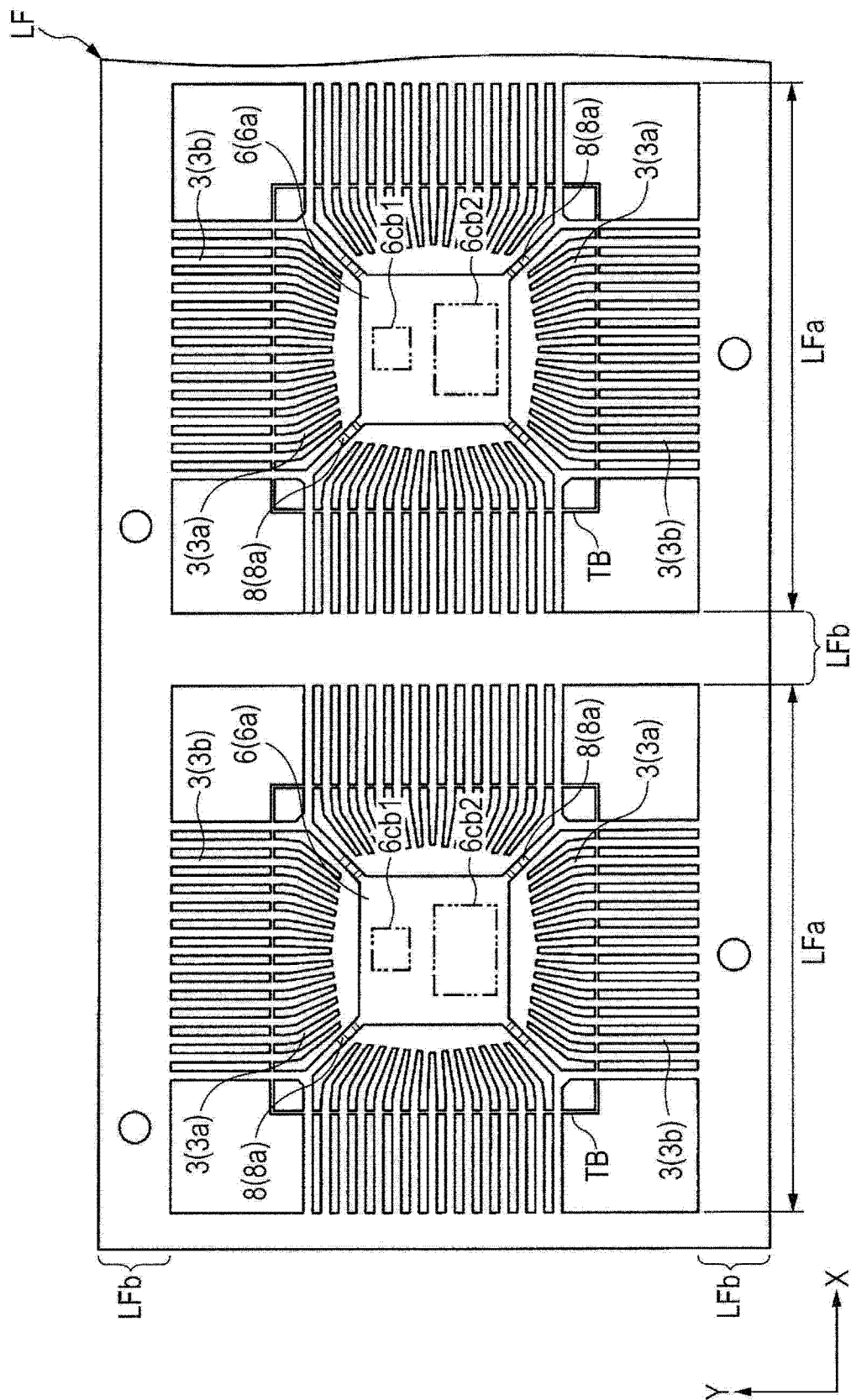


图 8

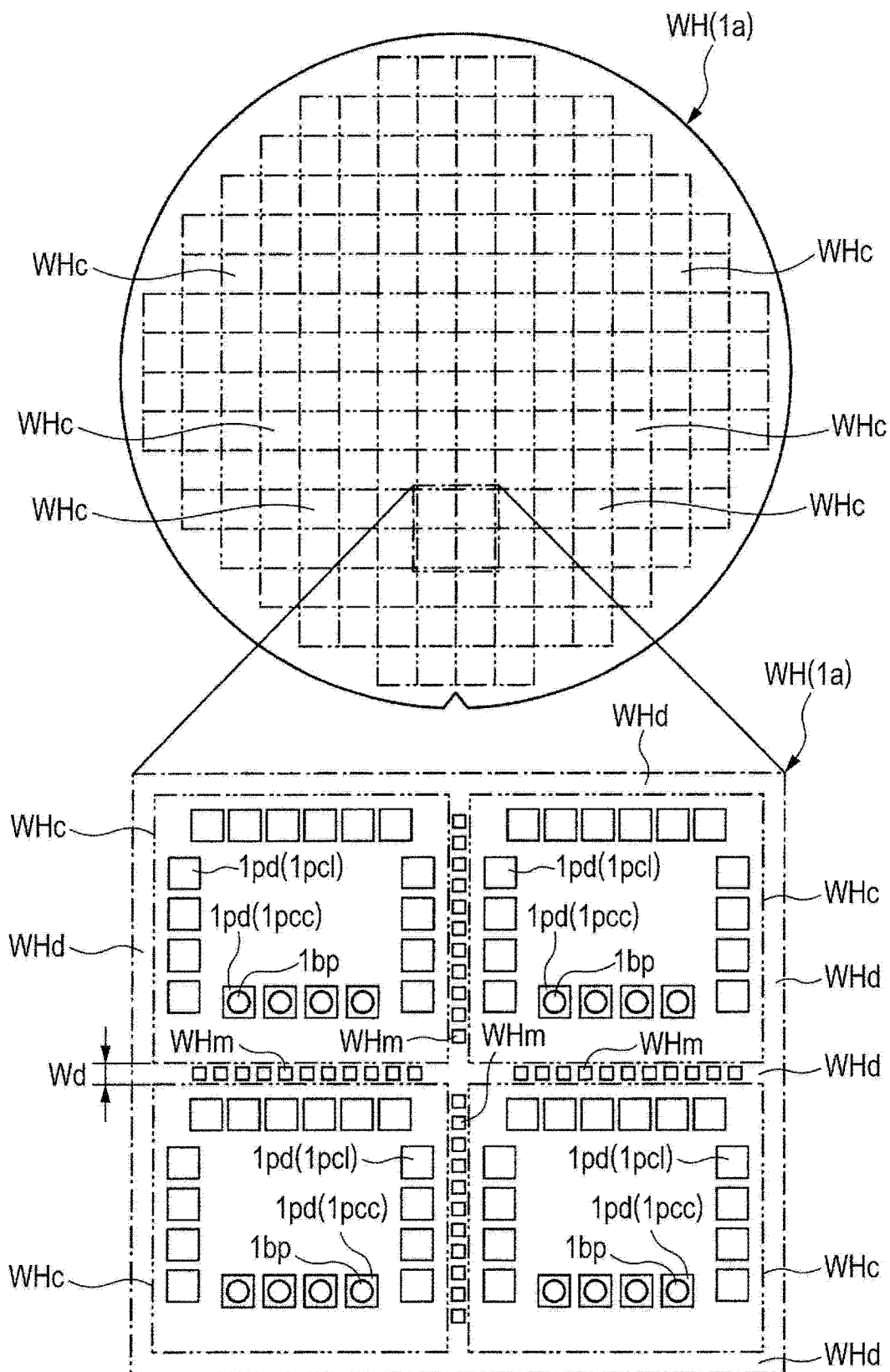


图 9

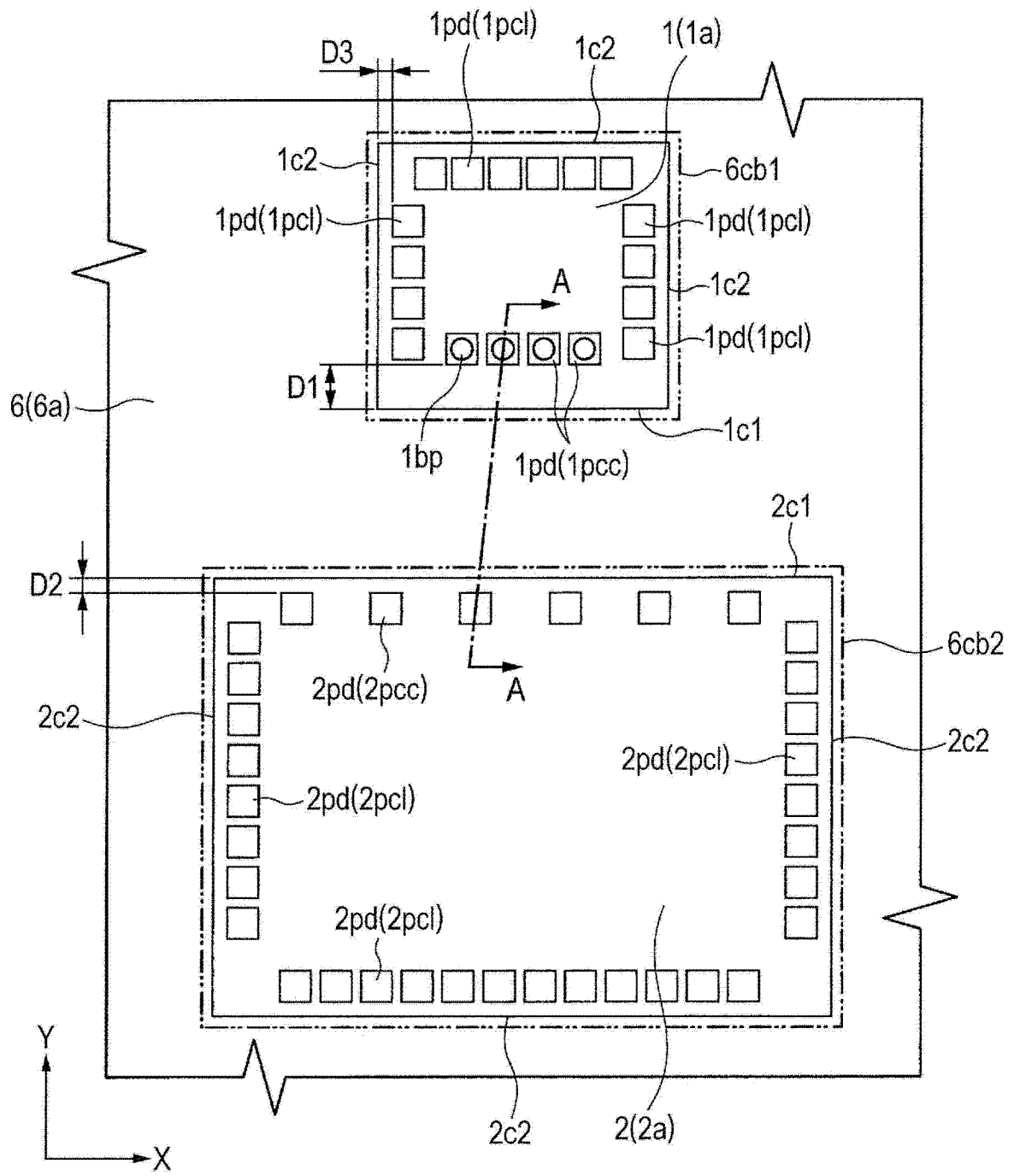


图 10

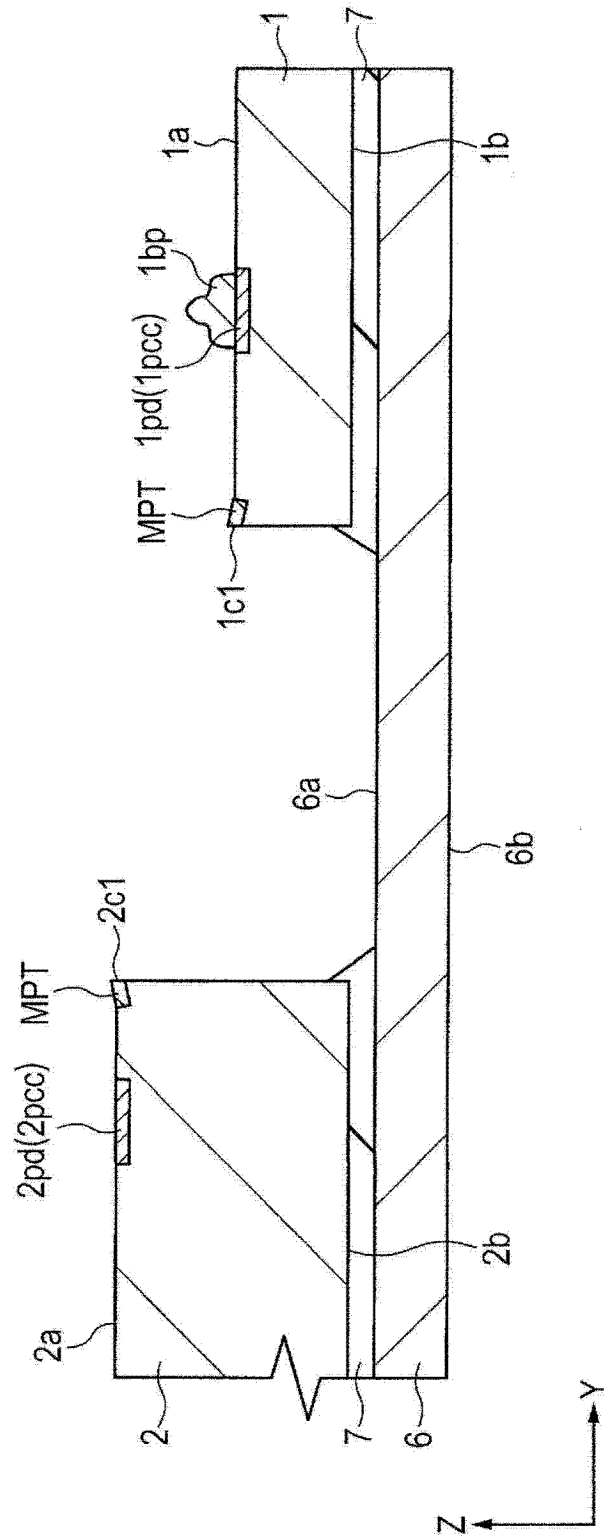


图 11

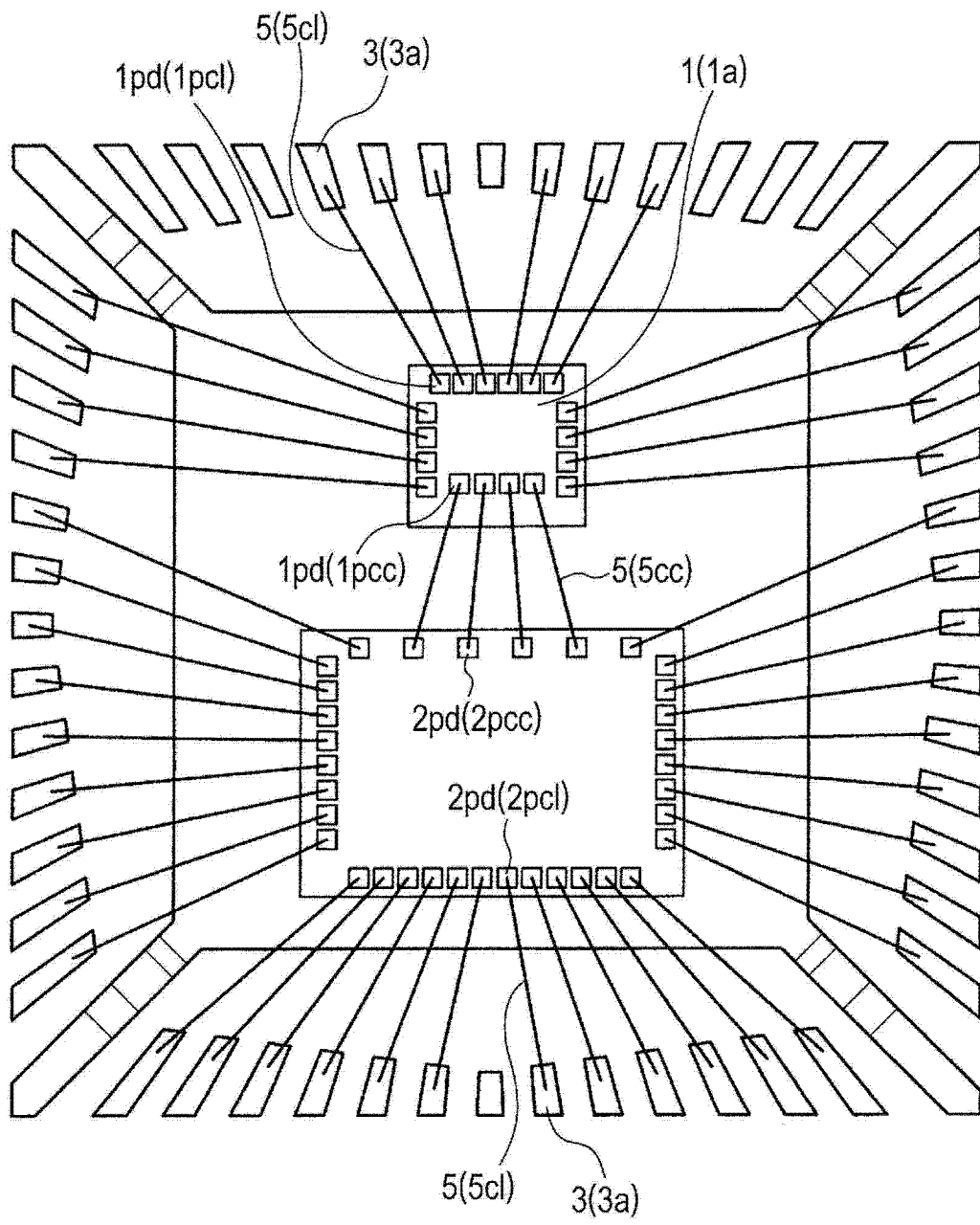


图 12

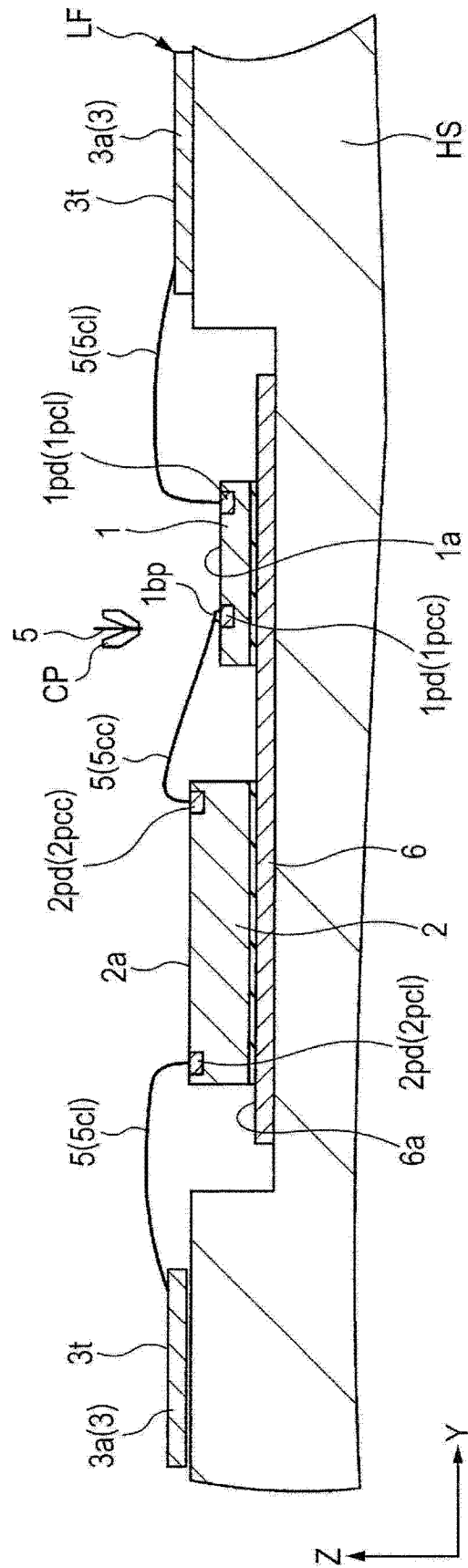


图 13

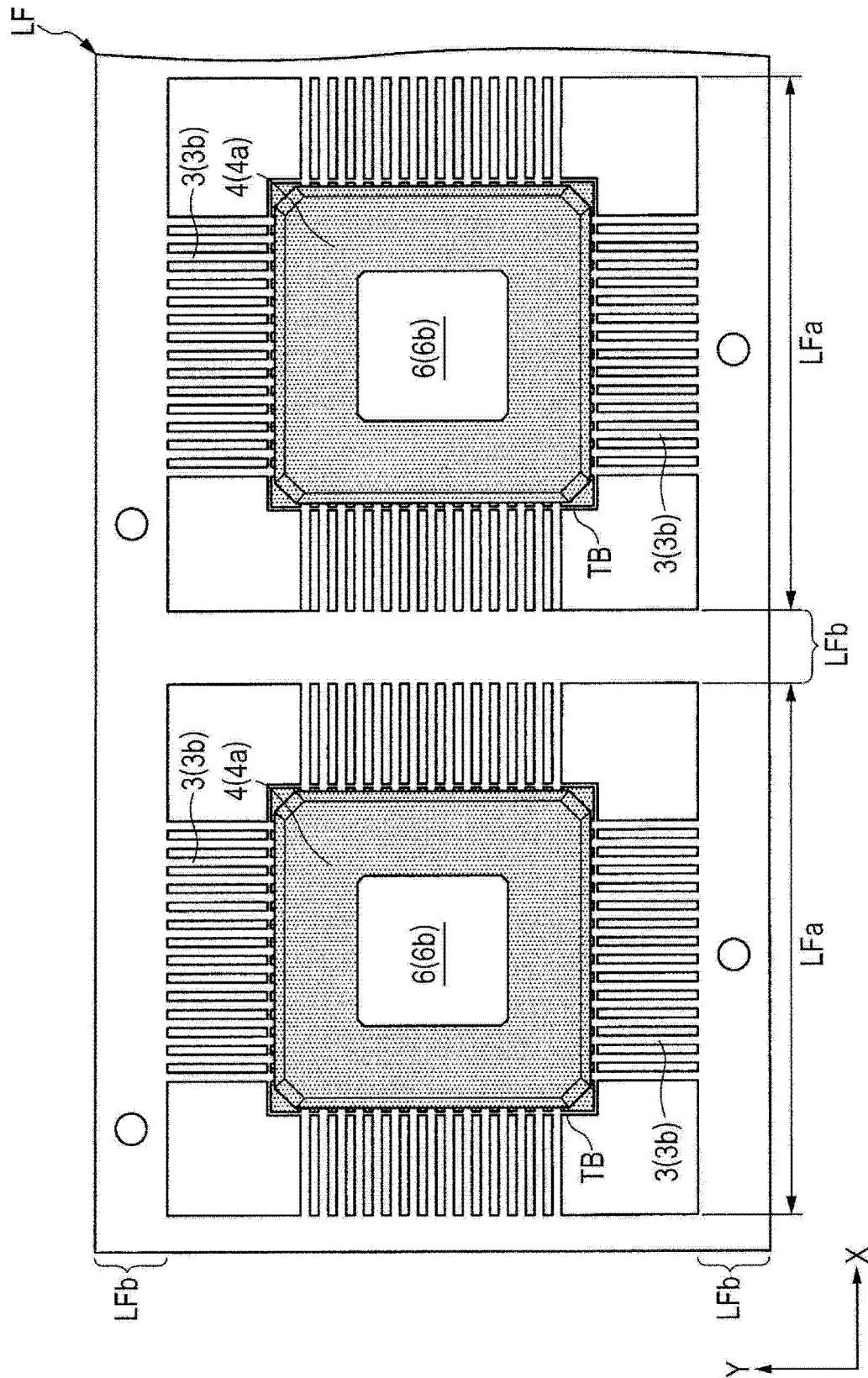


图 14

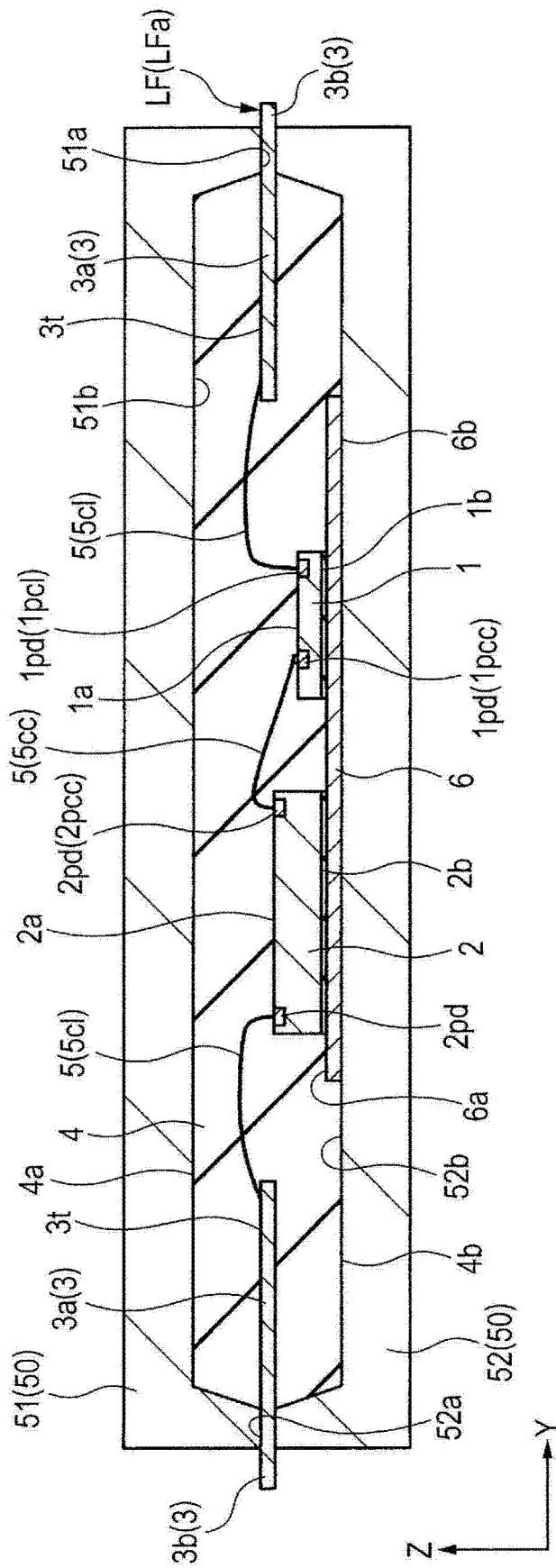


图 15

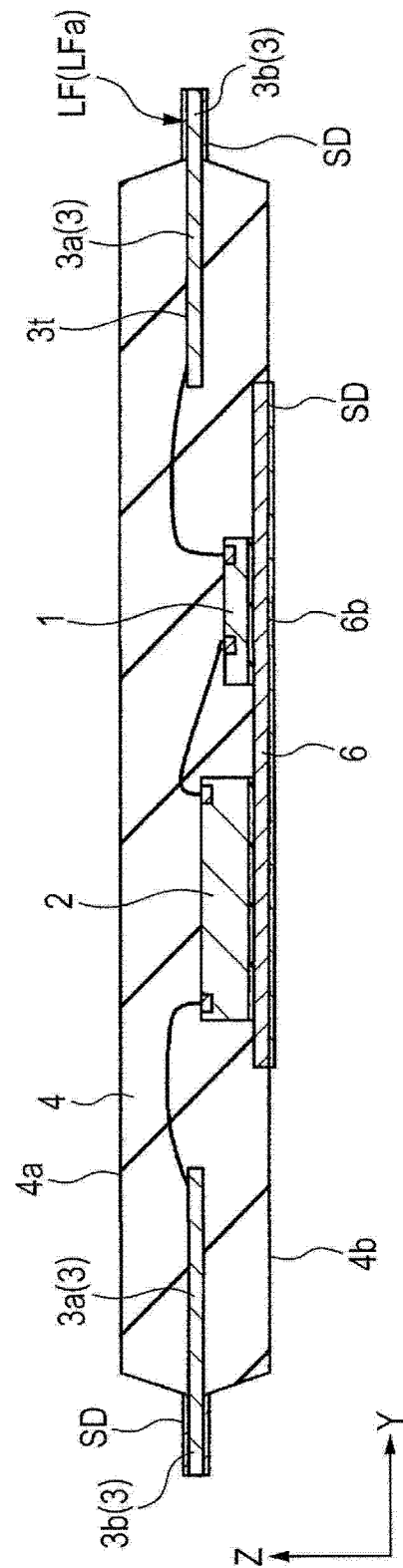


图 16

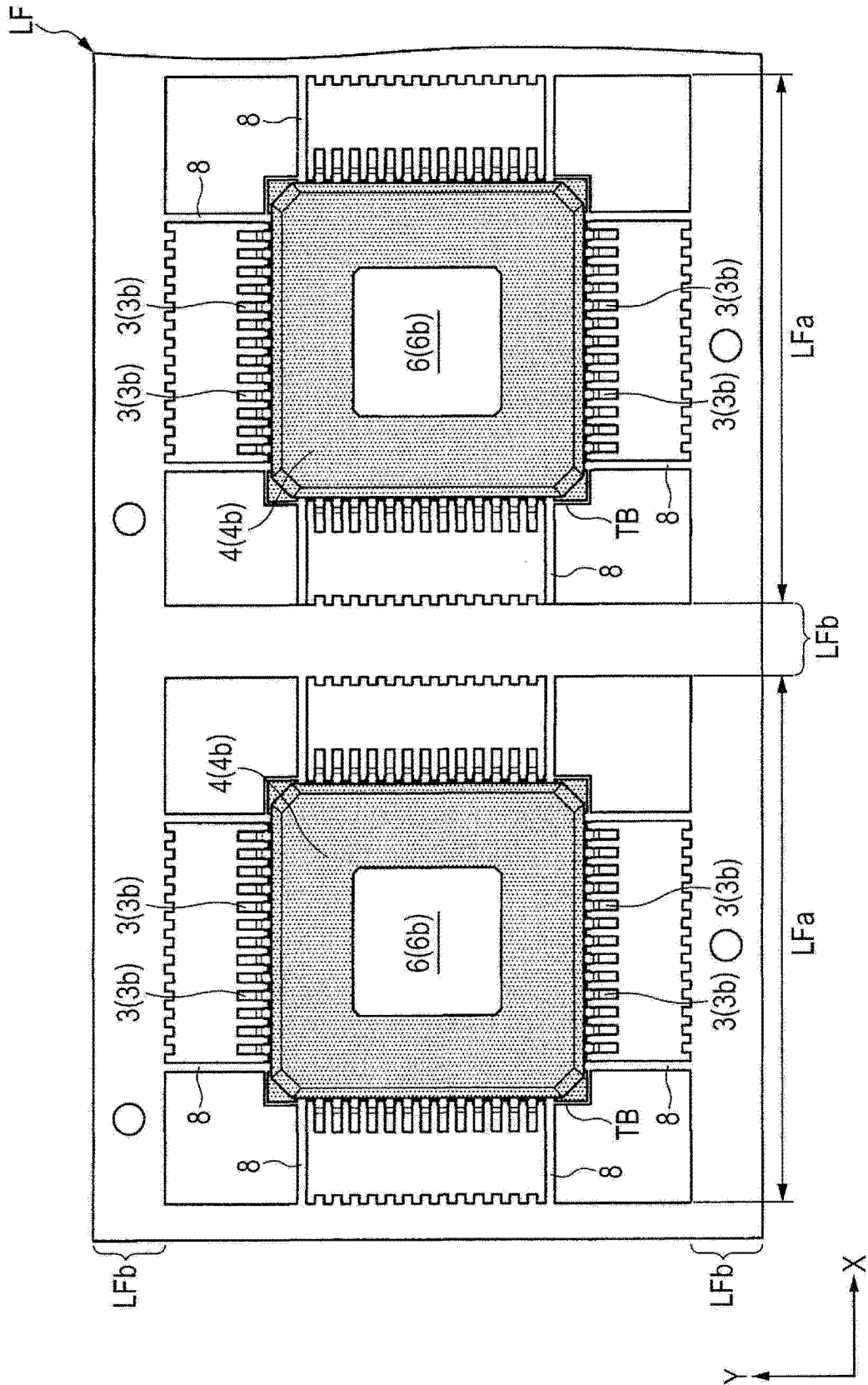


图 17

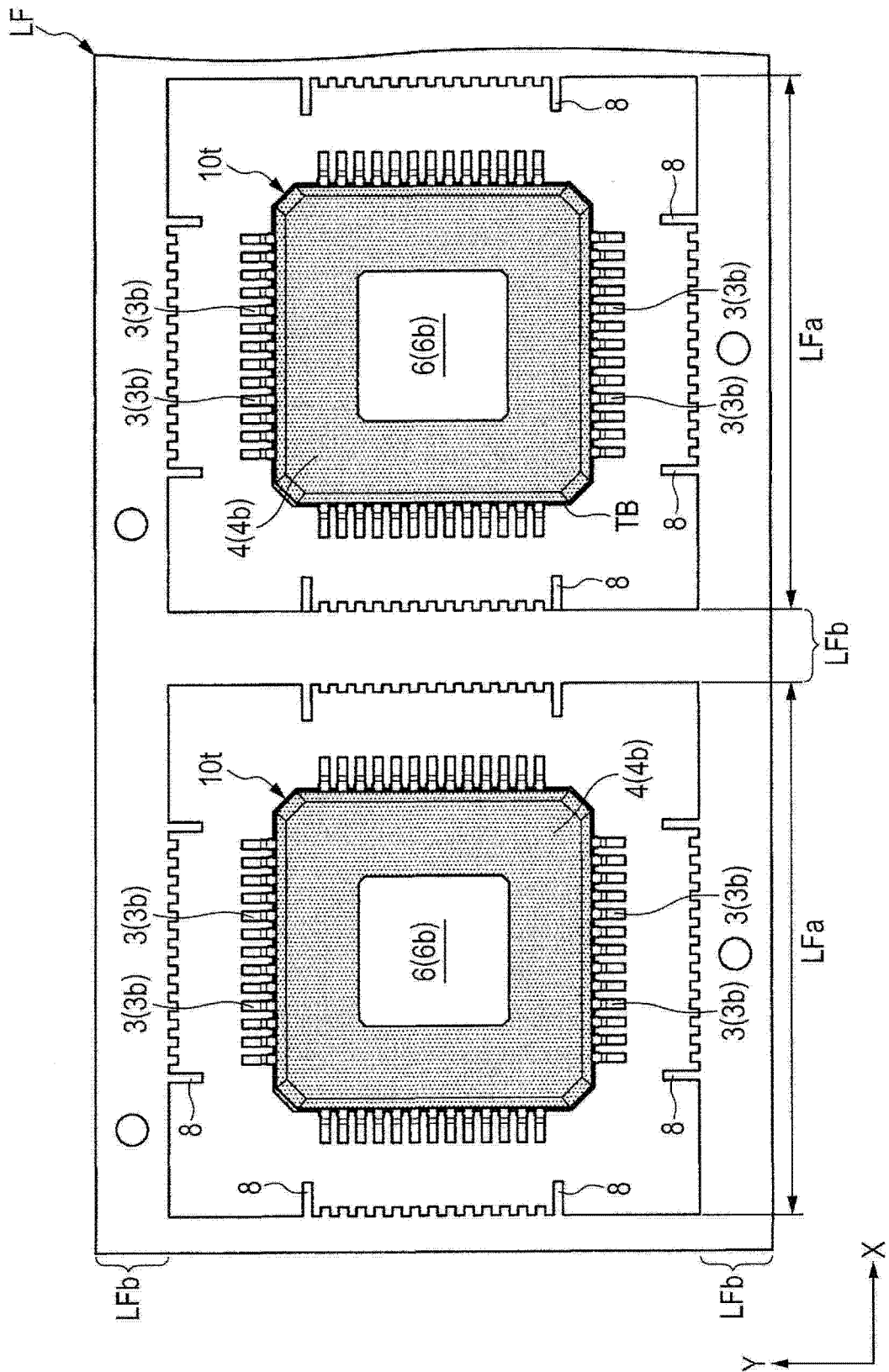


图 18

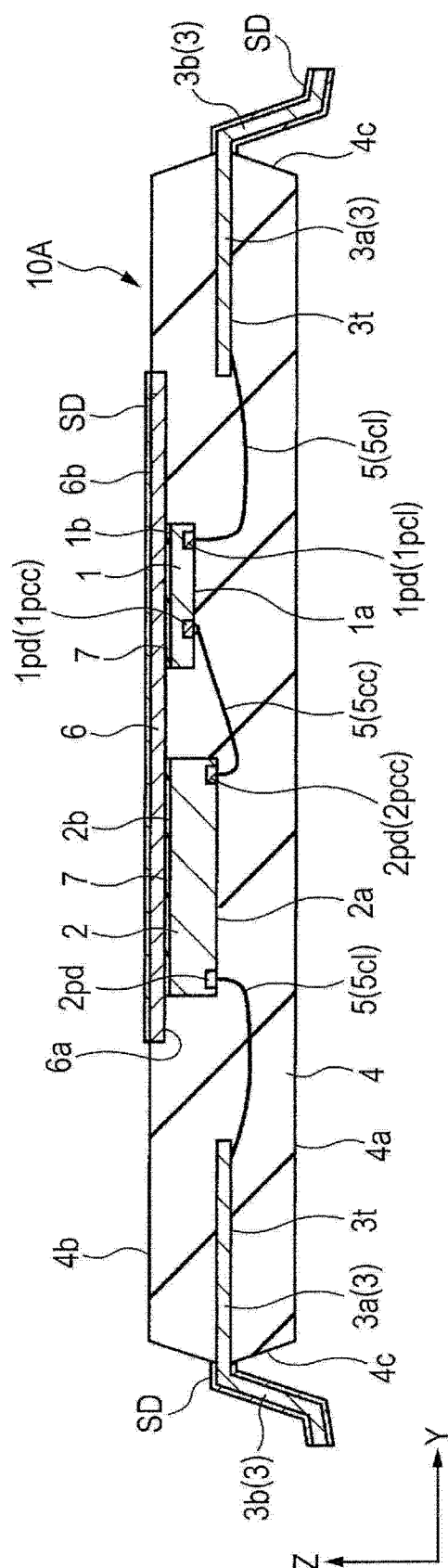


图 19

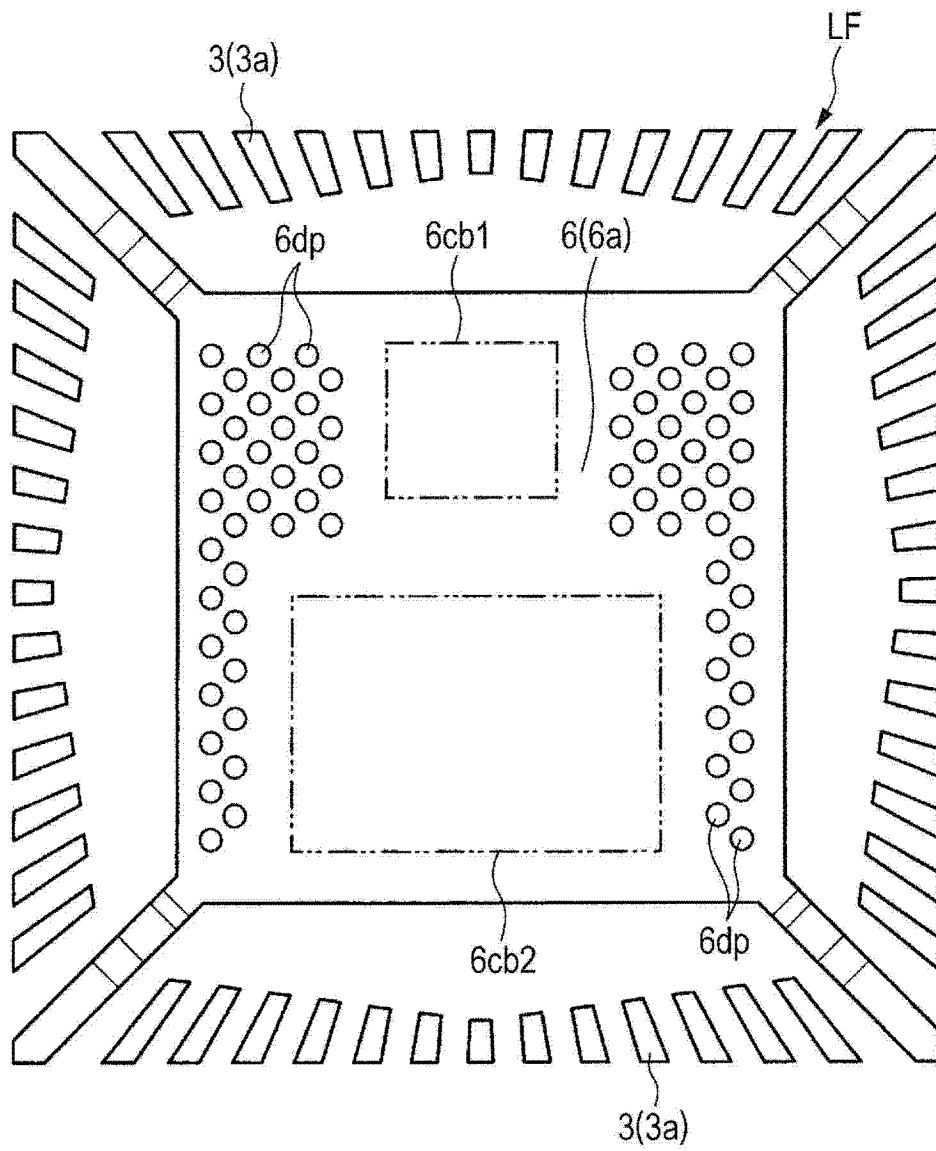


图 20

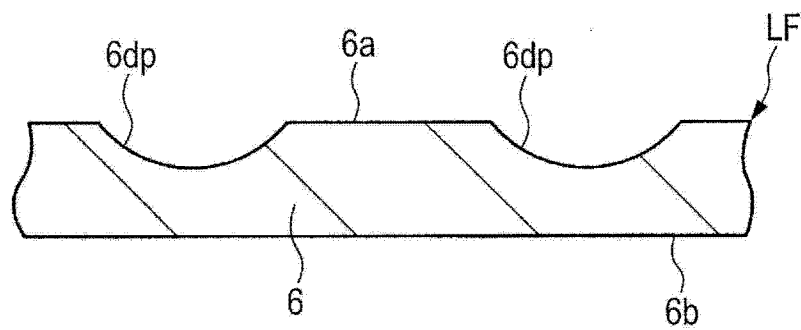


图 21

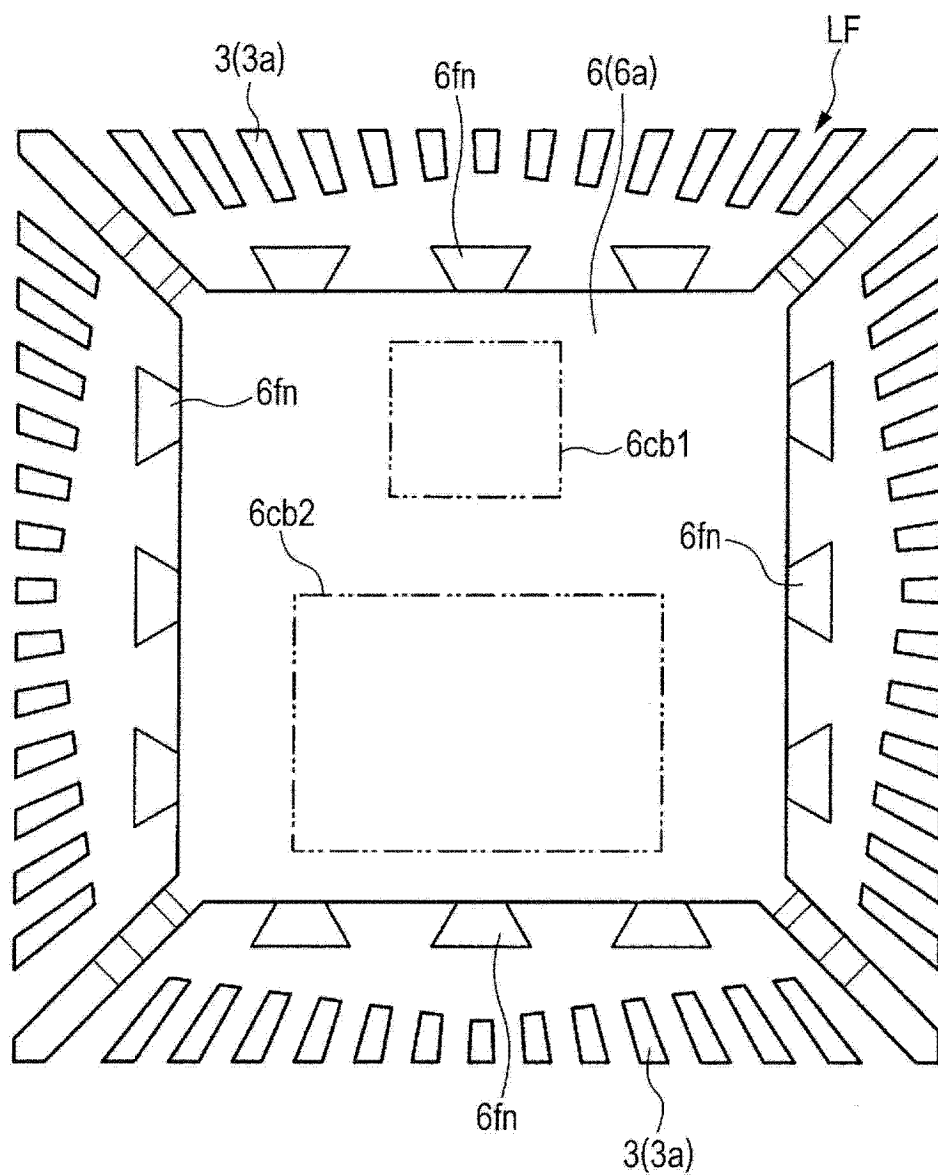


图 22

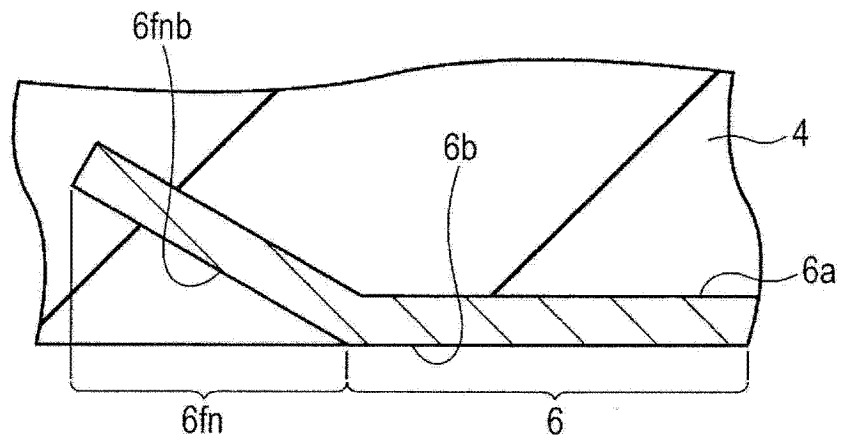


图 23