(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/41

(45) 공고일자 1999년02월01일
(11) 등록번호 특0161510
(24) 등록일자 1998년08월25일

(21) 출원번호 특1989-014039
(22) 출원일자 1989년09월29일
(65) 공개번호 특1990-007015
(43) 공개일자 1990년05월09일

(30) 우선권주장 88-253147 1988년10월07일 일본(JP)
(73) 특허권자 가부시끼가이샤 히다찌세이사꾸쇼 미다 가쓰시게
일본국 도꾜도 지요다구 간다 스루가다이 4-6히다찌초엘에스아이엔지니어링 가부시끼가이샤 오노 미노루
일본국 도꾜도 고다이라시 죠스이혼쪼 5-20-1
(72) 발명자 모리와끼 노부유끼
일본국 도꾜도 고다이라시 가꾸엔히가시마찌 1-16-32 고또부끼소 105호 히구찌 미쯔히로
일본국 도꾜도 고가네이 미도리쪼 5-20-22 히다찌고가네이료 도시따 미쯔히로
일본국 도꾜도 고다이라시 가꾸엔히가시마찌 2-12-32 다이 2렌께소 7호
(74) 대리인 백남기

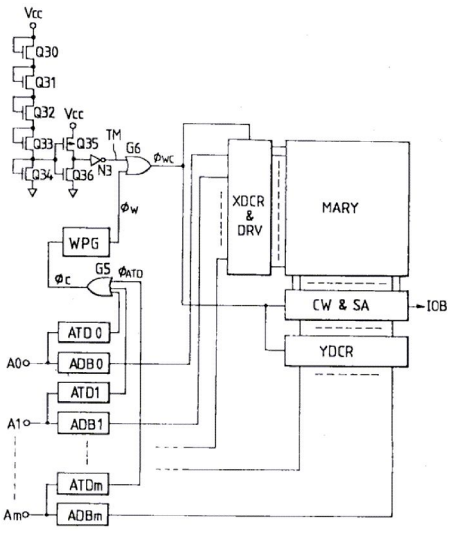
심사관 : 김종찬

(54) 반도체 메모리 장치

요약

내용 없음.

대표도



명세서

[발명의 명칭]

반도체 메모리장치

[도면의 간단한 설명]

제1도는 본 발명의 1실시예에 의한 스테이틱형 RAM을 도시한 블럭도.

제2도는 제1도의 스테이틱형 RAM의 메모리 어레이MARY와 주변회로의 1예의 회로도.

제3도는 본 발명의 스테이틱형 RAM의 통상동작모드의 1예를 설명하기 위한 타이밍도.

제4도는 본 발명에 의한 시험모드의 1예를 설명하기 위한 타이밍도.

제5도는 제2도의 리드회로에 사용되는 센스앰프회로를 상세하게 도시한 회로도.

제6도는 본 발명에 사용되는 어드레스 디코더회로의 1실시예를 도시한 회로도.

제7도 및 제8도는 본 발명에 사용되는 전압검출회로의 1실시예를 도시한 회로도.

[발명의 상세한 설명]

본 발명은 반도체 메모리장치에 관한 것으로서, 특히 자동 파워다운 시스템방식의 개량된 스테이틱형 RAM(Random Access Memory)에 관한 것이다.

최근에 어드레스 신호변화 검출신호를 사용하여 일련의 리드동작을 완료한 후에 워드선이나 센스앰프를 비동작상태로 하는 자동 파워다운 시스템을 사용한 스테이틱형 RAM이 개발되어 있다. 이러한 스테이틱형 RAM의 예로서는 히다찌세이사꾸쇼(주)에서 판매되는 HM62256, HM628128이 있다.

상술한 자동 파워다운 시스템은 칩 선택신호CS 등이 저레벨(로우레벨)의 활성상태에 있더라도 데이타의 리드동작의 완료시 워드선과 센스앰프를 비동작상태로 하는 것에 의해 전류소비를 저감시키는 것이다. 그러나, 자동 파워다운기능이 에이징과 같은 가속시험에 있어서도 작동하므로, 실제로 내부회로의 동작시간은 가속시험의 시험사이클보다 단축된다. 이 결과, 가속 시험에 필요한 시간이 길어진다는 문제점이 있다.

본 발명의 목적은 통상 동작모드에서의 자동 파워다운 시스템의 저소비전력화를 도모하면서 가속시험 등의 시험기간을 단축할 수 있는 스테이틱형 RAM을 제공하는 것이다.

본 발명의 상기 및 그밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에 의해서 명확하게 될 것이다.

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 다음과 같다. 즉, 본 발명은 소정의 시험동작모드시에 어드레스 신호변화 검출펄스에 따라서 자동 파워다운 시스템으로 형성된 내부 활성화펄스를 실질적으로 무효로 하는 기능을 마련한다.

상술한 수단에 의하면, 상술한 기능에 의해 내부 활성화펄스를 무효로 하여 장시간동안 워드선과 센스앰프를 활성화시키기 때문에 에이징과 같은 가속시험시간을 단축할 수 있다.

이하, 본 발명의 구성에 대해서 실시예에 따라 설명한다.

또한, 실시예를 설명하기 위한 모든 도면에 있어서 동일한 기능을 갖는 것에는 동일 부호를 붙이고 그의 반복적인 설명은 생략한다.

제1도는 본 발명의 1실시예에 관한 스테이틱형 RAM의 블럭도이다. 동일 도면에 도시된 RAM은 공지의 CMOS 집적회로기술에 의해 1개의 단결정 실리콘과 같은 반도체기판상에 형성된다.

특히 제한되지 않지만, 이 집적회로는 N형의 단결정 실리콘으로 이루어지는 반도체기판상에 형성된다. 스테이틱형 RAM의 P채널 MOSFET는 각각 반도체기판 표면에 형성된 소스영역 및 드레인영역과 얇은 게이트절연막을 거쳐서 소스영역과 드레인영역 사이의 반도체기판 표면에 형성된 다결정실리콘(폴리실리콘이라고도 한다)으로 이루어지는 게이트전극을 포함한다. 스테이틱형 RAM의 N채널 MOSFET는 각각 반도체기판 표면에 형성된 P형 웰 영역내에 형성된다. 이 반도체기판은 그 위에 형성된 여러개의 P채널 MOSFET의 공통기판 게이트를 구성한다. P형 웰 영역은 그 위에 형성된 N채널 MOSFET의 기판게이트를 구성한다.

동일 도면에 있어서, P채널 MOSFET는 그의 채널(백게이트)부에 화살표를 부가하는 것에 의해 N채널 MOSFET와 구별된다. 또, 이것은 다음에 설명하는 제2도, 제5도 및 제7도에 있어서도 마찬가지이다.

다음에 더욱 상세하게 설명하겠지만, 메모리 어레이MARY는 여러개의 워드선과 여러개의 상보데이타선의 교차점에 스테이틱형 메모리셀이 매트릭스형상으로 배치되어 구성된다.

외부단자에서 공급되는 어드레스신호A0~Am은 한쪽에 있어서 어드레스버퍼ADB0~ADBm로 공급되고, 다른쪽에 있어서 어드레스 신호변화 검출회로 ATD0~ATDm으로 공급된다. 이 어드레스버퍼중 X계의 어드레스신호를 수신하는 어드레스버퍼ADB0, ADB1 등에 의해 형성된 내부 어드레스신호는 X디코더 XDCR로 공급된다. 이 X디코더는 X어드레스신호를 해독해서 메모리어레이MARY의 여러개의 워드선에서 1개의 워드선을 선택하기 위한 선택신호를 발생한다. 이 선택신호는 구동회로DRV를 거쳐서 해당하는 워드선으로 전송된다. 제1도에 있어서, X디코더 XDCR과 구동회로DRV는 도면을 간단하게 하기 위해 1개의 회로블럭으로 도시하고 있다. 본 실시예에 있어서 통상 동작시 저소비 전력화를 도모하기 위해서 X디코더 XDCR은 다음에 설명하는 바와 같은 내부 활성화펄스에 따라 일정 기간동안만 선택신호를 출력한다.

상술한 어드레스버퍼중 Y어드레스신호를 수신하는 어드레스버퍼ADBm등에 의해 형성된 내부어드레스신호는 Y디코더 YDCR로 공급된다. 이 Y디코더YDCR은 Y어드레스신호를 해독하여 메모리어레이MARY의 여러개의 상보 데이타선에서 1쌍의 상보데이타선을 선택하기 위한 선택신호를 발생한다. 이 선택신호는 컬럼스위치로 전송된다. 이 컬럼스위치CW는 선택된 상보데이타선을 공통 상보데이타선에 접속시킨다. 센스앰프는 공통상보데이타선에 결합된다. 동일 도면에 있어서, 이 컬럼스위치CW와 센스앰프SA는 도면을 간단하게 하기 위해 1개의 회로블럭으로 도시하고 있다. 본 실시예에서는 통상 동작시 저소비전력화를 위해서 Y디코더YDCR과 센스앰프SA는 다음에 설명하는 바와 같은 내부 활성화펄스에 따라 일정 기간동안만 각각 선택신호를 출력하여 센스동작을 실행한다.

어드레스 신호변화 검출회로ATD0은 도시하지 않았지만 어드레스신호와 그의 지연신호를 수신하는 배타적OR회로로 구성하고, 어드레스신호A0이 고레벨(하이레벨)에서 저레벨로 또는 저레벨에서 고레벨로 변화하는 것에 따라 어드레스 신호변화 검출펄스 ϕ_{ATD}를 발생한다. 각각 다른 어드레스 신호변화 검출회로ATD1 등도 어드레스신호를 수신하여 이와 같은 방법으로 동작한다. 각 어드레스신호A0~Am에 대응해서 발생되

는 각 어드레스 신호변화 검출펄스ψ_{ATD}는 OR게이트회로 G5로 공급된다. 이 OR게이트회로G5는 여러개의 어드레스신호A0~Am중 어느 1비트라도 상술한 바와 같이 변화하는 어드레스가 있을 때 그 변화타이밍에 따라서 어드레스 신호변화 검출출력펄스ψ_C를 출력한다. 이 어드레스 신호변화 검출출력펄스ψ_C는 내부활성화펄스 발생회로WPG로 공급된다. 이 내부활성화펄스 발생회로WPG는 펄스폭을 확장시켜 메모리셀의 리드동작에 필요한 시간과 일치되는 펄스폭을 갖는 내부활성화펄스ψ_W를 발생한다.

본 실시예에서는 내부활성화펄스ψ_W는 디코더 XDCR과 YDCR에 직접 공급되지 않고 OR게이트회로G6을 거쳐서 공급되고 있다. 즉, 통상 동작시 OR게이트회로G6의 출력펄스ψ_{WC}가 실질적인 내부활성화펄스ψ_W로 된다. 그러나, 다음에 기술하겠지만 이것은 시험동작시의 경우는 아니다.

OR게이트회로G6의 게이트 제어동작은 다음에 설명하는 고전압 검출회로의 출력신호TM에 의해 실행된다. 고전압 검출회로는 다음과 같은 회로로 구성된다. 전원전압Vcc와 회로의 접지전위점 사이에 배치된 직렬MOSFET Q30~Q34는 전원전압Vcc의 레벨시프트동작을 실행하는 레벨시프트회로를 구성한다. 즉, 상술한 MOSFET Q30~Q34는 그의 게이트와 드레인이 접속되는 다이오드구성이다. 전원전압Vcc가 MOSFET Q30~Q34의 합성 임계값전압 이상으로 될때 MOSFET Q30~Q33의 합성 콘덕턴스와 MOSFET Q34의 콘덕턴스비에 비례해서 전원전압Vcc를 분압한 전압을 MOSFET Q33과 Q34와의 접속점으로부터 출력한다. 1예로서, 전원전압Vcc가 5V±10%의 범위내에서 MOSFET Q30~Q34의 합성 임계값전압 이하로 되어 직렬 MOSFET Q30~Q34를 통해서 직류전류가 흐르게 되는 것을 방지하게 된다. 한편, 예를 들어 전원전압Vcc를 약 8V의 비교적 높은 전압으로 설정했을 때, MOSFET Q30~Q34가 온(ON)상태로 되고 상기 분압전압이 전압비교회로로서 동작하는 P채널 MOSFET Q35와 N채널 MOSFET Q36으로 이루어지는 CMOS인버터회로의 임계값전압 이상으로 되도록, MOSFET Q30~Q34와 인버터회로를 구성하는 MOSFET Q35와 Q36의 콘덕턴스의 비가 설정되게 된다.

상기 MOSFET Q35와 Q36으로 이루어지는 CMOS인버터회로의 출력신호는 마찬가지의 CMOS인버터회로N3을 거쳐서 OR게이트회로G6을 제어하는 제어신호TM으로 된다.

제2도는 상기 메모리어레이MARY와 그의 주변회로의 구체적인 회로도이다.

메모리어레이MARY는 매트릭스형태로 배치된 여러개의 메모리셀, 워드선 W0~Wn 및 상보데이타선D0, $\overline{D0}$ ~D1, $\overline{D1}$ 로 구성된다. 메모리셀MC의 각각은 동일한 구조로 되어 있다. 제2도에 도시된 구체적 회로예에서 알 수 있는 바와 같이, 이러한 구조는 게이트와 드레인이 서로 교차접속되고 소스가 회로의 접지점에 결합된 N채널형 메모리MOSFET Q1, Q2 및 이 MOSFET Q1, Q2의 드레인과 전원단자Vcc 사이에 배치되고 다결정실리콘층으로 이루어지는 고저항R1, R2를 포함한다. N채널 전송게이트MOSFET Q3, Q4는 각각 MOSFET Q1, Q2의 공통 접속점과 상보 데이타D0, $\overline{D0}$ 사이에 배치된다. 동일 행에 배치된 메모리셀의 전송게이트 MOSFET Q3, Q4 등의 게이트는 예시적으로 도시된 대응하는 워드선W0~Wn에 공통 접속되고, 동일 열상에 배치된 메모리셀의 입출력단자는 예시적으로 도시된 1쌍의 상보 데이타선(비트선 또는 디지트(digit)선)D0, $\overline{D0}$ 에 접속된다.

각각의 메모리셀에 있어서, MOSFET Q1, Q2 및 저항R1, R2가 1종류의 플립플롭회로로 구성되지만, 데이타 래치상태에 있어서의 동작점은 통상 의미에서의 플립플롭회로와는 다소 다르다. 즉, 상기 메모리셀MC에 있어서 메모리셀을 저소비전력화하기 위해 저항R1의 저항값은 MOSFET Q1이 오프(OFF)상태로 되어 있을 때 MOSFET Q2의 게이트전압을 그의 임계값전압보다 약간 높은 전압으로 유지시킬 수 있을 정도의 현저하게 높은 저항값으로 설정된다. 마찬가지로, 저항R2의 저항값도 높은 저항값으로 설정된다. 즉, 저항R1, R2는 MOSFET Q1, Q2의 드레인의 누설전류를 보상할 수 있을 정도의 높은 저항값을 갖는다. 저항R1, R2는 MOSFET Q2의 게이트용량(도시하지 않음)에 축적되어 있는 데이타전하가 방전되어 버리는 것을 방지할 수 있을 정도의 전류공급능력을 갖고 있다.

본 실시예에 의하면, RAM은 CMOS-IC 기술에 의해 제조되지만, 메모리셀MC는 상기한 바와 같이 N채널 MOSFET와 다결정실리콘 저항소자로 구성된다.

본 실시예에서의 메모리셀 및 메모리어레이는 상기 다결정실리콘 저항소자 대신 P채널 MOSFET를 사용하는 경우에 비해 그 크기를 감소시킬 수 있다. 즉, 다결정실리콘 저항을 사용하는 경우에 구동MOSFET Q1 또는 Q2의 게이트 전극상에 그것을 형성할 수 있으며, 그 자체의 크기도 감소시킬 수 있다. P채널 MOSFET를 사용할 때와 같이 구동 MOSFET Q1, Q2로부터 비교적 큰 거리를 두고 떨어져 있을 필요는 없으므로, 불필요한 공백부분이 발생하지 않는다.

동일 도면에 있어서, 특히 제한되지 않지만 상보 데이타선D0, $\overline{D0}$ 및 D1, $\overline{D1}$ 와 전원전압Vcc 사이에는 그의 게이트에 정상적으로 회로의 접지전위가 공급되는 것에 의해 저항소자로서 동작하는 P채널형 부하MOSFET Q5~Q8이 배치된다. 이 MOSFET Q5~Q8은 각각 크기가 비교적 작게 형성되므로, 각 트랜지스터는 작은 콘덕턴스를 갖게 된다. P채널형 부하MOSFET Q5~Q8에는 각각 병렬형태로 P채널형의 부하MOSFET Q9~Q12가 배치된다. 이들 부하MOSFET Q9~Q12는 그의 크기가 비교적 크게 형성되므로 각 트랜지스터는 비교적 큰 콘덕턴스를 갖게 된다. MOSFET Q9~Q12가 온상태일 때, MOSFET Q5~Q8의 합성 콘덕턴스와 메모리셀MC의 전송게이트MOSFET 및 메모리MOSFET의 합성콘덕턴스와의 비는 상기 메모리셀MC의 리드동작에 있어서 상보 데이타선D0, $\overline{D0}$ 및 D1, $\overline{D1}$ 가 그의 메모리 데이타에 따른 원하는 전위차를 갖도록 설정된다. 라이트동작시에 전원전압Vcc와 같은 고레벨로 설정되는 내부 라이트신호WE는 각각의 부하 MOSFET Q9~Q12의 게이트에 공급된다. 이것에 의해, 라이트동작시에 각각의 부하 MOSFET Q9~Q12는 오프상태로 되고, 이 라이트동작에 있어서의 상보 데이타선의 부하수단은 작은 콘덕턴스를 갖는 MOSFET Q5~Q8만으로 된다.

동일 도면에 있어서, 워드선WO는 상기한 바와 같이 X디코더 XDCR과 구동회로DRV에 의해 선택된다.

이 X디코더 XDCR은 서로 유사한 NAND게이트G1, G2 등으로 형성된다. 이들 NAND게이트회로G1, G2 등의 입력단자에는 여러개의 비트로 구성되는 X계 외부어드레스신호AX를 수신하는 어드레스버퍼XADB에 의해 발생된 내부 상보어드레스신호가 소정의 조합으로 인가된다. OR게이트회로G6을 거쳐서 출력된 내부 활성화펄스 φ_{WC}는 공통으로 이들 NAND게이트회로G1, G2 등에 공급되고 있다.

상기 메모리어레이에 있어서의 상보 데이타선DO과 공통 상보데이타선CD 사이에는 N채널 MOSFET Q13과 병렬회로의 P채널 MOSFET Q14로 이루어지는 CMOS스위치회로가 배치된다. 다른 데이타선 $\overline{D0}$ 및 D1, $\overline{D1}$ 등도 마찬가지의 CMOS스위치에 의해 대응하는 공통 상보데이타선CD, $\overline{CD}$ 에 접속된다. 이들 CMOS스위치회로는 각각 컬럼 스위치CW를 구성한다.

컬럼스위치CW를 구성하는 N채널 MOSFET Q13, Q15 및 Q17, Q19의 게이트에는 Y디코더YDCR에 의해 발생된 선택신호Y0, Y1이 공급된다. P채널 MOSFET Q14, Q16 및 Q18, Q20의 게이트에는 상기 선택신호Y0, Y1을 수신하는 CMOS인버터회로N1, N2의 출력신호가 공급된다.

이 Y디코더YDCR은 서로 유사한 NAND게이트회로G3, G4 등으로 구성된다. 이들 NAND게이트회로G3, G4 등에는 여러개의 비트로 이루어지는 Y계 외부어드레스신호AY를 수신하는 Y어드레스버퍼YADB에 의해 형성된 내부 상보어드레스신호가 소정의 조합으로 인가된다. NAND게이트회로G3, G4 등에는 OR게이트회로G6을 거쳐서 출력된 내부 활성화펄스 φ_{WC}가 공통으로 공급되고 있다.

본 실시예에 있어서 특히 제한되지 않지만, 공통 상보데이타선CD, $\overline{CD}$ 에는 라이트동작의 고속화를 실현하기 위해 내부 라이트신호WE가 게이트에 공급되고 있을 때 고속인 라이트 회복동작을 실현하기 위해서 P채널형 부하(풀업) MOSFET Q21 및 Q22가 마련된다.

이 공통 상보데이타선CD, $\overline{CD}$ 에는 리드회로RA의 입력단자와 라이트회로WA의 출력단자가 접속된다. 리드회로RA는 데이타 출력단자Dout에 리드신호를 공급하고, 라이트회로WA의 입력단자에는 데이타 입력단자Din에서 공급된 라이트 데이타신호가 공급된다.

타이밍 제어회로TC는 외부단자 $\overline{WE}$, $\overline{CS}$ 에서 제어신호를 수신하여 내부 제어타이밍신호 φ_r, φ_{wr} 및 WE를 형성한다.

리드회로RA는 센스앰프와 출력회로를 포함하고, 제어회로TC에서 공급된 제어신호 φ_r과 내부 활성화펄스 φ_{wc}를 수신한다. 상기한 바와 같이, 리드회로RA는 센스앰프를 포함하고 고감도의 센스동작을 실행한다.

제5도는 제2도의 리드회로RA의 센스앰프를 도시한 회로도이다. 센스앰프는 MOSFET Q23~Q26 및 Q27~Q30으로 이루어진 2개의 차동증폭기로 구성된다. 입력 MOSFET Q25, Q26 및 Q30, Q29의 게이트는 각각 상보데이타선 CD, $\overline{CD}$ 에 접속된다. 일정한 전류원 MOSFET Q31은 2개의 차동증폭기에 공통으로 접속되고, 내부활성화펄스 φ_r, φ_{wc}는 일정한 전류원 MOSFET Q31의 게이트에 공급되고 리드동작시에 센스앰프는 소정의 기간동안 증폭동작을 실행한다. 동작상태로 될 때 센스앰프는 공통 상보데이타선CD, $\overline{CD}$ 에 공급되는 데이타신호를 차동증폭하고, 증폭된 데이타신호는 상보 출력선Dout, $\overline{Dout}$ 를 거쳐서 래치회로(도면에는 도시하지 않음)로 공급된다. 이 래치회로는 데이타신호를 래치하여 데이타 출력단자Dout로 출력한다(제2도). 비동작상태로 될 때 리드회로RA의 출력단자Dout는 고임피던스상태나 플로팅상태로 설정된다.

제2도의 라이트회로WA의 동작은 대표적인 제어신호 φ_{wr}에 의해 제어된다. 동작상태로 될 때 라이트회로WA는 데이타 입력단자Din으로 공급되는 입력데이타와 대응하는 상보데이타신호를 공통상보데이타선CD, $\overline{CD}$ 로 출력한다. 라이트회로WA가 비동작상태로 될 때 그의 1쌍의 출력단자는 고임피던스상태나 플로팅상태로 설정된다.

특히 제한되지 않지만, 1쌍의 상보데이타선DO과 $\overline{D0}$ 및 D1과 $\overline{D1}$ 사이 또는 공통상보데이타선CD와 $\overline{CD}$ 사이에는 등화(이콜라이즈)용 MOSFET를 마련해도 좋다. 이들 등화용 MOSFET는 어드레스신호의 변화검출신호 φ_c 등을 수신하고 상보데이타선 또는 공통상보데이타선을 일시적으로 단락시켜 그들 전위를 서로 동일하게 한다.

제3도는 통상 모드에서의 리드동작의 1예를 설명하기 위한 타이밍도이다. 도시하지 않은 칩선택신호 $\overline{CS}$ 가 저레벨로 되고, 메모리액세스를 위한 어드레스신호의 공급에 의해 어드레스신호Ai중의 어느 1개라도 변화하면, 그에 따라서 어드레스신호 변화검출회로ATDi가 동작해서 어드레스신호 변화검출펄스 φ_{ATD}를 발생시킨다. 이 펄스 φ_{ATD}는 OR게이트회로G5를 거쳐서 내부활성화펄스 발생회로WPG로 전송된다. 이 내부활성화펄스 발생회로WPG는 메모리셀의 메모리 데이타의 소정의 리드완료시간과 일치한 펄스폭을 갖는 활성화펄스 φ_W를 발생한다. 상기와 같은 통상모드에서는 특히 제한되지 않지만 전원전압Vcc가 약 5V 정도이므로, 제어신호TM은 저레벨(논리0)로 되어 있다. 그러므로, 활성화펄스 φ_W는 그대로 내부활성화펄스 φ_{WC}로서 디코더XDCR, YDCR 및 센스앰프SA로 전송된다. 따라서, 선택된 워드선WO은 활성화펄스 φ_{WC}의 펄스폭(통상동작에서 펄스폭 φ_W에 대응)에 대응하는 시간동안 고레벨의 선택상태로 된다. 마찬가지로, Y디코더YDCR에 의해 선택되는 컬럼스위치CW를 구성하는 스위치MOSFET도 마찬가지의 기간동안 온상태로 되

어 있다. 또, 센스앰프SA도 활성화펄스ψ_{WC}의 펄스폭에 대응하는 기간동안 활성화된다. 실제로는 상기와 같은 워드선의 선택동작과 상보데이타선의 선택동작이 있은 후 메모리셀의 메모리정보가 센스앰프로 전송되므로, 동일 도면에 도시된 방법으로 센스앰프의 증폭 동작 개시타이밍은 지연된다.

센스앰프의 증폭출력은 래치회로FF에 의해 래치되므로, 메모리사이클의 전반기간에서는 이전 사이클의 데이타선이 그대로 유지된다.

본 실시예에서는 내부활성화펄스ψ_{WC}에 의해 워드선과 상보 데이타선의 선택동작이 소정의 기간동안 실행된다. 따라서, 상보데이타선에서 선택된 워드선에 접속된 여러개의 메모리셀로 흐르는 전류가 필요 최소한의 레벨로 감소되므로 저소비전력화를 도모할 수 있게 된다. 또, 비교적 작은 메모리정보를 고감도로 증폭하는 센스앰프도 필요한 기간만큼 전류를 소비하므로, 저소비전력화를 도모할 수 있게 된다. 이 동작은ψ_W가 저레벨로 복귀될 때 펄스회로WPG로부터의 펄스ψ_W가 워드선의 선택 및 센스앰프의 동작을 파워다운시키므로 자동파워다운동작이라 한다.

제4도는 에이징과 같은 가속 시험 동작모드의 1예를 설명하기 위한 타이밍도이다.

에이징과 같은 가속시험에 있어서 전원전압Vcc는 약 8V와 같은 비교적 높은 전압값으로 설정된다. 이 상태에서 칩선택신호 $\overline{CS}$ 가 저레벨로 설정되고, 메모리액세스를 위한 어드레스신호의 공급에 의해 어드레스신호Ai중의 어느 1개라도 변화하면 그것에 따라서 어드레스신호 변화검출회로ATDi가 동작해서 어드레스신호 변화검출펄스ψ_{ATD}를 발생시킨다. 이 검출펄스ψ_{ATD}는 OR게이트회로G5를 거쳐서 내부활성화펄스 발생회로WPG로 전송된다. 통상동작의 경우에서와 같이 내부활성화펄스 발생회로WPG는 상기와 마찬가지 방법으로 메모리셀의 기억정보의 소정의 리드완료시간과 일치하는 펄스폭을 갖는 활성화펄스ψ_w를 발생한다. 그러나, 상기와 같은 시험모드에서 전원전압이 약 8V정도이므로, 제어신호TM이 고레벨(논리 1)로 된다. 이것은 TM이 고레벨로 있는 동안ψ_{wc}가 일정한 고레벨(논리 1)로 되는 것을 의미한다. 따라서, 상기 활성화펄스ψ_w가 실질적으로 무효로 되고(이것은ψ_{wc}에 대응하지 않음), 디코더XDCR, YDCR 및 센스앰프SA는 정상적으로 동작상태로 된다. 이것은 메모리의 동작사이클의 전체 기간동안의 최후인 것이 바람직하다. 따라서, 칩선택신호 $\overline{CS}$ 가 저레벨인 메모리액세스기간에 있어서 항상 어느 1개의 워드선이 선택상태로 되고, 1쌍의 상보데이타선이 선택되어 공통 상보데이타선에 결합된다. 또, 라이트모드 이외의 모드에서 센스앰프는 동작상태로 된다. 그 결과, 선택된 워드선에 접속되는 메모리셀에는 상보데이타선으로부터의 직류전류가 흐르게 되고 센스앰프와 같은 리드회로RA도 동작상태로 되기 때문에 상기 에이징시간을 단축할 수 있게 된다.

상기 실시예에 의해 얻어지는 작용효과는 다음과 같다.

[1] 에이징과 같은 가속시험모드에 있어서, 어드레스신호 변화검출펄스에 따라 형성된 내부활성화펄스ψ_w를 실질적으로 무효로 하는 것에 의해 워드선과 상보 데이타선의 선택상태 및 센스앰프의 동작상태를 지속시킬 수 있으므로, 통상모드에서의 저소비 전력화를 도모하면서 에이징과 같은 가속테스트시간을 단축시킬 수 있다(여기서, ψ_w는 무효로 되지 않음).

[2] 상기 내부활성화펄스ψ_w를 실질적으로 무효로 하는 회로로서 전원전압Vcc가 소정의 고전압으로 된 것을 검출하고 에이징과 같은 가속시험시의 동작전압을 이용해서 시험모드로 자동적으로 설정할 수 있으므로, 외부단자와 제어신호의 증가를 방지할 수 있다.

이상 본 발명자에 의해서 이루어진 발명을 상기 실시예에 따라 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 물론이다. 예를 들면, 시험모드는 전원전압을 고전압으로 설정하는 상기 방법 이외에 시험모드 설정단자의 배치, 칩선택신호와 라이트 인에이블신호와 입출력단자Din, Dout의 조합 등과 같은 여러가지 방법으로 설정할 수 있다. 워드선의 선택동작을 내부활성화펄스에 따라서 제어하는 구성은 어드레스 디코더를 이용하는 상기 방법 이외에 구동회로의 동작을 제어하는 구조를 채용해도 좋다. 이러한 방법으로 내부회로의 활성화를 제어하는 수단은 여러가지 형태를 채용할 수 있다.

제6도는 X디코더회로XDCR의 다른 실시예를 도시한 도면이다. X어드레스버퍼XADB에서 공급된 내부어드레스신호a_0, a_1 … a_n은 NAND게이트G7, G8등에 의해 미리 디코드되어 X디코더회로XDCR로 공급되는 어드레스신호선의 수를 감소시킨다. NAND게이트G7는 미리 디코드된 신호a_1, a_0을 발생하고, 이것을 NAND게이트G1등의 디코더회로로 전송한다. NAND게이트G8은 내부활성화신호ψ_{wc}를 포함하는 그밖의 미리 디코드된 신호a_{n-1}, a_n, ψ_{wc}를 발생한다. 따라서, NAND게이트G1은 내부활성화 펄스신호ψ_{wc}에 따라서 소정의 기간동안 구동회로N3을 거쳐서 워드선WO으로 워드선 선택신호를 출력한다. 상기와 같은 NAND게이트회로를 사용하는 것 이외에 내부 활성화펄스ψ_w공급을 무효로 하는 수단은 다른 논리게이트회로 또는 스위치를 사용하는 회로라도 좋다.

시험모드를 검출하기 위해 고전압 검출회로는 여러가지 방법으로 변경가능하다. 제7a도는 본 발명에 사용할 수 있는 전압검출회로의 다른 실시예를 도시한 회로도이며, 제7b도는 제7a도의 회로동작상태를 도시한 도면이다.

제7a도 및 제7b도에 따르면, 전압레벨노드Ⓑ는 노드 Ⓐ와 Ⓑ 사이의 전압차 즉 바이폴라 트랜지스터Q32의 베이스와 에미터간의 전압차가 트랜지스터Q32의 임계전압을 초과하면 Vcc가 증가함에 따라서 증가하고, 트랜지스터Q32는 온상태로 되고, 전압레벨노드Ⓐ는 증가한다.

노드Ⓐ의 전압레벨이 트랜지스터Q35의 임계전압보다 높으면 노드Ⓒ의 전압레벨은 저레벨로 된다. 그 후, 인버터N4는 고레벨을 출력하여 Vcc가 소정의 레벨 이상으로 증가되고 있음을 나타낸다.

제8a도 및 제8b도는 고전압 시험모드 상태를 검출하는 다른 실시예를 도시한 도면이다. 트랜지스터Q37, Q38 및 Q39는 노드Ⓐ의 전압레벨을 Vth Q37+Vth Q38+Vth Q39로 고정된다.

Vcc와 노드Ⓐ의 전압레벨의 전압차가 Vth Q40을 초과하면, 트랜지스터 Q40은 온상태로 되어 Vcc가 소정 레벨 이상으로 증가했음을 나타낸다.

트랜지스터 Q40을 활성화시키는 전압을 제어하기 위해서 직렬로 접속된 여러개의 트랜지스터(Q37, Q38, Q39)가 마련되어 있다.

스테이틱 메모리셀에 있어서의 부하수단은 상기와 같은 고저항 다결정실리콘을 사용한 수단 이외에 전류 공급능력이 작게 설정된 P채널 MOSFET를 사용한 완전 스테이틱형이라도 좋다. 메모리어레이의 상보 데이타선내에 배치된 부하수단은 2개의 MOSFET를 사용한 상기 수단 이외에 1개의 MOSFET만으로 구성해도 좋다. 이러한 방법으로 메모리어레이의 구조 및 그 주변회로의 회로구성은 여러가지 형태로 할 수 있다. 예를 들면, 이 주변회로는 CMOS회로와 바이폴라 트랜지스터의 조합으로 구성해도 좋다.

본 발명은 스테이틱RAM에 광범위하게 이용할 수 있는 예를 들면 1칩 마이크로컴퓨터와 같은 각종 디지탈 집적회로에 내장되는 것이어도 좋다.

본 발명의 대표적인 효과를 간단히 설명하면 다음과 같다. 즉, 에이징과 같은 가속 시험모드에 있어서 어드레스신호의 변화검출펄스에 따라 형성된 내부 활성화펄스를 워드선과 상보데이타선의 선택상태와 센스앰프의 동작상태가 지속될 수 있도록 무효화하는 것에 의해, 통상 모드에서의 저소비전력화를 도모하면서 에이징 등의 가속 시험시간을 단축시킬 수 있다.

(57) 청구의 범위

청구항 1

1개의 반도체기판상에 형성된 반도체메모리장치로써, (a) 여러개의 워드선과 여러개의 데이타선쌍에 결합된 여러개의 메모리셀, (b) 상기 여러개의 메모리셀에서 리드된 데이타를 증폭하기 위해 스위치수단을 거쳐서 상기 여러개의 데이타선쌍에 선택적으로 결합되는 리드수단, (c) 상기 반도체 집적회로 장치의 외부에서 공급된 어드레스신호의 변화에 응답해서 펄스신호를 출력하기 위한 어드레스 변화검출수단, (d) 상기 펄스신호에 응답해서 소정의 펄스폭을 갖는 제1제어신호를 출력하기 위한 펄스발생수단, (e) 소정의 외부단자에 부여되는 전압레벨에 따라서 소정의 동작모드를 검지하며 또한 상기 소정의 동작모드가 검지되었을 때 제2제어신호를 출력하기 위한 동작모드 검지수단, (f) 상기 제1제어신호 및 제2제어신호를 받으며 또한 제3제어신호를 출력하는 수단을 갖는 제어수단 및 (g) 상기 제3제어신호와 상기 어드레스신호를 받도록 결합되고, 상기 제3제어신호의 펄스폭에 대응하는 기간, 상기 어드레스신호에 대응하는 소정의 워드선을 선택상태로 하기 위한 제1선택수단을 포함하고, 상기 여러개의 메모리셀의 각각은 상기 여러개의 워드선중의 대응하는 1개와 상기 여러개의 데이타선쌍중의 대응하는 1쌍에 결합되고, 상기 제어수단의 출력수단은 상기 동작모드 검지수단이 소정의 동작모드를 검지하지 않을 때 상기 제1제어신호에 응답해서 소정의 펄스폭을 갖는 상기 제3제어신호를 출력하며, 또한 상기 동작모드 검지수단이 상기 소정의 동작모드를 검지했을 때 상기 제2제어신호에 응답해서 상기 소정의 펄스폭보다도 긴 기간, 상기 제3제어신호를 출력하는 반도체메모리장치.

청구항 2

제1항에 있어서, 상기 출력수단은 상기 소정의 동작모드를 검지했을 때 상기 반도체메모리장치의 동작사이클의 실질적인 전체 기간, 상기 제3제어신호를 출력하는 반도체메모리장치.

청구항 3

제2항에 있어서, 상기 소정의 동작모드는 시험동작모드이고, 상기 동작모드 검지수단은 상기 외부단자에 공급되는 전압레벨이 상기 반도체메모리장치의 통상 동작전압보다도 큰 레벨일 때 상기 제2제어신호를 출력하는 반도체메모리장치.

청구항 4

제1항에 있어서, 상기 반도체메모리장치는 상기 제3제어신호에 응답해서 소정의 데이타선쌍을 상기 리드수단에 선택적으로 결합하기 위한 제2선택수단을 또 포함하고, 상기 리드수단은 상기 제3제어신호에 응답해서 동작하는 센스앰프를 포함하는 반도체메모리장치.

청구항 5

제4항에 있어서, 상기 소정의 동작모드가 검지되지 않을 때 상기 제1선택수단, 상기 제2선택수단 및 상기 리드수단은 소정의 전원전압에 따라서 동작하고, 상기 동작모드 검지수단은 상기 소정의 동작모드의 기간, 상기 반도체메모리장치에 공급되는 상기 소정의 전원전압보다도 큰 고전압을 검지하기 위해 상기 소정의 외부단자에 결합되는 고전압 검지회로를 포함하는 반도체메모리장치.

청구항 6

제5항에 있어서, 상기 소정의 외부단자는 상기 반도체메모리장치의 전원핀인 반도체메모리장치.

청구항 7

제5항에 있어서, 상기 소정의 외부단자는 상기 소정의 동작모드로 되는 시험동작모드를 설정하기 위한 핀인 반도체메모리장치.

청구항 8

제5항에 있어서, 상기 고전압 검지회로는 전원전압레벨과 접지레벨 사이에 결합된 여러개의 MOSFET와 상기 여러개의 MOSFET중의 소정의 2개의 MOSFET의 결합점에 결합된 입력단자를 갖는 인버터를 포함하는 반도체메모리장치.

청구항 9

제8항에 있어서, 상기 여러개의 MOSFET의 각각은 게이트 및 상기 게이트에 결합된 드레인을 갖는 n채널형 MOSFET인 반도체메모리장치.

청구항 10

제5항에 있어서, 상기 제1선택수단은 여러개의 디코더회로를 포함하고, 상기 여러개의 디코더회로의 각각은 상기 제3제어신호를 받으며 또한 상기 여러개의 워드선중의 대응하는 1개에 각각 결합되는 반도체메모리장치.

청구항 11

제10항에 있어서, 상기 여러개의 디코더회로의 각각은 상기 제3제어신호와 상기 어드레스신호를 받고 그들 논리를 취하는 반도체메모리장치.

청구항 12

제5항에 있어서, 상기 제1선택수단은 디코더회로에 결합된 여러개의 프리디코더회로와 상기 여러개의 워드선 및 상기 디코더회로에 결합된 여러개의 드라이버회로를 포함하고, 상기 여러개의 드라이버회로의 각각은 상기 제3제어신호에 응답해서 대응하는 1개의 워드선을 선택적으로 활성화시키는 반도체메모리장치.

청구항 13

제4항에 있어서, 상기 여러개의 메모리셀의 각각은 2개의 인버터회로를 포함하고, 상기 2개의 인버터회로중의 한쪽의 입력단자는 상기 2개의 인버터회로중의 다른쪽의 출력단자에 결합되고, 상기 2개의 인버터회로중의 상기 한쪽의 출력단자는 상기 2개의 인버터회로중의 상기 다른쪽의 입력단자에 결합되는 반도체메모리장치.

청구항 14

제13항에 있어서, 상기 인버터회로의 각각은 전원전압레벨과 접지레벨 사이에 직렬형태로 결합된 다결정실리콘저항과 MOSFET를 포함하는 반도체메모리장치.

청구항 15

제1항에 있어서, 상기 소정의 동작모드는 시험동작모드이고, 상기 동작모드 검지수단은 상기 소정의 외부단자에 공급되는 전압레벨이 상기 반도체메모리장치의 통상 동작전압보다도 큰 레벨일 때 상기 제2제어신호를 출력하는 반도체메모리장치.

청구항 16

어드레스단자에 공급되는 어드레스신호의 변화를 검지하기 위한 어드레스신호 변화검출회로를 포함하는 반도체메모리장치의 동작방법으로써, (a) 상기 장치가 통상동작모드인지 또는 시험동작모드인지를 검지하는 스텝, (b) 상기 장치가 통상동작모드일 때, 상기 어드레스신호 변화검출회로가 상기 어드레스신호의 변화를 검지한 것에 응답해서 소정의 기간, 상기 어드레스신호에 대응하는 소정의 워드선을 선택상태로 하는 스텝 및 (c) 상기 장치가 시험동작모드일 때, 상기 어드레스신호 변화검출회로의 제어를 받지 않고 상기 어드레스신호에 대응하는 소정의 워드선을 선택상태로 하는 스텝을 포함하는 반도체메모리장치의 동작방법.

청구항 17

제16항에 있어서, 상기 소정의 기간은 반도체메모리장치의 동작사이클보다도 짧은 반도체메모리장치의 동작방법.

청구항 18

제16항에 있어서, 상기 어드레스신호 변화검출회로는 상기 어드레스단자에 공급되는 상기 어드레스신호의 변화를 검지한 것에 응답해서 상기 소정의 기간을 규정하기 위한 펄스신호를 출력하고, 상기 장치가 시험동작모드일 때, 상기 펄스신호는 무효로 되는 반도체메모리장치의 동작방법.

청구항 19

제16항에 있어서, 상기 장치는 스테이틱형 랜덤 액세스 메모리인 반도체메모리장치의 동작방법.

청구항 20

반도체기판상에 형성된 반도체메모리장치로써, (a) 정보를 유지하기 위한 여러개의 메모리셀을 갖는 메

모리어레이, (b) 상기 반도체메모리장치의 외부에서 공급되는 어드레스신호의 변화를 검지하기 위한 어드레스신호 변화검출회로, (c) 상기 반도체메모리장치의 통상 동작모드 및 시험동작모드를 검지하기 위한 모드검지회로 및 (d) 상기 반도체메모리장치가 상기 통상동작모드일 때, 상기 어드레스신호 변화검출회로가 상기 어드레스신호의 변화를 검지한 것에 응답해서 소정의 기간, 상기 어드레스신호에 대응하는 소정의 메모리셀을 선택하고, 상기 반도체메모리장치가 상기 시험동작모드로 될 때, 상기 어드레스신호 변화검출회로의 제어를 받지 않고 상기 어드레스신호에 대응하는 소정의 메모리셀을 선택하기 위한 선택회로를 포함하는 반도체메모리장치.

청구항 21

제20항에 있어서, 상기 소정의 기간은 반도체메모리장치의 동작사이클보다도 짧은 반도체메모리장치.

청구항 22

제20항에 있어서, 상기 시험동작모드는 불량발생을 가속하는 동작모드인 반도체메모리장치.

청구항 23

제21항에 있어서, 상기 반도체메모리장치는 소정의 외부단자를 또 포함하고, 상기 검지회로는 상기 외부단자에 공급되는 전압레벨이 상기 반도체메모리장치의 통상동작전압보다도 큰 레벨일 때, 상기 시험동작모드를 검지하는 반도체메모리장치.

청구항 24

제20항에 있어서, 상기 반도체메모리장치는 소정의 외부단자를 또 포함하고, 상기 검지회로는 상기 외부단자에 공급되는 전압레벨이 상기 반도체메모리장치의 통상동작전압보다도 큰 레벨일 때, 상기 시험동작모드를 검지하는 반도체메모리장치.

청구항 25

제16항에 있어서, (d) 여러개의 메모리셀에 결합된 여러개의 데이타선쌍중의 적어도 1쌍을 선택하고, 선택된 데이타선쌍을 공통데이타선쌍에 결합하는 스텝, (e) 상기 통상동작모드일 때, 상기 어드레스신호 변화검출회로가 상기 어드레스신호의 변화를 검지한 것에 응답해서 소정의 기간, 선택상태로 된 소정의 워드선과 선택된 데이타선쌍에 결합된 메모리셀에서 리드된 데이타를 증폭하는 스텝 및 (f) 상기 시험동작모드일 때, 선택된 데이타선쌍과 상기 공통데이타선쌍을 거쳐서 선택상태로 된 소정의 워드선과 선택된 데이타선쌍에 결합된 메모리셀에서 리드된 데이타를 상기 어드레스신호 변화검출회로의 제어를 받지 않고 정상적으로 증폭하는 스텝을 또 포함하는 반도체메모리장치의 동작방법.

청구항 26

제16항에 있어서, 상기 반도체메모리장치는 소정의 외부단자를 또 포함하고, 상기 소정의 외부단자에 공급되는 전압레벨에 따라서 상기 통상동작모드 및 시험동작모드가 검지되는 반도체메모리장치의 동작방법.

청구항 27

제26항에 있어서, 상기 시험동작모드는 불량발생을 가속하는 동작모드이고, 상기 검지스텝(a)에 있어서, 상기 시험동작모드는 상기 소정의 외부단자에 공급되는 전압레벨이 상기 장치의 통상동작전압보다도 큰 레벨일 때 검지되는 반도체메모리장치의 동작방법.

청구항 28

제26항에 있어서, 상기 소정의 외부단자는 상기 장치의 전원핀인 반도체메모리장치의 동작방법.

청구항 29

제26항에 있어서, 상기 소정의 외부단자는 상기 통상동작모드 및 시험동작모드를 검지하기 위한 모드설정핀인 반도체메모리장치의 동작방법.

청구항 30

제20항에 있어서, (e) 상기 반도체메모리장치가 상기 통상동작모드일 때, 선택된 메모리셀에서 리드된 데이타를 상기 어드레스신호 변화검출회로의 제어를 받지 않고 정상적으로 증폭하고, 상기 반도체메모리장치가 상기 시험동작모드일 때, 상기 어드레스신호 변화검출회로가 어드레스신호의 변화를 검지한 것에 응답해서 소정의 기간 선택된 메모리셀에서 리드된 데이타를 증폭하기 위한 센스앰프를 또 포함하는 반도체메모리장치.

청구항 31

제20항에 있어서, 상기 메모리어레이는 여러개의 워드선과 여러개의 데이타선쌍을 갖고, 상기 여러개의 메모리셀의 각각은 상기 여러개의 워드선중의 대응하는 1개와 상기 여러개의 데이타선쌍중의 대응하는 1쌍에 결합되고, 상기 선택회로는 상기 여러개의 워드선에 결합된 워드선 드라이버회로를 포함하는 반도체메모리장치.

청구항 32

제31항에 있어서, 상기 선택회로는 워드선 드라이버회로에 결합되고, 상기 여러개의 워드선 중의 적어도

1개를 선택하기 위한 디코더회로를 또 포함하는 반도체메모리장치.

청구항 33

제32항에 있어서, 상기 반도체메모리장치는 상기 여러개의 데이타선쌍 및 상기 센스앰프에 결합된 공통 데이타선쌍을 포함하는 반도체메모리장치.

청구항 34

메모리셀이 결합되는 여러개의 워드선, 어드레스신호를 받는 외부단자, 상기 어드레스신호에 응답해서 1개의 워드선의 전압을 선택레벨로 하는 선택회로 및 상기 어드레스신호의 변화를 검지하는 어드레스신호 변화검출회로를 포함하는 반도체메모리장치로써, 상기 반도체메모리장치가 통상동작모드일 때, 상기 어드레스신호 변화검출회로가 상기 어드레스신호의 변화를 검지한 것에 응답해서 상기 1개의 워드선의 전압이 소정기간 선택레벨로 되고, 상기 반도체메모리장치가 시험동작모드일 때, 상기 1개의 워드선의 전압이 상기 소정기간보다도 긴 기간 선택레벨로 되는 반도체메모리장치.

청구항 35

제34항에 있어서, 상기 반도체메모리장치가 시험동작모드일 때, 상기 어드레스신호 변화검출회로에 따르는 상기 선택회로에 대한 제어가 해제되는 반도체메모리장치.

청구항 36

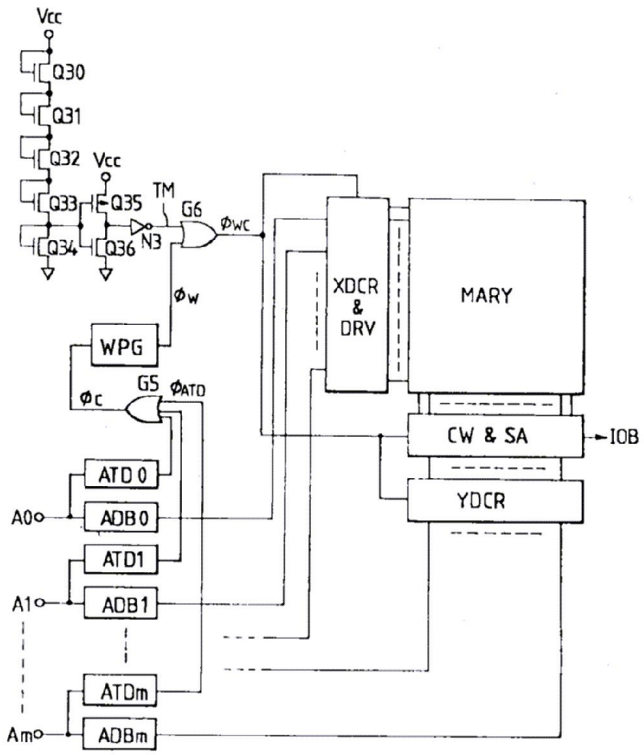
제35항에 있어서, 상기 시험동작모드는 불량발생을 가속하는 동작모드인 반도체메모리장치.

청구항 37

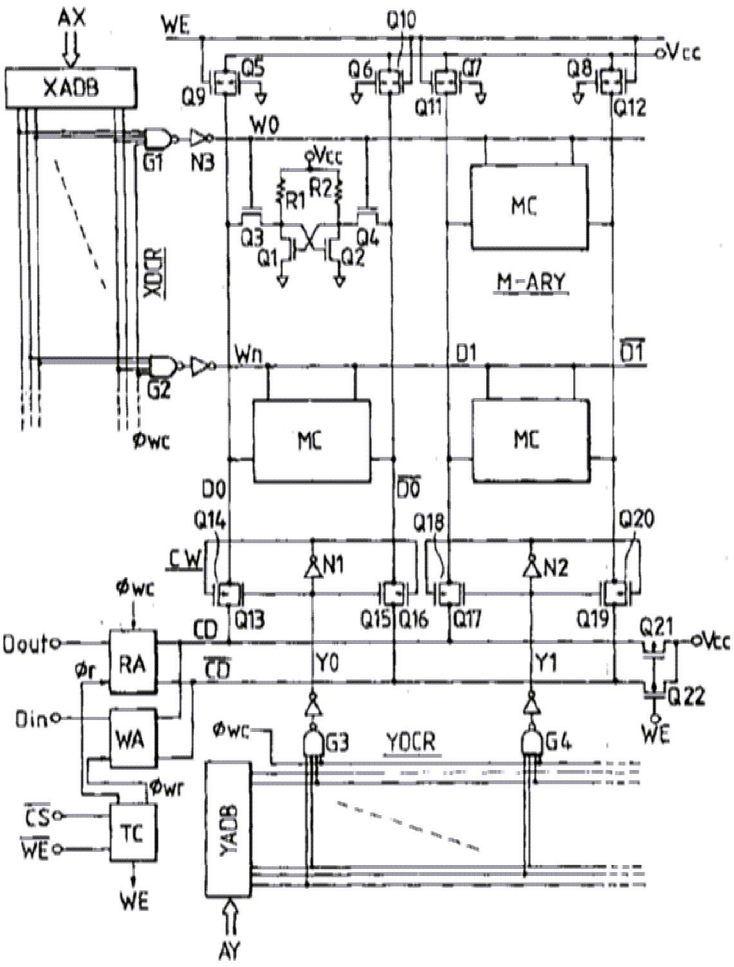
제34항에 있어서, 상기 반도체메모리장치는 상기 통상동작모드 및 상기 시험동작모드를 검지하기 위한 동작모드 검지수단을 또 포함하는 반도체메모리장치.

도면

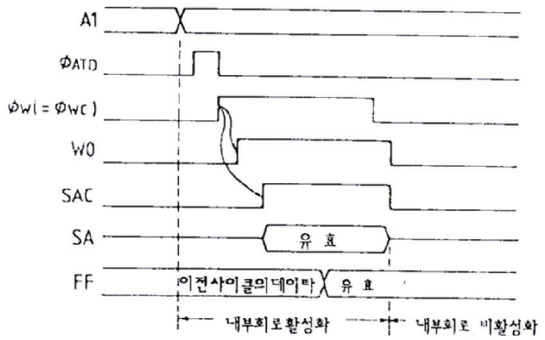
도면1



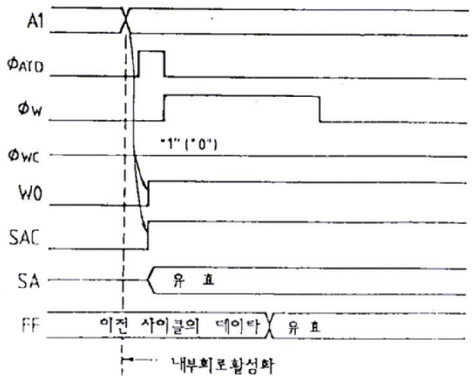
도면2


AX
XADB
WE
Q10
Vcc
Q5
Q6
Q7
Q8
Q9
Q11
Q12
W0
G1
N3
Vcc
R1
R2
Q3
Q4
Q1
Q2
MC
M-ARY
XDCR
Wn
D1
D1
G2
φwc
MC
MC
D0
D0
Q14
Q18
Q20
CW
N1
N2
φwc
Q13
Q15
Q16
Q17
Q19
Q21
Vcc
CD
Dout
RA
φr
CD
Y0
Y1
Q22
Din
WA
φwc
G3
YDCR
G4
WE
φwr
CS
WE
TC
YADB
WE
AY

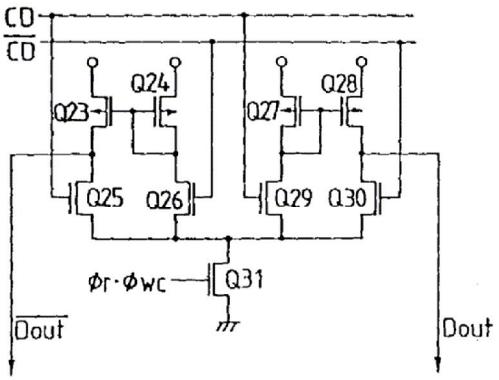
도면3


A1
φATD
φwl (= φwc)
W0
SAC
SA
유 효
FF
이전사이클의데이타
유 효
내부회로활성화
내부회로 비활성화

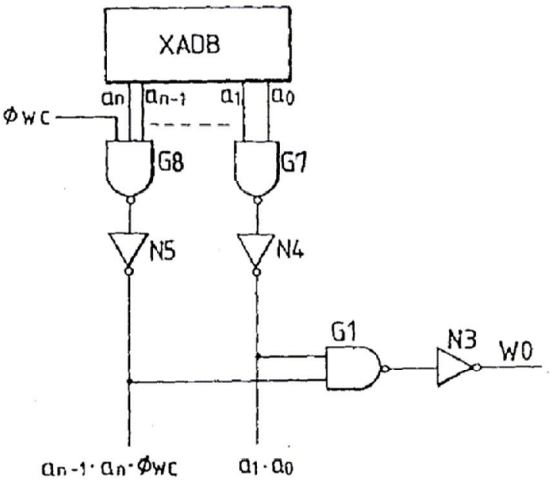
도면4


A1
ΦATD
Φw
Φwc
"1" ("0")
W0
SAC
SA
유 효
FF
이전 사이클의 데이타
유 효
내부회로활성화

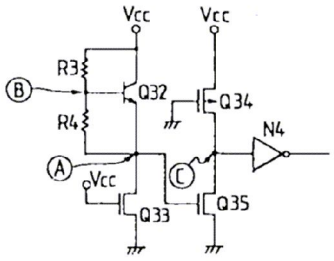
도면5


CD
CD
Q23
Q24
Q27
Q28
Q25
Q26
Q29
Q30
Φr·Φwc
Q31
Dout
Dout

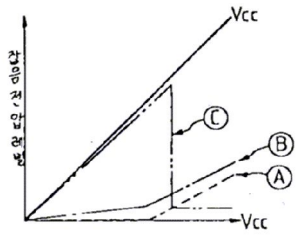
도면6


XADB
Φwc
an
an-1
a1
a0
G8
G7
N5
N4
G1
N3
W0
an-1·an·Φwc
a1·a0

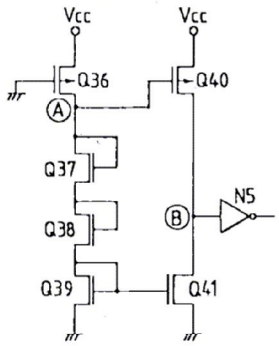
도면7a



도면7b



도면8a



도면8b

