(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 29/68

(45) 공고일자 1999년03월20일
(11) 등록번호 특0184085
(24) 등록일자 1998년12월17일

(21) 출원번호 특1995-030193
(22) 출원일자 1995년09월15일
(65) 공개번호 특1996-012552
(43) 공개일자 1996년04월20일
(30) 우선권주장 94-221234 1994년09월16일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 후나키 히데유키
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
야마구치 요시히로
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 이세진, 김윤배

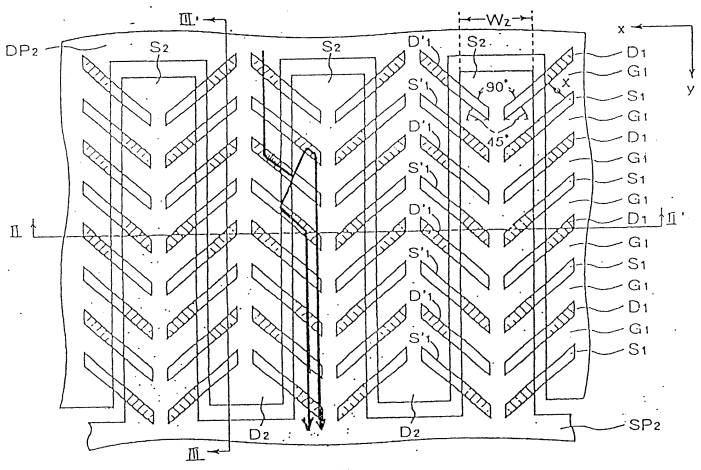
심사관 : 조신호

(54) 모스게이트형 반도체장치

요약

본 발명에 따른 MOS게이트형 반도체장치는, 표면에 소스영역(5,5'), 드레인영역(4,4')이 형성된 반도체 기판(1)과, 상기 반도체 기판 상에 설치되고, 복수의 상층 소스전극(S_2)이 빗살모양으로 배열 형성되어 되는 상층 소스배선(SP_2), 상기 반도체 기판 상에 설치되고, 복수의 상층 드레인전극(D_2)이 빗살모양으로 배열 형성되면서 상기 복수의 상층 소스전극과 맞물리도록 배치된 상층 드레인배선(DP_2), 각 인접한 상기 상층 소스전극 및 상기 상층 드레인전극의 하부마다 이들 상층 소스전극 및 상층 드레인전극에 겹치도록 설치된 하층 소스전극(S_1), 각 인접한 상기 상층 소스전극 및 상기 상층 드레인전극의 하부마다 이들 상층 소스전극 및 상층 드레인전극에 겹치도록 설치된 하층 드레인전극(D_1)을 구비하여 되고, 상기 하층 소스전극은 상기 상층 소스전극 및 상기 소스영역에 접록되면서 상기 상층 소스전극의 배열 방향에 물결 모양으로 배열되고, 상기 하층 드레인전극은 상기 상층 드레인전극 및 상기 드레인영역에 접속되면서 상기 상층 드레인전극의 배열 방향에 상기 하층 소스전극과 평행하게 물결 모양으로 배열 형성되어 있다.

대표도



명세서

[발명의 명칭]

(MOS)게이트형 반도체장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 고내압 MOSFET의 2층구조 SD 배선패턴을 나타낸 평면도.

제2도는 제1도의 고내압 MOSFET의 II-II' 단면도.

제3도는 제1도의 고내압 MOSFET의 III-III' 단면도.

제4도는 제1도의 고내압 MOSFET의 단면 사시도.

제5도는 동 실시예에 있어서 MOS게이트형 반도체장치의 배선저항과 종래의 직교 배열패턴의 배선저항을 비교한 실험결과를 나타낸 도면.

제6도는 본 발명의 다른 실시예를 설명한 평면도.

제7도는 1층째의 배선 방향과 2층째의 배선 방향의 이루는 각도의 관계를 나타낸 곡선도.

제8도는 각도(θ)의 다른 관계를 나타낸 곡선도.

제9도는 각도(θ)의 다른 관계를 나타낸 곡선도.

제10도는 본 발명의 제2실시예에 따른 고내압 MOSFET의 2층구조 SD 배선패턴을 나타낸 평면도.

제11도는 본 발명의 제2실시예에 따른 고내압 MOSFET의 2층구조 SD 배선패턴을 나타낸 평면도.

제12도는 본 발명의 제4실시예에 따른 고내압 MOSFET의 2층구조 SD 배선패턴을 나타낸 평면도.

제13도는 본 발명의 제5실시예에 따른 고내압 MOSFET의 2층 구조 SD 배선패턴을 나타낸 평면도.

제14도는 본 발명의 다른 실시예를 나타낸 평면도.

제15도는 고내압 MOSFET의 전반의 형성방법을 나타낸 공정단면도.

제16도는 고내압 MOSFET의 후반의 형성방법을 나타낸 공정단면도.

제17도는 종래의 횡형 MOSFET의 소자구조를 나타낸 단면도.

제18도는 스트립 패턴을 나타낸 평면도.

제19도는 메쉬 패턴을 나타낸 평면도.

제20도는 종래의 2층째의 SD 배선패턴을 나타낸 평면도.

제21도는 종래의 다른 2층째의 SD 배선패턴을 나타낸 평면도.

제22도는 직교 배선패턴을 이용한 MOSFET에 있어서 배선저항의 배선폭(W_2) 의존성을 나타낸 도면.

제23도는 병행 배선패턴을 이용한 MOSFET에 있어서 배선저항의 배선길이(L_2) 의존성을 나타낸 도면.

제24도는 종래의 경사 배선패턴을 나타낸 모식도이다.

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 MOS게이트 구조를 갖춘 MOS게이트형 반도체장치에 관한 것이다.

[종래의 기술 및 그 문제점]

최근, 컴퓨터나 통신기기의 중요부분에는 다수의 트랜지스터나 저항등이 집적화되어 전기회로가 1칩 상에 형성된 집적회로(IC)가 많이 이용되고 있다. 이와 같은 IC 중에서 고내압 소자를 포함하는 것은 파워-IC라 부르고 있다.

구동·제어회로를 일체화 한 파워-IC는 디스플-구동장치, 차재용 IC 등의 많은 용도가 고려되고 있으며, 출력단으로서 이용되는 고내압 MOSFET(예컨대, 횡형 MOSFET)에는 높은 드레인 내압 및 낮은 온저항이 요구되고 있다.

제17도는 종래의 횡형 MOSFET의 소자구조를 나타낸 단면도이다. 도면중 91은 p형 반도체 기판을 나타내고 있으며, 이 p형 반도체 기판(91)의 표면에는 고농도(저저항)의 n형 소스영역(92)이 선택적으로 형성되어 있다.

또한, p형 반도체 기판(91)의 표면에는 내압을 확보하기 위하여 저농도(고저항)의 n형 드리프트영역(93)이 선택적으로 형성되어 있으며, 이 n형 드리프트영역(93)의 표면에는 고농도의 n형 드레인영역(94)이 선택적으로 형성되어 있다.

n형 소스영역(92)과 n형 드리프트영역(93) 사이의 p형 반도체 기판(91) 상에는 게이트 절연막(95)을 매개로 게이트전극(96)이 설치되어 있다. 또한, n형 소스영역(92)에는 소스전극(97)이 설치되어 있으며, 이 소스전극(97)은 n형 소스영역(92) 및 p형 반도체 기판(91)의 양방에 접촉하고 있다. 그리고, n형 드레인영역(94) 상에는 드레인전극(98)이 설치되어 있다.

그런데, 소스영역, 드레인영역에 직접 접촉하는 1층째의 소스·드레인 배선패턴(SD 배선패턴)에는 크게 나누어 스트립 배선패턴, 메쉬 배선패턴의 2종류의 패턴이 있다.

제18도에 스트립 배선패턴의 평면도, 제19도에 메쉬 배선패턴의 평면도를 나타냈다.

스트립 배선패턴은 제18도에 나타낸 바와 같이, 직선 모양의 소스전극(97), 게이트전극(96), 드레인전극(98)이 교대로 늘어선 패턴이다. 스트립 배선패턴의 경우 소스전극(97)과 드레인전극(98) 사이의 거리는 어디에서도 일정하게 된다.

한편, 메쉬 배선패턴은 제19도에 나타낸 바와 같이 소스전극(96)과 드레인 전극(98)을 격자 모양으로 나란히 하고, 그 둘레를 게이트전극(96)으로 에워싼 패턴이다. 메쉬 배선패턴의 경우, 게이트전극(96)과 드레인전극(98) 사이의 거리는 일정치는 않고, 스트립 배선패턴의 경우보다도 그 거리가 길게 되는 부분이 생긴다. 그러나, 드레인전극(98)은 게이트전극(96)에 의해 에워싸여 있기 때문에 게이트전극의 폭은 크게 된다.

이와 같은 1층째의 SD 배선패턴으로서는 스트립 배선패턴, 메쉬 배선패턴이 있지만, 소스·드레인 사이의 거리와 비교하여 각 전극의 크기가 큰 경우에는 메쉬 배선패턴이 유리하고, 반대로 각 전극의 크기가 작은 경우에는 스트립 배선패턴이 유리하게 된다.

상술한 바와 같이 횡형 MOSFET 소자에는 n형 드리프트영역(93)이 존재하고있다. 그 소자의 내압은 n형 드리프트영역(93)의 불순물 농도 및 드레인·게이트 사이의 거리에 의해 결정되고, 내압을 높이는 데에는 어느 정도의 길이의 드레인영역이 필요하게 된다. 따라서, 횡형 MOSFET 소자의 경우 그 미세화가 진행됨에 따라 메쉬 배선패턴보다도 스트립 배선패턴의 쪽이 유리하게 된다.

그런데, 기판으로부터 1층째의 SD 배선패턴을 스트립 배선패턴으로 한 경우에는 2층째의 SD 배선패턴으로서는 제20도, 제21도에 나타낸 바와 같은 배선패턴이다. 도면중 사선으로 표시된 영역은 1층째의 SD 배선과 2층째의 SD 배선의 접촉영역을 나타내고 화살표는 전류로를 나타내고 있다.

제20도의 2층째의 SD 배선패턴은 그 소스전극(S_2) 및 드레인전극(D_2)의 길이 방향과, 1층째의 SD 배선패턴의 소스전극(S_1) 및 드레인전극(D_1)의 길이 방향이 직교하는 패턴(직교패턴)이다.

여기에서, 2층째의 SD 배선의 저항을 내리는 데에는 그 배선폭(W_2)을 크게하면 된다. 또한, 배선폭(W_2)이 크게되면, 1층째의 SD 배선과 2층째의 SD 배선의 접촉 면적이 크게 되기 때문에 접촉영역에 있어서 접촉저항도 작게된다.

그러나, 배선폭(W_2)을 크게하면, 인접한 2개의 접촉영역 사이의 실효적인 거리가 길게 되기 때문에, 다시 말하면 소스 배선의 접촉영역과 드레인 배선의 접촉영역 사이의 전류로가 길게 되기 때문에 단위 배선폭당의 접촉영역 사이의 접촉저항(제1종의 접촉저항)은 높게 된다.

예컨대, 이 양자를 제22도를 이용하여 설명한다. 제22도는 직교 배선패턴을 이용한 MOSFET에 있어서 배선저항의 배선폭(W_2) 존재성을 나타낸 도이다. 도시한 바와 같이 2층째의 배선저항을 나타낸 파선(10)에서는 배선저항이 W_2에 반비례하여 감소하고, 제1종의 접촉저항을 나타낸 파선(11)에서는 배선저항 W_2이 에 비례하여 중가한다. 실제의 배선저항은 이들 파선(10)과 파선(11)을 합친 실선(12)으로 표시된다. 이 실선(12)에 있어서는 W_2의 작은 영역에서는 2층째의 배선폭이 W_2에 비례하여 증가하기 때문에 배선저항이 W_2에 반비례하여 감소한다. W2의 큰 경우에서는 접촉 면적이 W_2에 비례하여 증가하는 효과보다도 전류로가 길게 되는 효과가 우선적이기 때문에 배선저항이 W_2에 비례하여 증가한다.

따라서, 직교 배선패턴의 경우 배선폭(W_2)을 크게하여 2층째의 SD 배선의 저항을 작게하면, 소스배선의 접촉영역과 드레인 배선의 접촉영역 사이의 전류로가 길게되어 제1종의 접촉저항이 높게 된다는 문제가 있다.

한편, 제21도의 2층째의 SD 배선패턴은 그 소스전극(S_1) 및 드레인전극(D_1)의 길이 방향과, 1층째의 SD 배선패턴의 소스전극(S_2) 및 드레인전극(D_2)의 길이 방향이 평행한 패턴(평행 배선패턴)이다.

이 경우, 제20도의 경우보다도 1층째의 SD 배선과 2층째의 SD 배선 사이의 접촉면적이 크게 되기 때문에 1층째의 SD 배선과 2층째의 SD 배선 사이의 접촉저항(제2종의 접촉저항)도 보다 작게 된다.

그러나, 2층째의 SD 배선의 저항은 1층째의 SD 배선에 의해 제한된다. 즉, 2층째의 드레인전극 (D_2(소스전극(S_2)))의 배선폭(W_2)은 1층째의 드레인전극(D_1)과 소스전극(S_1) 사이의 거리의 2배보다도 클 수 없고, 제20도의 직교 배선패턴의 경우와 같이 2층째의 SD 배선의 저항을 큰 폭으로 내릴 수는 없다.

예컨대, 이 양자를 제23도를 이용하여 설명한다. 제23도는 병행 배선패턴을 이용한 MOSFET에 있어서 2층째의 S와 D의 겹쳐진 폭(L_2)의 의존성을 나타낸 도이다. 도시한 바와 같이 L_2의 작은 경우를 나타낸 파선(20) 에서는 배선저항이 L_2에 비례하여 감소하고, L_2의 큰 경우를 나타내는 파선(21)에서는 배선저항이 (L_1-L_2)에 반비례하여 증가한다. 실제의 배선저항은 이들 파선(20)과 파선(21)을 합친 실선(22)으로 표시된다. 이 실선(22)에 있어서는 L_2의 작은 영역에서는 1층째의 드레인전극과 소스전극 사이의 전류로가 길기 때문에 비교적 고저항이고, L_2에 비례하여 그 전류로가 짧게 되기 때문에 배선저항이 L_2에 비례하여 감소한다. L_2의 큰 경우에서는 2층째의 드레인전극 및 소스전극에 있어서 (L_1-L_2)의 값이 L_2에 비례하여 작게 되기 때문에 배선저항이 L_2와 함께 증가한다.

따라서, 평행 배선패턴의 경우 1층째의 SD 배선과 2층째의 SD 배선 사이의 접촉저항은 작을 수 있지만, 2층째의 SD 배선의 저항은 작을 수 없다는 문제가 있다.

이와 같이 종래의 고내압 MOSFET에서는 제1종, 제2종의 접촉저항 및 2층째의 SD 배선의 저항을 동시에 작게 할 수 없다는 문제가 있다.

한편, 직교 배선패턴 및 병행 배선패턴 이외의 배선패턴으로서는 3층 이상의 배선을 가지는 논리소자의 경우에서는 있지만, 경사 배선패턴이 일본국 특허 공개공보(특개평 제112749호)에 개시되어 있다. 제24도는 관련 경사 배선패턴을 나타낸 모식도이다. 이 경사 배선패턴은 종방향으로 형성된 제1층 배선(31)과, 횡방향으로 형성된 제2층 배선(32), 제1층 배선(31)과 제2층 배선(32)의 교점을 잇도록 경사 방향으로 형

성된 제3배선(33)으로부터 구성된다. 각 층 배선은 적당 교점으로 설치되는 관통홀을 매개로 접속된다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로 제1종, 제2종의 접촉저항 및 2층째의 SD 배선의 저항을 동시에 작게할 수 있는 MOS게이트형 반도체장치를 제공하는 것을 그 목적으로 한다.

[발명의 구성 및 작용]

상기 목적을 달성하기 위한 본 발명에 따른 MOS게이트형 반도체장치에서는 표면에 소스영역, 드레인영역이 형성된 반도체 기판과, 상기 반도체 기판 상에 설치되고, 복수의 상층 소스전극이 빗살 모양으로 배열 형성되어 되는 상층 소스 배선과, 상기 반도체 기판 상에 설치되고, 복수의 상층 드레인전극이 빗살 모양으로 배열 형성되면서 상기 복수의 상층 소스전극과 맞물리도록 배치된 상층 드레인배선과, 각 인접한 상기 상층 소스전극 및 상기 상층 드레인전극의 하부마다 이들 상층 소스전극 및 상층 드레인전극에 겹치도록 설치된 하층 소스전극과 각 인접한 상기 상층 소스전극 및 상기 상층 드레인전극의 하부마다 이들 상층 소스전극 및 상품 드레인전극에 겹치도록 설치된 하층 드레인전극을 구비하고, 상기 하층 소스전극은 상기 상층 소스전극 및 상기 소스영역에 접속하면서 상기 상층 소스전극의 배열방향에 물결 모양으로 배열되고, 상기 하층 드레인전극은 상기 상층 드레인전극 및 상기 드레인영역에 접속하면서 상기 상층 드레인전극의 배열방향에 상기 하층 소스전극과 평행하게 물결모양으로 배열 형성되어 있는 것을 특징으로 한다.

본 발명에 의하면, 상층 소스전극 및 상층 드레인전극의 배선폭을 하층 소스전극과 하층 드레인전극 사이의 거리보다도 크게 할 수 있기 때문에 상층 소스 배선 및 상층 드레인 배선의 저항을 작게 할 수 있다.

여기에서, 하층 소스전극 및 하층 드레인전극은 물결모양으로 배열형성되어 있기 때문에 하층 소스전극 및 하층 드레인전극의 길이 방향은 상층 소스전극 및 상층 드레인전극의 그것은 직교하지 않는다.

이 결과, 하층 소스전극과 하층 드레인전극을 지나 상층 소스전극으로부터 상층 드레인전극까지의 실효적인 전류로의 길이는 제20도의 직교 배선패턴의 경우에 비해 짧게된다.

따라서, 상기 배선폭을 크게 해도 단위 배선폭 당의 접촉영역 사이의 접촉저항(제1종의 접촉저항)은 상승하지 않는다. 여기에서, 접촉영역은 하층 소스전극과 소스영역이 접촉하는 영역, 하층 드레인전극과 드레인영역이 접촉하는 영역이다.

또한, 접촉영역의 면적도 크게 되기 때문에 하층 소스전극과 상층 소스전극의 접촉저항(제2종의 접촉저항). 하층 드레인전극과 상층 드레인전극의 접촉 저항(제2종의 접촉저항)도 작게된다.

또한, 본 발명에 따른 다른 MOS게이트형 반도체장치는 표면에 소스영역, 드레인영역이 형성된 반도체 기판과, 상기 반도체 기판 상에 설치되고, 복수의 상층 소스전극이 빗살 모양으로 배열 형성되어 되는 상층 소스배선과, 상기 반도체 기판 상에 설치되고, 복수의 상층 드레인전극이 빗살 모양으로 배열형성되면서 상기 복수의 상층 소스전극과 맞물리도록 배치된 상층 드레인 배선과, 각 인접한 상기 상층 소스전극 및 상기 상층 드레인전극의 하부마다 이들 상층 소스전극 및 상층 드레인전극에 겹치도록 설치된 하층 소스전극과, 각 인접한 상기 상층 소스전극 및 상기 상층 드레인전극의 하부마다 이들 상층 소스전극 및 상층 드레인전극에 겹치도록 설치된 하층 드레인전극을 구비하고, 상기 하층 소스전극은 상기 상층 소스전극 및 상기 소스영역에 접속하면서 상기 상층 소스전극의 길이 방향에 물결모양으로 배열되고, 상기 하층 드레인전극은 상기 상층 드레인전극 및 상기 드레인영역에 접속하면서 상기 하층 드레인전극의 길이 방향에 상기 하층 소스전극과 평행하게 물결모양으로 배열 형성되어 있는 것을 특징으로 한다.

여기에서, 물결모양으로 배열 형성된 하층 소스전극의 내 동일한 소스영역에 접속하는 인접한 하층 소스전극이 일체 형성되면서 상기 물결모양으로 배열 형성된 하층 드레인전극 내 동일한 드레인영역에 접속되는 인접한 하층 드레인전극이 일체 형성되어 있어도 된다.

또한, 상기 하층 소스전극은 그 길이 방향이 상층 소스전극의 길이 방향에 대하여 30° ~60° 의 법위에서 기울어지도록 배치되어 있어도 되고, 상기 하층 드레인전극은 그 길이 방향이 상층 드레인전극의 길이 방향에 대하여 30° ~60° 의 범위에서 기울어지도록 배치되어 있어도 된다.

더욱이, 상기 하층 소스전극과 상기 상층 소스전극의 겹치는 부분의 접촉 면적은 다른 하층 소스전극과 다른 상층 소스전극의 겹치는 부분의 접촉 면적에 같게 해도 되고, 또한 상기 하층 소스전극과 상기 상층 드레인전극의 겹치는 부분의 면적은 소스전극과 드레인전극의 겹치는 부분의 면적에 같게 해도 된다.

또한, 상기 하층 드레인전극과 상기 상층 드레인전극의 겹치는 부분의 접촉면적은 다른 하층 드레인전극과 다른 상층 드레인전극의 겹치는 부분의 접촉면적과 같게 해도 되고, 또한 상기 하층 드레인전극과 상기 상층 소스전극의 겹치는 부분의 면적은 다른 하층 드레인전극과 다른 상층 소스전극의 겹치는 부분의 면적과 같게 해도 된다.

더욱이, 본 발명에 따른 MOS게이트형 반도체장치에서는 표면에 소스영역, 드레인영역이 형성된 반도체 기판과 상기 반도체 기판 상에 설치되고, 복수의 상층 소스전극이 빗살 모양으로 형성되어 되는 상층 소스배선과, 상기 반도체 기판 상에 설치되어 복수의 상층 드레인전극이 빗살 모양으로 배열 형성되면서 상기 복수의 상층 소스전극과 맞물리도록 배치된 상층 드레인배선과, 각 인접한 상기 상층 소스전극 및 상기 상층 드레인전극의 하부마다 이들 상층 소스전극 및 상층 드레인전극에 겹치도록 설치된 하층 소스전극과, 각 인접한 상기 상층 소스전극 및 상기 상층 드레인전극의 하부마다 이들 상층 소스전극 및 상층 드레인전극에 겹치도록 설치된 하층 드레인전극을 구비하여 되고, 상기 하층 소스전극은 상기 소스전극 및 상기 소소영역에 접속되면서 길이 방향이 상기 상층 소스 배선의 길이 방향에 기울어져 교차하도록 배열되고, 상기 하층 드레인전극은 상기 상층 드레인전극 및 상기 드레인영역에 접속되고 상기 하층 소스전극과 평행 하면서 교대로 배열 형성되어 있는 것을 특징으로 한다.

이와 같은 구성으로서도 상술과 마찬가지로 제1종, 제2종의 접촉저항 및 2층째의 SD 배선의 저항을 동시에 작게할 수 있다.

[실시예]

이하, 본 발명의 실시예에 대하여 도면을 참조하면서 상세히 설명한다.

제1도는 본 발명의 제1실시예에 따른 고내압 MOSFET의 2층구조 SD 배선패턴을 나타낸 평면도이다. 제1도에 있어서, 사선으로 표시된 영역은 1층째의 SD 배선과 2층째의 SD 배선의 접촉영역을 나타내고, 화살표는 전류로의 일예를 나타내고 있다.

또한, 제2도는 제1도의 고내압 MOSFET의 II-II'단면도, 제3도는 제1도의 고내압 MOSFET의 III-III'단면도, 제4도는 고내압 MOSFET의 단면 사시도이다.

저농도(고저항)의 p형 또는 n형 반도체 기판(1)의 표면에는 베이스영역(2) 및 저농도의 n형 드리프트영역(3)이 선택적으로 형성되어 있다.

p형 베이스영역(2)의 표면에는 2개의 고농도(저저항)의 n형 소스영역(5,5')이 선택적으로 형성되고 또한 n형 드리프트영역(3)의 표면에는 2개의 고농도의 n형 드레인영역(4, 4')이 선택적으로 형성되어 있다.

n형 소스영역(5, 5')과 n형 드레인영역(4, 4') 사이의 p형 베이스영역(2) 및 드리프트영역(3) 상에는 게이트 절연막(6)을 매개로 게이트전극(G_1)이 설치되어 있다.

마찬가지로, 2개의 n형 소스영역(5,5') 사이의 p형 베이스영역(2) 상 및 2개의 n형 드레인영역(4,4')의 n형 드리프트영역(3) 상에도 게이트 절연막(6)을 매개로 게이트전극(G_1)이 설치되어 있다.

n형 소스영역(5,5') 상에는 각각 1층째의 소스전극(S_1,S_1' : 하층 소스전극)이 설치되고, 이들 소스전극(S_1,S_1')에는 2층째의 소스전극(S_2 : 상층 소스전극)이 설치되어 있다.

마찬가지로, n형 드레인영역(4,4') 상에는 각각 1층째의 드레인 전극(D_1,D_1' : 하층 드레인전극)이 설치되고, 이들 드레인전극(D_1,D_1')에는 2층째의 드레인전극(D_2 : D_2 상층 드레인전극)이 설치되어 있다.

소스전극(S_1), 드레인전극(D_1)으로 이루어진 2층째의 SD 배선패턴, 소스전극(S_2), 드레인전극(D_2)으로 이루어진 1층째의 SD 배선패턴은 이하와 같이 형성되어 있다.

먼저, 1층째의 SD 배선패턴을 x-y 직교좌표를 이용하여 설명하면 이하와 같이 된다. 더욱이, x축은 드레인 배선(DP_2)의 길이 방향에 평행한 축이고, y축은 드레인전극(D_2)의 길이 방향에 평행한 축이다.

제1도에 나타낸 바와 같이, 드레인전극(D_1)의 길이 방향은 x축에 대하여 45℃ 기울어진 방향이다. 이 드레인전극(D_1)으로부터 x축 방향에 소정 거리만큼 떨어진 위치에는 y축 방향에 대하여 드레인전극(D_1)과 선대칭인 드레인전극(D_1)이 형성되어 있다.

여기에서, 양 드레인전극(D_1,D_1')은 각각 2층째의 드레인전극(D_2)과 접촉하는 부분이 2층째의 드레인전극(D_2)의 기단부에 가깝도록 x축으로부터 45° 기울어져 있다. 즉, ハ의 글자를 180° 회전한 패턴(반대 ハ의 글자패턴)을 구성하는 드레인전극(D_1,D_1)이 형성되어 있다.

이 반대 ハ의 글자패턴의 드레인전극(D_1,D_1')의 y축 아래 방향에는 1층째의 게이트전극(G_1 : 구체적인 형상은 나타내지 않음)을 매개로, 상기 드레인전극(D_1,D_1')과 마찬가지인 선대칭성을 갖춘 반대 의 글자패턴의 소스전극(S_1,S_1')이 형성되어 있다.

이하, 이와 같은 반대 ハ의 글자 패턴의 드레인전극(D_1,D_1'), 소스전극(S_1,S_{1}')이 y축 아래 방향으로 반복되어 있다.

그리고, 이와 같은 y축 방향에 형성된 반대 ハ의 글자패턴의 드레인전극, 소스전극으로 이루어진 배선패턴이 x축 방향에 반복됨으로써 1층째의 SD 배선패턴이 형성되어 있다.

즉, 1층째의 SD 배선패턴은 드레인전극(D_1,D_1')은 x축 방향에 물결파 모양으로 배열 형성되고, 마찬가지로 소스전극(S_1,S_1')도 x축 방향에 물결모양으로 배열 형성된 패턴으로 되어 있다.

한편, 2층째의 SD 배선 패턴은 복수의 소스전극(S_2)이 x축 방향에 빗살 모양으로 배열 형성되어 되는 소스전극(SP_2)과, 복수의 드레인전극(D_2)이 x축 방향에 빗살 모양으로 배열 형성된 드레인배선(DP_2)으로 이루어지고, 이들 복수의 드레인전극(D_2)을 상기 복수의 소스전극(S_2)과 맞물리도록 배치한 패턴으로 되어 있다.

여기에서, 1층째의 SD 배선패턴과 2층째의 SD 배선패턴의 위치관계는 이하와 같다.

소스전극(S_1,S_1')은 그 길이 방향이 소스전극(S_2)의 길이 방향에 대하여 45℃기울어지도록 배치되어 있다.

마찬가지로 드레인전극(D_1,D_1')은 그 길이 방향이 드레인전극(D_2)의 길이 방향에 대하여 45° 기울어지도록 배치되어 있다.

더욱이, 소스전극(S_1)과 소스전극(S_2)의 겹치는 부분의 면적은 소스전극(S_1')과 소스전극(S_2)의 겹치는 부분의 면적과 같고, 또한 소스전극(S_1)과 드레인전극(D_2)의 겹치는 부분의 면적은 소스전극(S_1)과 드레인전극(D_2)의 겹치는 부분의 면적과 같다.

마찬가지로 드레인전극(D_1)과 소스전극(S_1)의 겹치는 부분의 면적은 드레인전극(D_1')과 소스전극(S_2)의 겹

치는 부분의 면적과 같고, 또한 드레인전극(D_1)과 드레인전극(D_2)의 겹치는 부분의 면적은 드레인전극(D_1)과 드레인전극(D_2)의 겹치는 부분의 면적과 같다.

이와 같은 1층째, 2층째의 SD 배선패턴으로 이루어진 2층구조 SD 배선패턴에 의하면, 2층째의 소스전극(S_2(드레인전극(D_2)))의 배선폭(W_2)을 소스전극(S_1)과 드레인전극(D_1) 사이의 거리보다도 클 수 있기 때문에 2층째의 SD 배선의 저항을 작게 할 수 있다.

또한, 소스전극(S_1)과 소스전극(S_2)의 겹치는 부분의 일부가 드레인전극(D_1)과 드레인전극(D_2)의 겹치는 부분의 일부에 대향 배치되어 있기 때문에 전류로를 짧게 할 수 있다.

여기에서, 드레인전극(D_2), 드레인전극(D_1), 소스전극(S_1), 소스전극(S_2)을 통하는 전류로의 실효적인 길이는 1층째의 소스전극(S_1), 드레인전극(D_1)의 길이 방향이 2층째의 소스전극(S_2), 드레인전극(D_2)의 길이 방향에 대하여 45° 기울어진 방향(결국, 수직에서 아니다)이기 때문에 제20도의 배선패턴의 전류로의 실효적인 길이보다도($2-2^{1/2}$) (W_{2-x}) 만큼 짧게 된다. 더욱이, x는 1층째의 소스·드레인전극 사이의 거리이다.

따라서, 배선폭(W_2)을 크게해도 단위 배선폭 당의 1층째의 배선과 2층째의 배선 사이의 접촉저항(제2종의 접촉저항)이 높게 된다는 문제가 생기지 않는다.

또한, 1층째의 소스전극(S_1), 드레인전극(D_1)의 길이 방향이 2층째의 소스전극(S_2), 드레인전극(D_2)의 길이 방향에 대하여 45° 기울어진 방향이기 때문에 제20도의 배선패턴에 비해 접촉면적이 $2^{1/2}$배 크게 되고 접촉저항(제2종의 접촉저항)이 작게 된다.

제5도는 본 실시예에 따른 MOS게이트형 반도체장치의 배선저항과 종래의 직교 배열패턴의 배선저항을 비교한 실험결과를 나타낸 도이다. 도시한 바와 같이 종래의 직교 배열패턴에 비해 배선저항을 약 20% 감소시킬 수 있다.

또한, 본 실시예에 의하면 게이트전극의 패턴을 메쉬 모양을 할 수 있기 때문에 폴리실리콘 게이트와 같이 비교적 고저항의 재료로 이루어진 게이트전극의 경우이어도 게이트 단부에 있어서 게이트전압의 강하를 방지할 수 있다. 또한, 스트립 배선패턴의 경우에 비해 게이트전극의 폭이 넓기 때문에 채널저항을 작게 할 수 있다.

다음에 본 발명의 다른 예에 대하여 설명한다. 제6도는 본 발명에 의한 장치의 평면도이고, 특히 1층째의 배선(S1)의 배선방향과 2층째의 배선(S2)의 배선방향의 이루는 각도(θ)의 관계를 나타내고 있다.

이 1층째의 배선(S1)의 배선방향과 2층째의 배선(S2)의 배선방향의 이루는 각도(θ)에 의해 실효적인 전류로의 길이(ΔL)는,

$$\Delta L = (W2 - x) \times \frac{\sin\theta + \cos\theta - 1}{\sin\theta}$$

만큼 짧게 된다. 따라서, 상술한 실시예에서는 각도θ = 45° 이기 때문에,

$$\Delta L = (W2 - x) \times (2 - \sqrt{2})$$

로 된다.

즉, ΔL은 (sinθ+cosθ-1)/sinθ에 비례하기 때문에 제7도에 나타낸 바와 같이 각도(θ)가 작은 쪽이 전류로가 짧게 되어 장치로서 바람직하기 때문이다.

예컨대, (sinθ+cosθ-1)/sinθ0.4를 만족하는 각도(θ)의 범위는 60도이다.

또한, 소스배선의 접촉영역과 드레인배선의 접촉영역은,

$$W2 \times \frac{1 - \sin\theta}{\sin\theta}$$

만큼 길게 되지만, 동일한 길이만큼 접촉이 없는 영역도 길게 되 버리기 때문에 제8도에 곡선으로 나타낸 바와 같이 각도(θ)가 큰 쪽이 유리하다. 즉, (1-sinθ)/sinθ≤1로 되는 조건을 만족하는 범위는 θ≥30° 이다.

한편, 양호한 접촉영역이 대향하는 길이는 x/tanθ로 주어지고, 제9도에 나타낸 바와 같이 각도(θ)가 대향하는 길이가 길게 되어 저항은 감소하는 것으로 된다. 따라서, x/tanθ≥0.5의 조건에서는 θ≤60° 로 된다.

이상의 관계로부터 1층째의 배선(S1)의 배선방향과 2층째의 배선(S2)의 배선방향의 이루는 각도(θ)에 대한 바람직한 법위는 30° ≤θ≤60° 의 범위에서 효과를 발휘하는 것이다.

제10도는 본 발명의 제2실시예에 따른 고내압 MOSFET의 2층구조 SD 배선패턴을 나타낸 평면도이다. 더욱

이, 이하의 실시예에 있어서 제1도의 2층구조 SD배선패턴과 대응하는 부분에는 제1도와 동일부호를 부여하고 있고, 상세한 설명은 생략한다.

본 실시예의 2층구조 SD 배선패턴을 제1실시예에 비해 1층째의 소스전극(S_1,S_1' (드레인전극(D_1,D_1')))이 90° 회전된 배열로 되어 있다.

즉, 소스전극(S_1,S_1' (드레인전극(D_1,D_1')))은 소스전극(S_2), 드레인전극(D_2)의 길이 방향에 대하여 물결모양으로 배열 형성되어 있다. 이와 같은 2층구조 SD 배선패턴에서도 제1실시예와 마찬가지의 효과가 얻어진다.

제11도는 본 발명의 제3실시예에 따른 고내압 MOSFET의 2층구조 SD 배선패턴을 나타낸 평면도이다.

본 실시예의 2층구조 SD 배선패턴은 제1실시예에 비해 1층째의 소스전극(S_1,S_1'(드레인전극(D_1,D_1')))의 패턴이 V글자의 패턴과 반대 ハ 글자의 패턴이 소스전극(S_2), 드레인전극(D_2)의 배열방향으로 교대로 반복된 패턴으로 되어 있다.

즉, 물결모양으로 배열형성된 소스전극(S_1,S_1') 내 동일한 소스영역에 접속하는 인접한 하층 소스전극이 일체 형성되면서 물결모양으로 배열 형성된 드레인전극(D_1,D_1')내 동일한 드레인영역에 접속하는 인접한 하층 드레인전극이 일체 형성되어 있다.

따라서, 제3실시예에 의하면 접촉면적을 보다 크게 할 수 있기 때문에 접촉저항을 더 내릴수 있다.

제12도는 본 발명의 제4실시예에 따른 고내압 MOSFET의 2층구조 SD 배선패턴을 나타낸 평면도이다.

본 실시예의 2층구조 SD 배선패턴을 제2실시예에 비해 1층째의 소스전극(S_1,S_1' (드레인전극(D_1,D_1')))의 패턴이 V 글자의 패턴과 반대 ハ 글자의 패턴이 소스전극(S_2), 드레인전극(D_2)의 길이 방향으로 교대로 반복된 패턴으로 되어 있다.

즉, 물결모양으로 배열형성된 소스전극(S_1,S_1')의 내 동일한 소스영역에 접속하는 인접한 하층 소스전극이 일체 형성되면서 물결모양으로 배열 형성된 드레인전극(D_1,D_1')의 내 동일한 드레인영역에 접속하는 인접한 하층 드레인 전극이 일체 형성되어 있다.

따라서, 제4실시예에 의하면 접촉면적을 보다 크게할 수 있기 때문에 접촉저항을 더 내릴 수 있다.

제13도는 본 발명의 제5도의 실시예에 따른 고내압 MOSFET 의 2층구조 SD 배선패턴을 나타낸 평면도이다.

본 실시예의 2층구조 배선패턴은 제1실시예와는 다르고, 1층째의소스전극(S_1,S_1' (드레인전극(D_1,D_1')))의 패턴이 복수의 직선을 평행하게 늘어선 패턴으로 되어 있다. 이와 같은 2층구조 SD 배선패턴에서도 제1실시예와 마찬가지의 효과가 얻어진다. 더욱이, 제14도에 나타낸 바와 같은 배선패턴이어도 상술과 같은 효과가 얻어진다.

다음에, 상기 실시예의 고내압 MOSFET의 구체적인 형성방법을 제15도, 제16도에 나타낸 공정 단면도를 이용하여 설명한다.

우선, 제15a도에 나타낸 바와 같이 고저항 p형 또는 n형 반도체 기판 또는 기판(21)과 산화막(22)과 활성층(23)으로 이루어진 SOI기판을 준비하고, 활성층(23)의 표면에 산화막(24)을 형성한 후, 이 산화막(24)상에 레지스트 패턴(25)을 형성하고, 이 레지스트 패턴(25)을 마스크로서 보론(26)의 이온주입을 행한다.

이 결과, 제15b도에 나타낸 바와 같이 p형 베이스층(27)이 형성된다. 이후, 레지스트 패턴(25)을 박리한다. 다음에 제15b도에 나타낸 바와 같이 전면에 산화막(28)으로 되는 산화막, 질화막(29)으로 되는 질화막을 차례를 퇴적한 후, 레지스트 패턴(30)을 형성하고, 이것을 마스크로서 상기 산화막, 질화막을 에칭하여 산화막(28), 질화막(29)을 형성한다. 이후, 레지스트 패턴(30)을 박리한다.

다음에, 제15c도에 나타낸 바와 같이 레제스트 패턴(31)을 형성한 후, 이 레지스트 패턴(31), 산화막(28) 및 질화막(29)을 마스크로서 도즈량 $2\sim5\times10^{12}cm^{-2}$의 조건에서 링(32)을 이온주입 한다.

다음에, 제15d도에 나타낸 바와 같이 두께 800nm 정도의 필드 산화막(34)을 LOCOS법에 의해 형성한다. 이때, 필드 산화막(34) 형성시의 열처리에 의해 상기 링(32)이 확산하여 두께 1~1.5정도의 저농도의 m형 드리프트층(33)이 형성된다. 이후, 레지스트 패턴(31), 산화막(28) 및 질화막(29)를 제거한다.

다음에, 제16a도에 나타낸 바와 같이 레지스트 패턴(35)을 형성한 후, MOSFET의 임계치 전압을 조정하기 위해여 도즈량 $2\sim5\times10^{12}cm^{-2}$의 조건에서 보론을 이온주입 한다. 이후, 레지스트 패턴(35)을 박리한다.

다음에, 제16b도에 나타낸 바와 같이 폴리실리콘으로 이루어진 게이트전극(38)을 형성한다. 이 게이트전극(35)은 필드 산화막(34) 상에까지 연장되어 있으며, 이 부분의 게이트전극(35)은 필드 플레이트로서 작용하고, 이에 의해 게이트전극(35)의 드레인 끝의 전계집중은 완화된다. 이후, 열산화에 의해 산화막(39)을 형성한다. 이때의 열처리에 의해 상기 보론(37)이 확산하여 채널층(40,41)이 형성된다.

다음에, 제16c도에 나타낸 바와 같이 레지스트 패턴(43) LDD(44)를 형성한 후, 링(42)의 이온주입을 행한다. 이때, 게이트전극(35)의 소스 끝을 에지로하여 고농도의 n형 소스층(50)이, 또한 필드 산화막(34)의 개구부에 의해 고농도의 n형 드레인층(51)이 자기정합적으로 형성된다. 이후, 레지스트 패턴(43)을 제거한다.

최후에, 제16d도에 나타낸 바와 같이 층간 절연막(45), 절연막(49), Ti/TiN막(46)을 형성하고, 이들을 에칭하여 접촉구멍 개구한 후, 제1의 A1전극(47 : 소스전극, 드레인전극), 도시하지 않은 제2층간 절연막을 형성하고, 관통구멍을 개공하여, 제2의 A1전극(48)을 형성하여 완성한다.

(57) 청구의 범위

청구항 1

표면에 소스영역, 드레인영역이 형성된 반도체 기판과, 상기 반도체 기판 상에 설치되고, 복수의 상층 소스전극(S_2)이 빗살 모양으로 배열 형성되어 되는 상층 소스배선(SP_2), 상기 반도체 기판 상에 설치되고, 복수의 상층 드레인전극(D_2)이 빗살 모양으로 배열 형성되면서 상기 복수의 상층 소스전극과 맞물리도록 배치된 상층 드레인배선(DP_2), 각 인접한 상기 상층 소스전극 및 상기 상층 드레인전극의 하부마다 이들 상층 소스전극 및 상층 드레인전극에 겹치도록 설치된 하층 소스전극(S_1,S_1') 및, 각 인접한 상기 상층 소스전극 및 상기 상층 드레인전극의 하부마다 이들 상층 소스전극 및 상층 드레인전극에 겹치도록 설치된 하층 드레인전극(D_1,D_1')을 구비하여 이루어지고, 상기 하층 소스전극은 상기 상층 소스전극 및 상기 소스영역에 접속되면서 상기 상층 소스전극의 배열 발향에 물결모양으로 배열되고, 상기 하층 드레인전극은 상기 상층 드레인전극 및 상기 드레인영역에 접속되면서 상기 상층 드레인전극과 평행하게 물결모양으로 배열 형성된 것을 특징으로 하는 MOS게이트형 반도체장치.

청구항 2

표면에 소스영역, 드레인영역이 형성된 반도체 기판과, 상기 반도체 기판 상에 설치되고, 복수의 상층 소스전극이 빗살 모양으로 배열 형성되어 되는 상층 소스배선, 상기 반도체 기판 상에 설치되고, 복수의 상층 드레인전극이 빗살 모양으로 배열 형성되면서 상기 복수의 상층 소스전극과 맞물리도록 배치된 상층 드레인 배선, 각 인접한 상기 상층 소스전극 및 상기 상층 드레인전극의 하부마다 이들 상층 소스전극 및 상층 드레인전극에 겹치도록 설치된 하층 소스전극 및, 각 인접한 상기 상층 소스전극 및 상기 상층 드레인전극의 하부마다 이들 상층 소스전극 및 상층 드레인전극에 겹치도록 설치된 하층 드레인전극을 구비하여 이루어지고, 상기 하층 소스전극은 상기 상층 소스전극 및 상기 소스영역에 접속되면서 상기 상층 소스전극의 길이 방향에 물결모양으로 배열되고, 상기 하층 드레인전극은 상기 상층 드레인전극 및 상기 드레인영역에 접속되면서 상기 상층 드레인전극의 길이 방향에 상기 하층 소스전극과 평행하게 물결모양으로 배열 형성된 것을 특징으로 하는 MOS게이트형 반도체장치.

청구항 3

제1항에 있어서, 상기 물결모양으로 배열 형성된 하층 소스전극 내 동일한 소스영역에 접속되는 인접한 하층 소스전극이 일체 형성되면서 상기 물결모양으로 배열 형성된 하층 드레인전극 내 동일한 영역에 접속되는 인접한 하층 드레인전극이 일체 형성된 것을 특징으로 하는 게이트형 반도체장치.

청구항 4

제2항에 있어서, 상기 물결모양으로 배열 형성된 하층 소스전극 내 동일한 소스영역에 접속되는 인접한 하층 소스전극이 일체 형성되면서 상기 물결모양으로 배열 형성된 하층 드레인전극 내 동일한 드레인영역에 접속되는 인접한 하층 드레인전극이 일체 형성된 것을 특징으로 하는 MOS게이트형 반도체장치.

청구항 5

제1항에 있어서, 상기 하층 소스전극(S_1,S_1')은 그 길이 방향이 상층 소스전극(S_2)의 길이 방향에 대하여 30° ~60° 의 범위로 기울어지도록 배치된 것을 특징으로 하는 MOS게이트형 반도체장치.

청구항 6

제2항에 있어서, 상기 하층 소스전극(S_1,S_1')은 그 길이 방향이 상층 소스전극(S_2)의 길이 방향에 대하여 30° ~60° 의 범위로 기울어지도록 배치된 것을 특징으로 하는 MOS게이트형 반도체장치.

청구항 7

제1항에 있어서, 상기 하층 드레인전극(D_1,D_1')은 그 길이 방향이 상층 드레인전극(D_2)의 길이 방향에 대하여 30° ~60의 범위로 기울어지도록 배치된 것을 특진으로 하는 MOS게이트형 반도체장치.

청구항 8

제2항에 있어서, 상기 하층 드레인전극(D_1,D_1')은 그 길이 방향이 상층 드레인전극(D_2)의 길이 방향에 대하여 30° ~60° 범위로 기울어지도록 배치된 것을 특진으로 하는 MOS게이트형 반도체장치.

청구항 9

제1항에 있어서, 상기 하층 소스전극(S_1)과 상기 상층 소스전극(S_2)의 겹치는 부분의 접촉면적은 다른 하층 소스전극(S_1')과 다른 상층 소스전극(S_2)의 겹치는 부분의 접촉면적과 같고, 또한 상기 하층 소스전극(S_1)과 상기 상층 드레인전극(D_2)의 겹치는 부분의 면적은 소스전극(S_1')과 드레인전극(D_2)의 겹치는 부분의 면적과 같은 것을 특징으로 하는 MOS게이트형 반도체장치.

청구항 10

제2항에 있어서, 상기 하층 소스전극(S_1)과 상기 상층 소스전극(S_2)의 겹치는 부분의 접촉면적은 다른 하층 소스전극(S_1')과 다른 상층 소스전극(S_2)의 겹치는 부분의 접촉면적과 같고, 또한 상기 하층 소스전극(S_1)과 상기 상층 드레인전극(D_2)의 겹치는 부분의 면적은 소스전극(S_1')과 드레인전극(D_2)의 겹치는 부분

의 면적과 같은 것을 특징으로 하는 MOS게이트형 반도체장치.

청구항 11

제1항에 있어서, 상기 하층 드레인전극(D_1)과 상기 상층 드레인전극(D_2)의 겹치는 부분의 접촉면적은 다른 하층 드레인전극(D_1')과 다른 상층 드레인전극(D_2)의 겹치는 부분의 접촉면적과 같고, 또한 상기 하층 드레인전극(D_1)과 상기 상층 소스전극(S_2)의 겹치는 부분의 면적은 다른 하층 드레인전극(D_1')과 다른 상층 소스전극(S_2)의 겹치는 부분의 면적과 같은 것을 특징으로 하는 MOS게이트형 반도체장치.

청구항 12

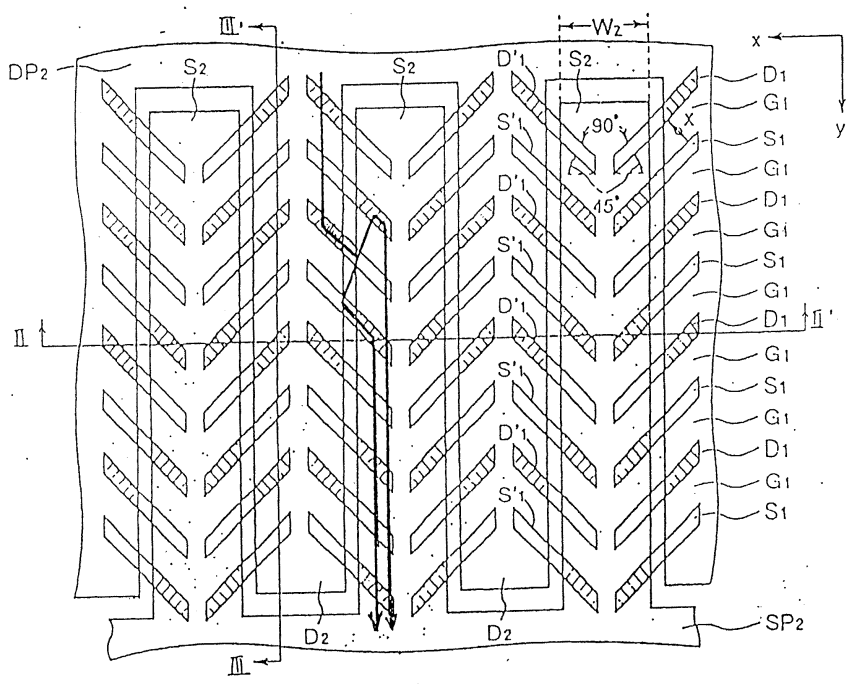
제2항에 있어서, 상기 하층 드레인전극(D_1)과 상기 상층 드레인전극(D_2)의 겹치는 부분의 접촉면적은 다른 하층 드레인전극(D_1')과 다른 상층 드레인전극(D_2)의 겹치는 부분의 접촉면적과 같고, 또한 상기 하층 드레인전극(D_1)과 상기 상층 소스전극(S_2)의 겹치는 부분의 면적은 다른 하층 드레인전극(D_1')과 다른 상층 소스전극(S_2)의 겹치는 부분의 면적과 같은 것을 특징으로 하는 MOS게이트형 반도체장치.

청구항 13

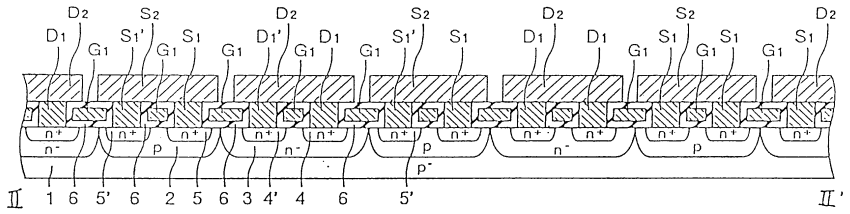
표면에 소스영역, 드레인영역이 형성된 반도체 기판(1)과, 상기 반도체 기판 상에 설치되고, 복수의 상층 소스전극(S_2)이 빗살 모양으로 배열 형성되어 되는 상층 소스배선(SP_2), 상기 반도체 기판 상에 설치되고, 복수의 상층 드레인전극(D_2)이 빗살모양으로 배열 형성되면서 상기 복수의 상층 소스전극과 맞물리도록 배치된 상층 드레인배선(DP_2), 각 인접한 상기 상층 소스전극 및 상기 상층 드레인전극의 하부마다 이들 상층 소스전극 및 상층 드레인전극에 겹치도록 설치된 하층 소스전극(S_1,S_1') 및, 각 인접한 상기 상층 소스전극 및 상기 상층 드레인전극의 하부마다 이들 상층 소스전극 및 상층 드레인전극에 겹치도록 설치된 하층 드레인전극(D_1,D_1')을 구비하여 이루어지고, 상기 하층 소스전극은 상기 상층 소스전극 및 상기 소스영역에 접속되면서 길이 방향이 상기 상층 소스배선의 길이 방향에 기울어져 교차하도록 배열되고, 상기 하층 드레인전극은 상기 상층 드레인전극 및 상기 드레인영역에 접속되고, 상기 하층 소스전극과 평행하면서 교대로 배열 형성된 것을 특징으로 하는 MOS게이트형 반도체장치.

도면

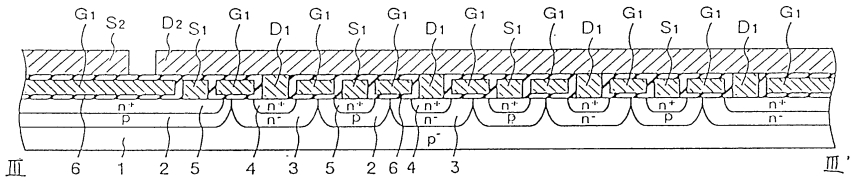
도면1



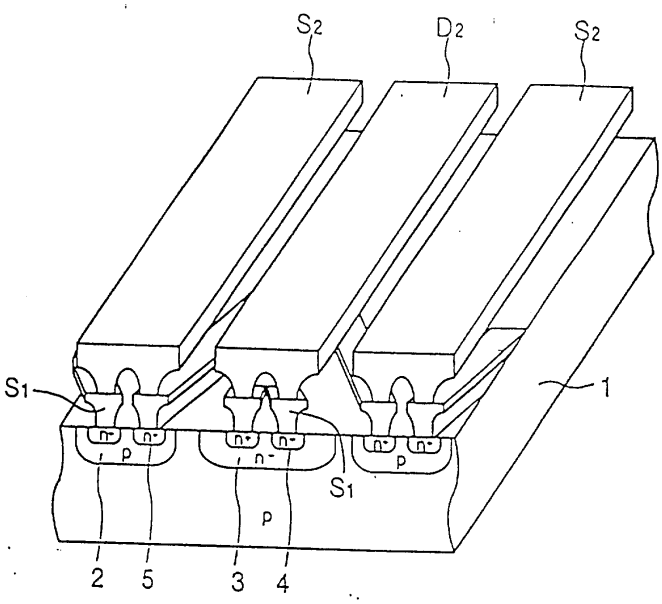
도면2


D2 S2 D2 S2 D2 S2 D2
D1 G1 S1' G1 S1 G1 D1' G1 D1 G1 S1' S1 D1 D1 G1 S1 G1 S1 G1 S1
n+ n+ n+ n+ n+ n+ n+ n+ n+ n+ n+ n+
n- p n- p p n- p
p-
Ⅱ 1 6 5' 6 2 5 6 3 4' 4 6 5' Ⅱ'

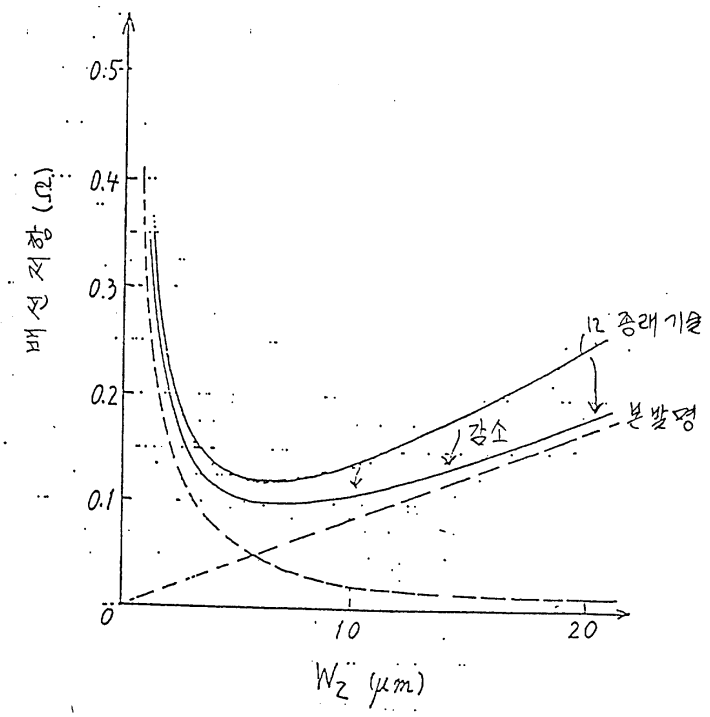
도면3


G1 S2 D2 S1 G1 D1 G1 S1 G1 D1 G1 S1 G1 D1 G1 S1 G1 D1 G1
n+ n+ n+ n+ n+ n+ n+ n+
p n- p n- p n- p n-
p-
Ⅲ 6 1 2 5 4 3 5 2 6 4 3 Ⅲ'

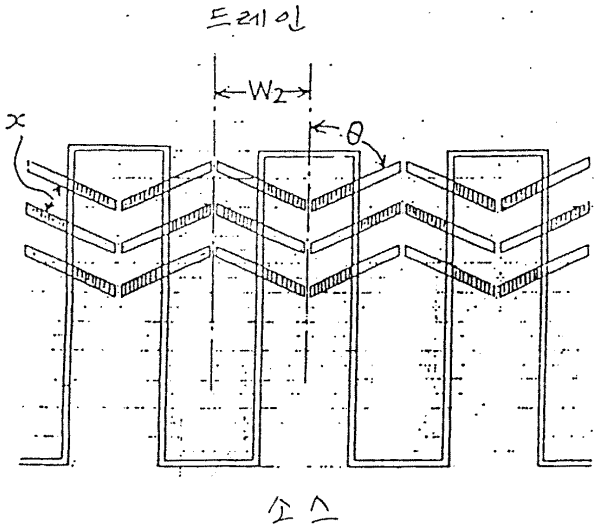
도면4


S2 D2 S2
S1
1
n- n- n- n- n- n-
p n- p p
S1
2 5 3 4

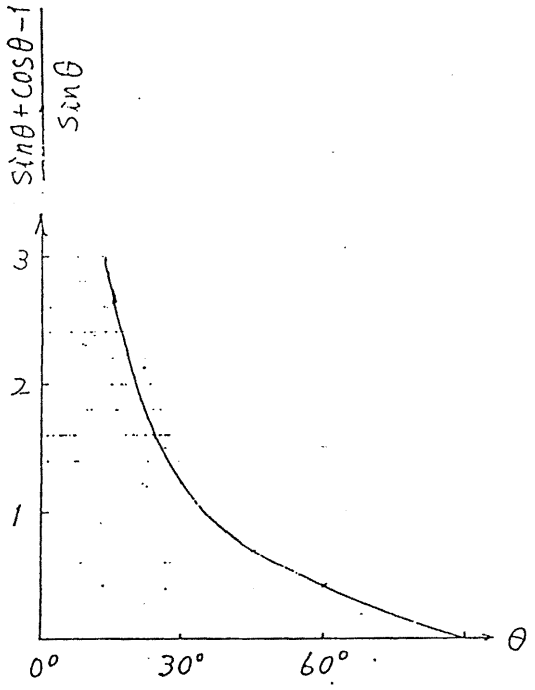
도면5



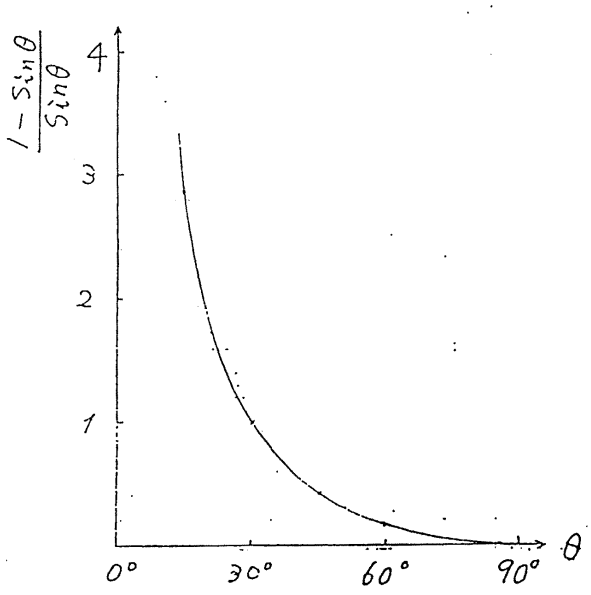
도면6



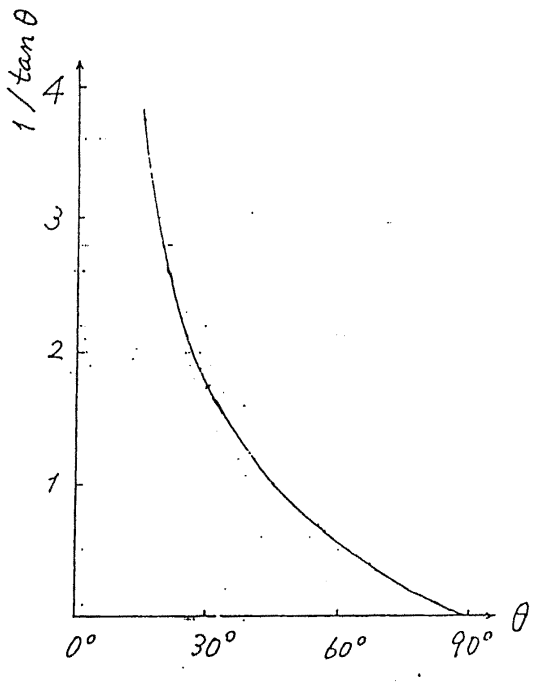
도면7



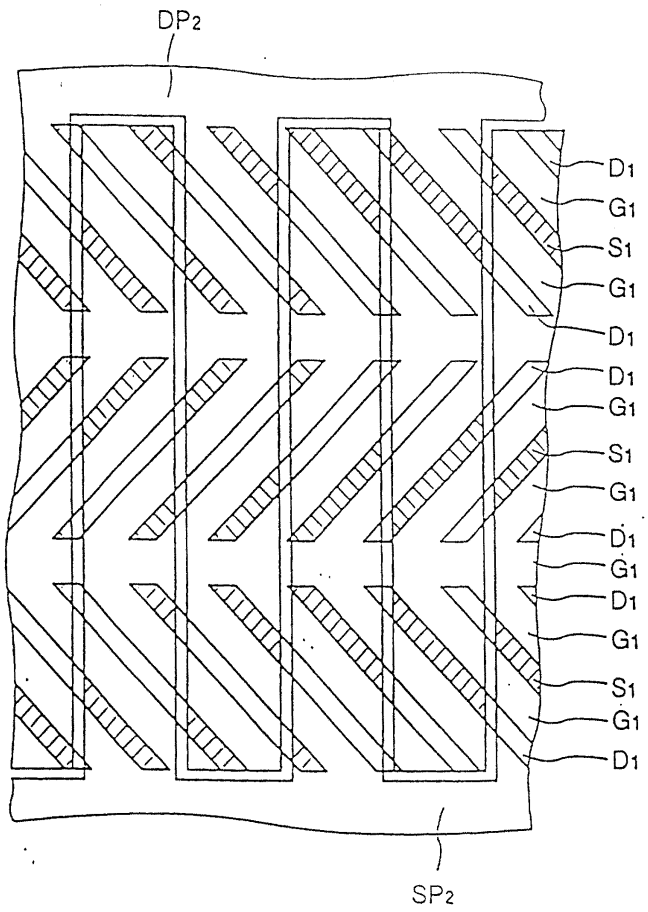
도면8



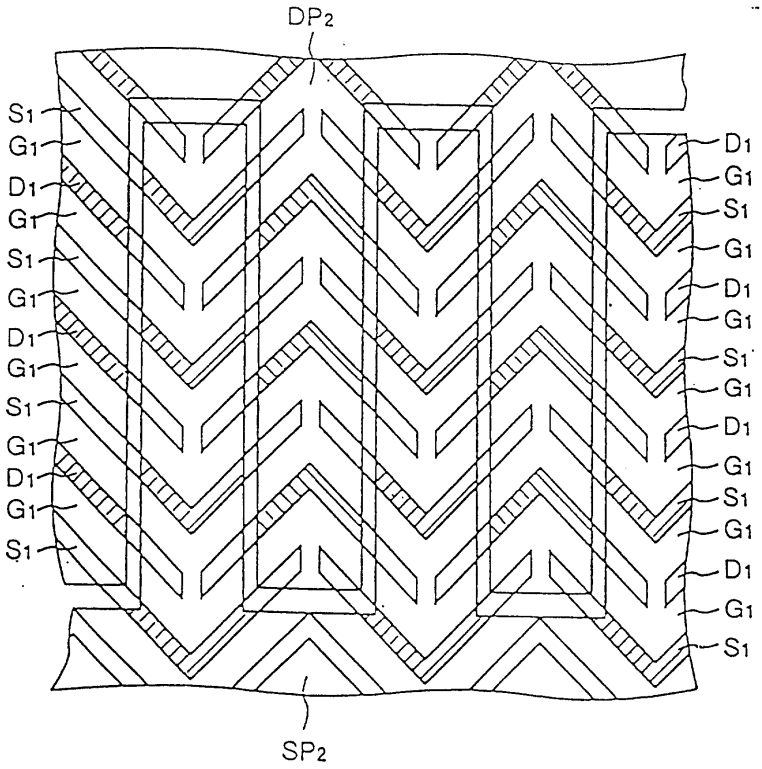
도면9


1/tan θ
4
3
2
1
0°
30°
60°
90°
θ

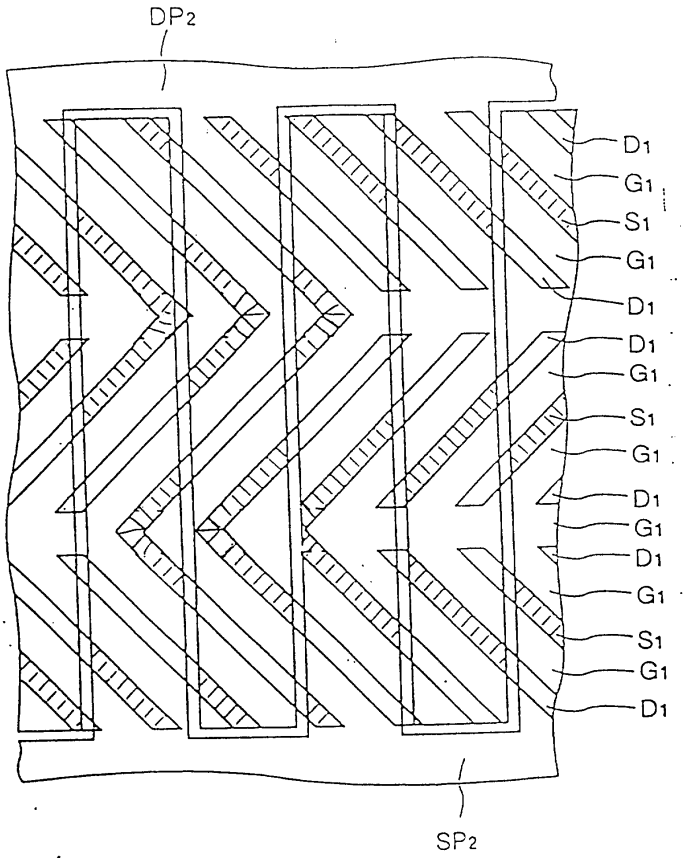
도면10


DP2
D1
G1
S1
G1
D1
D1
G1
S1
G1
D1
G1
D1
G1
S1
G1
D1
SP2

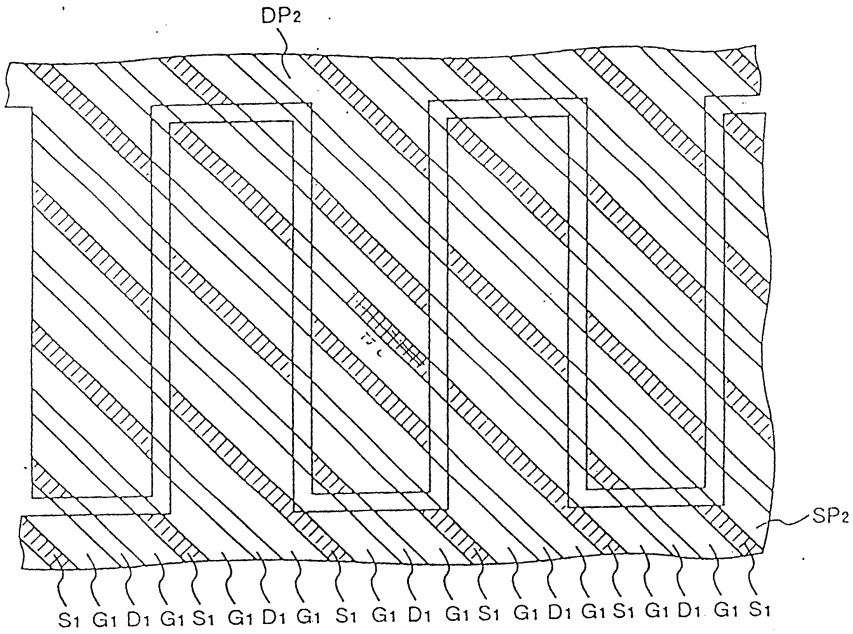
도면11


DP2
S1
G1
D1
G1
S1
G1
D1
G1
S1
G1
D1
G1
S1
D1
G1
S1
G1
D1
G1
S1
SP2

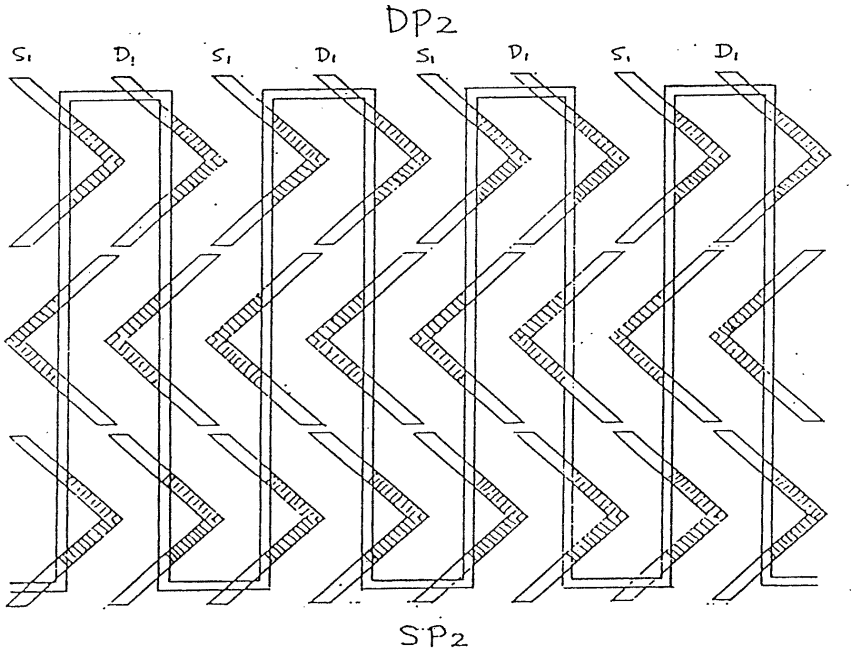
도면12


DP2
D1
G1
S1
G1
D1
D1
G1
S1
G1
D1
G1
D1
G1
S1
G1
D1
SP2

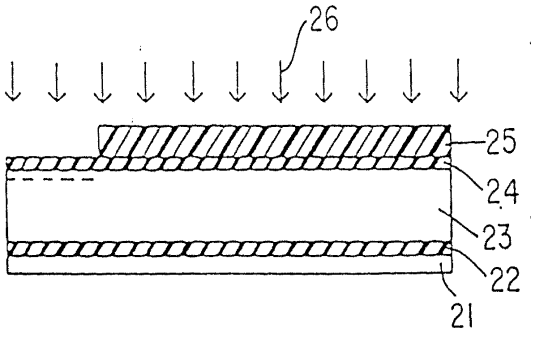
도면13



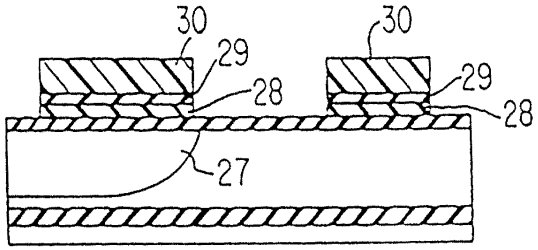
도면14



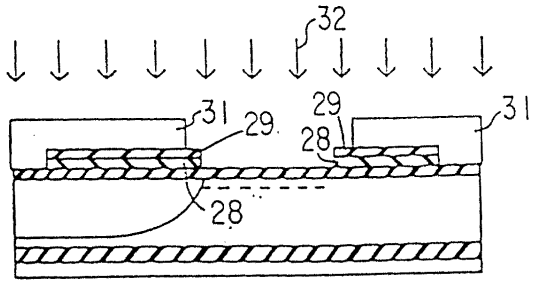
도면15a



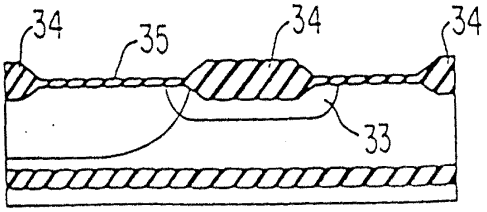
도면15b



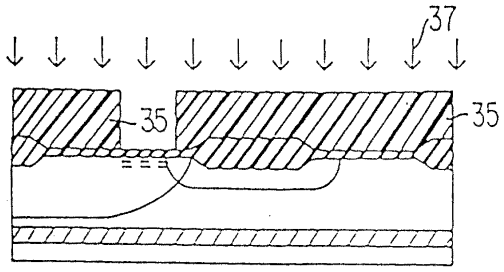
도면15c



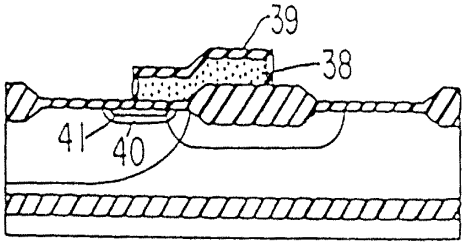
도면15d



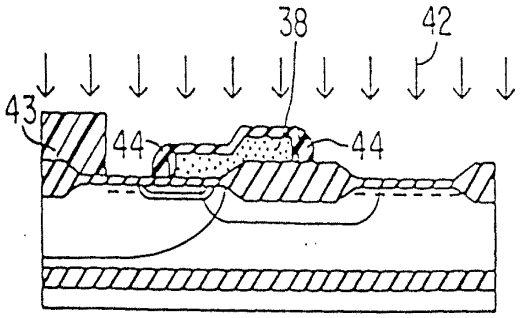
도면16a



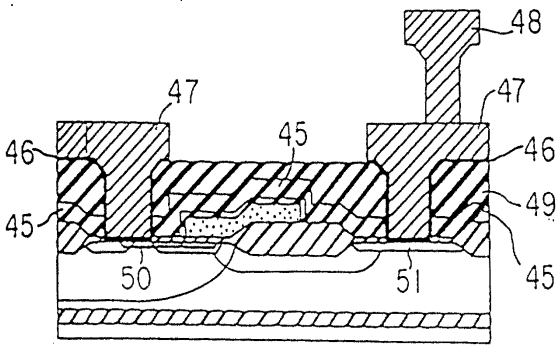
도면16b



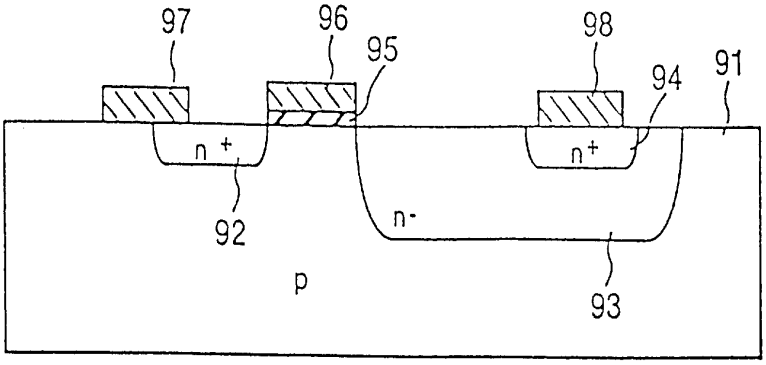
도면16c



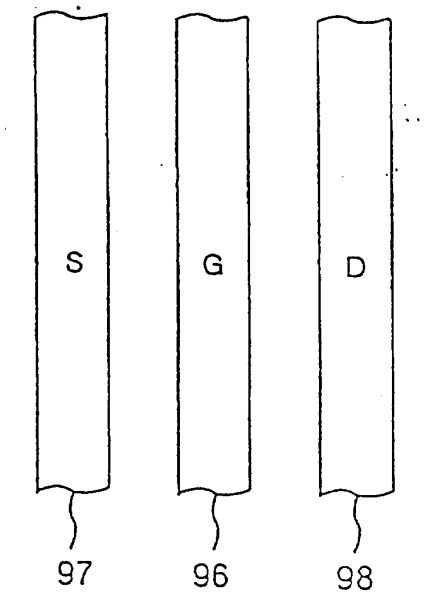
도면16d



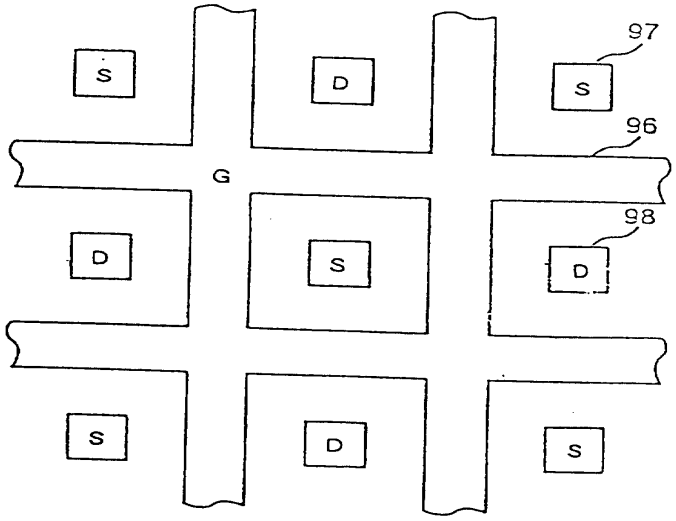
도면17



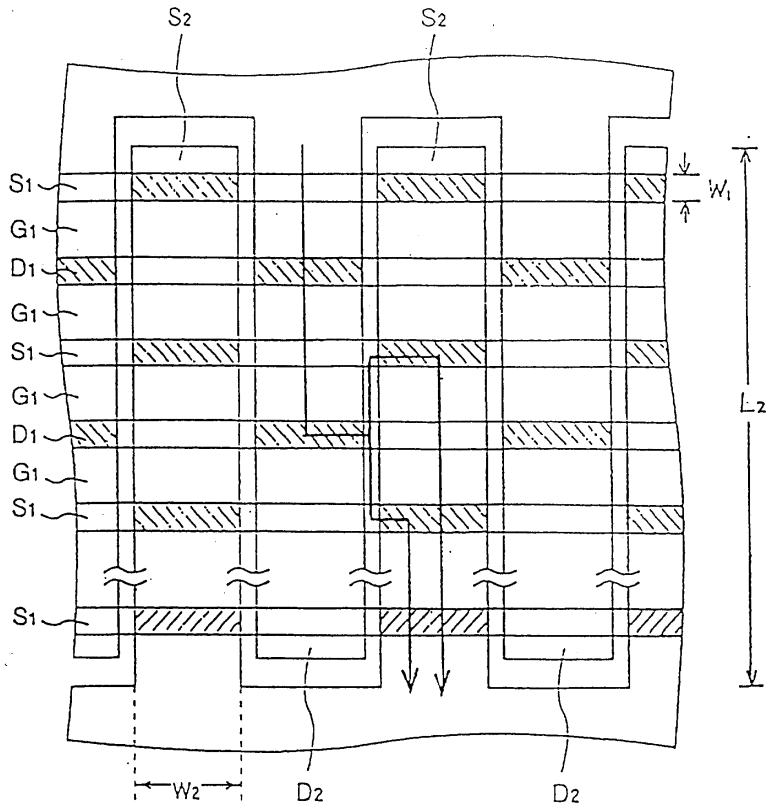
도면18



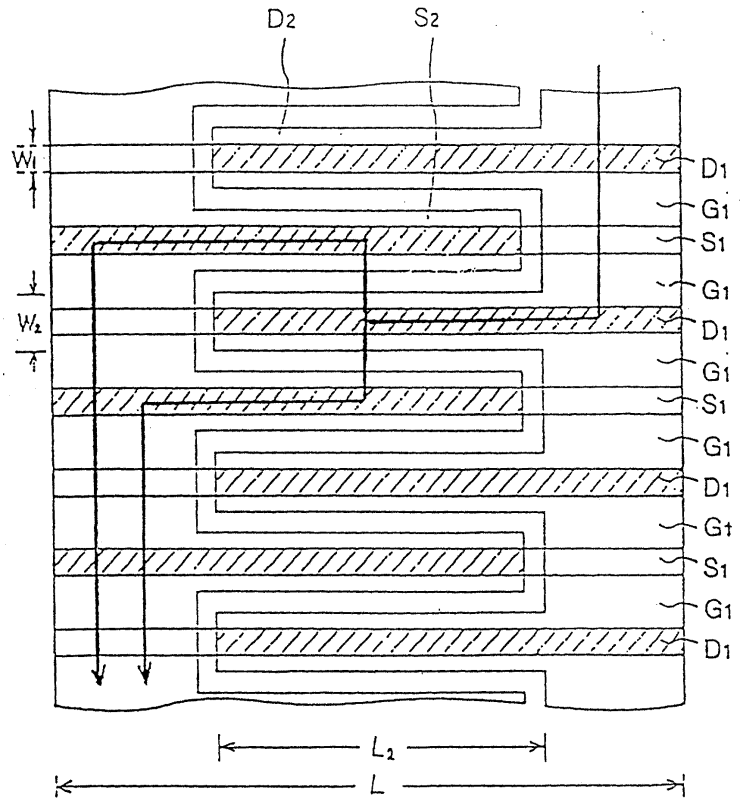
도면19



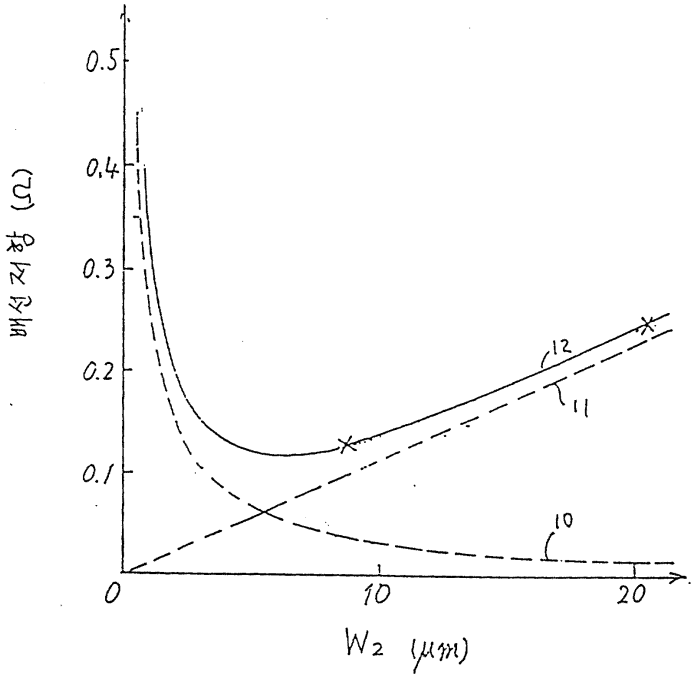
도면20


S2
S2
S1
G1
D1
G1
S1
G1
D1
G1
S1
S1
W1
L2
W2
D2
D2

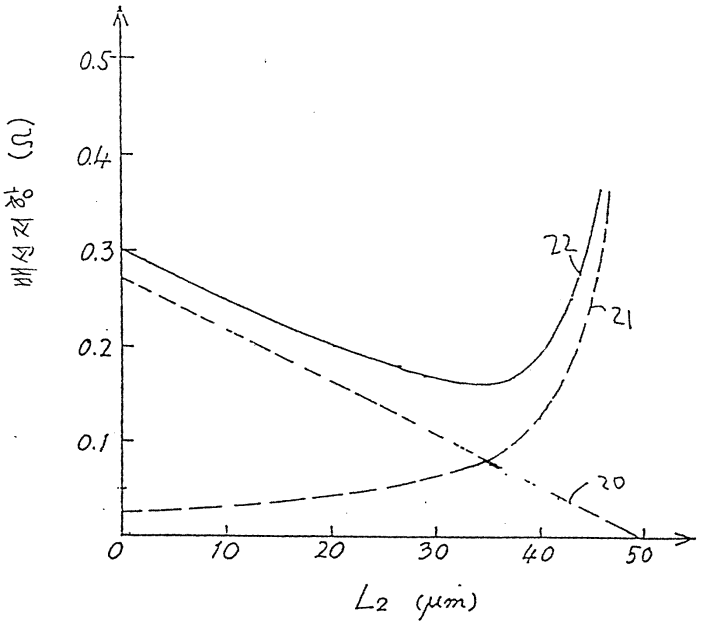
도면21


D2
S2
W1
W2
D1
G1
S1
G1
D1
G1
S1
G1
D1
G1
S1
G1
D1
L2
L

도면22


0.5
0.4
0.3
0.2
0.1
0
10
20
W2 (μm)
배선저항 (Ω)
12
11
10

도면23


0.5
0.4
0.3
0.2
0.1
0
10
20
30
40
50
L2 (μm)
배선저항 (Ω)
22
21
20

도면24

