

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

96134977

※ 申請日期：

96.9.19

※IPC 分類：H01L 29/86 (2006.01)

H01L 21/336 (2006.01)

H01L 21/627 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD

THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

松下電器產業股份有限公司

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.

代表人：(中文/英文)

大坪 文雄

OHTSUBO, FUMIO

住居所或營業所地址：(中文/英文)

日本國大阪府門真市大字門真1006番地

1006, OAZA KADOMA, KADOMA-SHI, OSAKA 571-8501, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 工藤 千秋
KUDO, CHIAKI

2. 小川 久
OGAWA, HISASHI

國 籍：(中文/英文)

1. 日本 JAPAN

2. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2006年09月20日；特願2006-254239

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明涉及一種半導體裝置及其製造方法，特別是涉及具有抑制了圓角(corner rounding)現象的閘極電極結構的半導體裝置及其製造方法。

【先前技術】

在具有MIS (Metal Insulator Semiconductor：金屬絕緣體半導體)結構的電晶體中，閘極電極正在不斷走微小化之路。另一方面，在對閘極電極形成接點時，有必要將閘極電極中形成接點的閘極接觸區域的尺寸設為與閘極電極中位於工作區(active region)上的區域的尺寸相比較大的值，以防止由於閘極電極與接觸孔之間的接合處錯開而導致的接觸面積的縮小使接觸電阻上升。

在此，圖35表示一般性電晶體的平面佈局的一部分。

如圖35所示，在半導體基板11中，形成有元件隔離區域12和由該元件隔離區域12包圍的工作區13，一般在該工作區13中的上部形成有源極-汲極區域14。此外，形成有跨越元件隔離區域12和工作區13的閘極電極15，閘極電極15的一部分包括閘極接觸區域17和配線區域18。在源極-汲極區域14和閘極電極15的規定區域中，形成有貫穿著層間絕緣膜(未示)形成的接點16。如上所述，閘極電極15在閘極接觸區域17及配線區域18中的線條寬度，比閘極電極15在工作區14上的部分的線條寬度大。就是說，如圖35所示，閘極電極15不呈直線形狀，而具有線條寬度變化的平

面佈局，在元件隔離區域12上的工作區13附近具有曲折部分。

下面，對由於閘極電極15如上所述具有線條寬度變化的平面佈局而會發生的圓角現象、和起因於該現象而會出現的問題進行說明。

一般來講，當對閘極電極進行加工時，用同調光經由用遮光材料在玻璃基板上構成遮光罩圖案而成的光罩照射半導體基板上的、被稱為抗蝕劑的感光材料，用投影透鏡使透過光罩後的繞射光進行一比一投影(one to one projection)或縮小投影。這樣來對閘極電極進行加工。

因為當向抗蝕劑轉移遮光罩圖案時利用投影光的光學特性，所以如圖36(a)所示，投影繞射光的干涉現象在該圖案曲折而使線條寬度變化的部分的附近很顯著，光學像會彎曲。就是說，在閘極電極15的遮光罩圖案中的存在於工作區13附近的區域的曲折部分，會發生抗蝕劑形狀20的矩形性降低的、所謂的圓角現象。在這種情況下，如圖36(a)所示，抗蝕劑形狀20中存在於工作區13與閘極接觸區域17之間的境界附近的部分的線條寬度 L_2 ，比抗蝕劑形狀20中位於工作區13上的其他部分的線條寬度 L_1 大。同樣，抗蝕劑形狀20中存在於工作區13與配線區域18之間的境界附近的部分的線條寬度 L_4 ，比抗蝕劑形狀20中位於工作區13上的其他部分的線條寬度 L_3 大。因此，在用抗蝕劑形狀20形成的閘極電極15中，工作區13上的閘極接觸區域17及配線區域18附近的區域的線條寬度(L_2 、 L_4)，與閘極電極15在工

作區13上的其他部分的線條寬度(L1、L3)相比較大。因此，有電晶體特性惡化、驅動能力下降、電路動作會出毛病等問題。

如圖36(b)所示，例如在具有閘極接觸區域17的閘極電極15互相靠近的結構下，由於投影繞射光的干涉而會造成光強度的下降，抗蝕劑的清晰度不足會使互相靠近的閘極電極15接觸，造成短路。這是一個問題。

另一方面，作為解決前述問題的方法，有下述方法，即：使接點部分等曲折部分或線條寬度不同的區域遠離工作區13的方法，和將互相靠近的閘極接觸區域17相互間的距離設為較長的值的方法。但是，前述方法會導致晶片(chip)面積的增加。於是，有人提案過被稱為OPC (Optical Proximity Effect Correction：光學近程改正)法的遮光罩圖案修正方法。就是說，事先計算光的干涉，然後在遮光罩圖案上事先追加或減去轉移光學像中由於干涉而會發生變化的部分，來對遮光罩圖案進行修正，以提高遮光罩圖案的轉移忠實性(例如，參照專利文獻1或專利文獻2)。

[專利文獻1]日本公開專利公報特開2004-93705號公報

[專利文獻2]日本公開專利公報特開2005-114843號公報

然而，在前述現有OPC法中，有下述問題，即：遮光罩圖案很複雜，使得計算機處理時間增大，並且難以檢查遮光罩圖案。而且，若要提高曲折部分的矩形性，就需要在閘極接觸區域或配線區域的遮光罩圖案中追加被稱為襯線(serif)的追加圖案，而若要提高閘極接觸區域或配線區域

中的分離性，就需要減少用於閘極接觸區域或配線區域的遮光罩圖案，因此存在前述兩個提高措施難以兩立的問題。

【發明內容】

本發明，正是為解決前述問題而研究開發出來的。其目的在於：提供一種包括能在不採用現有OPC法的狀態下抑制前述圓角現象的閘極電極結構的半導體裝置及其製造方法。

本發明的一種形態所涉及的半導體裝置，包括：形成在半導體基板中的元件隔離區域，由元件隔離區域包圍的工作區，以及形成在元件隔離區域和工作區上，並在元件隔離區域上具有與工作區上相比閘極長度方向上的圖案寬度較大的第一區域的第一閘極電極；第一閘極電極中的第一區域，具有膜厚與工作區上的膜厚不同的部分。

在本發明的一種形態所涉及的半導體裝置中，第一閘極電極中的第一區域是閘極接觸區域或配線區域。

在本發明的一種形態所涉及的半導體裝置中，存在於工作區附近的第一區域的曲折部分的平面形狀是直角形狀。

在本發明的一種形態所涉及的半導體裝置中，第一閘極電極中的第一區域，具有膜厚比第一閘極電極在工作區上的膜厚小的部分。

在本發明的一種形態所涉及的半導體裝置中，第一閘極電極中的第一區域，具有膜厚比第一閘極電極在工作區上的膜厚大的部分。

本發明的一種形態所涉及的半導體裝置，包括第二閘極電極，該第二閘極電極與第一閘極電極並排形成在元件隔離區域及工作區上，並在元件隔離區域上具有與工作區上相比閘極長度方向上的圖案寬度較大的第二區域；第一閘極電極在工作區上的膜厚，與第二閘極電極在工作區上的膜厚不同。

在本發明的一種形態所涉及的半導體裝置中，第一閘極電極中的第一區域，具有膜厚比第一閘極電極在工作區上的膜厚小的部分；第二閘極電極中的第二區域，具有膜厚比第二閘極電極在工作區上的膜厚大的部分。

在本發明的一種形態所涉及的半導體裝置中，存在於工作區附近的第二區域的曲折部分的平面形狀是直角形狀。

本發明的一種形態所涉及的半導體裝置，還包括：形成在工作區上的第一閘極電極與工作區之間的閘極絕緣膜，和形成在工作區中的第一閘極電極兩側下方區域中的第一源極-汲極區域。

本發明的一種形態所涉及的半導體裝置，還包括：形成在第一閘極電極的側面上的邊牆(side wall)，和形成在工作區中的邊牆的外側下方區域中的第二源極-汲極區域。

本發明的一種形態所涉及的半導體裝置的製造方法，包括：在半導體基板中形成元件隔離區域和由元件隔離區域包圍的工作區的工序a，在元件隔離區域和工作區上形成閘極電極形成膜的工序b，在閘極電極形成膜上形成跨越元件隔離區域和工作區的、呈直線形狀的第一遮光罩部的

工序c，在位於元件隔離區域上的閘極電極形成膜上形成第二遮光罩部的工序d，以及在工序c和工序d之後，藉著用第一遮光罩部及第二遮光罩部對閘極電極形成膜進行蝕刻，來形成在元件隔離區域上具有與工作區上相比閘極長度方向上的圖案寬度較大的第一區域的第一閘極電極的工序e；第一遮光罩部具有與第二遮光罩部不同的遮光罩結構；在工序e中，第一遮光罩部和第二遮光罩部形成為一部分互相重疊。

在本發明的一種形態所涉及的半導體裝置的製造方法中，工序c具有：在閘極電極形成膜上形成遮光罩膜的工序c1，在遮光罩膜上形成跨越元件隔離區域及工作區的、呈直線形狀的第一抗蝕圖案的工序c2，藉著將第一抗蝕圖案用作遮光罩，至少對遮光罩膜進行蝕刻，來形成具有已圖案化的遮光罩膜的第一遮光罩部的工序c3，以及在工序c3之後去除第一抗蝕圖案的工序c4；工序d包括：在工序c之後進行的、在位於元件隔離區域上的閘極電極形成膜上形成由覆蓋第一遮光罩部的至少一部分和第一區域的第二抗蝕圖案構成的第二遮光罩部的工序；在工序e中，藉著以具有遮光罩膜的第一遮光罩部和由第二抗蝕圖案構成的第二遮光罩部作為遮光罩，對閘極電極形成膜進行蝕刻，來形成第一閘極電極。

在本發明的一種形態所涉及的半導體裝置的製造方法中，工序c具有：在閘極電極形成膜上形成跨越元件隔離區域及工作區的、呈直線形狀的第一抗蝕圖案的工序c1，

藉著將第一抗蝕圖案用作遮光罩，對閘極電極形成膜的上部進行蝕刻，來形成由閘極電極形成膜構成的第一遮光罩部的工序c2，以及在工序c2之後去除第一抗蝕圖案的工序c3；工序d包括：在工序c之後進行的、在位於元件隔離區域上的閘極電極形成膜上形成由覆蓋第一遮光罩部的至少一部分和第一區域的第二抗蝕圖案構成的第二遮光罩部的工序；在工序e中，藉著以由閘極電極形成膜構成的第一遮光罩部及由第二抗蝕圖案構成的第二遮光罩部作為遮光罩，對閘極電極形成膜進行蝕刻，來形成第一閘極電極。

在本發明的一種形態所涉及的半導體裝置的製造方法中，工序d具有：在閘極電極形成膜上形成遮光罩膜的工序d1，在位於元件隔離區域上的遮光罩膜上形成覆蓋第一區域的第一抗蝕圖案的工序d2，藉著將第一抗蝕圖案用作遮光罩，至少對遮光罩膜進行蝕刻，來形成具有已圖案化的遮光罩膜的第二遮光罩部的工序d3，以及在工序d3之後去除第一抗蝕圖案的工序d4；工序c，包括：在工序d之後進行的、在閘極電極形成膜上形成由覆蓋第二遮光罩部的一部分並且跨越元件隔離區域及工作區的呈直線形狀的第二抗蝕圖案構成的第一遮光罩部的工序；在工序e中，藉著以由第二抗蝕圖案構成的第一遮光罩部及具有遮光罩膜的第二遮光罩部作為遮光罩，對閘極電極形成膜進行蝕刻，來形成第一閘極電極。

在本發明的一種形態所涉及的半導體裝置的製造方法中，工序d具有：在位於元件隔離區域上的閘極電極形成

膜上形成覆蓋第一區域的第一抗蝕圖案的工序d1，藉著將第一抗蝕圖案用作遮光罩，至少對閘極電極形成膜的上部進行蝕刻，來形成由閘極電極形成膜構成的第二遮光罩部的工序d2，以及在工序d2之後去除第一抗蝕圖案的工序d3；工序c包括：在工序d之後進行的、在閘極電極形成膜上形成由覆蓋第二遮光罩部的一部分並且跨越元件隔離區域及工作區的呈直線形狀的第二抗蝕圖案構成的第一遮光罩部的工序；在工序e中，藉著以由第二抗蝕圖案構成的第一遮光罩部及由閘極電極形成膜構成的第二遮光罩部作為遮光罩，對閘極電極形成膜進行蝕刻，來形成第一閘極電極。

在本發明的一種形態所涉及的半導體裝置的製造方法中，工序c包括：形成第一遮光罩部，並在位於元件隔離區域上的閘極電極形成膜上形成第三遮光罩部的工序；工序d包括：形成第二遮光罩部，並在閘極電極形成膜上形成跨越元件隔離區域及工作區的、呈直線形狀的第四遮光罩部的工序；工序e包括：形成第一閘極電極，並藉著用第三遮光罩部及第四遮光罩部對閘極電極形成膜進行蝕刻，來形成在元件隔離區域上具有與工作區上相比閘極長度方向上的圖案寬度較大的第二區域的第二閘極電極的工序；第三遮光罩部，具有與第四遮光罩部不同的遮光罩結構；在工序e中，第三遮光罩部和第四遮光罩部形成為一部分互相重疊。

在本發明的一種形態所涉及的半導體裝置的製造方法

中，工序c具有：在閘極電極形成膜上依次形成第一遮光罩膜和第二遮光罩膜的工序c1，在第二遮光罩膜上形成跨越元件隔離區域及工作區的、呈直線形狀的第一抗蝕圖案的工序c2，藉著將第一抗蝕圖案用作遮光罩，至少對第二遮光罩膜進行蝕刻，來形成具有已圖案化的第二遮光罩膜的第一遮光罩部的工序c3，以及在工序c3之後去除第一抗蝕圖案的工序c4；工序d具有：在工序c之後進行的、在位於元件隔離區域上的第一遮光罩膜上形成覆蓋第一遮光罩部的至少一部分和第一區域的第二抗蝕圖案的工序d1，藉著以第二抗蝕圖案及第一遮光罩部中的第二遮光罩膜作為遮光罩，對第一遮光罩膜進行蝕刻，來形成由已圖案化的第一遮光罩膜構成的第二遮光罩部的工序d2，以及在工序d2之後去除第二抗蝕圖案的工序d3；在工序e中，藉著以具有第二遮光罩膜的第一遮光罩部及由第一遮光罩膜構成的第二遮光罩部作為遮光罩，對閘極電極形成膜進行蝕刻，來形成第一閘極電極。

在本發明的一種形態所涉及的半導體裝置的製造方法中，工序d具有：在閘極電極形成膜上依次形成第一遮光罩膜和第二遮光罩膜的工序d1，在位於元件隔離區域上的第二遮光罩膜上形成覆蓋第一區域的第一抗蝕圖案的工序d2，藉著將第一抗蝕圖案用作遮光罩，至少對第二遮光罩膜進行蝕刻，來形成具有已圖案化的第二遮光罩膜的第二遮光罩部的工序d3，以及在工序d3之後去除第一抗蝕圖案的工序d4；工序c具有：在工序d之後進行的、在第一遮光

罩膜上形成覆蓋第二遮光罩部的一部分並且跨越元件隔離區域及工作區的呈直線形狀的第二抗蝕圖案的工序c1，藉著以第二抗蝕圖案及第二遮光罩部中的第二遮光罩膜作為遮光罩，對第一遮光罩膜進行蝕刻，來形成由已圖案化的第一遮光罩膜構成的第一遮光罩部的工序c2，以及在工序c2之後去除第二抗蝕圖案的工序c3；在工序e中，藉著以由第一遮光罩膜構成的第一遮光罩部及具有第二遮光罩膜的第二遮光罩部作為遮光罩，對閘極電極形成膜進行蝕刻，來形成第一閘極電極。

如上所述，根據本發明的一側面所涉及的半導體裝置及第一到第四形態所涉及的半導體裝置的製造方法，能夠抑制由於遮光罩圖案的線條寬度的變化而發生的圓角現象，能夠實現抑制了接觸電阻及配線電阻的上升的半導體裝置。

發明的效果

根據本發明所涉及的半導體裝置及其製造方法，在工作區上及元件隔離區域上，能將閘極電極的平面佈局圖案設為呈直線形狀的平面佈局，因而能夠抑制會在用來將閘極電極圖案化的抗蝕圖案中發生的圓角現象。因此，能夠使工作區和閘極接觸區域或配線區域靠近。

【實施方式】

(第一實施例)

下面，對本發明的第一實施例所涉及的半導體裝置進行說明。

圖 1(a)到圖 1(c)，表示本發明的第一實施例所涉及的半導體裝置的結構，圖 1(a)是平面圖；圖 1(b)是剖面圖，對應於圖 1(a)中的 Ib-Ib 線；圖 1(c)是剖面圖，對應於圖 1(a)中的 Ic-Ic 線。補充說明一下，在本實施例中說明的是，將 n 型 MIS 電晶體形成在工作區 103a 中，並將 p 型 MIS 電晶體形成在工作區 103b 中的結構。

首先，如圖 1(a)所示，在例如由矽構成的半導體基板 101 中形成有元件隔離區域 102、具有 p 井(未示)的工作區 103a 及具有 n 井(未示)的工作區 103b，該工作區 103a 和該工作區 103b 由前述元件隔離區域 102 包圍。在該工作區 103a 中的上部形成有 n 型源極-汲極區域 104a，在該工作區 103b 中的上部形成有 p 型源極-汲極區域 104b。在半導體基板 101 上，形成有例如由多晶矽、金屬矽化物及多晶矽的多層膜、矽化物膜、或者金屬等材料構成的閘極電極 105，該閘極電極 105 沿閘極寬度方向經過元件隔離區域 102 跨越工作區 103a 和工作區 103b。閘極電極 105 的一部分，包括成為拉伸部的閘極接觸區域 105a 和配線區域 105b。在閘極電極 105 的側面，連續不斷地形成有例如由氮化矽膜構成的邊牆 107。補充說明一下，n 型源極-汲極區域 104a，由形成在工作區 103a 中的閘極電極 105 兩側下方區域中並且接合深度比較小的 n 型源極-汲極擴散層(n 型延伸(extension)區域或 n 型 LDD(輕摻雜汲極)區域)、和形成在工作區 103a 中的邊牆 107 的外側下方區域中並且接合深度比較大的 n 型源極-汲極擴散層構成。p 型源極-汲極區域 104b，由形成在

工作區 103b 中的閘極電極 105 兩側下方區域中並且接合深度比較小的 p 型源極-汲極擴散層 (p 型延伸區域或 p 型 LDD 區域)、和形成在工作區 103b 中的邊牆 107 的外側下方區域中並且接合深度比較大的 p 型源極-汲極擴散層構成。補充說明一下，邊牆 107，也可以例如由氧化矽膜及氮化矽膜的多層膜構成。

如圖 1(b) 所示，在形成在半導體基板 101 中的工作區 103a 上，隔著例如由氮氧化矽 (SiON) 構成的閘極絕緣膜 106 形成有閘極電極 105，在該閘極電極 105 的側面上形成有邊牆 107。在工作區 103a 的上部，形成有由接合深度比較小的 n 型源極-汲極擴散層、和接合深度比較大的 n 型源極-汲極擴散層構成的 n 型源極-汲極區域 104a。在此，雖然不表示工作區 103b 的剖面結構，但是在該工作區 103b 中，以與圖 1(b) 中一樣的方式形成有閘極絕緣膜 106、閘極電極 105、以及由接合深度比較小的 p 型源極-汲極擴散層和接合深度比較大的 p 型源極-汲極擴散層構成的 p 型源極-汲極區域 104b。

如圖 1(c) 所示，在半導體基板 101 中形成有元件隔離區域 102。在元件隔離區域 102 上形成有在側面具有邊牆 107、並且包括閘極接觸區域 105a 和配線區域 105b 的閘極電極 105。

在此，如圖 1(c) 所示，第一實施例所涉及的閘極電極 105 在元件隔離區域 102 上具有台階部 a，就是說，該閘極電極 105 在閘極接觸區域 105a 及配線區域 105b 具有膜厚比工作

區 103a、103b 上的膜厚小的部分。

藉著使閘極電極 105 包括上述結構，能夠抑制圓角現象。這樣，就能在防止電晶體特性變動的狀態下使閘極接觸區域 105a 或配線區域 105b 靠近工作區 103a、103b，同時能夠在抑制由於使閘極接觸區域的尺寸較大而會造成的閘極電極短路的狀態下使相鄰的閘極電極互相接近，能夠進行高集成化。

下面，對本發明的第一實施例所涉及的半導體裝置的製造方法進行說明。

圖 2(a) 和圖 2(b)、圖 3(a) 到圖 3(c)、圖 4(a) 到圖 4(c)、圖 5、以及圖 6(a) 到圖 6(c)，是用來說明本發明的第一實施例所涉及的半導體裝置的製造方法的圖。補充說明一下，圖 2(a)、圖 2(b)、圖 3(a)、圖 4(a)、圖 5 及圖 6(a) 是平面圖；圖 3(b)、圖 3(c)、圖 4(b)、圖 4(c)、圖 6(b) 及圖 6(c) 是剖面圖。

首先，如圖 2(a) 所示，例如利用 STI (shallow trench isolation：淺溝隔離) 法等，在例如由矽構成的半導體基板 101 中選擇性地形成元件隔離區域 102。接著，利用離子摻入法，在半導體基板 101 中例如形成 p 井(未示)和 n 井(未示)。這樣，就形成有了由元件隔離區域 102 包圍的、具有 p 井的工作區 103a 及具有 n 井的工作區 103b。

接著，如圖 2(b) 所示，在工作區 103a、103b 上形成例如由氮氧化矽構成的閘極絕緣膜形成膜(未示)後，利用 CVD (chemical vapor deposition：化學氣相沉積) 法等，在元件

隔離區域102及閘極絕緣膜形成膜上從下方依次沉積例如由多晶矽構成並且膜厚為150 nm的閘極電極形成膜105A、和例如由氧化膜構成並且膜厚為50 nm的遮光罩膜108。補充說明一下，在一般情況下，將雜質摻入到作為閘極電極形成膜105A的多晶矽中，加上還進行用來激活該雜質的熱處理，但是在此省略了這些過程。除了氧化膜以外，還有氮化膜、有機膜等當對閘極電極形成膜105A進行蝕刻時具有選擇比的材料可以用作遮光罩膜108。

接著，如圖3(a)所示，利用微影(lithography)法形成跨越工作區103a、103b及元件隔離區域102(位於工作區103a與工作區103b之間的元件隔離區域)的抗蝕圖案109後，將該抗蝕圖案109用作遮光罩，對遮光罩膜108進行蝕刻。如圖3(b)(與圖3(a)的IIIb-IIIb線對應的剖面圖)和圖3(c)(與圖3(a)的IIIc-IIIc線對應的剖面圖)所示，在該蝕刻時，閘極電極形成膜105A的表面也被蝕刻一點，形成了台階部a。在此，將形成抗蝕圖案109的圖案平面佈局最好設為直線形狀。藉著將該圖案平面佈局設為直線形狀，就不會發生圓角現象了。當然，如果尺寸的變化只有圓角現象不會影響到工作區那麼大的程度，就不需要一定呈直線形狀。若將遮光罩膜108的蝕刻條件最佳化，就不一定需要設置閘極電極形成膜105A表面上的台階部a。

接著，如圖4(a)所示，在去除抗蝕圖案109後，至少在位於元件隔離區域102上的、閘極電極形成膜105A的一部分上形成用來形成後述的閘極接觸區域105a和配線區域105b

的抗蝕圖案110。這時，以與遮光罩膜108中的一部分重疊的方式形成抗蝕圖案110，使抗蝕圖案110和遮光罩膜108構成所希望的閘極電極圖案形狀。就是說，在圖4(a)和圖4(b)(與圖4(a)的IVb-IVb線對應的剖面圖)所示的工作區103a、103b上不形成抗蝕圖案110，在圖4(a)和圖4(c)(與圖4(a)的IVc-IVc線對應的剖面圖)所示的元件隔離區域102上，將抗蝕圖案110形成在包括台階部a在內的閘極電極形成膜105A和遮光罩膜108上。如上所述，因為能夠與工作區103a、103b上的閘極電極105形成區域無關地形成抗蝕圖案110的圖案，所以相向的工作區103a、103b的端部與抗蝕圖案110的端部之間的距離S1只要在0以上就可以，在實際情況下能夠使該距離S1接近到工作區103a、103b及抗蝕圖案110的尺寸偏差及重疊偏差的均方根值。能夠將抗蝕圖案110相互間的距離S2縮短到形成該抗蝕圖案110的微影工序的分辨極限。

補充說明一下，作為形成在成為配線區域105b的區域上的抗蝕圖案110，在圖4(a)和圖4(c)中所示的是以讓遮光罩膜108的一部分露出的方式進行了圖案化的圖。但是，也可以是這樣的，如圖5所示，以完全覆蓋並跨越遮光罩膜108的方式進行圖案化作為形成在成為配線區域105b的區域上的抗蝕圖案110a。

接著，將閘極電極形成膜105A的台階部a上的遮光罩膜108及抗蝕圖案110分別用作遮光罩(遮光罩部)，對閘極電極形成膜105A進行蝕刻，之後去除抗蝕圖案110。這

樣，就如圖 6(a)所示形成了一體性地形成有閘極接觸區域 105a 的閘極電極 105、和一體性地形成有配線區域 105b 的閘極電極 105。就是說，在圖 6(a)和圖 6(b)(與圖 6(a)的 VIb-VIb 線對應的剖面圖)所示的工作區 103a 和工作區 103b 上，隔著閘極絕緣膜 106 形成有在上部具有遮光罩膜 108 的閘極電極 105；在圖 6(a)和圖 6(c)(與圖 6(a)的 VIc-VIc 線對應的剖面圖)所示的元件隔離區域 102 上形成有在上部包括具有遮光罩膜 108 的台階部 a 的、閘極電極 105 中的閘極接觸區域 105a 及配線區域 105b。

在此，用遮光罩膜 108 作為遮光罩。一般來講，藉著用氧化膜或氮化膜作為遮光罩膜 108，能夠與用一種有機材料即光阻劑(photo resist)作為遮光罩的情況相比更強地抑制當蝕刻時從抗蝕材料中帶來的雜質的生成。因此，能夠提高尺寸的控制性。

接著，利用已知的方法去除遮光罩膜 108 後，在閘極電極 105(包括閘極接觸區域 105a 和配線區域 105b 在內)的側面上形成邊牆 107，再形成 n 型源極-汲極區域 104a 和 p 型源極-汲極區域 104b。這麼一來，就能夠得到前述圖 1(a)到圖 1(c)所示的半導體裝置。補充說明一下，之後，在一般情況下進行層間絕緣膜的 formed 和與閘極接觸區域 105a 等連接的接點(未示)的形成。例如在形成前述閘極電極 105 後，藉著以閘極電極 105 作為遮光罩，將 n 型雜質離子摻入到工作區 103a 中，來在工作區 103a 中的閘極電極 105 兩側下方區域中形成接合深度比較小的 n 型源極-汲極擴散層(n 型延伸

區域或n型LDD區域)。此外，藉著以閘極電極105作為遮光罩，將p型雜質離子摻入到工作區103b中，來在工作區103b中的閘極電極105兩側下方區域中形成接合深度比較小的p型源極-汲極擴散層(p型延伸區域或p型LDD區域)。

接著，利用CVD法等，在半導體基板101的整個面上沉積氮化矽膜後進行非等向性蝕刻，來在閘極電極105的兩側面形成邊牆107。補充說明一下，邊牆107例如也可以由氧化矽膜和氮化矽膜的多層膜構成。接著，以邊牆107作為遮光罩，將n型雜質離子摻入到工作區103a中，將p型雜質離子摻入到工作區103b中。之後，藉著對半導體基板101加以熱處理，來在工作區103a中的邊牆107的外側下方區域中形成接合深度比較大的n型源極-汲極擴散層，同時在工作區103b中的邊牆107的外側下方區域中形成接合深度比較大的p型源極-汲極擴散層。如上所述，在工作區103a中形成了由接合深度比較小的n型源極-汲極擴散層和接合深度比較大的n型源極-汲極擴散層構成的n型源極-汲極區域104a，在工作區103b中形成了由接合深度比較小的p型源極-汲極擴散層和接合深度比較大的p型源極-汲極擴散層構成的p型源極-汲極區域104b。接著，利用CVD法等，在半導體基板101的整個面上形成例如由氧化矽膜構成的層間絕緣膜後，例如利用CMP (chemical mechanical polishing：化學機械研磨)法等將鎢填充到例如藉著乾蝕刻來形成的接觸孔內，從而形成接觸插塞(contact plug)。之後，進行金屬配線的形成等。補充說明一下，也可以包括

將n型源極-汲極區域104a、p型源極-汲極區域104b及閘極電極105的表面矽化物化的工序、或者將閘極電極105全矽化物化的工序。

補充說明一下，也會有藉著當形成邊牆107時進行過度蝕刻(over-etching)來去除遮光罩膜108的情況。在這種情況下，因為未形成遮光罩膜108的區域，以本實施例為例來說，配線區域105b等中的閘極電極105的膜厚減少，所以會有元件特性變動的情況。然而，在本實施例中，因為閘極電極105在工作區103a、103b上的膜厚不會變化，所以能夠得到穩定的電晶體特性。另一方面，會有閘極接觸區域105a或配線區域105b的膜厚變小或偏差增大的情況，但是這些變化對接觸電阻、配線電阻造成的影響很小。

-第一實施例的變形例-

下面，對本發明的第一實施例所涉及的半導體裝置的製造方法的變形例進行說明。該變形例，不使用前述第一實施例所涉及的半導體裝置的製造方法中的遮光罩膜。

圖7(a)和圖7(b)、圖8(a)到圖8(c)、圖9(a)到圖9(c)、圖10(a)到圖10(c)、以及圖11(a)到圖11(c)，是用來對本發明的第一實施例所涉及的半導體裝置的製造方法的變形例進行說明的圖。補充說明一下，在本變形例中說明的是，將n型MIS電晶體形成在工作區103a中，並將p型MIS電晶體形成在工作區103b中的結構。

首先，如圖7(a)所示，例如利用STI (shallow trench isolation：淺槽隔離)法等，在例如由矽構成的半導體基板

101中選擇性地形成元件隔離區域102。接著，利用離子摻入法，在半導體基板101中例如形成p井(未示)和n井(未示)。這樣，就形成有了由元件隔離區域102包圍的、具有p井的工作區103a及具有n井的工作區103b。

接著，如圖7(b)所示，在工作區103a、103b上形成例如由氮氧化矽構成的閘極絕緣膜形成膜(未示)後，例如利用CVD (chemical vapor deposition：化學氣相沉積)法等，在元件隔離區域102和閘極絕緣膜形成膜上沉積例如由多晶矽構成的、膜厚為 T_{int} (參照圖8(b)和圖8(c)。例如為150 nm)的閘極電極形成膜105A。補充說明一下，在一般情況下，將雜質摻入到作為閘極電極形成膜105A的多晶矽中，加上還進行用來激活該雜質的熱處理，但是在此省略了這些過程。

接著，如圖8(a)所示，利用微影法在閘極電極形成膜105A上形成跨越工作區103a、工作區103b及元件隔離區域102(位於工作區103a與工作區103b之間的元件隔離區域)的抗蝕圖案109後，將該抗蝕圖案109用作遮光罩，對閘極電極形成膜105A進行蝕刻，蝕刻掉的是超過所需要的膜厚 T_{rem} 的部分即膜厚 T_{etch} ($>T_{rem}$)的部分(例如，為100nm)。就是說，如圖8(b)(與圖8(a)的VIIIb-VIIIb線對應的剖面圖)和圖8(c)(與圖8(a)的VIIIc-VIIIc線對應的剖面圖)所示，藉著該蝕刻，在閘極電極形成膜105A的表面就形成了台階部105c，該台階部105c的台階高度與膜厚 T_{etch} 相同。在此，將形成抗蝕圖案109的圖案平面佈局最好設

為直線形狀。藉著將該圖案平面佈局設為直線形狀，就不會發生圓角現象了。當然，如果尺寸的變化只有圓角現象不會影響到工作區那麼大的程度，就不需要一定呈直線形狀。

接著，如圖9(a)所示，在去除抗蝕圖案109後，至少在位於元件隔離區域102上的、閘極電極形成膜105A的一部分上形成用來形成後述的閘極接觸區域105a和配線區域105b的抗蝕圖案110。這時，以與閘極電極形成膜105A中的台階部105c區域的一部分重疊的方式形成抗蝕圖案110，使抗蝕圖案110和台階部105c區域構成所希望的閘極電極圖案形狀。就是說，在圖9(a)和圖9(b)(與圖9(a)的IXb-IXb線對應的剖面圖)所示的工作區103a、103b上不形成抗蝕圖案110，在圖9(a)和圖9(c)(與圖9(a)的IXc-IXc線對應的剖面圖)所示的元件隔離區域102上，將抗蝕圖案110形成在包括台階部105c在內的閘極電極形成膜105A上。如上所述，因為能夠與工作區103a、103b上的閘極電極105形成區域無關地形成抗蝕圖案110的圖案，所以相向的工作區103a、103b的端部與抗蝕圖案110的端部之間的距離S1只要在0以上就可以，在實際情況下能夠使該距離S1接近到工作區103a、103b及抗蝕圖案110的尺寸偏差及重疊偏差的均方根值。能夠將抗蝕圖案110相互間的距離S2縮短到形成前述抗蝕圖案110的微影工序的分辨極限。

補充說明一下，作為形成在配線區域105b上的抗蝕圖案110，在圖9(a)和圖9(c)中所示的是以讓台階部105c的一部

分露出的方式進行了圖案化的圖。雖然在附圖中未示，但是也可以是這樣的，如圖5那樣以正好覆蓋台階部105c區域的方式進行圖案化。

接著，將抗蝕圖案110用作遮光罩，對閘極電極形成膜105A進行蝕刻，來蝕刻掉膜厚 T_{rem} ($=T_{int}-T_{etch}$)的部分(例如，為50 nm)，之後去除抗蝕圖案110。這樣，就如圖10(a)所示形成了一體性地形成有閘極接觸區域105a的閘極電極105、和一體性地形成有配線區域105b的閘極電極105。就是說，在圖10(a)和圖10(b)(與圖10(a)的Xb-Xb線對應的剖面圖)所示的工作區103a、103b上，隔著閘極絕緣膜106形成有閘極電極105；在圖10(a)和圖10(c)(與圖10(a)的Xc-Xc線對應的剖面圖)所示的元件隔離區域102上形成有包括台階部105c的、閘極電極105中的閘極接觸區域105a及配線區域105b。補充說明一下，在圖10(b)和圖10(c)中所示的是，使用了以正好覆蓋台階部105c的方式進行了圖案化的抗蝕圖案110的情況。在如圖9(c)所示使用了覆蓋台階部105c的一部分的抗蝕圖案110的情況下，台階部105c中的露出部分也起到遮光罩(遮光罩部)的作用，在該露出部分中，膜厚 T_{int} 中的膜厚 T_{rem} 的部分被除去，膜厚 T_{etch} 的部分留下。

接著，與前述說明一樣，利用已知的方法形成邊牆107、n型源極-汲極區域104a及p型源極-汲極區域104b。這麼一來，就能夠得到具有前述圖11(a)到圖11(c)所示的結構的半導體裝置。

(第二實施例)

下面，對本發明的第二實施例所涉及的半導體裝置進行說明。

圖 12(a)和圖 12(b)，是表示本發明的第二實施例所涉及的半導體裝置的結構的圖。圖 12(a)是平面圖，圖 12(b)是沿圖 12(a)的 XIIb-XIIb 線的剖面圖。補充說明一下，在本實施例中說明的是，將 n 型 MIS 電晶體形成在工作區 103a 中，並將 p 型 MIS 電晶體形成在工作區 103b 中的結構。

首先，如圖 12(a)所示，在例如由矽構成的半導體基板 101 中形成有元件隔離區域 102、具有 p 井(未示)的工作區 103a 及具有 n 井(未示)的工作區 103b，該工作區 103a 和該工作區 103b 由前述元件隔離區域 102 包圍。在該工作區 103a 中的上部形成有 n 型源極-汲極區域 104a，在該工作區 103b 中的上部形成有 p 型源極-汲極區域 104b。在半導體基板 101 上，形成有例如由多晶矽、金屬矽化物及多晶矽的多層膜、矽化物膜、或者金屬等材料構成的閘極電極 105，該閘極電極 105 沿閘極寬度方向經過元件隔離區域 102 跨越工作區 103a 和工作區 103b。閘極電極 105 的一部分，包括成為拉伸部的閘極接觸區域 105a 和配線區域 105b。在閘極電極 105 的側面，連續不斷地形成有例如由氮化矽膜構成的邊牆 107。補充說明一下，n 型源極-汲極區域 104a，由形成在工作區 103a 中的閘極電極 105 兩側下方區域中並且接合深度比較小的 n 型源極-汲極擴散層(n 型延伸區域或 n 型 LDD(輕摻雜汲極)區域)、和形成在工作區 103a 中的邊牆

107的外側下方區域中並且接合深度比較大的n型源極-汲極擴散層構成。p型源極-汲極區域104b，由形成在工作區103b中的閘極電極105兩側下方區域中並且接合深度比較小的p型源極-汲極擴散層(p型延伸區域或p型LDD區域)、和形成在工作區103b中的邊牆107的外側下方區域中並且接合深度比較大的p型源極-汲極擴散層構成。補充說明一下，邊牆107，也可以例如由氧化矽膜及氮化矽膜的多層膜構成。

在圖12(b)所示的剖面中，在半導體基板101上形成有閘極電極105，該閘極電極105沿閘極寬度方向經過元件隔離區域102跨越工作區103a和工作區103b。例如由氮氧化矽構成的閘極絕緣膜106介於工作區103a、103b上與閘極電極105的下部之間。

在此，如圖12(b)所示，第二實施例中的閘極電極105在元件隔離區域102上具有台階部b，就是說閘極接觸區域105a的膜厚比工作區103a、103b上的膜厚大。同樣，雖然在附圖中未示，但是閘極電極105在配線區域105b中的膜厚比工作區103a、103b上的膜厚大。

藉著使閘極電極105包括上述結構，能夠抑制圓角現象。這樣，就能在防止電晶體特性變動的狀態下使閘極接觸區域105a或配線區域105b靠近工作區103a、103b，同時能夠在抑制由於使閘極接觸區域的尺寸較大而會造成的閘極電極短路的狀態下使相鄰的閘極電極互相接近，能夠進行高集成化。

下面，對本發明的第二實施例所涉及的半導體裝置的製造方法進行說明。

圖 13(a)和圖 13(b)、圖 14(a)和圖 14(b)、以及圖 15(a)和圖 15(b)，是用來說明本發明的第二實施例所涉及的半導體裝置的製造方法的圖。和前述第一實施例所涉及的半導體裝置的製造方法比較起來，在該第二實施例所涉及的半導體裝置的製造方法中，使用抗蝕圖案 109 的工序和使用抗蝕圖案 110 的工序的順序替換。

首先，如圖 13(a)所示，例如利用 STI (shallow trench isolation：淺槽隔離)法等，在例如由矽構成的半導體基板 101 中選擇性地形成元件隔離區域 102。接著，利用離子摻入法，在半導體基板 101 中形成 p 井(未示)和 n 井(未示)。這樣，就形成有了由元件隔離區域 102 包圍的、具有 p 井的工作區 103a 及具有 n 井的工作區 103b。

接著，如圖 13(b)所示，在工作區 103a、103b 上形成例如由氮氧化矽構成的閘極絕緣膜形成膜(未示)後，利用 CVD (chemical vapor deposition：化學氣相沉積)法等，在元件隔離區域 102 及閘極絕緣膜形成膜上從下方依次沉積例如由多晶矽構成並且膜厚為 150 nm 的閘極電極形成膜 105A、和例如由氧化膜構成並且膜厚為 50 nm 的遮光罩膜 108。補充說明一下，在一般情況下，將雜質摻入到作為閘極電極形成膜 105A 的多晶矽中，加上還進行用來激活該雜質的熱處理，但是在此省略了這些過程。除了氧化膜以外，還有氮化膜、有機膜等當對閘極電極形成膜 105A 進行蝕刻時具

有選擇比的材料可以用作遮光罩膜108。

接著，如圖14(a)所示，至少在位於元件隔離區域102上的、遮光罩膜108的一部分上形成用來形成後述的閘極接觸區域105a和配線區域105b的抗蝕圖案110。補充說明一下，在工作區103a、103b上不形成抗蝕圖案110。如上所述，因為能夠與工作區103a、103b上的閘極電極105形成區域無關地形成抗蝕圖案110的圖案，所以相向的工作區103a、103b的端部與抗蝕圖案110的端部之間的距離S1只要在0以上就可以，在實際情況下能夠使該距離S1接近到工作區103a、103b及抗蝕圖案110的尺寸偏差及重疊偏差的均方根值。能夠將抗蝕圖案110相互間的距離S2縮短到形成前述抗蝕圖案110的微影工序的分辨極限。

接著，如圖14(b)所示，將抗蝕圖案110用作遮光罩，對遮光罩膜108進行蝕刻，之後去除抗蝕圖案110。雖然在附圖中未示，但是在該蝕刻時，閘極電極形成膜105A的表面也被蝕刻一點，形成了台階部b(參照圖12(b))。補充說明一下，若將遮光罩膜的蝕刻條件最佳化，就不一定需要設置閘極電極形成膜105A表面上的台階部b。

接著，如圖15(a)所示，利用微影法在閘極電極形成膜105A和遮光罩膜108上形成跨越工作區103a、103b及元件隔離區域102(位於工作區103a與工作區103b之間的元件隔離區域)的抗蝕圖案109。這時，以與遮光罩膜108中的一部分重疊的方式形成抗蝕圖案109，使抗蝕圖案109和遮光罩膜108構成所希望的閘極電極圖案形狀。在此，將形成

抗蝕圖案109的圖案平面佈局最好設為直線形狀。藉著將該圖案平面佈局設為直線形狀，就不會發生圓角現象了。當然，如果尺寸的變化只有圓角現象不會影響到工作區那麼大的程度，就不需要一定呈直線形狀。

接著，如圖15(b)所示，將閘極電極形成膜105A的台階部b上的遮光罩膜108及抗蝕圖案109分別用作遮光罩(遮光罩部)，對閘極電極形成膜105A進行蝕刻，之後去除抗蝕圖案109。這樣，就形成了包括在上部具有遮光罩膜108的閘極接觸區域105a及配線區域105b的閘極電極105。

在此，用遮光罩膜108作為遮光罩。一般來講，藉著用氧化膜或氮化膜作為遮光罩膜108，能夠與用一種有機材料即光阻劑作為遮光罩的情況相比更強地抑制當蝕刻時從抗蝕材料中帶來的雜質的生成。因此，能夠提高尺寸的控制性。

接著，與前述第一實施例中的說明一樣，利用已知的方法去除遮光罩膜108，再形成邊牆107、n型源極-汲極區域104a及p型源極-汲極區域104b。這麼一來，就能夠得到前述圖12(a)和圖12(b)所示的半導體裝置。補充說明一下，關於遮光罩108的除去的情況，與第一實施例中的說明也一樣。

-本發明的第二實施例所涉及的半導體裝置的變形例-

下面，對本發明的第二實施例所涉及的半導體裝置的變形例進行說明。

圖16(a)和圖16(b)、圖17(a)到圖17(c)、圖18(a)到圖

18(c)、以及圖 19(a)到圖 19(c)，是主要部分的平面圖或剖面圖，表示本發明的第二實施例所涉及的半導體裝置的製造方法的變形例。該變形例，不使用前述第二實施例所涉及的半導體裝置的製造方法中的遮光罩膜。

首先，如圖 16(a)所示，例如利用 STI (shallow trench isolation：淺槽隔離)法等，在例如由矽構成的半導體基板 101 中選擇性地形成元件隔離區域 102。接著，利用離子摻入法，在半導體基板 101 中例如形成 p 井(未示)和 n 井(未示)。這樣，就形成有了由元件隔離區域 102 包圍的、具有 p 井的工作區 103a 及具有 n 井的工作區 103b。

接著，如圖 16(b)所示，在工作區 103a、103b 上例如形成由氮氧化矽構成的閘極絕緣膜形成膜(未示)後，例如利用 CVD (chemical vapor deposition：化學氣相沉積)法等，在元件隔離區域 102 和閘極絕緣膜形成膜上沉積例如由多晶矽構成的、膜厚為 T_{int} (例如為 150 nm)的閘極電極形成膜 105A。補充說明一下，在一般情況下，將雜質摻入到作為閘極電極形成膜 105A 的多晶矽中，加上還進行用來激活該雜質的熱處理，但是在此省略了這些過程。

接著，如圖 17(a)所示，至少在位於元件隔離區域 102 上的、閘極電極形成膜 105A 的一部分上形成用來形成後述的閘極接觸區域 105a 和配線區域 105b 的抗蝕圖案 110。補充說明一下，在工作區 103a、103b 上不形成抗蝕圖案 110。如上所述，因為能夠與工作區 103a、103b 上的閘極電極 105 形成區域無關地形成抗蝕圖案 110 的圖案，所以相向的

工作區 103a、103b 的端部與抗蝕圖案 110 的端部之間的距離 S1 只要在 0 以上就可以，在實際情況下能夠使該距離 S1 接近到工作區 103a、103b 及抗蝕圖案 110 的尺寸偏差及重疊偏差的均方根值。能夠將抗蝕圖案 110 相互間的距離 S2 縮短到形成前述抗蝕圖案 110 的微影工序的分辨極限。

接著，將該抗蝕圖案 110 用作遮光罩，利用微影法對閘極電極形成膜 105A 進行蝕刻，蝕刻掉的是超過所需要的膜厚 T_{rem} 的部分即膜厚 T_{etch} ($>T_{rem}$) 的部分(例如，為 100 nm)。藉著該蝕刻，膜厚 T_{rem} 的部分(例如，為 50 nm)留下，如圖 17(b)和圖 17(c)所示，在閘極電極形成膜 105A 的表面上形成了台階部 105c，該台階部 105c 的台階高度與膜厚 T_{etch} 相同。

接著，如圖 18(a)所示，在去除抗蝕圖案 110 後，利用微影法在閘極電極形成膜 105A 上形成沿閘極寬度方向跨越工作區 103a、103b 及元件隔離區域 102 的抗蝕圖案 109，之後，如圖 18(b)(與圖 18(a)的 XVIIIb-XVIIIb 線對應的剖面圖)和圖 18(c)(與圖 18(a)的 XVIIIc-XVIIIc 線對應的剖面圖)所示，將該抗蝕圖案 109 用作遮光罩，對閘極電極形成膜 105A 中的膜厚 T_{rem} ($=T_{int}-T_{etch}$) 的部分(例如，為 50 nm)進行蝕刻。在該蝕刻時，台階部 105c 中的露出部分也起到遮光罩(遮光罩部)的作用，在該露出部分中，膜厚 T_{int} (例如，為 150 nm)中的膜厚 T_{rem} 的部分(例如，為 50 nm)被除去，膜厚 T_{etch} 的部分(例如，為 100 nm)留下。在此，為了防止出現蝕刻不夠的部分，當去除膜厚 T_{rem} 的部分(例

如，為 50 nm)時進行 40%左右(例如，為 20 nm)的過度蝕刻，因而殘存的膜厚 Tetch 為 80 nm。在此，將形成抗蝕圖案 109 的圖案平面佈局最好設為直線形狀。藉著將該圖案平面佈局設為直線形狀，就不會發生圓角現象了。當然，如果尺寸的變化只有圓角現象不會影響到工作區那麼大的程度，就不需要一定呈直線形狀。之後，藉著去除抗蝕圖案 109，來形成包括具有台階部 105c 的閘極接觸區域 105a 及配線區域 105b 的閘極電極 105。

接著，與前述第一實施例中的說明一樣，利用已知的方法形成邊牆 107、n 型源極-汲極區域 104a 及 p 型源極-汲極區域 104b。這麼一來，就能夠得到前述圖 19(a)到圖 19(c)所示的半導體裝置。補充說明一下，雖然在附圖中未示，但是像圖 12(b)所示，閘極電極 105 在元件隔離區域 102 上的閘極接觸區域 105a 及配線區域 105b 中具有比工作區 103a、103b 上的膜厚大的膜厚。這一點，與圖 12(b)所示的結構一樣。

(第三實施例)

下面，對本發明的第三實施例所涉及的半導體裝置進行說明。

圖 20(a)到圖 20(c)，是表示本發明的第三實施例所涉及的半導體裝置的結構的圖。圖 20(a)是平面圖；圖 20(b)是沿圖 20(a)的 XXb-XXb 線的剖面圖；圖 20(c)是沿圖 20(a)的 XXc-XXc 線的剖面圖。補充說明一下，在本實施例中說明的是，將 n 型 MIS 電晶體形成在工作區 103a 中，並將 p 型

MIS電晶體形成在工作區103b中的結構。

首先，如圖20(a)所示，在例如由矽構成的半導體基板101中形成有元件隔離區域102、具有p井(未示)的工作區103a及具有n井(未示)的工作區103b，該工作區103a和該工作區103b由前述元件隔離區域102包圍。在該工作區103a中的上部形成有n型源極-汲極區域104a，在該工作區103b中的上部形成有p型源極-汲極區域104b。在半導體基板101上，形成有例如由多晶矽、金屬矽化物及多晶矽的多層膜、矽化物膜、或者金屬等材料構成的閘極電極105B及105C，前述閘極電極105B及105C沿閘極寬度方向經過元件隔離區域102跨越工作區103a和工作區103b。閘極電極105B的一部分包括成為拉伸部的閘極接觸區域105a，閘極電極105C的一部分，包括成為拉伸部的配線區域105b。在閘極電極105B和105C的側面，連續不斷地形成有例如由氮化矽膜構成的邊牆107。補充說明一下，n型源極-汲極區域104a，由形成在工作區103a中的閘極電極105B及105C兩側下方區域中並且接合深度比較小的n型源極-汲極擴散層(n型延伸區域或n型LDD(輕摻雜汲極)區域)、和形成在工作區103a中的邊牆107的外側下方區域中並且接合深度比較大的n型源極-汲極擴散層構成。p型源極-汲極區域104b，由形成在工作區103b中的閘極電極105B及105C兩側下方區域中並且接合深度比較小的p型源極-汲極擴散層(p型延伸區域或p型LDD區域)、和形成在工作區103b中的邊牆107的外側下方區域中並且接合深度比較大的p型源

極-汲極擴散層構成。補充說明一下，邊牆107，也可以例如由氧化矽膜及氮化矽膜的多層膜構成。

在圖20(b)所示的剖面中，在半導體基板101上形成有閘極電極105B和105C，前述閘極電極105B和105C沿閘極寬度方向經過元件隔離區域102跨越工作區103a和工作區103b。例如由氮氧化矽構成的閘極絕緣膜106介於工作區103a、103b上與閘極電極105B及105C的下部之間。

在圖20(c)所示的剖面中，在半導體基板101中形成有元件隔離區域102。在元件隔離區域102上形成有在側面具有邊牆107的、包括閘極接觸區域105a的閘極電極105B及包括配線區域105b的閘極電極105C。

在此，如圖20(c)所示，第三實施例中的閘極電極105B和105C在元件隔離區域102上具有台階部a。就是說，閘極電極105B在閘極接觸區域105a中具有膜厚比工作區103a、103b上的膜厚小的部分，閘極電極105C在配線區域105b中具有膜厚比工作區103a、103b上的膜厚大的部分。而且，在工作區103a、103b上，閘極電極105B的膜厚大於閘極電極105C的膜厚。

藉著使閘極電極105B和105C包括上述結構，能夠抑制圓角現象。這樣，就能在防止電晶體特性變動的狀態下使閘極接觸區域105a或配線區域105b靠近工作區103a、103b，同時能夠在抑制由於使閘極接觸區域的尺寸較大而會造成的閘極電極短路的狀態下使相鄰的閘極電極互相接近，能夠進行高集成化。

下面，對本發明的第三實施例所涉及的半導體裝置的製造方法進行說明。

圖 21(a)和圖 21(b)、圖 22(a)到圖 22(c)、以及圖 23(a)到圖 23(c)，是用來說明本發明的第三實施例所涉及的半導體裝置的製造方法的圖。和前述第一及第二實施例所涉及的半導體裝置的製造方法比較起來，在該第三實施例所涉及的半導體裝置的製造方法中，當形成具有閘極接觸區域 105a 的閘極電極 105B 時依次使用與第一實施例一樣的抗蝕圖案，而當形成具有配線區域 105b 的閘極電極 105C 時依次使用與第二實施例一樣的抗蝕圖案。

首先，如圖 21(a)所示，例如利用 STI (shallow trench isolation：淺槽隔離)法等，在例如由矽構成的半導體基板 101 中選擇性地形成元件隔離區域 102。接著，利用離子摻入法，在半導體基板 101 中形成 p 井(未示)和 n 井(未示)。這樣，就形成有了由元件隔離區域 102 包圍的、具有 p 井的工作區 103a 和具有 n 井的工作區 103b。

接著，如圖 21(b)所示，在工作區 103a、103b 上形成例如由氮氧化矽構成的閘極絕緣膜形成膜(未示)後，利用 CVD (chemical vapor deposition：化學氣相沉積)法等，在元件隔離區域 102 及閘極絕緣膜形成膜上從下方依次沉積例如由多晶矽構成並且膜厚為 150 nm 的閘極電極形成膜 105A、和例如由氧化膜構成並且膜厚為 50 nm 的遮光罩膜 108。補充說明一下，在一般情況下，將雜質摻入到作為閘極電極形成膜 105A 的多晶矽中，加上還進行用來激活該雜質的熱

處理，但是在此省略了這些過程。除了氧化膜以外，還有氮化膜、有機膜等當對閘極電極形成膜105A進行蝕刻時具有選擇比的材料可以用作遮光罩膜108。

接著，如圖22(a)所示，利用微影法形成跨越工作區103a、103b及元件隔離區域102(位於工作區103a與工作區103b之間的元件隔離區域)的抗蝕圖案109a，同時至少在位於元件隔離區域102上的遮光罩膜108的一部分上形成用來形成後述的配線區域105b的抗蝕圖案109b。之後，將抗蝕圖案109a和109b用作遮光罩，對遮光罩膜108進行蝕刻。如圖22(b)(與圖22(a)的XXIIb-XXIIb線對應的剖面圖)和圖22(c)(與圖22(a)的XXIIc-XXIIc線對應的剖面圖)所示，在該蝕刻時，閘極電極形成膜105A的表面也被蝕刻一點，形成了台階部a。在此，將形成抗蝕圖案109a的圖案平面佈局最好設為直線形狀。藉著將該圖案平面佈局設為直線形狀，就不會發生圓角現象了。當然，如果尺寸的變化只有圓角現象不會影響到工作區那麼大的程度，就不需要一定呈直線形狀。在工作區103a、103b上不形成抗蝕圖案109b。如上所述，因為能夠與工作區103a、103b上的閘極電極105C形成區域無關地形成抗蝕圖案109b的圖案，所以與第二實施例一樣，相向的工作區103a、103b的端部與抗蝕圖案109b的端部之間的距離只要在0以上就可以，在實際情況下能夠使該距離接近到工作區103a、103b及抗蝕圖案109b的尺寸偏差及重疊偏差的均方根值。同樣，能夠將抗蝕圖案109a與抗蝕圖案109b之間的距離縮短到形成該

抗蝕圖案109a和該抗蝕圖案109b的微影工序的分辨極限。若將遮光罩膜108的蝕刻條件最佳化，就不一定需要設置閘極電極形成膜105A表面上的台階部a。

接著，如圖23(a)所示，利用微影法，至少在位於元件隔離區域102上的遮光罩膜108的一部分上形成用來形成後述的閘極接觸區域105a的抗蝕圖案110a，並在閘極電極形成膜105A和遮光罩膜108上形成跨越工作區103a、103b及元件隔離區域102(位於工作區103a與工作區103b之間的元件隔離區域)的抗蝕圖案110b。這時，在工作區103a、103b上不形成抗蝕圖案110a。如上所述，因為能夠與工作區103a、103b上的閘極電極105B形成區域無關地形成抗蝕圖案110a的圖案，所以與第一及第二實施例一樣，相向的工作區103a、103b的端部與抗蝕圖案110a的端部之間的距離只要在0以上就可以，在實際情況下能夠使該距離接近到工作區103a、103b及抗蝕圖案110a的尺寸偏差及重疊偏差的均方根值。同樣，能夠將抗蝕圖案110a與抗蝕圖案110b之間的距離縮短到形成該抗蝕圖案110a和該抗蝕圖案110b的微影工序的分辨極限。以與遮光罩膜108中的一部分重疊的方式形成抗蝕圖案110b，使抗蝕圖案110b和遮光罩膜108構成所希望的閘極電極圖案形狀。在此，將形成抗蝕圖案110b的圖案平面佈局最好設為直線形狀。藉著將該圖案平面佈局設為直線形狀，就不會發生圓角現象了。當然，如果尺寸的變化只有圓角現象不會影響到工作區那麼大的程度，就不需要一定呈直線形狀。

接著，如圖23(b)所示，將閘極電極形成膜105A的台階部a上的遮光罩膜108、抗蝕圖案110a及抗蝕圖案110b分別用作遮光罩(遮光罩部)，對閘極電極形成膜105A進行蝕刻，之後去除抗蝕圖案110a和110b。這樣，就形成了包括在上部具有遮光罩膜108的閘極接觸區域105a的閘極電極105B、和包括在上部具有遮光罩膜108的配線區域105b的閘極電極105C。

在此，用遮光罩膜108作為遮光罩。一般來講，藉著用氧化膜或氮化膜作為遮光罩膜108，能夠與用一種有機材料即光阻劑作為遮光罩的情況相比更強地抑制當蝕刻時從抗蝕材料中帶來的雜質的生成。因此，能夠提高尺寸的控制性。

接著，與前述第一實施例中的說明一樣，利用已知的方法去除遮光罩膜108，再形成邊牆107、n型源極-汲極區域104a及p型源極-汲極區域104b。這麼一來，就能夠得到前述圖20(a)和圖20(b)所示的半導體裝置。補充說明一下，關於遮光罩108的除去的情況，與第一實施例中的說明也一樣。

-本發明的第三實施例所涉及的半導體裝置的第一變形例-

下面，對本發明的第三實施例所涉及的半導體裝置的第一變形例進行說明。

圖24(a)到圖24(c)，是表示本發明的第三實施例所涉及的半導體裝置的第一變形例的結構的圖。圖24(a)是平面圖；圖24(b)是沿圖24(a)的XXIVb-XXIVb線的剖面圖；圖

24(c)是沿圖24(a)的XXIVc-XXIVc線的剖面圖。

圖24(a)到圖24(c)所示的本變形例即第一變形例所涉及的半導體裝置的結構和前述圖20(a)到圖20(c)所示的半導體裝置的結構比較起來不同的是：本變形例即第一變形例中的閘極電極105B在閘極接觸區域105a中的膜厚比工作區103a、103b上的膜厚大，而閘極電極105C在配線區域105b中的膜厚比工作區103a、103b上的膜厚小(參照圖24(a)和圖24(c))，而且，在工作區103a、103b上，閘極電極105B的膜厚小於閘極電極105C的膜厚(參照圖24(b))。補充說明一下，其他結構與前述圖20(a)到圖20(c)所示的半導體裝置一樣。

下面，對本發明的第三實施例所涉及的半導體裝置的第一變形例的製造方法進行說明。

圖25(a)到圖25(c)、和圖26(a)到圖26(c)，是用來說明本發明的第三實施例所涉及的半導體裝置的第一變形例的製造方法的圖(補充說明一下，圖25(b)是與圖25(a)的XXVb-XXVb線對應的剖面圖；圖25(c)是與圖25(a)的XXVc-XXVc線對應的剖面圖；圖26(b)是與圖26(a)的XXVIb-XXVIb線對應的剖面圖；圖26(c)是與圖26(a)的XXVIc-XXVIc線對應的剖面圖。)。

和前述第一及第二實施例所涉及的半導體裝置的製造方法比較起來，在該第一變形例的製造方法中，當形成具有閘極接觸區域105a的閘極電極105B時依次使用與第二實施例一樣的抗蝕圖案，而當形成具有配線區域105b的閘極電

極105C時依次使用與第一實施例一樣的抗蝕圖案。

就是說，如圖25(a)到圖25(c)和圖26(a)到圖26(c)所示，該第一變形例的製造方法和前述圖21(a)和圖21(b)、圖22(a)到圖22(c)、以及圖23(a)到圖23(c)所示的半導體裝置的製造方法比較起來不同的是：使用抗蝕圖案110a及110b的圖案化、和使用抗蝕圖案109a及109b的圖案化的順序相反。其他工序互相相同。藉著實施前述工序，就能夠得到具有前述圖24(a)到圖24(c)所示的結構的半導體裝置。

-本發明的第三實施例所涉及的半導體裝置的第二變形例-

下面，對本發明的第三實施例所涉及的半導體裝置的第二變形例進行說明。

圖27(a)到圖27(c)和圖28(a)到圖28(c)，分別是表示本發明的第三實施例所涉及的半導體裝置的第二變形例的結構的圖。圖27(a)和圖28(a)是平面圖；圖27(b)和圖28(b)分別是沿圖27(a)的XXVIIb-XXVIIb線和沿圖28(a)的XXVIIIb-XXVIIIb線的剖面圖；圖27(c)和圖28(c)分別是沿圖27(a)的XXVIIc-XXVIIc線和沿圖28(a)的XXVIIIc-XXVIIIc線的剖面圖。

與前述第一及第二實施例的變形例一樣，圖27(a)到圖27(c)所示的半導體裝置的結構，是能夠藉著本實施例中的圖21(a)和圖21(b)、圖22(a)到圖22(c)、以及圖23(a)到圖23(c)所示的半導體裝置的製造方法中的、不使用遮光罩膜的方法來得到的。補充說明一下，因為能夠根據本實施例中的用圖21(a)和圖21(b)、圖22(a)到圖22(c)、以及圖23(a)

到圖23(c)進行的說明和對前述第一及第二實施例的變形例進行的說明來容易地想到得到前述圖27(a)到圖27(c)所示的半導體裝置時的具體情況，所以其說明就省略不提了。

同樣，與前述第一及第二實施例的變形例一樣，圖28(a)到圖28(c)所示的半導體裝置的結構，是能夠藉著本實施例的第一變形例中的圖25(a)到圖25(c)、和圖26(a)到圖26(c)所示的半導體裝置的製造方法中的、不使用遮光罩膜的方法來得到的。補充說明一下，因為能夠根據本實施例的第一變形例中的用圖25(a)到圖25(c)、及圖26(a)到圖26(c)進行的說明和對前述第一及第二實施例的變形例進行的說明來容易地想到得到前述圖28(a)到圖28(c)所示的半導體裝置時的具體情況，所以其說明就省略不提了。

(第四實施例)

下面，對本發明的第四實施例所涉及的半導體裝置進行說明。

圖29(a)和圖29(b)，表示本發明的第四實施例所涉及的半導體裝置的結構，圖29(a)是平面圖；圖29(b)是剖面圖，對應於圖29(a)中的XXIXb-XXIXb線。補充說明一下，在本實施例中說明的是，將n型MIS電晶體形成在工作區103a中，並將p型MIS電晶體形成在工作區103b中的結構。

首先，如圖29(a)所示，在例如由矽構成的半導體基板101中形成有元件隔離區域102、具有p井(未示)的工作區103a及具有n井(未示)的工作區103b，該工作區103a和該工

作區 103b 由前述元件隔離區域 102 包圍。在該工作區 103a 中的上部形成有 n 型源極-汲極區域 104a，在該工作區 103b 中的上部形成有 p 型源極-汲極區域 104b。在半導體基板 101 上，形成有例如由多晶矽、金屬矽化物及多晶矽的多層膜、矽化物膜、或者金屬等材料構成的閘極電極 105B 和閘極電極 105C，該閘極電極 105B 和該閘極電極 105C 沿閘極寬度方向經過元件隔離區域 102 跨越工作區 103a 和工作區 103b。閘極電極 105B 的一部分，包括成為拉伸部的閘極接觸區域 105a，閘極電極 105C 的一部分，包括成為拉伸部的配線區域 105b。在閘極電極 105B 和 105C 的側面，連續不斷地形成有例如由氮化矽膜構成的邊牆 107。補充說明一下，n 型源極-汲極區域 104a，由形成在工作區 103a 中的閘極電極 105 兩側下方區域中並且接合深度比較小的 n 型源極-汲極擴散層 (n 型延伸區域或 n 型 LDD (輕摻雜汲極) 區域)、和形成在工作區 103a 中的邊牆 107 的外側下方區域中並且接合深度比較大的 n 型源極-汲極擴散層構成。p 型源極-汲極區域 104b，由形成在工作區 103b 中的閘極電極 105B 和 105C 兩側下方區域中並且接合深度比較小的 p 型源極-汲極擴散層 (p 型延伸區域或 p 型 LDD 區域)、和形成在工作區 103b 中的邊牆 107 的外側下方區域中並且接合深度比較大的 p 型源極-汲極擴散層構成。補充說明一下，邊牆 107，也可以例如由氧化矽膜及氮化矽膜的多層膜構成。

如圖 29(b) 所示，在半導體基板 101 上形成有閘極電極 105B，該閘極電極 105B 沿閘極寬度方向經過元件隔離區

域102跨越工作區103a和工作區103b。例如由氮氧化矽構成的閘極絕緣膜106介於工作區103a、103b上與閘極電極105B的下部之間。

藉著使閘極電極105B和105C包括上述結構，能夠抑制圓角現象。這樣，能夠在防止電晶體特性變動的狀態下使閘極接觸區域105a或配線區域105b靠近工作區103a、103b，同時能夠在抑制由於使閘極接觸區域的尺寸較大而會造成的閘極電極短路的狀態下使相鄰的閘極電極互相接近，能夠進行高集成化。而且，在本實施例中的半導體裝置的結構中，因為與前述第一到第三實施例不同，閘極電極105B和105C沒有台階部，所以當在閘極電極105B和105C的上部形成矽化物層時，能夠防止矽化物層造成斷線。

下面，對本發明的第四實施例所涉及的半導體裝置的製造方法進行說明。

圖30(a)和圖30(b)、圖31(a)到圖31(c)、圖32(a)到圖32(c)、圖33(a)到圖33(c)、以及圖34(a)到圖34(c)，是用來說明本發明的第四實施例所涉及的半導體裝置的製造方法的圖。補充說明一下，圖30(a)和圖30(b)、圖31(a)、圖32(a)、圖33(a)、以及圖34(a)是平面圖；圖31(b)和圖31(c)、圖32(b)和圖32(c)、圖33(b)和圖33(c)、以及圖34(b)和圖34(c)是剖面圖。

首先，如圖30(a)所示，例如利用STI (shallow trench isolation：淺槽隔離)法等，在例如由矽構成的半導體基板

101中選擇性地形成元件隔離區域102。接著，利用離子摻入法，在半導體基板101中例如形成p井(未示)和n井(未示)。這樣，就形成有了由元件隔離區域102包圍的、具有p井的工作區103a及具有n井的工作區103b。

接著，如圖30(b)所示，在工作區103a、103b上形成例如由氮氧化矽構成的閘極絕緣膜形成膜(未示)後，利用CVD (chemical vapor deposition：化學氣相沉積)法等，在元件隔離區域102及閘極絕緣膜形成膜上從下方依次沉積例如由多晶矽構成並且膜厚為150 nm的閘極電極形成膜105A、和例如由氧化膜構成並且膜厚為50 nm的遮光罩膜108(第一遮光罩膜)。此外，利用CVD法等，在遮光罩膜108上還沉積膜厚例如為30 nm的非晶矽膜111(第二遮光罩膜)。補充說明一下，在一般情況下，將雜質摻入到作為閘極電極形成膜105A的多晶矽中，加上還進行用來激活該雜質的熱處理，但是在此省略了這些過程。除了氧化膜以外，還有氮化膜、有機膜等當對閘極電極形成膜105A進行蝕刻時具有選擇比的材料可以用作遮光罩膜108。同樣，也可以採用氧化膜、氮氧化膜或NSG (Nondoped Silicate Glass：無參入雜質硅酸鹽玻璃)膜等當對遮光罩膜108進行蝕刻時具有選擇比的材料，來代替非晶矽膜111。

接著，如圖31(a)所示，利用微影法形成跨越工作區103a、103b及元件隔離區域102(位於工作區103a與工作區103b之間的元件隔離區域)的抗蝕圖案109後，將該抗蝕圖案109用作遮光罩，對非晶矽膜111進行蝕刻。如圖

31(b)(與圖31(a)的XXXIb-XXXIb線對應的剖面圖)和圖31(c)(與圖31(a)的XXXIc-XXXIc線對應的剖面圖)所示，在該蝕刻時，遮光罩膜108的表面也被蝕刻一點，形成了台階部a。在此，將形成抗蝕圖案109的圖案平面佈局最好設為直線形狀。藉著將該圖案平面佈局設為直線形狀，就不會發生圓角現象了。當然，如果尺寸的變化只有圓角現象不會影響到工作區那麼大的程度，就不需要一定呈直線形狀。若將非晶矽膜111的蝕刻條件最佳化，就不一定需要設置閘極電極形成膜105A表面上的台階部a。

接著，如圖32(a)所示，在去除抗蝕圖案109後，至少在位於元件隔離區域102上的、閘極電極形成膜105A的一部分上(位於元件隔離區域102上的、遮光罩膜108的一部分及非晶矽膜111的一部分上)形成用來形成後述的閘極接觸區域105a和配線區域105b的抗蝕圖案110。這時，以與非晶矽膜111中的一部分重疊的方式形成抗蝕圖案110，使抗蝕圖案110和非晶矽膜111構成所希望的閘極電極圖案形狀。就是說，在圖32(a)和圖32(b)(與圖32(a)的XXXIIb-XXXIIb線對應的剖面圖)所示的工作區103a、103b上不形成抗蝕圖案110，在圖32(a)和圖32(c)(與圖32(a)的XXXIIc-XXXIIc線對應的剖面圖)所示的元件隔離區域102上，將抗蝕圖案110形成在包括台階部a在內的遮光罩膜108和非晶矽膜111上。如上所述，因為能夠與工作區103a、103b上的閘極電極105B及105C形成區域無關地形成抗蝕圖案110的圖案，所以與第一及第二實施例一樣，相向的工作區

103a、103b的端部與抗蝕圖案110的端部之間的距離只要在0以上就可以，在實際情況下能夠使該距離接近到工作區103a、103b及抗蝕圖案110的尺寸偏差及重疊偏差的均方根值。同樣，能夠將抗蝕圖案110相互間的距離縮短到形成前述抗蝕圖案110的微影工序的分辨極限。

補充說明一下，作為形成在成為配線區域105b的區域上的抗蝕圖案110，在圖32(a)和圖32(c)中所示的是以讓非晶矽膜111的一部分露出的方式進行了圖案化的圖。但是，也可以是這樣的，與上述圖5一樣，以完全覆蓋並跨越非晶矽膜111的方式進行圖案化作為形成在成為配線區域105b的區域上的抗蝕圖案110a。

接著，如圖33(a)到圖33(c)(補充說明一下，圖33(b)和圖33(c)，分別是與圖33(a)的XXXIIIb-XXXIIIb線和XXXIIIc-XXXIIIc線對應的剖面圖。)所示，將非晶矽膜111及抗蝕圖案110分別用作遮光罩(第一遮光罩部)，對遮光罩膜108進行蝕刻，之後去除抗蝕圖案110。這樣，遮光罩就由非晶矽膜111及遮光罩膜108構成，該遮光罩對後述的具有閘極接觸區域105a的閘極電極105B及具有配線區域105b的閘極電極105C被形成的區域進行覆蓋。

接著，如圖34(a)到圖34(c)所示，將非晶矽膜111及遮光罩膜108分別用作遮光罩(第二遮光罩部)，對閘極電極形成膜105A進行蝕刻，之後去除非晶矽膜111及遮光罩膜108。這樣，就如圖34(a)所示形成了一體性地形成有閘極接觸區域105a的閘極電極105B、和一體性地形成有配線區域105b

的閘極電極105C。就是說，在圖34(a)和圖34(b)(與圖34(a)的XXXIVb-XXXIVb線對應的剖面圖)所示的工作區103a和工作區103b上，隔著閘極絕緣膜106形成有閘極電極105B和105C；在圖34(a)和圖34(c)(與圖34(a)的XXXIVc-XXXIVc線對應的剖面圖)所示的元件隔離區域102上形成有閘極電極105B中的閘極接觸區域105a和閘極電極105C中的配線區域105b。

在此，用遮光罩膜108作為遮光罩的一部分。一般來講，藉著用氧化膜或氮化膜作為遮光罩膜108，能夠與用一種有機材料即光阻劑作為遮光罩的情況相比更強地抑制當蝕刻時從抗蝕材料中帶來的雜質的生成。因此，能夠提高尺寸的控制性。

接著，藉著利用已知的方法在閘極電極105B和105C(包括閘極接觸區域105a和配線區域105b在內)的側面上形成邊牆107，再形成n型源極-汲極區域104a和p型源極-汲極區域104b，就能夠得到前述圖29(a)和圖29(b)所示的半導體裝置。補充說明一下，在一般情況下，之後進行層間絕緣膜的形成和與閘極接觸區域105a等連接的接點(未示)的形成。例如在形成前述閘極電極105B和105C後，藉著以閘極電極105B及105C作為遮光罩，將n型雜質離子摻入到工作區103a中，來在工作區103a中的閘極電極105B及105C的兩側下方區域中形成接合深度比較小的n型源極-汲極擴散層(n型延伸區域或n型LDD區域)。此外，藉著以閘極電極105B及105C作為遮光罩，將p型雜質離子摻入到工作區

103b中，來在工作區103b中的閘極電極105B及105C的兩側下方區域中形成接合深度比較小的p型源極-汲極擴散層(p型延伸區域或p型LDD區域)。

接著，利用CVD法等在半導體基板101的整個面上沉積氮化矽膜後進行非等向性蝕刻，在閘極電極105B和105C的兩側面形成邊牆107。補充說明一下，邊牆107例如也可以由氧化矽膜和氮化矽膜的多層膜構成。接著，以邊牆107作為遮光罩，將n型雜質離子摻入到工作區103a中，將p型雜質離子摻入到工作區103b中。之後，藉著對半導體基板101加以熱處理，來在工作區103a中的邊牆107的外側下方區域中形成接合深度比較大的n型源極-汲極擴散層，並在工作區103b中的邊牆107的外側下方區域中形成接合深度比較大的p型源極-汲極擴散層。這樣，就在工作區103a中形成了由接合深度比較小的n型源極-汲極擴散層和接合深度比較大的n型源極-汲極擴散層構成的n型源極-汲極區域104a，並在工作區103b中形成了由接合深度比較小的p型源極-汲極擴散層和接合深度比較大的p型源極-汲極擴散層構成的p型源極-汲極區域104b。接著，利用CVD法等，在半導體基板101的整個面上形成例如由氧化矽膜構成的層間絕緣膜後，例如利用CMP (chemical mechanical polishing：化學機械研磨)法等將鎢填充到例如藉著乾蝕刻來形成的接觸孔內，從而形成接觸插塞(contact plug)。之後，進行金屬配線的形成等。補充說明一下，也可以包括將n型源極-汲極區域104a、p型源極-汲極區域104b及閘極

電極 105B 和 105C 的表面矽化物化的工序、或者將閘極電極 105B 和 105C 全矽化物化的工序。

補充說明一下，也能在形成閘極電極形成膜 105A 時同時讓遮光罩膜 108 和非晶矽膜 111 消失，也能藉著形成邊牆 107 時的過度蝕刻去除該遮光罩膜 108 和該非晶矽膜 111。在本實施例中，閘極電極 105B 及 105C 在工作區 103a、103b 上的膜厚也不變化，因而能夠得到穩定的電晶體特性。因為閘極接觸區域 105a 或配線區域 105b 的膜厚也不變化，所以偏差不會增大，也沒有對接觸電阻或配線電阻造成的影響。

藉著進行前述工序，在本實施例中能夠抑制圓角現象，與前述第一到第三實施例一樣。因此，能在防止電晶體特性變動的狀態下使閘極接觸區域 105a 或配線區域 105b 靠近工作區 103a、103b，同時能夠在抑制由於使閘極接觸區域的尺寸較大而會造成的閘極電極短路的狀態下使相鄰的閘極電極互相接近，能夠進行高集成化。特別是在本實施例中，因為當將閘極電極形成膜 105A 圖案化而形成閘極電極 105B 和 105C 時不是如前述第一到第三實施例那樣進行將抗蝕圖案和硬罩(hard mask)混在一起的圖案化，而是進行只使用硬罩(非晶矽膜 111 和遮光罩膜 108)的圖案化，所以不會依賴於抗蝕圖案的圖案率。因此，能夠使閘極接觸區域 105a 或配線區域 105b 接近工作區 103a、103b 接近得比前述第一到第三實施例近，並能使相鄰的閘極電極 105B 和 105C 接近得比前述第一到第三實施例近，能藉著穩定的加

工進一步進行高集成化。而且，與前述第一到第三實施例不同，因為閘極電極105B和105C沒有台階部，所以在閘極電極105B和105C的上部形成矽化物層時能夠防止矽化物層造成斷線，能夠謀求加工的穩定化。

補充說明一下，在本實施例中說明的是，在使用抗蝕圖案109的圖案化之後進行使用抗蝕圖案110的圖案化的情況。也可以是這樣的，與前述第二實施例一樣，在使用抗蝕圖案110的圖案化之後進行使用抗蝕圖案109的圖案化。

也可以與前述第三實施例及其第一變形例一樣，在進行使用抗蝕圖案109a及109b的圖案化之後進行使用抗蝕圖案110a及110b的圖案化，也可以使這些圖案化的順序替換。

補充說明一下，因為能夠根據前述各個實施例的所對應的部分來以同樣的方式想到具有前述工序的半導體裝置的製造方法、和藉著該製造方法來得到的半導體裝置的結構，所以在此省略了前述製造方法和前述結構的具體說明。

補充說明一下，在前述第一到第四實施例和其變形例中採用了多晶矽作為閘極電極105、105B及105C的結構材料。不過，也可以採用非晶矽膜、金屬矽化物及多晶矽的多層膜、矽化物膜或金屬等。

補充說明一下，在前述第一到第四實施例和其變形例中採用了氮氧化矽作為閘極絕緣膜109的結構材料，不過也可以採用二氧化矽或氮氧化矽鈣等其他材料，這是明顯可以看出的事情。

補充說明一下，在前述第一到第三實施例及其變形例

中，因為在閘極接觸區域105a中沒有用來將閘極電極105、105B圖案化的抗蝕圖案變寬的部分，所以在包括使具有閘極接觸區域105a的閘極電極互相靠近的結構的情況下，能使抗蝕圖案互相接近到分辨極限附近，而且能夠得到足夠的接點面積。

-工業實用性-

本發明所涉及的半導體裝置及其製造方法，對包括具備具有曲折部分的閘極電極的場效應電晶體在內的半導體裝置及其製造方法等很有用。

【圖式簡單說明】

圖1(a)是平面圖，表示本發明的第一實施例所涉及的半導體裝置的結構；圖1(b)是剖面圖，對應於圖1(a)中的Ib-Ib線；圖1(c)是剖面圖，對應於圖1(a)中的Ic-Ic線。

圖2(a)和圖2(b)是平面圖，表示本發明的第一實施例所涉及的半導體裝置的製造方法。

圖3(a)是平面圖，表示本發明的第一實施例所涉及的半導體裝置的製造方法；圖3(b)是剖面圖，對應於圖3(a)中的IIIb-IIIb線；圖3(c)是剖面圖，對應於圖3(a)中的IIIc-IIIc線。

圖4(a)是平面圖，表示本發明的第一實施例所涉及的半導體裝置的製造方法；圖4(b)是剖面圖，對應於圖4(a)中的IVb-IVb線；圖4(c)是剖面圖，對應於圖4(a)中的IVc-IVc線。

圖5是平面圖，表示本發明的第一實施例所涉及的半導

體裝置的製造方法，是表示圖4(a)的變形例的平面圖。

圖6(a)是平面圖，表示本發明的第一實施例所涉及的半導體裝置的製造方法；圖6(b)是剖面圖，對應於圖6(a)中的VIb-VIb線；圖6(c)是剖面圖，對應於圖6(a)中的VIc-VIc線。

圖7(a)和圖7(b)是平面圖，表示本發明的第一實施例所涉及的半導體裝置的製造方法的變形例。

圖8(a)是平面圖，表示本發明的第一實施例所涉及的半導體裝置的製造方法的變形例；圖8(b)是剖面圖，對應於圖8(a)中的VIIIb-VIIIb線；圖8(c)是剖面圖，對應於圖8(a)中的VIIIc-VIIIc線。

圖9(a)是平面圖，表示本發明的第一實施例所涉及的半導體裝置的製造方法的變形例；圖9(b)是剖面圖，對應於圖9(a)中的IXb-IXb線；圖9(c)是剖面圖，對應於圖9(a)中的IXc-IXc線。

圖10(a)是平面圖，表示本發明的第一實施例所涉及的半導體裝置的製造方法的變形例；圖10(b)是剖面圖，對應於圖10(a)中的Xb-Xb線；圖10(c)是剖面圖，對應於圖10(a)中的Xc-Xc線。

圖11(a)是平面圖，表示本發明的第一實施例所涉及的半導體裝置的製造方法的變形例；圖11(b)是剖面圖，對應於圖11(a)中的XIb-XIb線；圖11(c)是剖面圖，對應於圖11(a)中的XIc-XIc線。

圖12(a)是平面圖，表示本發明的第二實施例所涉及的半

導體裝置的結構；圖 12(b)是剖面圖，對應於圖 12(a)中的 XIIb-XIIb 線。

圖 13(a)和圖 13(b)是平面圖，表示本發明的第二實施例所涉及的半導體裝置的製造方法。

圖 14(a)和圖 14(b)是平面圖，表示本發明的第二實施例所涉及的半導體裝置的製造方法。

圖 15(a)和圖 15(b)是平面圖，表示本發明的第二實施例所涉及的半導體裝置的製造方法。

圖 16(a)和圖 16(b)是平面圖，表示本發明的第二實施例所涉及的半導體裝置的製造方法的變形例。

圖 17(a)是平面圖，表示本發明的第二實施例所涉及的半導體裝置的製造方法的變形例；圖 17(b)是剖面圖，對應於圖 17(a)中的 XVIIb-XVIIb 線；圖 17(c)是剖面圖，對應於圖 17(a)中的 XVIIc-XVIIc 線。

圖 18(a)是平面圖，表示本發明的第二實施例所涉及的半導體裝置的製造方法的變形例；圖 18(b)是剖面圖，對應於圖 18(a)中的 XVIIIb-XVIIIb 線；圖 18(c)是剖面圖，對應於圖 18(a)中的 XVIIIc-XVIIIc 線。

圖 19(a)是平面圖，表示本發明的第二實施例所涉及的半導體裝置的製造方法的變形例；圖 19(b)是剖面圖，對應於圖 19(a)中的 XIXb-XIXb 線；圖 19(c)是剖面圖，對應於圖 19(a)中的 XIXc-XIXc 線。

圖 20(a)是平面圖，表示本發明的第三實施例所涉及的半導體裝置的結構；圖 20(b)是剖面圖，對應於圖 20(a)中的

XXb-XXb線；圖20(c)是剖面圖，對應於圖20(a)中的XXc-XXc線。

圖21(a)和圖21(b)是平面圖，表示本發明的第三實施例所涉及的半導體裝置的製造方法。

圖22(a)是平面圖，表示本發明的第三實施例所涉及的半導體裝置的製造方法；圖22(b)是剖面圖，對應於圖22(a)中的XXIIb-XXIIb線；圖22(c)是剖面圖，對應於圖22(a)中的XXIIc-XXIIc線。

圖23(a)是平面圖，表示本發明的第三實施例所涉及的半導體裝置的製造方法；圖23(b)是剖面圖，對應於圖23(a)中的XXIIIb-XXIIIb線；圖23(c)是剖面圖，對應於圖23(a)中的XXIIIc-XXIIIc線。

圖24(a)是平面圖，表示本發明的第三實施例所涉及的半導體裝置的第一變形例的結構；圖24(b)是剖面圖，對應於圖24(a)中的XXIVb-XXIVb線；圖24(c)是剖面圖，對應於圖24(a)中的XXIVc-XXIVc線。

圖25(a)是平面圖，表示本發明的第三實施例所涉及的半導體裝置的第一變形例的製造方法；圖25(b)是剖面圖，對應於圖25(a)中的XXVb-XXVb線；圖25(c)是剖面圖，對應於圖25(a)中的XXVc-XXVc線。

圖26(a)是平面圖，表示本發明的第三實施例所涉及的半導體裝置的第一變形例的製造方法；圖26(b)是剖面圖，對應於圖26(a)中的XXVIb-XXVIb線；圖26(c)是剖面圖，對應於圖26(a)中的XXVIc-XXVIc線。

圖 27(a)是平面圖，表示本發明的第三實施例所涉及的半導體裝置的第二變形例的製造方法；圖 27(b)是剖面圖，對應於圖 27(a)中的 XXVIIb-XXVIIb 線；圖 27(c)是剖面圖，對應於圖 27(a)中的 XXVIIc-XXVIIc 線。

圖 28(a)是平面圖，表示本發明的第三實施例所涉及的半導體裝置的第二變形例的製造方法；圖 28(b)是剖面圖，對應於圖 28(a)中的 XXVIIIb-XXVIIIb 線；圖 28(c)是剖面圖，對應於圖 28(a)中的 XXVIIIc-XXVIIIc 線。

圖 29(a)是平面圖，表示本發明的第四實施例所涉及的半導體裝置的結構；圖 29(b)是剖面圖，對應於圖 29(a)中的 XXIXb-XXIXb 線。

圖 30(a)和圖 30(b)是平面圖，表示本發明的第四實施例所涉及的半導體裝置的製造方法的變形例。

圖 31(a)是平面圖，表示本發明的第四實施例所涉及的半導體裝置的結構；圖 31(b)是剖面圖，對應於圖 31(a)中的 XXXIb-XXXIb 線；圖 31(c)是剖面圖，對應於圖 31(a)中的 XXXIc-XXXIc 線。

圖 32(a)是平面圖，表示本發明的第四實施例所涉及的半導體裝置的結構；圖 32(b)是剖面圖，對應於圖 32(a)中的 XXXIIb-XXXIIb 線；圖 32(c)是剖面圖，對應於圖 32(a)中的 XXXIIc-XXXIIc 線。

圖 33(a)是平面圖，表示本發明的第四實施例所涉及的半導體裝置的結構；圖 33(b)是剖面圖，對應於圖 33(a)中的 XXXIIIb-XXXIIIb 線；圖 33(c)是剖面圖，對應於圖 33(a)中

的 XXXIIIc-XXXIIIc 線。

圖 34(a) 是平面圖，表示本發明的第四實施例所涉及的半導體裝置的結構；圖 34(b) 是剖面圖，對應於圖 34(a) 中的 XXXIVb-XXXIVb 線；圖 34(c) 是剖面圖，對應於圖 34(a) 中的 XXXIVc-XXXIVc 線。

圖 35，是現有半導體裝置的平面佈局圖。

圖 36(a) 和 圖 36(b) 是平面圖，用來說明在現有半導體裝置中會發生的圓角現象。

【主要元件符號說明】

101	半導體基板
102	元件隔離區域
103a, 103b	工作區
104a	n 型源極-汲極區域
104b	p 型源極-汲極區域
105, 105B, 105C	閘極電極
105a	閘極接觸區域
105b	配線區域
105c	台階部
106	閘極絕緣膜
107	邊牆
108	遮光罩膜
109, 109a, 109b	抗蝕圖案
110, 110a, 110b	抗蝕圖案
111	非晶矽膜
a, b	台階部

五、中文發明摘要：

本發明提供了一種半導體裝置及其製造方法。

半導體裝置，包括：形成在半導體基板(101)中的元件隔離區域(102)，由元件隔離區域(102)包圍的工作區(103a)、(103b)，以及形成在元件隔離區域(102)及工作區(103a)、(103b)上，並在元件隔離區域(102)上具有與工作區(103a)、(103b)上相比閘極長度方向上的圖案寬度較大的第一區域的第一閘極電極(105)。第一閘極電極(105)中的第一區域，具有膜厚與工作區(103a)、(103b)上的膜厚不同的部分。因此，能夠提供包括能夠抑制圓角現象的閘極電極結構的半導體裝置。

六、英文發明摘要：

A semiconductor device includes: an isolation region formed in a semiconductor substrate; an active region surrounded by the isolation region; and a first gate electrode formed on the isolation region and the active region and including a first region on the isolation region. The first region has a pattern width in a gate length direction larger than a pattern width of the first gate electrode on the active region. The first region includes a part having a film thickness different from a film thickness of the first gate electrode on the active region.

十、申請專利範圍：

1. 一種半導體裝置，包括：形成在半導體基板中的元件隔離區域，由前述元件隔離區域包圍的工作區，以及形成在前述元件隔離區域和前述工作區上，並在前述元件隔離區域上具有與前述工作區上相比閘極長度方向上的圖案寬度較大的第一區域的第一閘極電極，其中：

前述第一閘極電極中的前述第一區域，具有膜厚與前述工作區上的膜厚不同的部分。

- 2 如申請專利範圍第1項所記載之半導體裝置，其中：

前述第一閘極電極中的前述第一區域，是閘極接觸區域或配線區域。

3. 如申請專利範圍第1項所記載之半導體裝置，其中：

存在於前述工作區附近的前述第一區域的曲折部分的平面形狀是直角形狀。

4. 如申請專利範圍第1至第3項之任一項所記載之半導體裝置，其中：

前述第一閘極電極中的前述第一區域，具有膜厚比前述第一閘極電極在前述工作區上的膜厚小的部分。

5. 如申請專利範圍第1至第3項之任一項所記載之半導體裝置，其中：

前述第一閘極電極中的前述第一區域，具有膜厚比前述第一閘極電極在前述工作區上的膜厚大的部分。

6. 如申請專利範圍第1至第3項之任一項所記載之半導體裝置，其中：

包括第二閘極電極，與前述第一閘極電極並排形成在前述元件隔離區域及前述工作區上，並在前述元件隔離區域上具有與前述工作區上相比閘極長度方向上的圖案寬度較大的第二區域；

前述第一閘極電極在前述工作區上的膜厚，與前述第二閘極電極在前述工作區上的膜厚不同。

7. 如申請專利範圍第6項所記載之半導體裝置，其中：

前述第一閘極電極中的第一區域，具有膜厚比前述第一閘極電極在前述工作區上的膜厚小的部分；

前述第二閘極電極中的第二區域，具有膜厚比前述第二閘極電極在前述工作區上的膜厚大的部分。

8. 如申請專利範圍第6項所記載之半導體裝置，其中：

存在於前述工作區附近的前述第二區域的曲折部分的平面形狀是直角形狀。

9. 如申請專利範圍第1項所記載之半導體裝置，其中：

還包括：

閘極絕緣膜，形成在前述工作區上的前述第一閘極電極與前述工作區之間，和

第一源極-汲極區域，形成在前述工作區中的前述第一閘極電極兩側下方區域中。

10. 如申請專利範圍第9項所記載之半導體裝置，其中：

還包括：

邊牆，形成在前述第一閘極電極的側面上，和

第二源極-汲極區域，形成在前述工作區中的前述邊牆

的外側下方區域中。

11. 一種半導體裝置的製造方法，其中：

包括：工序a，在半導體基板中形成元件隔離區域和由前述元件隔離區域包圍的工作區，

工序b，在前述元件隔離區域和前述工作區上形成閘極電極形成膜，

工序c，在前述閘極電極形成膜上形成跨越前述元件隔離區域和前述工作區的、呈直線形狀的第一遮光罩部，

工序d，在位於前述元件隔離區域上的前述閘極電極形成膜上形成第二遮光罩部，以及

工序e，在前述工序c和前述工序d之後，藉著用前述第一遮光罩部及前述第二遮光罩部對前述閘極電極形成膜進行蝕刻，來形成在前述元件隔離區域上具有與前述工作區上相比閘極長度方向上的圖案寬度較大的第一區域的第一閘極電極；

前述第一遮光罩部，具有與前述第二遮光罩部不同的遮光罩結構；

在前述工序e中，前述第一遮光罩部和前述第二遮光罩部形成為一部分互相重疊。

12. 如申請專利範圍第11項所記載之半導體裝置的製造方法，其中：

前述工序c，具有：在前述閘極電極形成膜上形成遮光罩膜的工序c1，在前述遮光罩膜上形成跨越前述元件

隔離區域及前述工作區的、呈直線形狀的第一抗蝕圖案的工序c2，藉著將前述第一抗蝕圖案用作遮光罩，至少對前述遮光罩膜進行蝕刻，來形成具有已圖案化的前述遮光罩膜的前述第一遮光罩部的工序c3，以及在前述工序c3之後去除前述第一抗蝕圖案的工序c4；

前述工序d包括：在前述工序c之後進行的、在位於前述元件隔離區域上的前述閘極電極形成膜上形成由覆蓋前述第一遮光罩部的至少一部分和前述第一區域的第二抗蝕圖案構成的前述第二遮光罩部的工序；

在前述工序e中，藉著以具有前述遮光罩膜的前述第一遮光罩部和由前述第二抗蝕圖案構成的前述第二遮光罩部作為遮光罩，對前述閘極電極形成膜進行蝕刻，來形成前述第一閘極電極。

13. 如申請專利範圍第11項所記載之半導體裝置的製造方法，其中：

前述工序c具有：在前述閘極電極形成膜上形成跨越前述元件隔離區域及前述工作區的、呈直線形狀的第一抗蝕圖案的工序c1，藉著將前述第一抗蝕圖案用作遮光罩，對前述閘極電極形成膜的上部進行蝕刻，來形成由前述閘極電極形成膜構成的前述第一遮光罩部的工序c2，以及在前述工序c2之後去除前述第一抗蝕圖案的工序c3；

前述工序d包括：在前述工序c之後進行的、在位於前述元件隔離區域上的前述閘極電極形成膜上形成由覆蓋

前述第一遮光罩部的至少一部分和前述第一區域的第二抗蝕圖案構成的前述第二遮光罩部的工序；

在前述工序e中，藉著以由前述閘極電極形成膜構成的前述第一遮光罩部及由前述第二抗蝕圖案構成的前述第二遮光罩部作為遮光罩，對前述閘極電極形成膜進行蝕刻，來形成前述第一閘極電極。

14. 如申請專利範圍第11項所記載之半導體裝置的製造方法，其中：

前述工序d具有：在前述閘極電極形成膜上形成遮光罩膜的工序d1，在位於前述元件隔離區域上的前述遮光罩膜上形成覆蓋前述第一區域的第一抗蝕圖案的工序d2，藉著將前述第一抗蝕圖案用作遮光罩，至少對前述遮光罩膜進行蝕刻，來形成具有已圖案化的前述遮光罩膜的前述第二遮光罩部的工序d3，以及在前述工序d3之後去除前述第一抗蝕圖案的工序d4；

前述工序c，包括：在前述工序d之後進行的、在前述閘極電極形成膜上形成由覆蓋前述第二遮光罩部的一部分並且跨越前述元件隔離區域及前述工作區的呈直線形狀的第二抗蝕圖案構成的前述第一遮光罩部的工序；

在前述工序e中，藉著以由前述第二抗蝕圖案構成的前述第一遮光罩部及具有前述遮光罩膜的前述第二遮光罩部作為遮光罩，對前述閘極電極形成膜進行蝕刻，來形成前述第一閘極電極。

15. 如申請專利範圍第11項所記載之半導體裝置的製造方

法，其中：

前述工序d具有：在位於前述元件隔離區域上的前述閘極電極形成膜上形成覆蓋前述第一區域的第一抗蝕圖案的工序d1，藉著將前述第一抗蝕圖案用作遮光罩，至少對前述閘極電極形成膜的上部進行蝕刻，來形成由前述閘極電極形成膜構成的前述第二遮光罩部的工序d2，以及在前述工序d2之後去除前述第一抗蝕圖案的工序d3；

前述工序c包括：在前述工序d之後進行的、在前述閘極電極形成膜上形成由覆蓋前述第二遮光罩部的一部分並且跨越前述元件隔離區域及前述工作區的呈直線形狀的第二抗蝕圖案構成的前述第一遮光罩部的工序；

在前述工序e中，藉著以由前述第二抗蝕圖案構成的前述第一遮光罩部及由前述閘極電極形成膜構成的前述第二遮光罩部作為遮光罩，對前述閘極電極形成膜進行蝕刻，來形成前述第一閘極電極。

16. 如申請專利範圍第11至第15項之任一項所記載之半導體裝置的製造方法，其中：

前述工序c包括：形成前述第一遮光罩部，並在位於前述元件隔離區域上的前述閘極電極形成膜上形成第三遮光罩部的工序；

前述工序d包括：形成前述第二遮光罩部，並在前述閘極電極形成膜上形成跨越前述元件隔離區域及前述工作區的、呈直線形狀的第四遮光罩部的工序；

前述工序e包括：形成前述第一閘極電極，並藉著用前述第三遮光罩部及前述第四遮光罩部對前述閘極電極形成膜進行蝕刻，來形成在前述元件隔離區域上具有與前述工作區上相比閘極長度方向上的圖案寬度較大的第二區域的第二閘極電極的工序；

前述第三遮光罩部，具有與前述第四遮光罩部不同的遮光罩結構；

在前述工序e中，前述第三遮光罩部和前述第四遮光罩部形成為一部分互相重疊。

17. 如申請專利範圍第11項所記載之半導體裝置的製造方法，其中：

前述工序c具有：在前述閘極電極形成膜上依次形成第一遮光罩膜和第二遮光罩膜的工序c1，在前述第二遮光罩膜上形成跨越前述元件隔離區域及前述工作區的、呈直線形狀的第一抗蝕圖案的工序c2，藉著將前述第一抗蝕圖案用作遮光罩，至少對前述第二遮光罩膜進行蝕刻，來形成具有已圖案化的前述第二遮光罩膜的前述第一遮光罩部的工序c3，以及在前述工序c3之後去除前述第一抗蝕圖案的工序c4；

前述工序d具有：在前述工序c之後進行的、在位於前述元件隔離區域上的前述第一遮光罩膜上形成覆蓋前述第一遮光罩部的至少一部分和前述第一區域的第二抗蝕圖案的工序d1，藉著以前述第二抗蝕圖案及前述第一遮光罩部中的前述第二遮光罩膜作為遮光罩，對前述第一

遮光罩膜進行蝕刻，來形成由已圖案化的前述第一遮光罩膜構成的前述第二遮光罩部的工序d2，以及在前述工序d2之後去除前述第二抗蝕圖案的工序d3；

在前述工序e中，藉著以具有前述第二遮光罩膜的前述第一遮光罩部及由前述第一遮光罩膜構成的前述第二遮光罩部作為遮光罩，對前述閘極電極形成膜進行蝕刻，來形成前述第一閘極電極。

18. 如申請專利範圍第11項所記載之半導體裝置的製造方法，其中：

前述工序d，具有：在前述閘極電極形成膜上依次形成第一遮光罩膜和第二遮光罩膜的工序d1，在位於前述元件隔離區域上的前述第二遮光罩膜上形成覆蓋前述第一區域的第一抗蝕圖案的工序d2，藉著將前述第一抗蝕圖案用作遮光罩，至少對前述第二遮光罩膜進行蝕刻，來形成具有已圖案化的前述第二遮光罩膜的前述第二遮光罩部的工序d3，以及在前述工序d3之後去除前述第一抗蝕圖案的工序d4；

前述工序c，具有：在前述工序d之後進行的、在前述第一遮光罩膜上形成覆蓋前述第二遮光罩部的一部分並且跨越前述元件隔離區域及前述工作區的呈直線形狀的第二抗蝕圖案的工序c1，藉著以前述第二抗蝕圖案及前述第二遮光罩部中的前述第二遮光罩膜作為遮光罩，對前述第一遮光罩膜進行蝕刻，來形成由已圖案化的前述第一遮光罩膜構成的前述第一遮光罩部的工序c2，以及

在前述工序c2之後去除前述第二抗蝕圖案的工序c3；

在前述工序e中，藉著以由前述第一遮光罩膜構成的前述第一遮光罩部及具有前述第二遮光罩膜的前述第二遮光罩部作為遮光罩，對前述閘極電極形成膜進行蝕刻，來形成前述第一閘極電極。

十一、圖式：

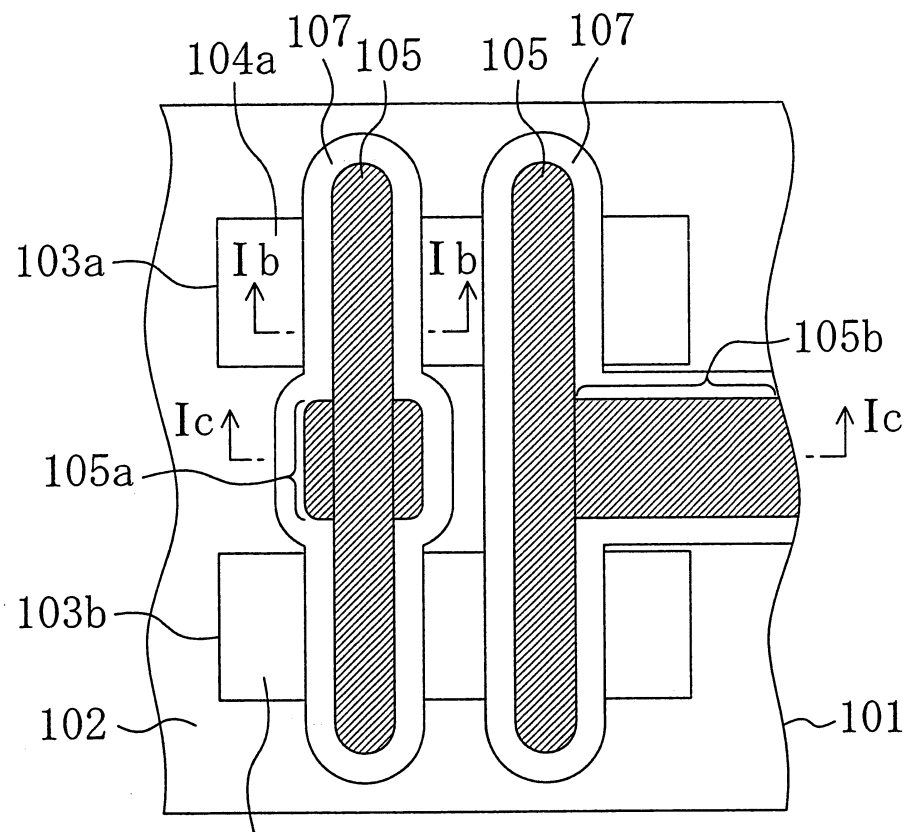


圖 1(a)

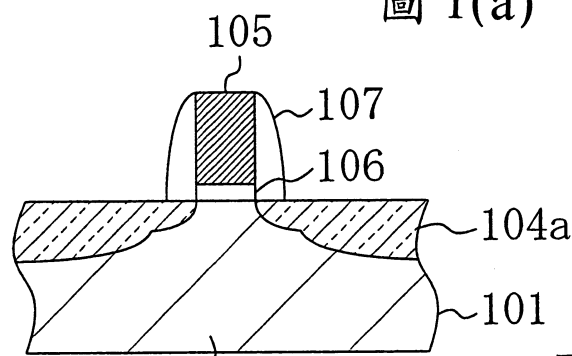


圖 1(b)

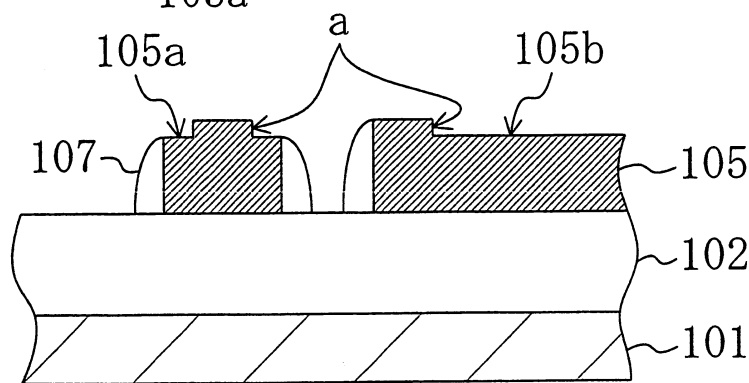


圖 1(c)

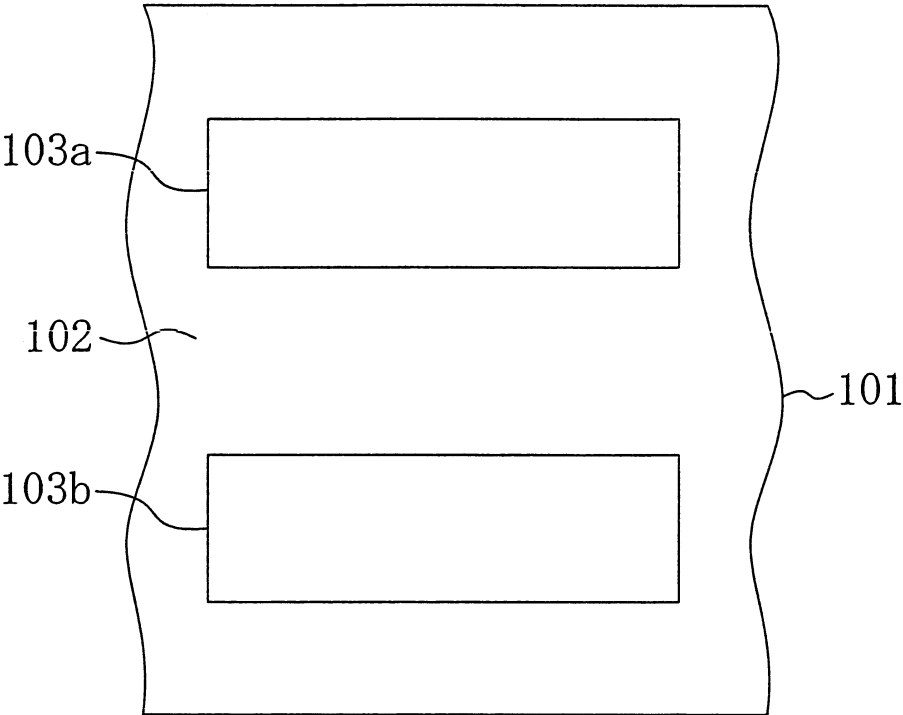


圖 2(a)

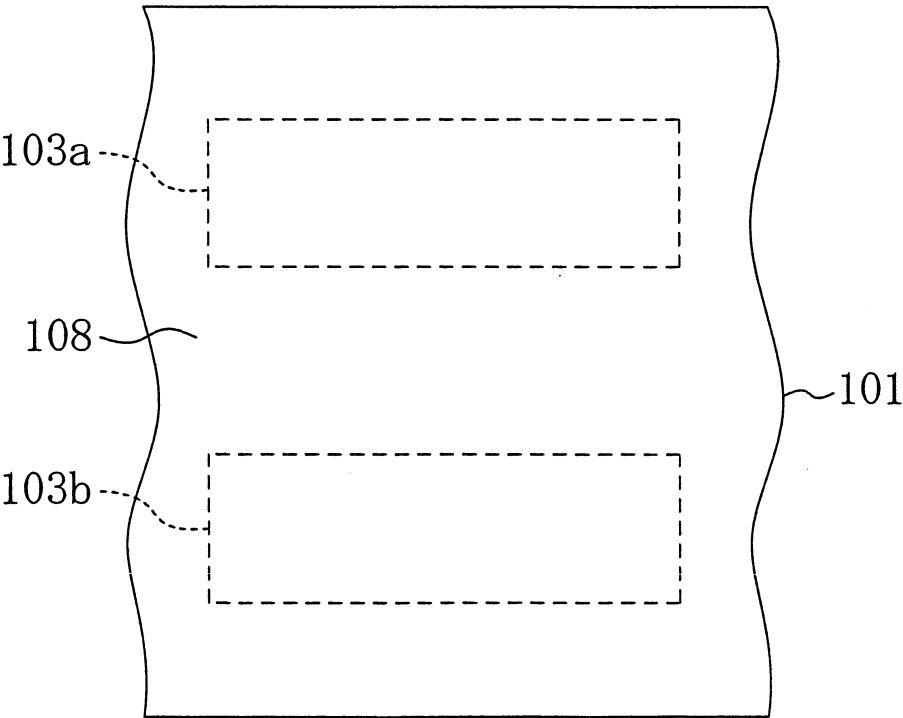


圖 2(b)

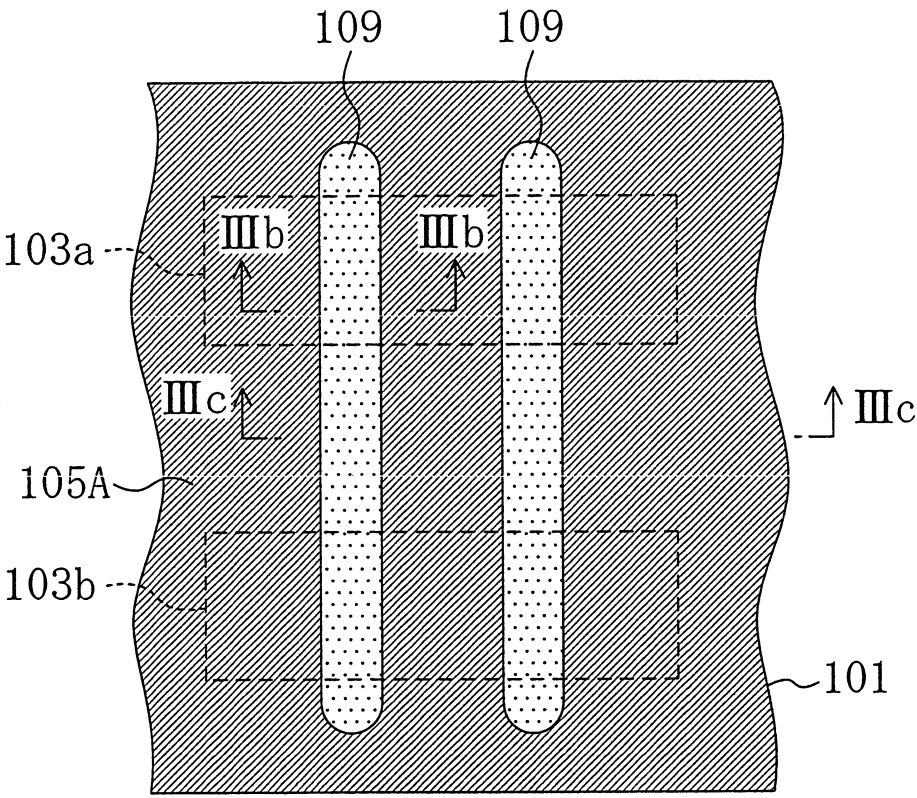


圖 3(a)

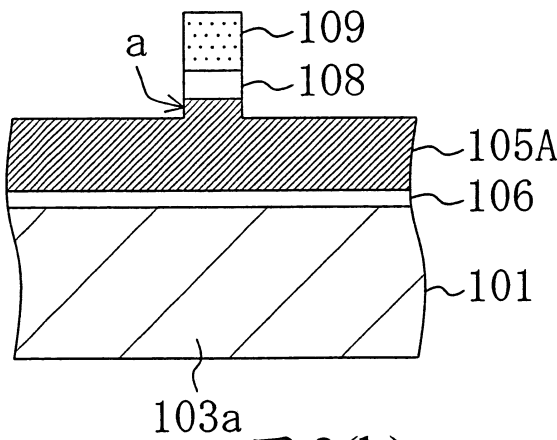


圖 3(b)

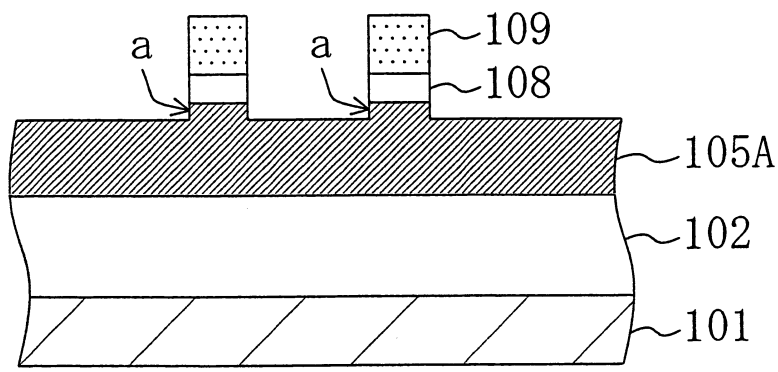


圖 3(c)

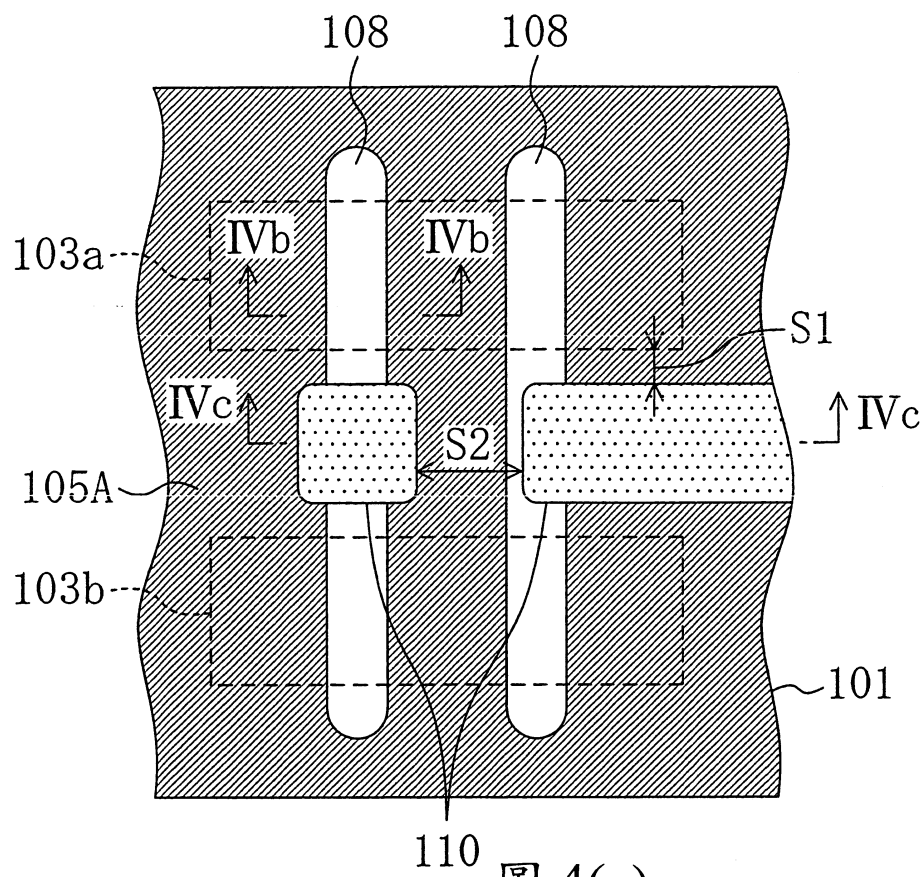


圖 4(a)

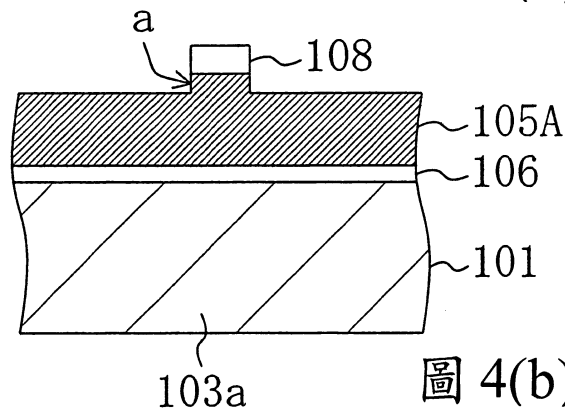


圖 4(b)

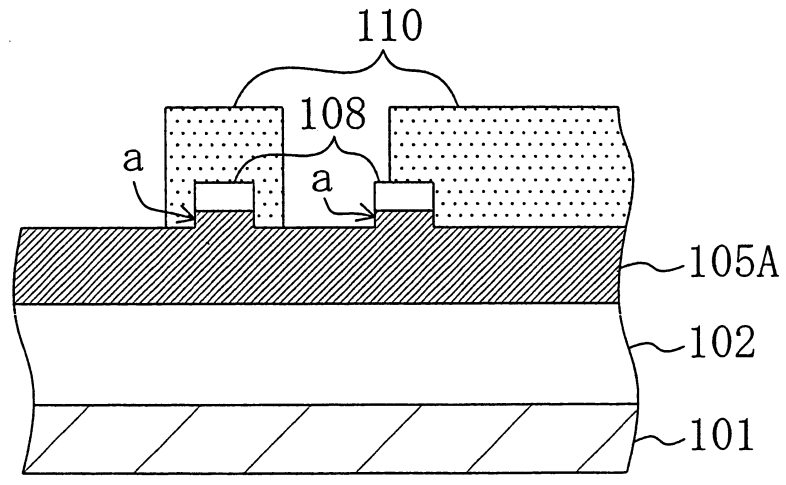


圖 4(c)

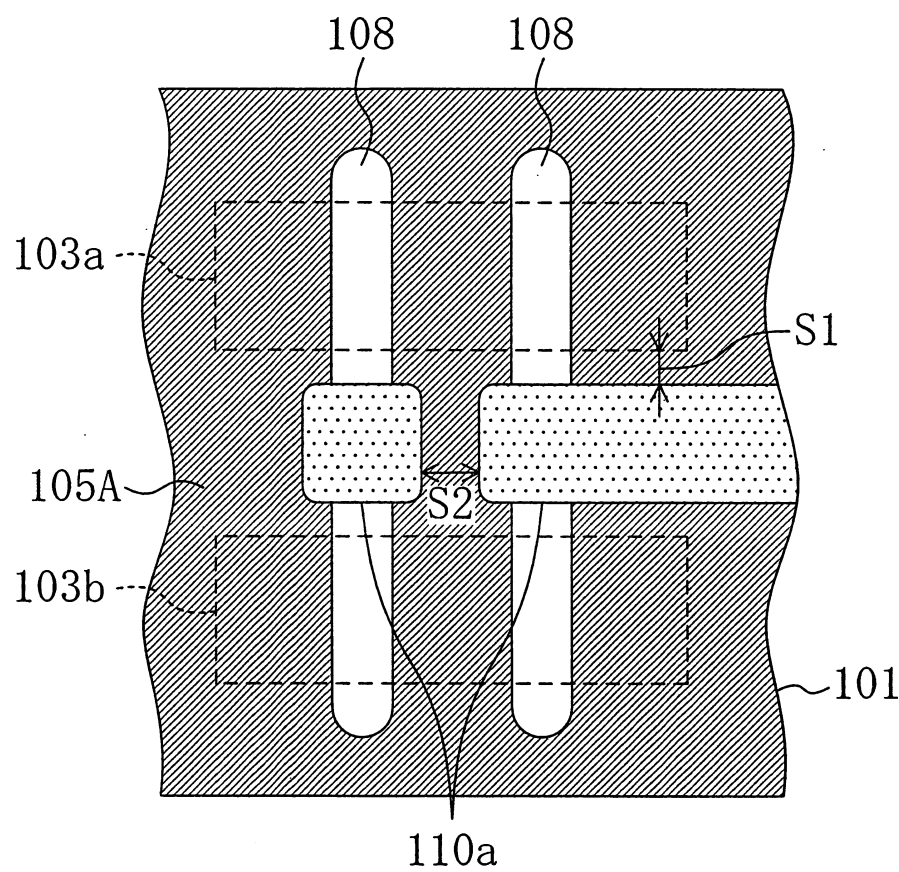


圖 5

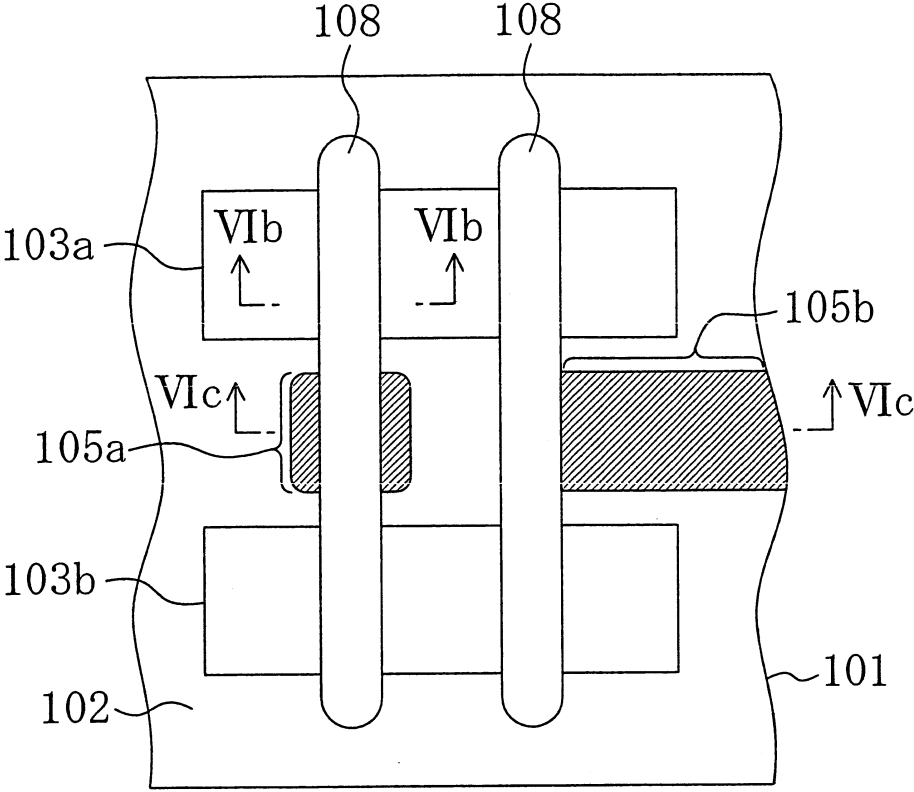


圖 6(a)

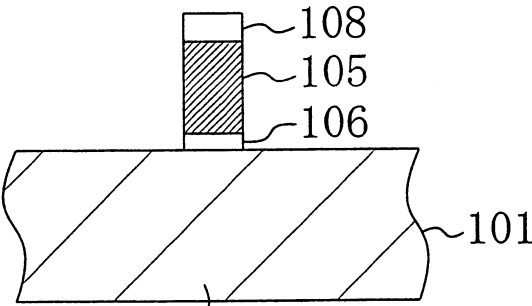


圖 6(b)

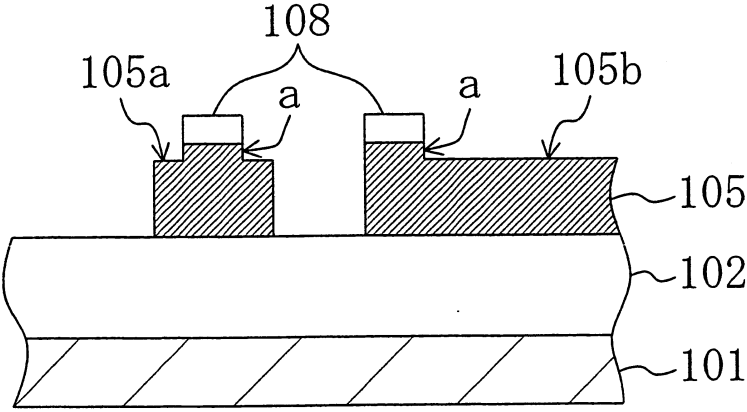


圖 6(c)

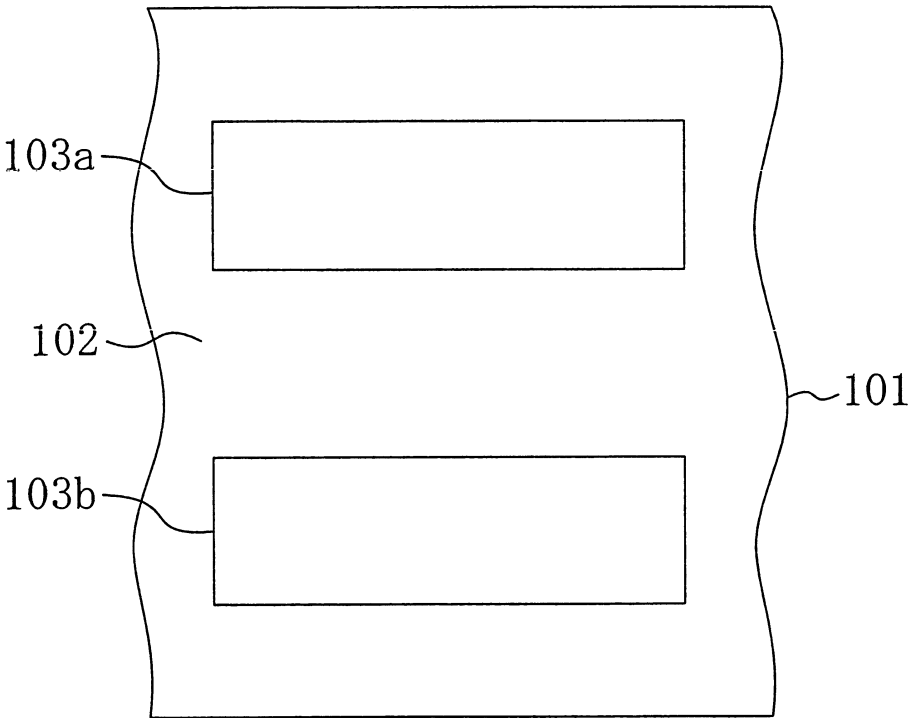


圖 7(a)

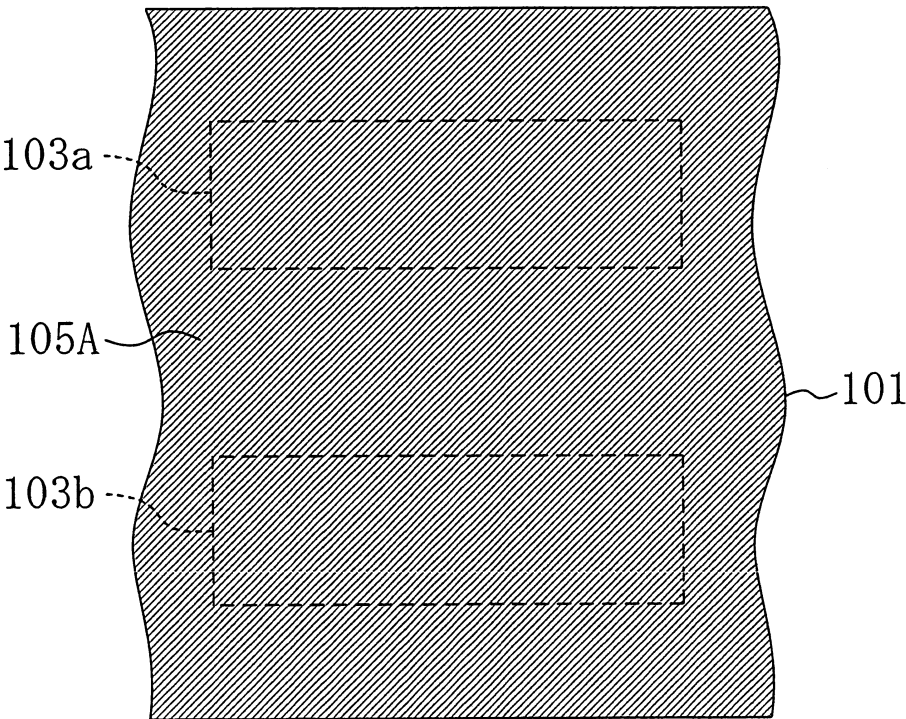


圖 7(b)

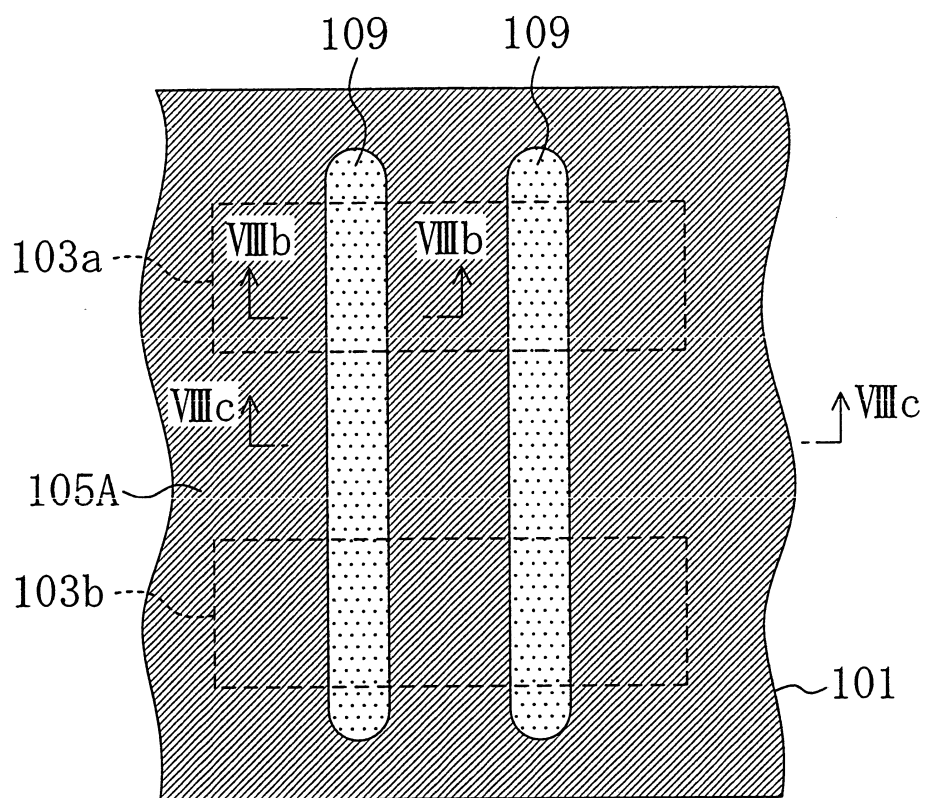


圖 8(a)

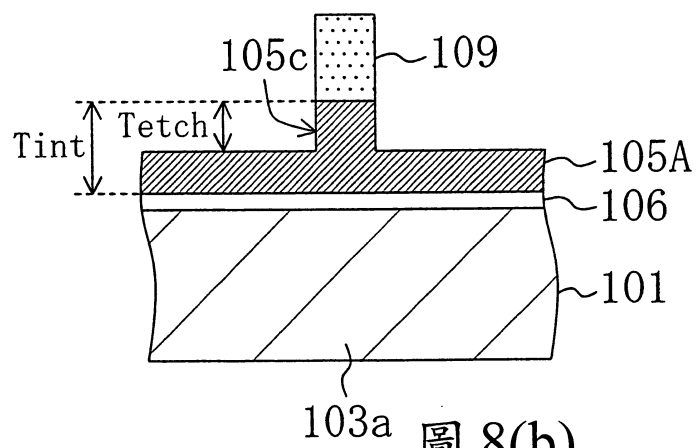


圖 8(b)

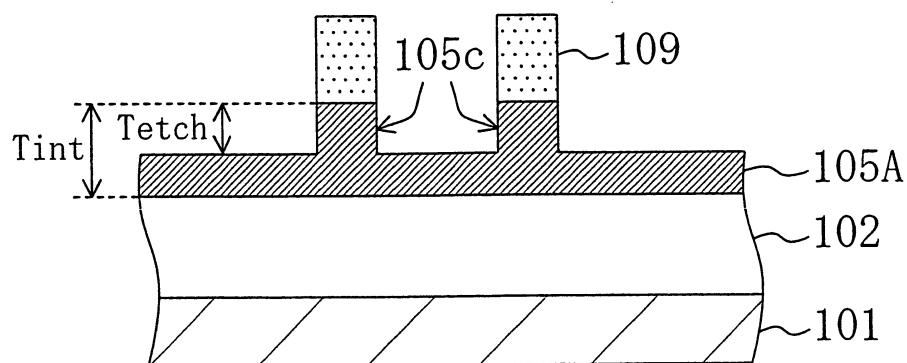
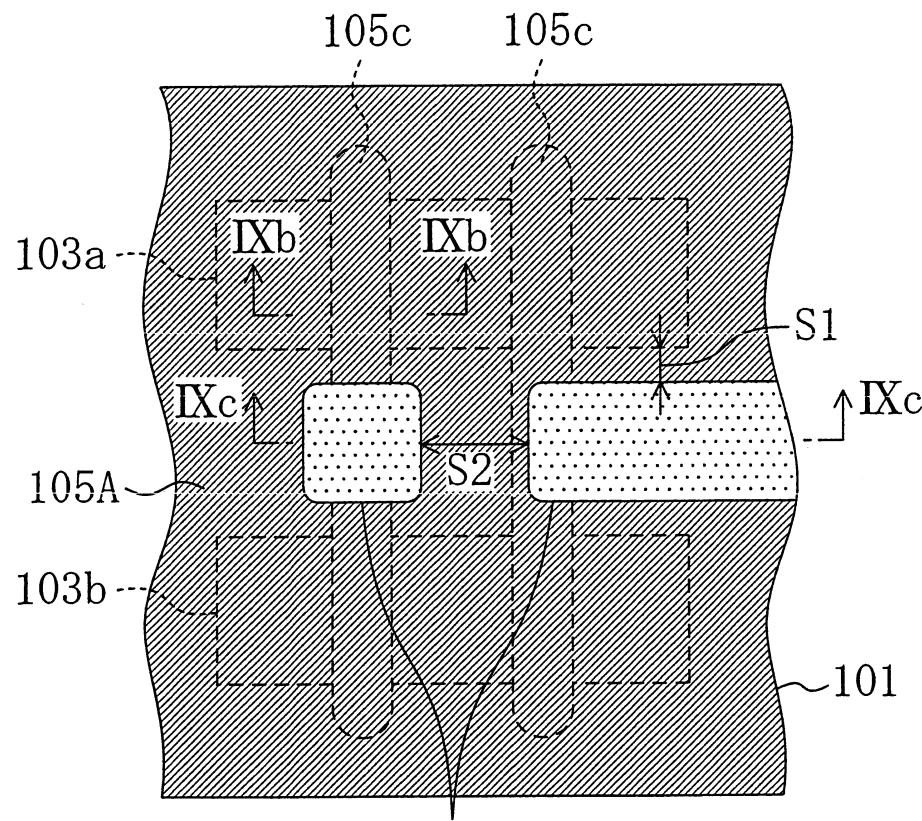
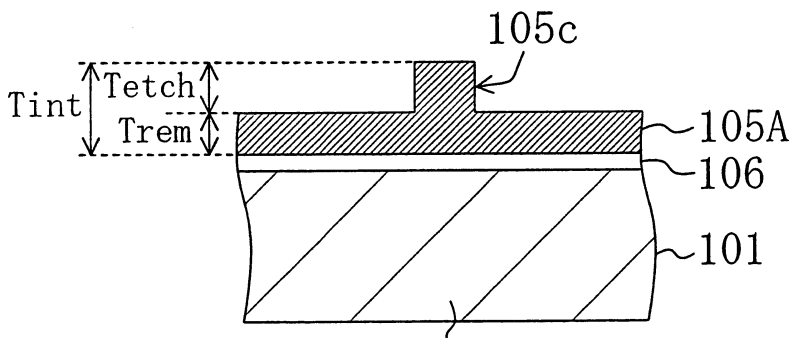


圖 8(c)



110 圖 9(a)



103a 圖 9(b)

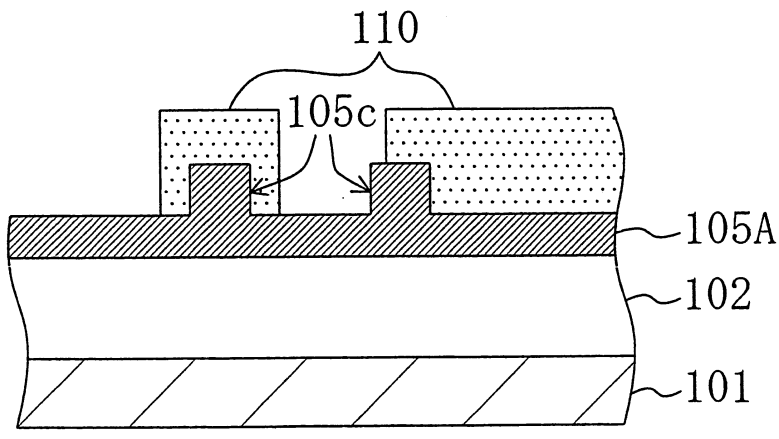


圖 9(c)

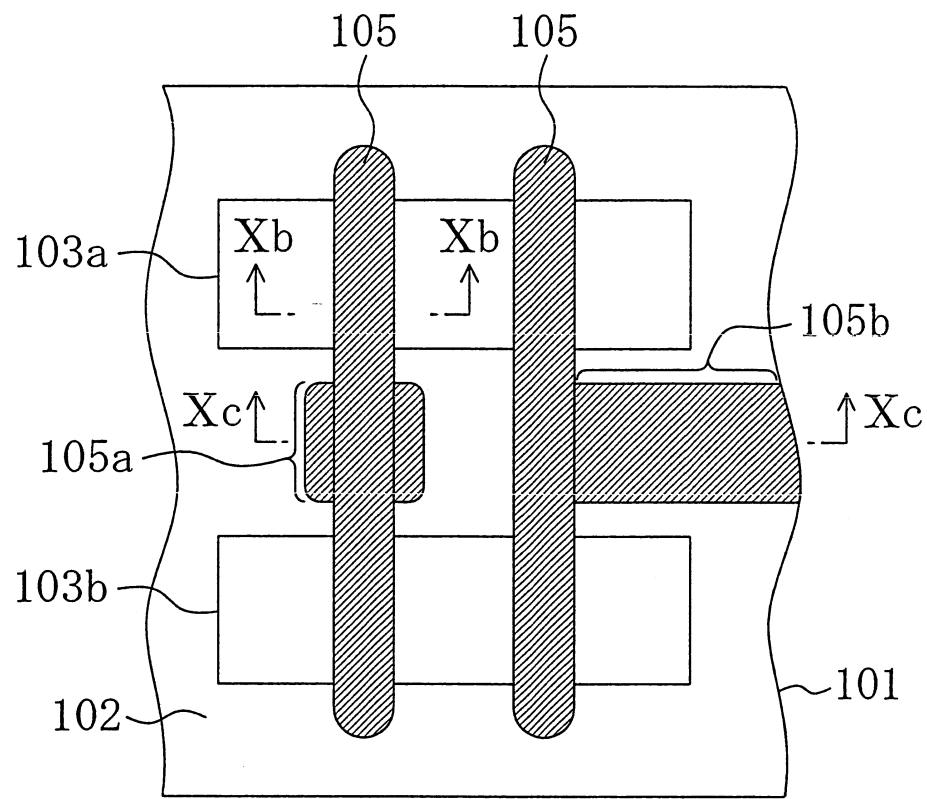


圖 10(a)

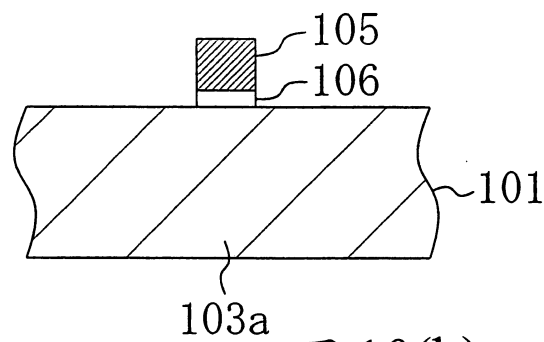


圖 10(b)

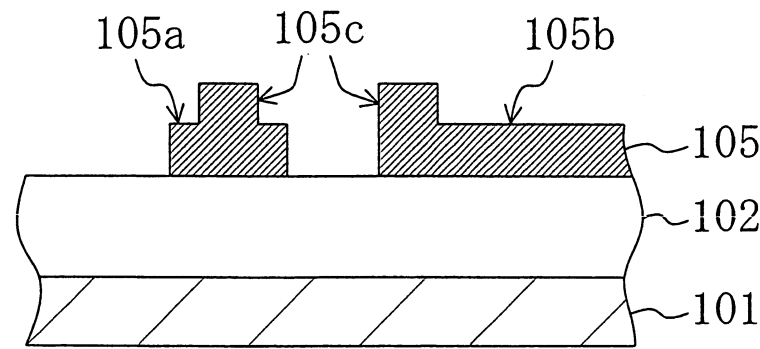


圖 10(c)

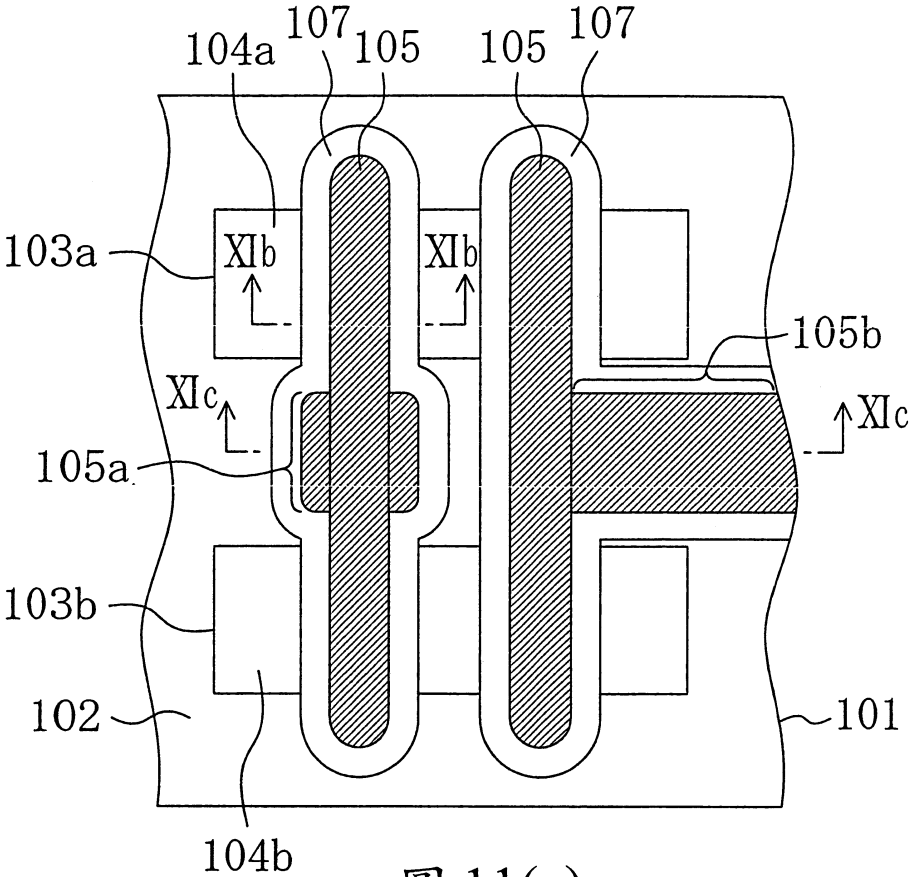


圖 11(a)

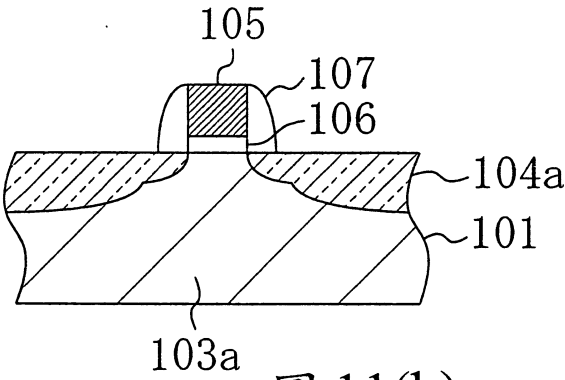


圖 11(b)

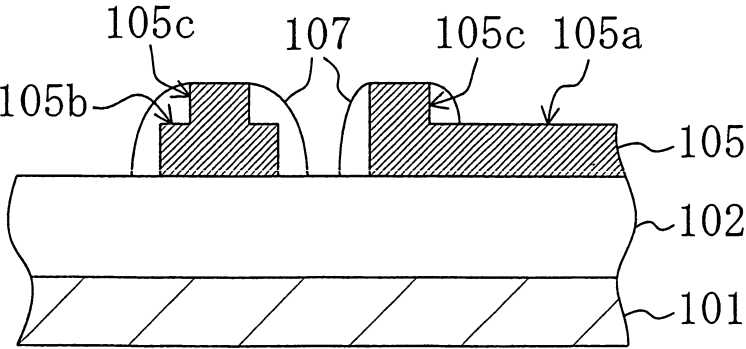


圖 11(c)

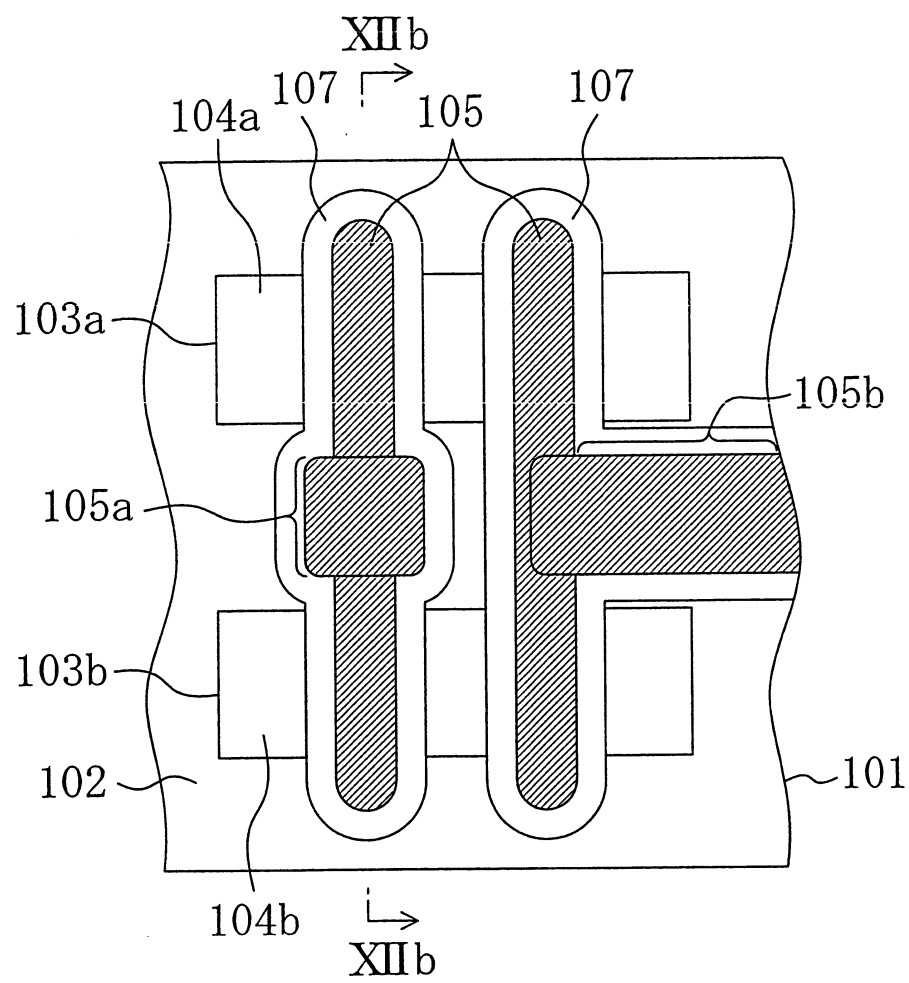


圖 12(a)

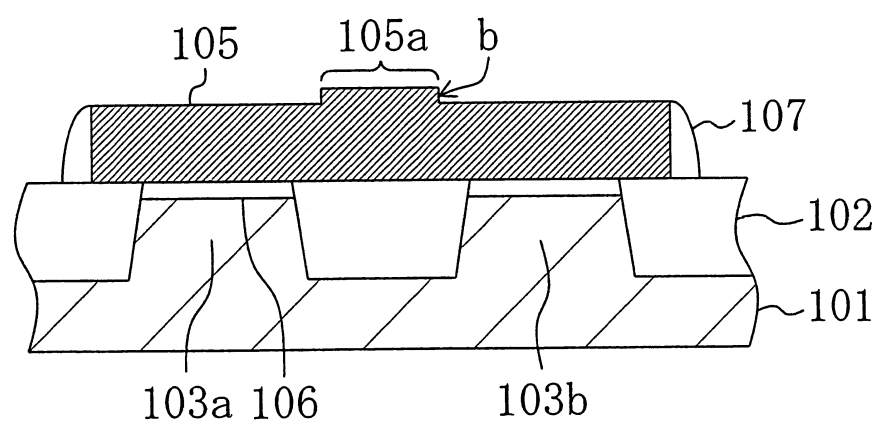


圖 12(b)

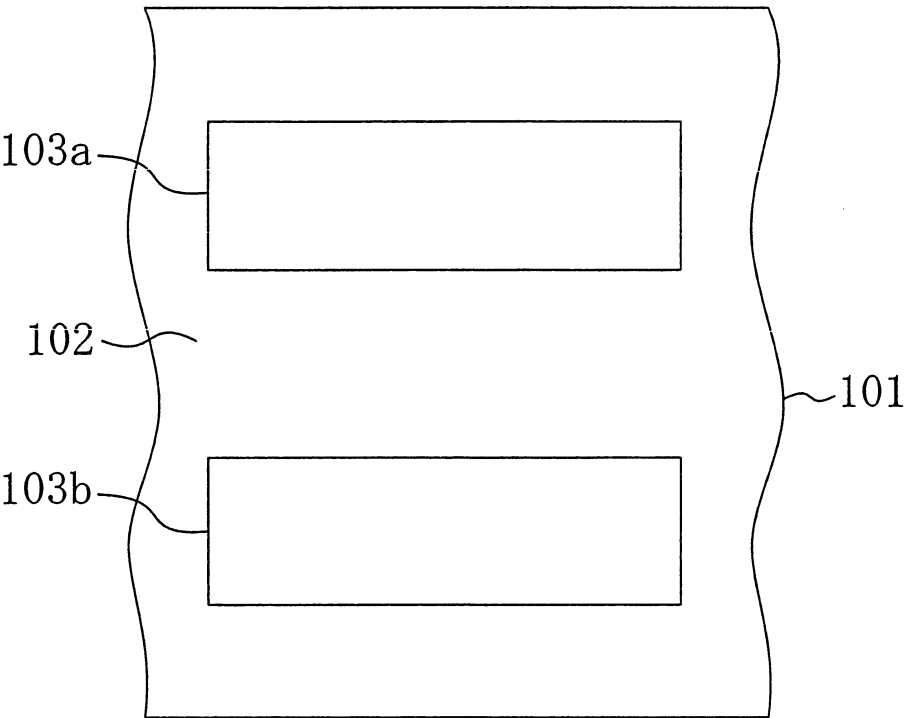


圖 13(a)

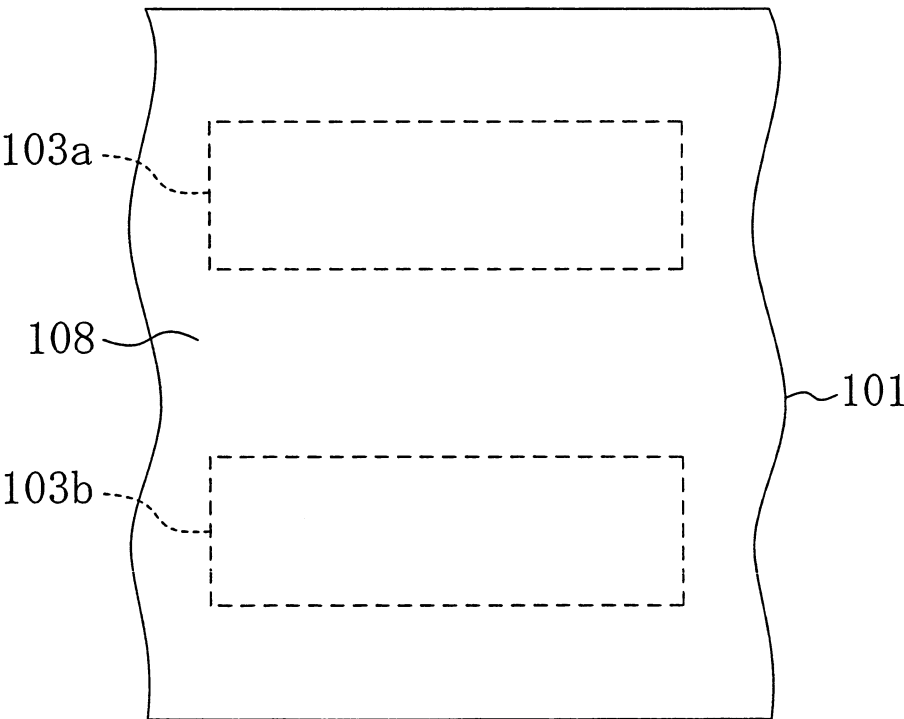


圖 13(b)

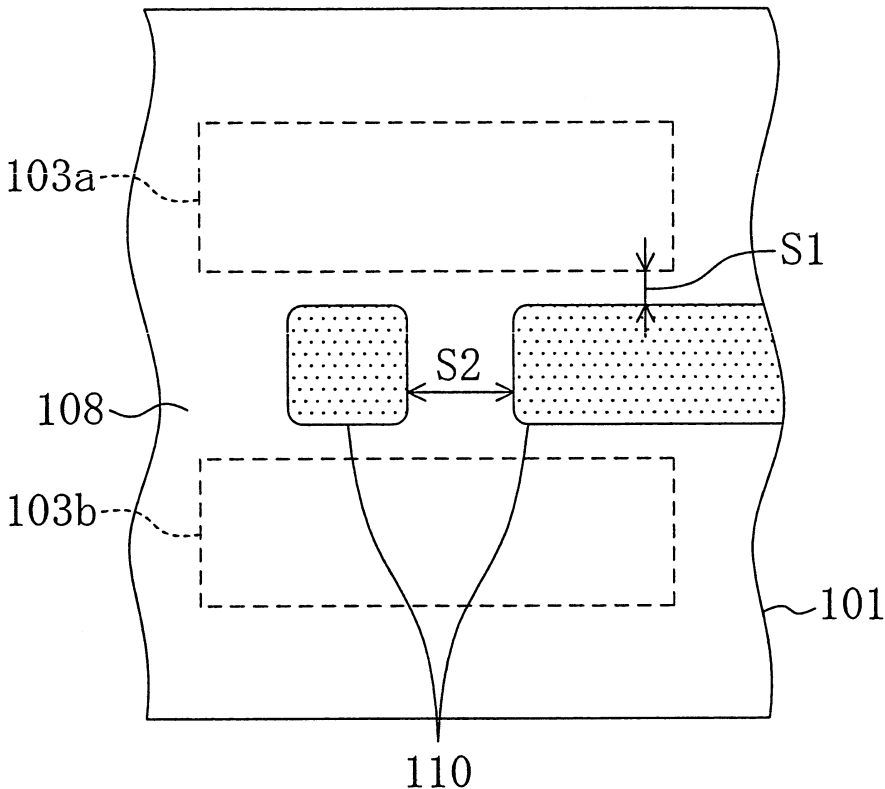


圖 14(a)

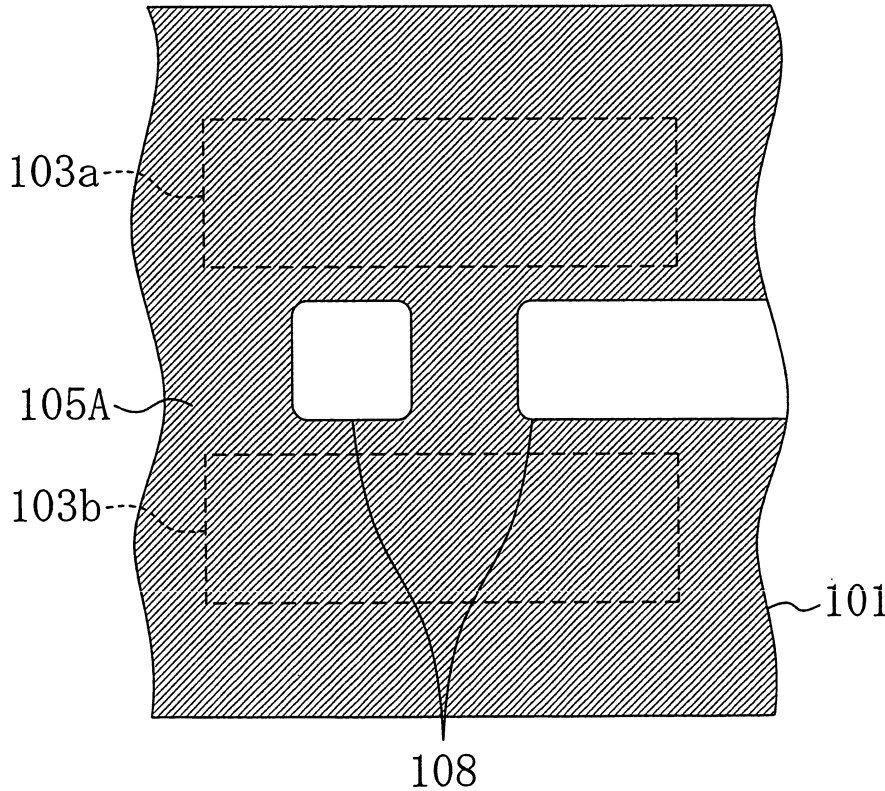


圖 14(b)

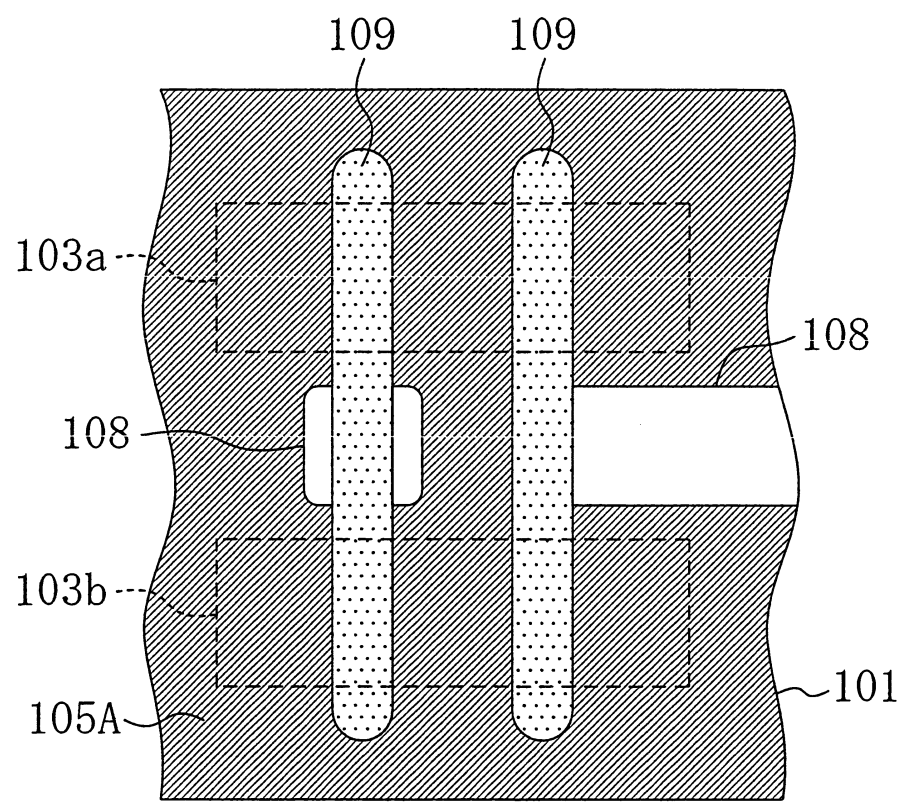


圖 15(a)

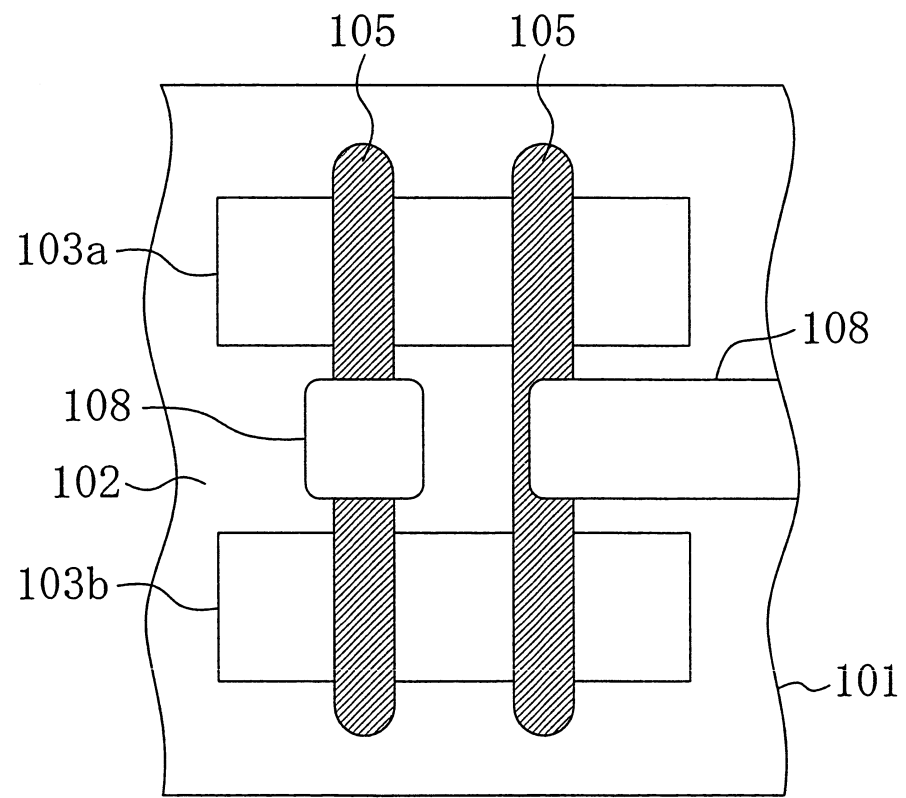


圖 15(b)

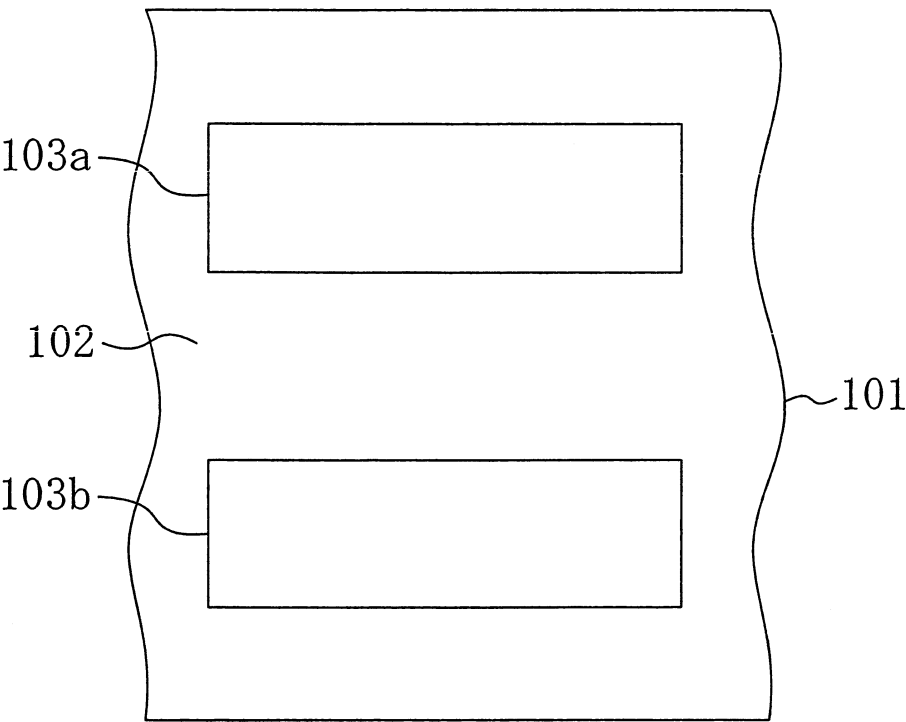


圖 16(a)

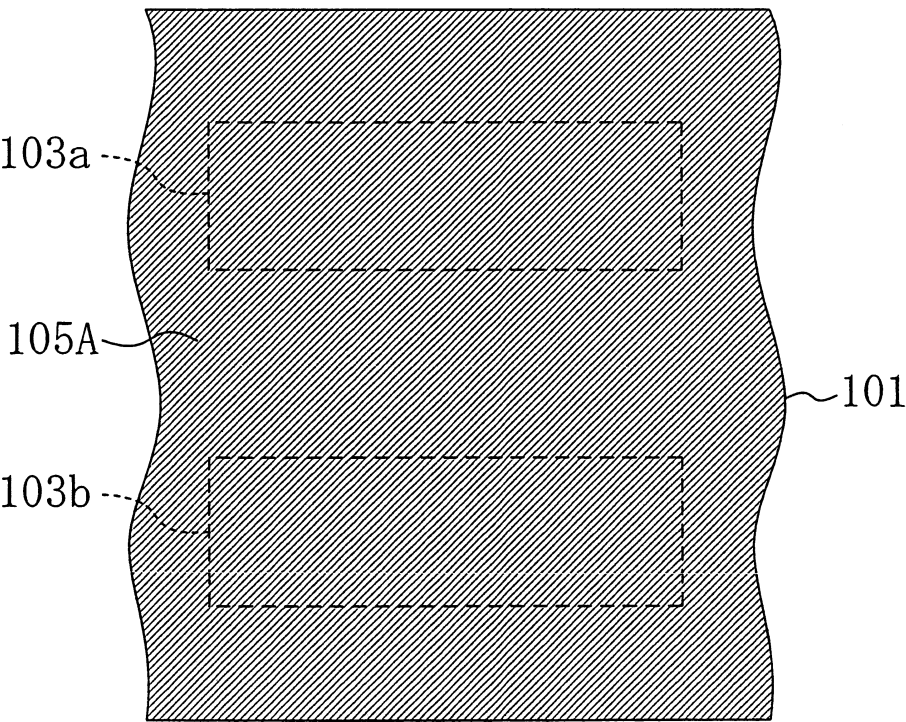


圖 16(b)

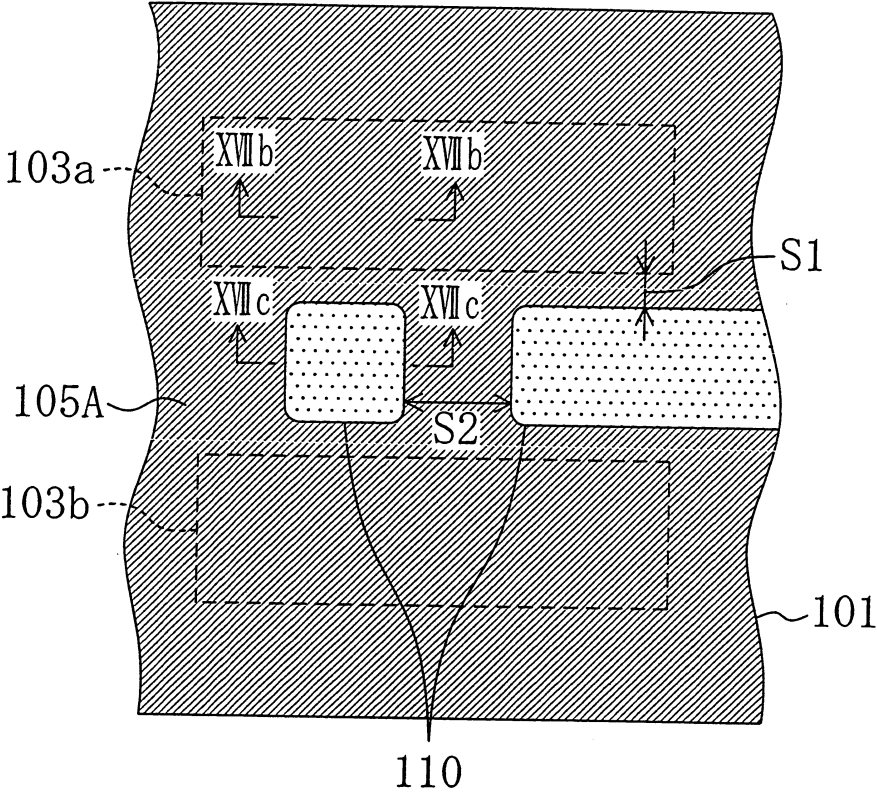


圖 17(a)

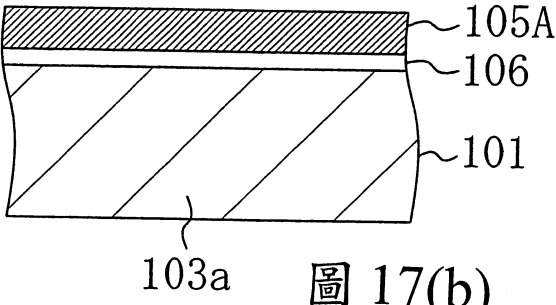


圖 17(b)

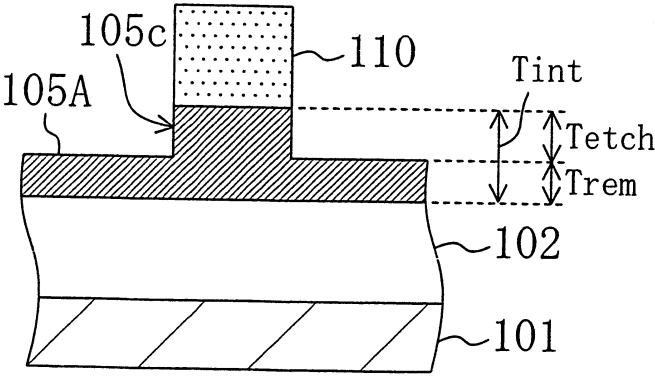


圖 17(c)

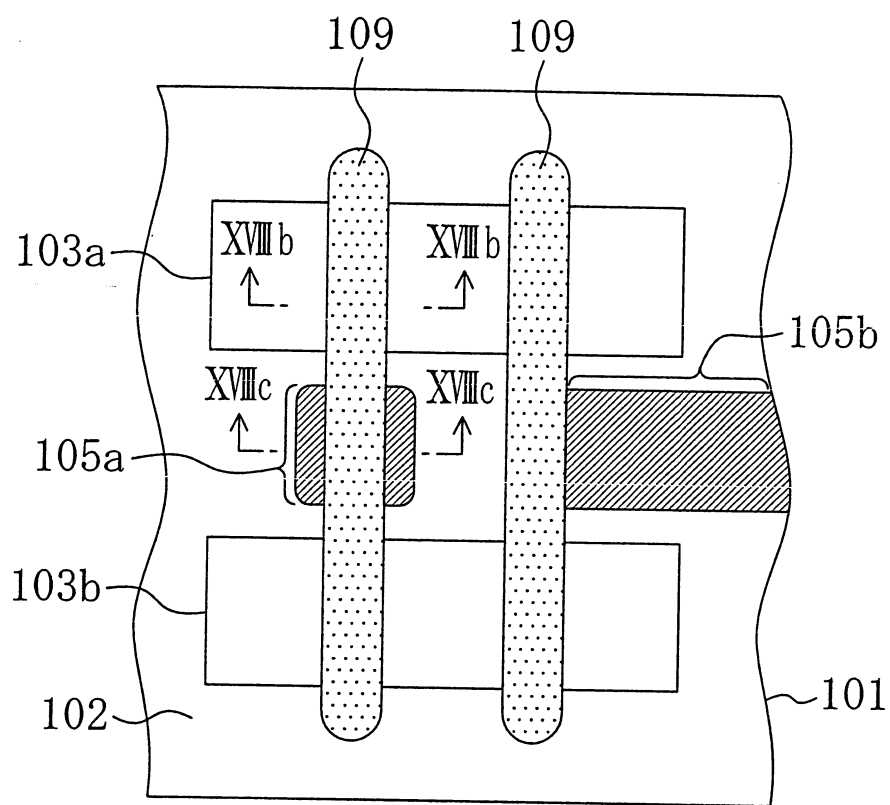


圖 18(a)

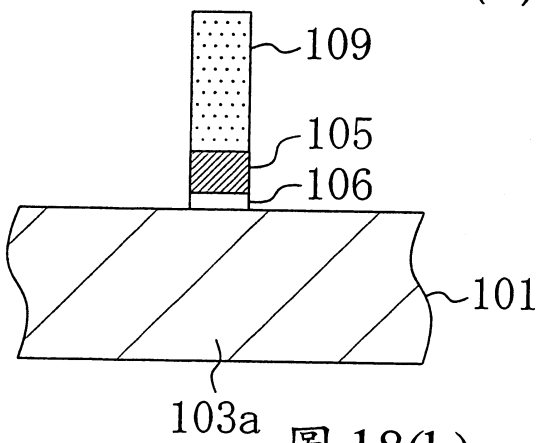


圖 18(b)

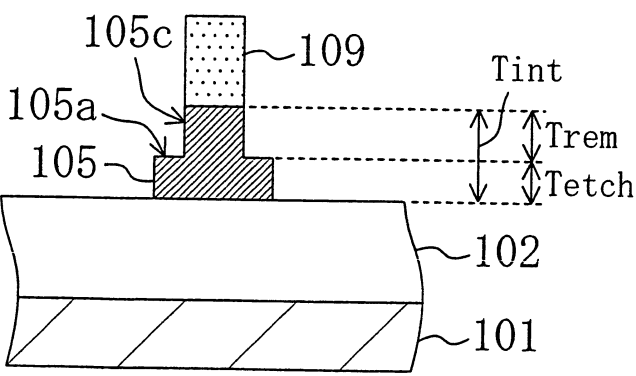


圖 18(c)

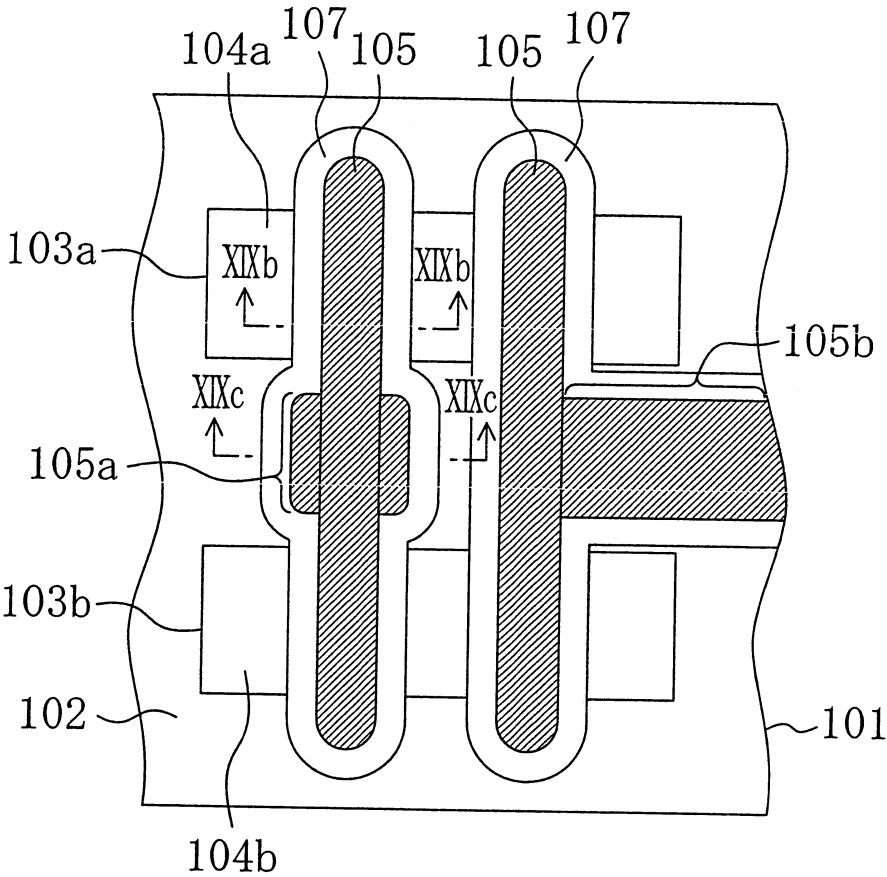


圖 19(a)

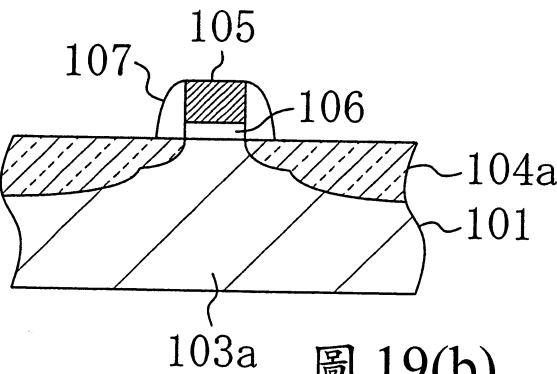


圖 19(b)

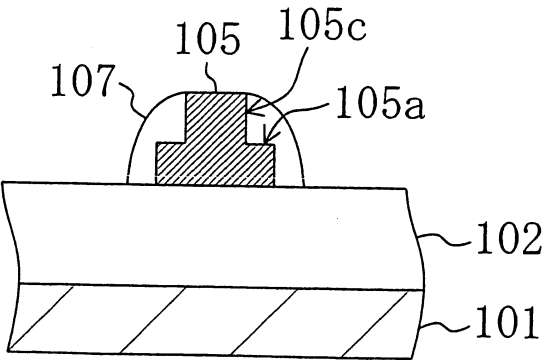


圖 19(c)

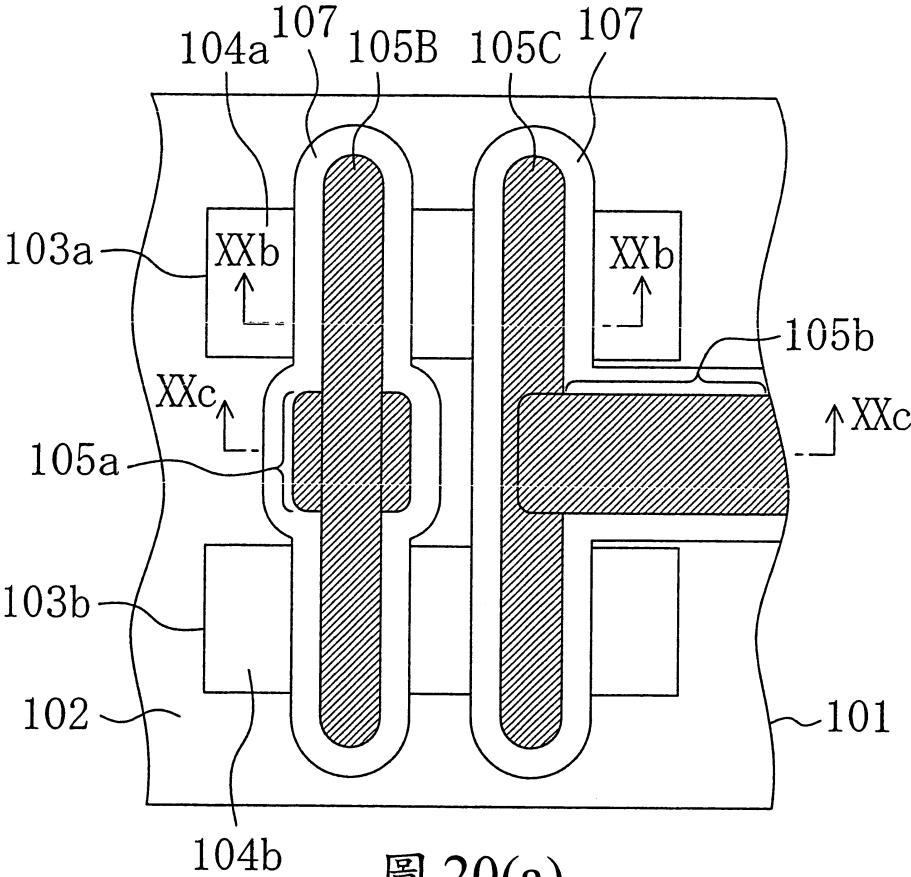


圖 20(a)

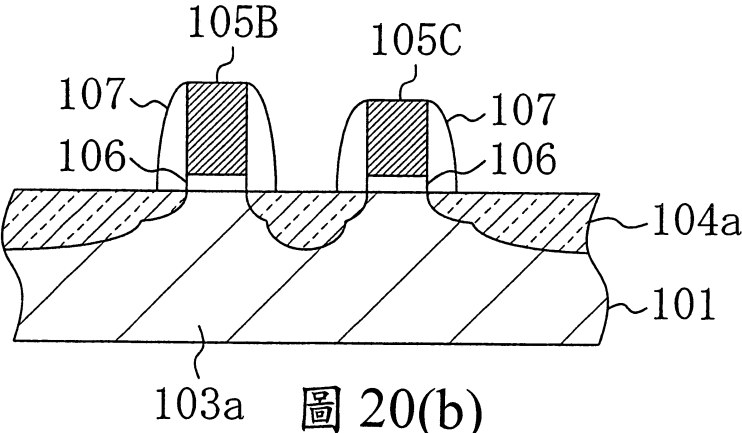


圖 20(b)

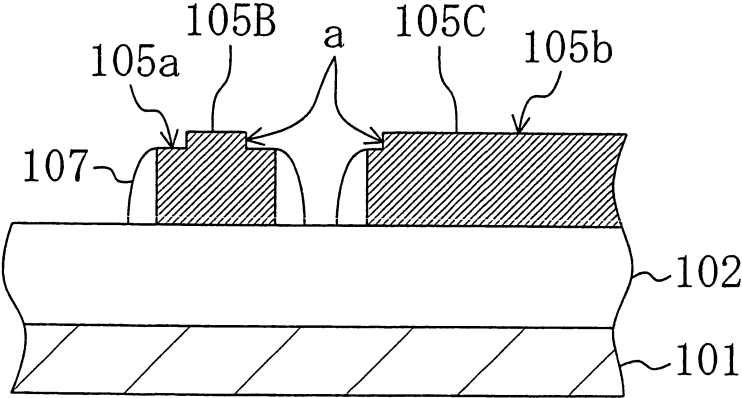


圖 20(c)

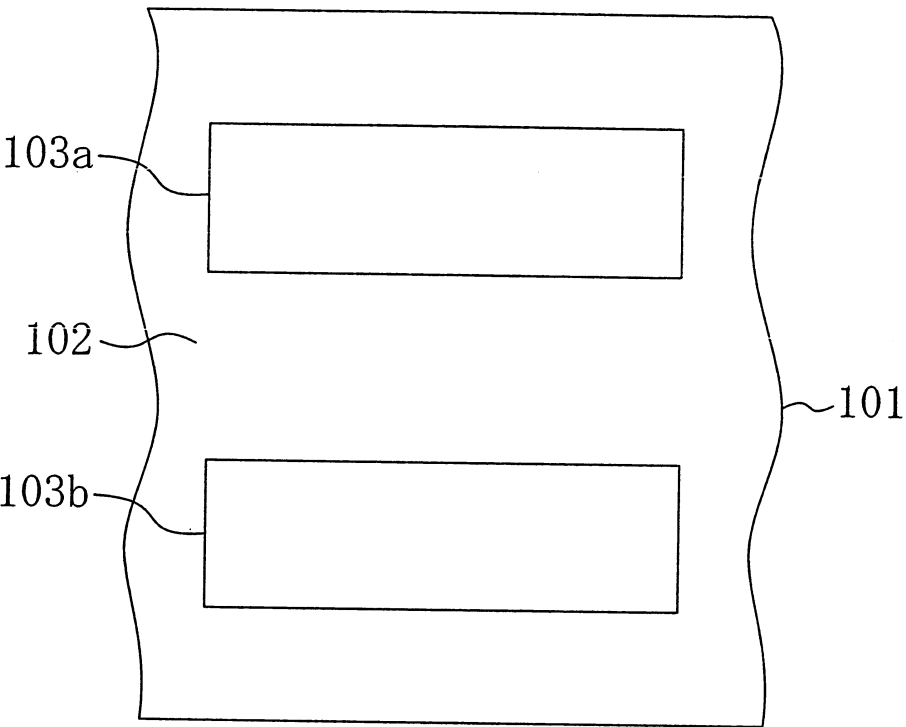


圖 21(a)

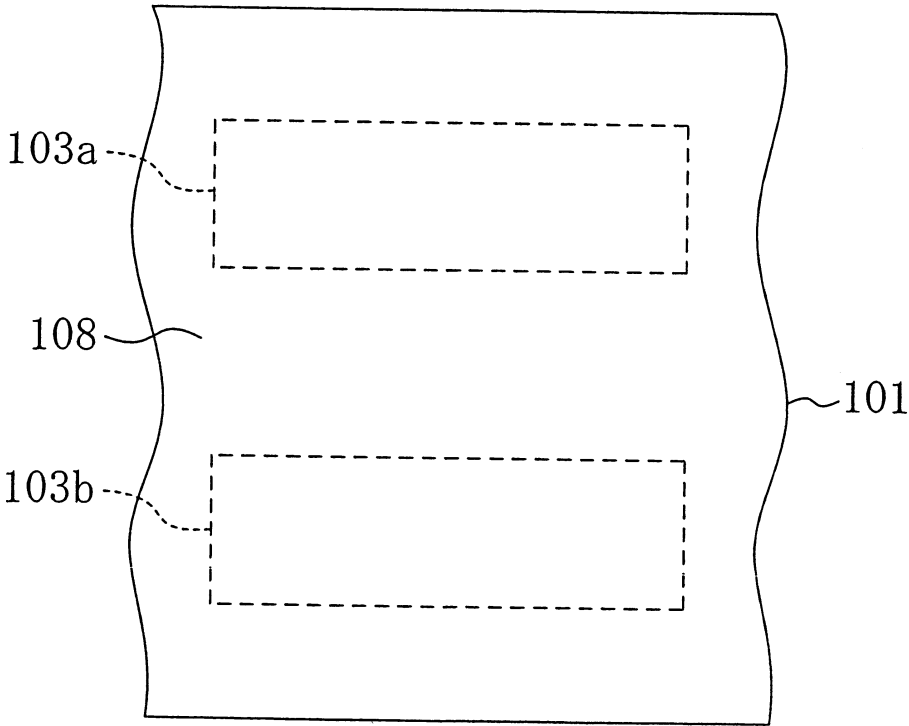


圖 21(b)

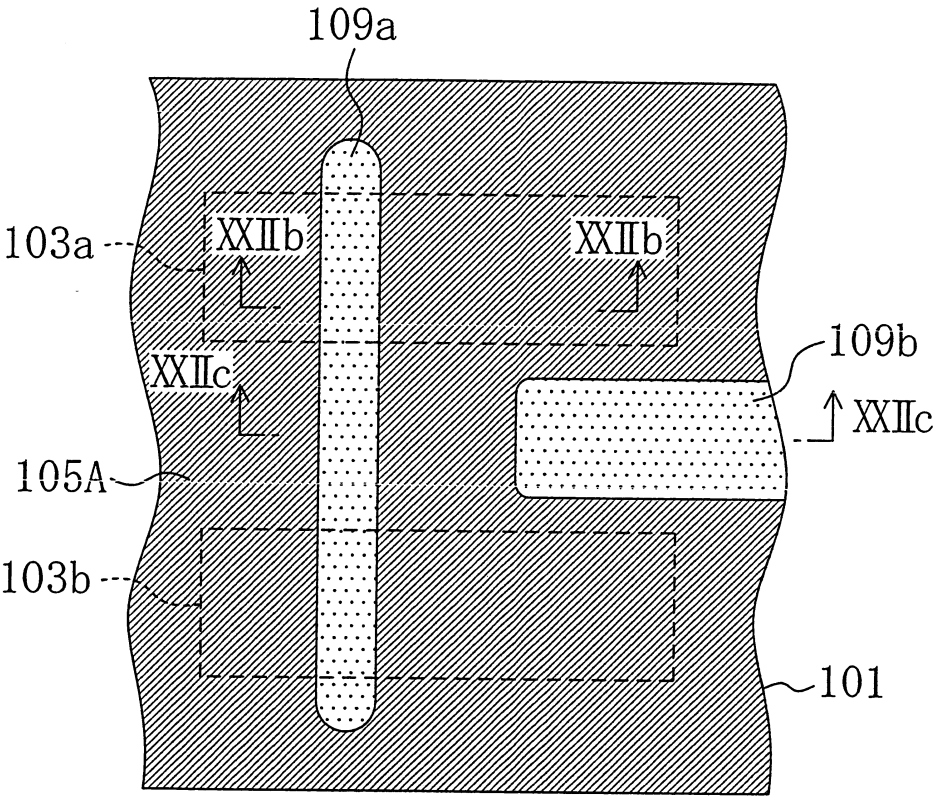


圖 22(a)

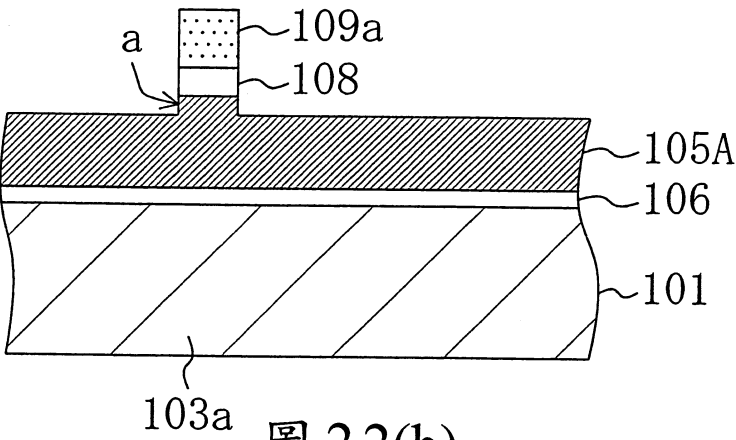


圖 22(b)

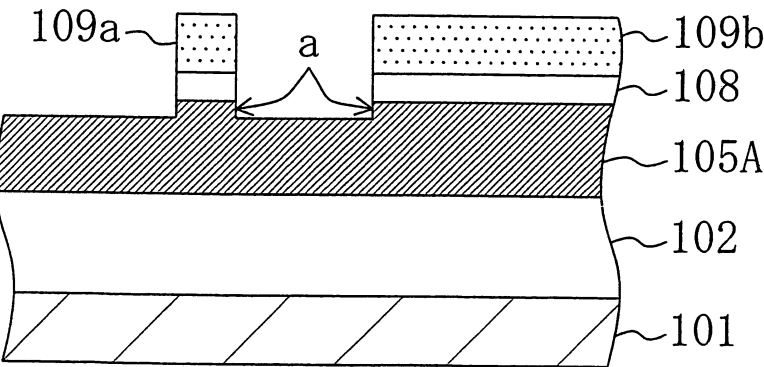


圖 22(c)

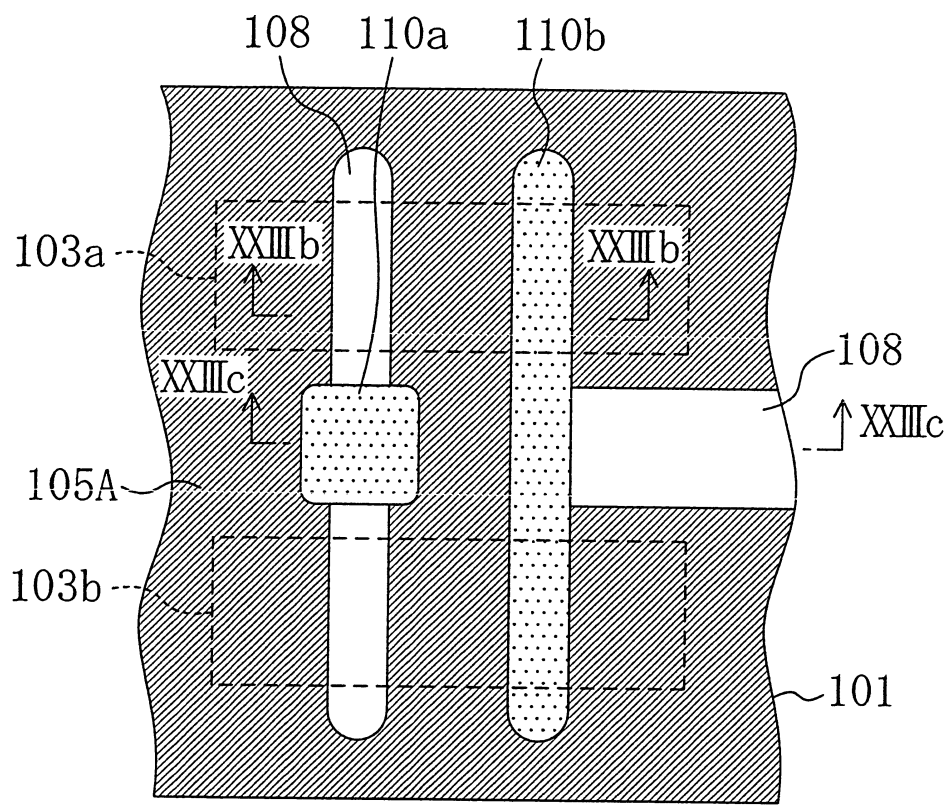


圖 23(a)

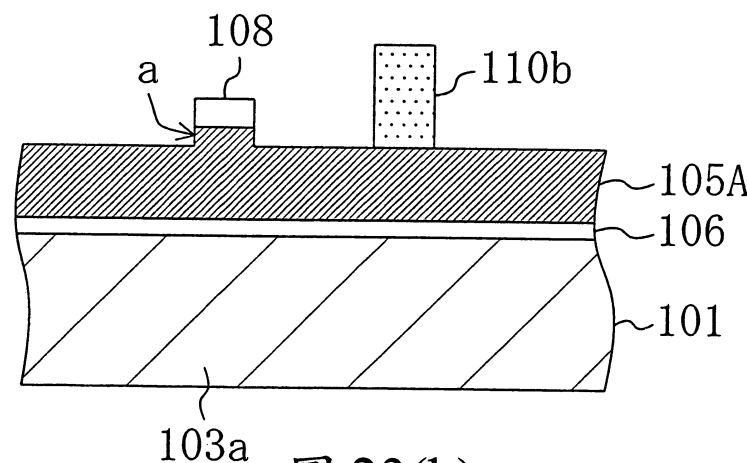


圖 23(b)

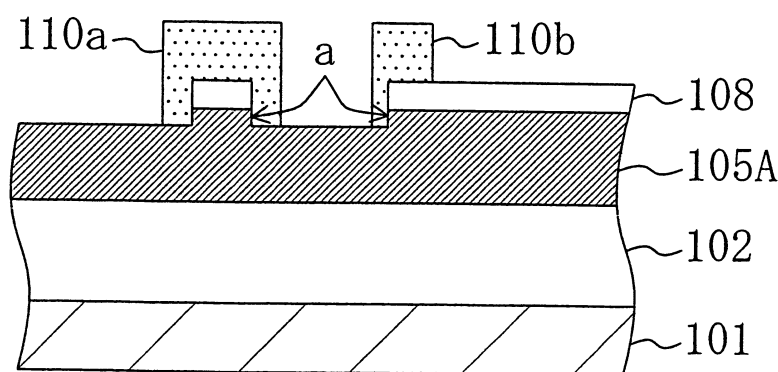


圖 23(c)

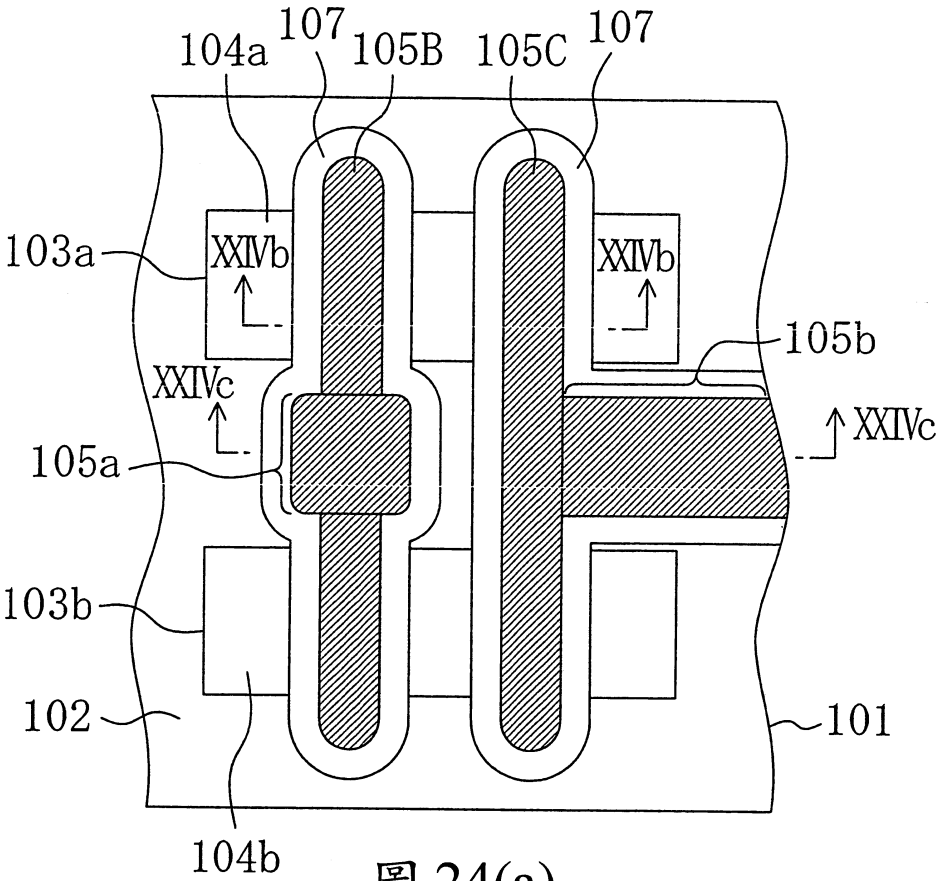


圖 24(a)

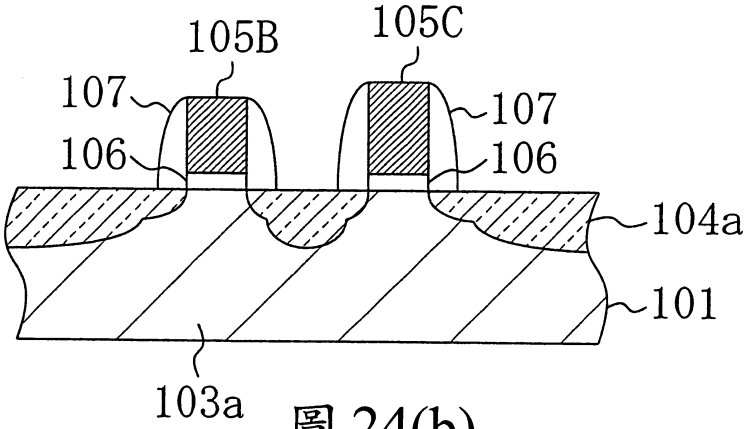


圖 24(b)

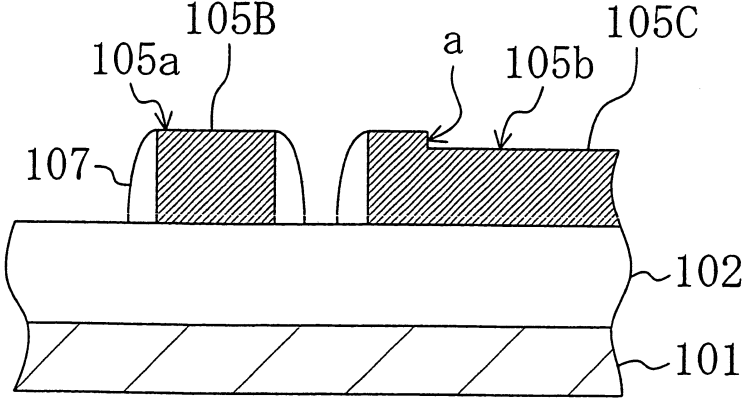


圖 24(c)

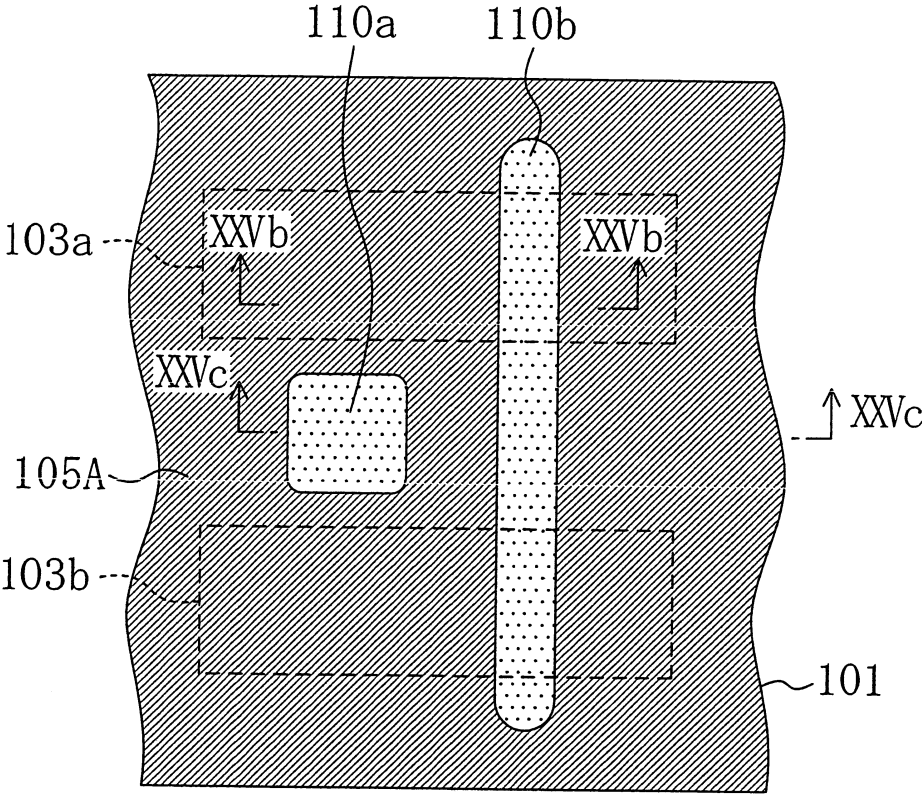


圖 25(a)

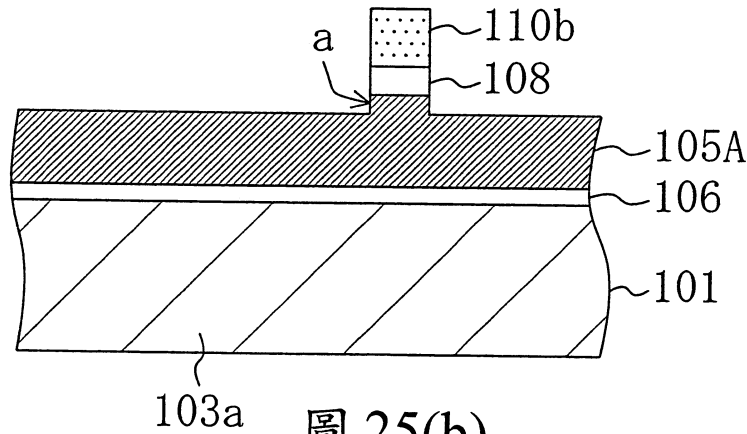


圖 25(b)

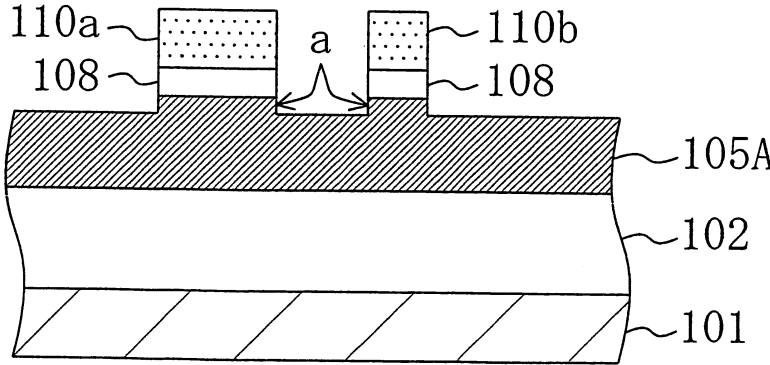


圖 25(c)

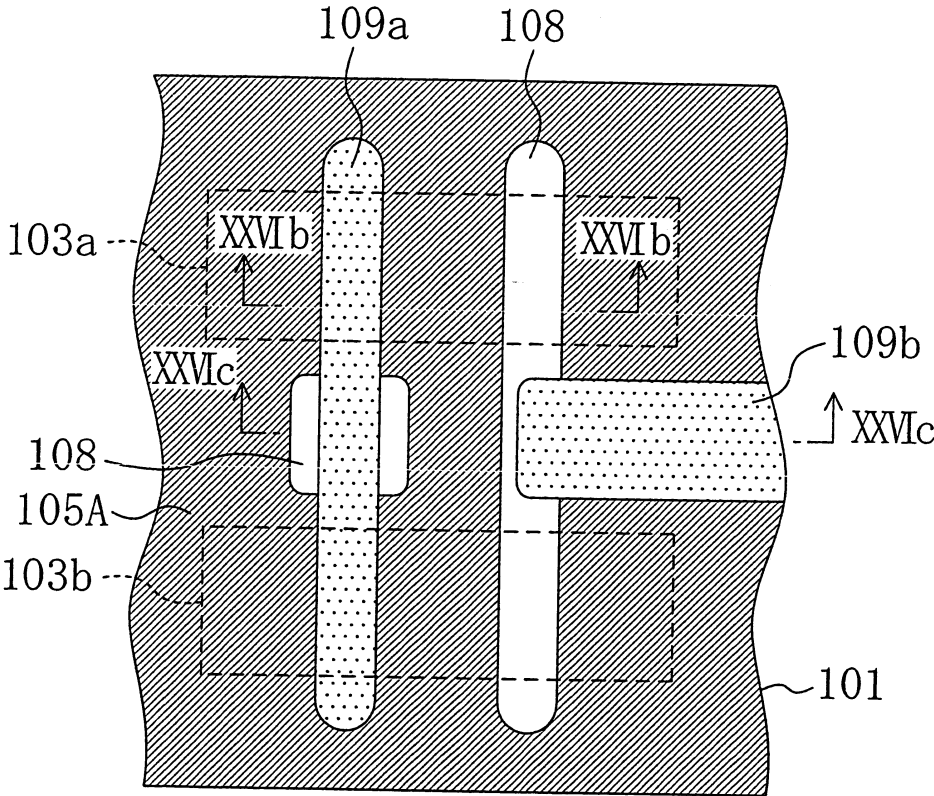


圖 26(a)

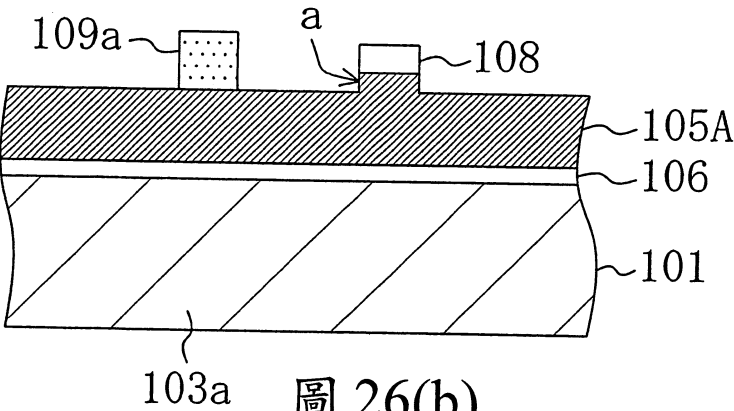


圖 26(b)

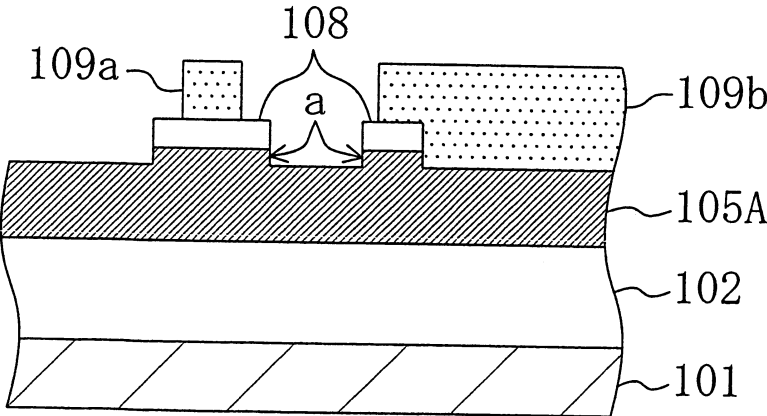


圖 26(c)

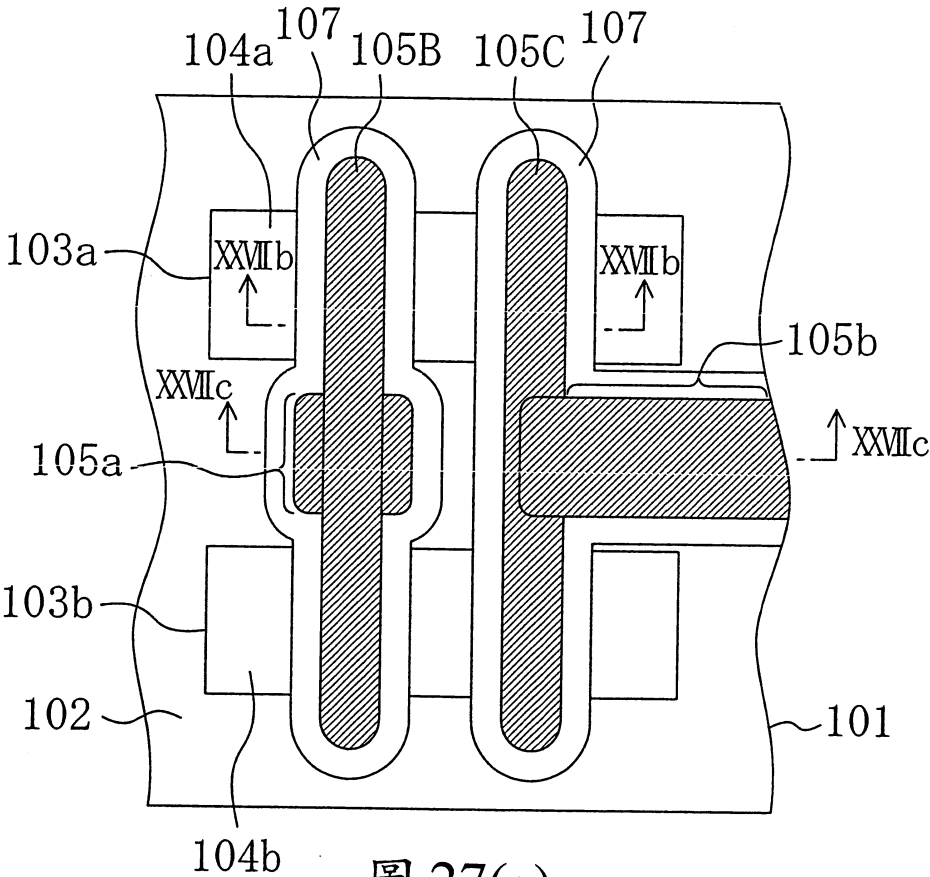


圖 27(a)

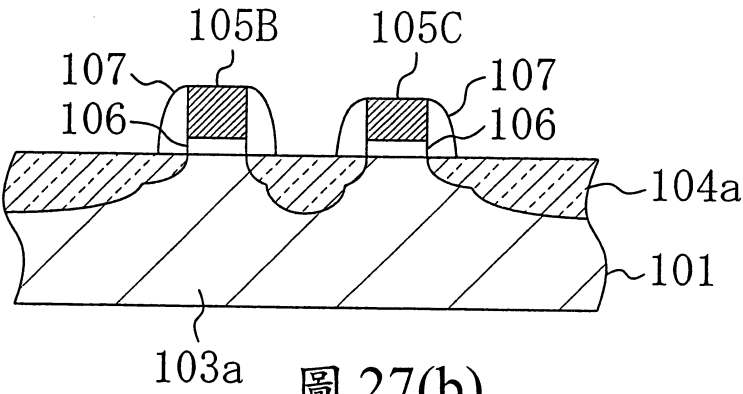


圖 27(b)

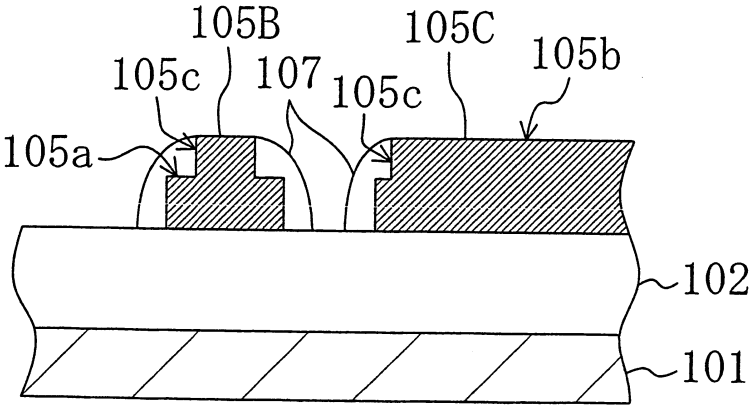


圖 27(c)

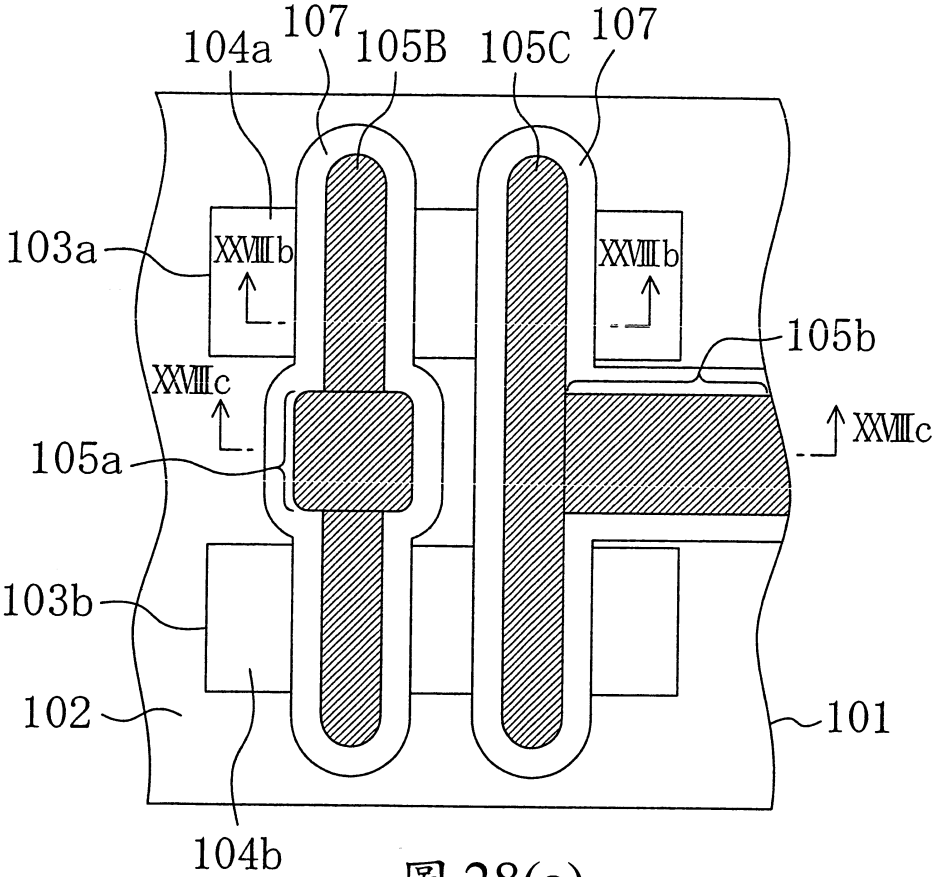


圖 28(a)

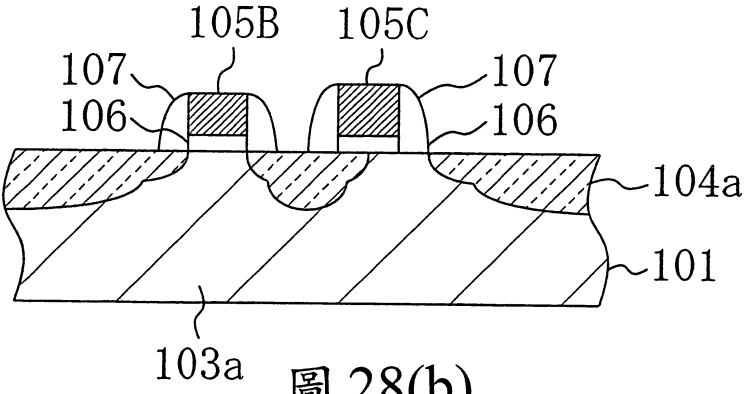


圖 28(b)

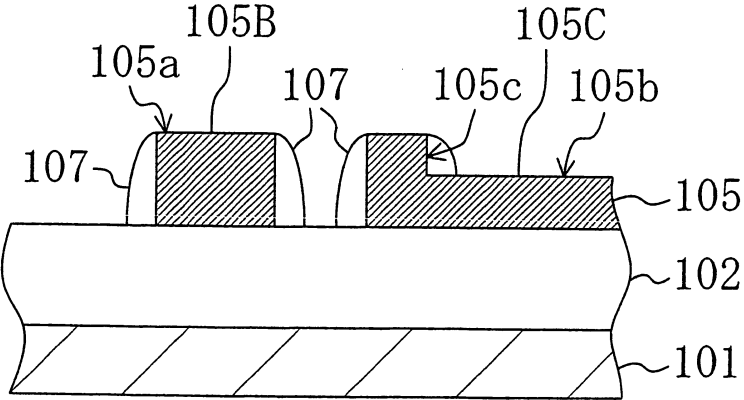


圖 28(c)

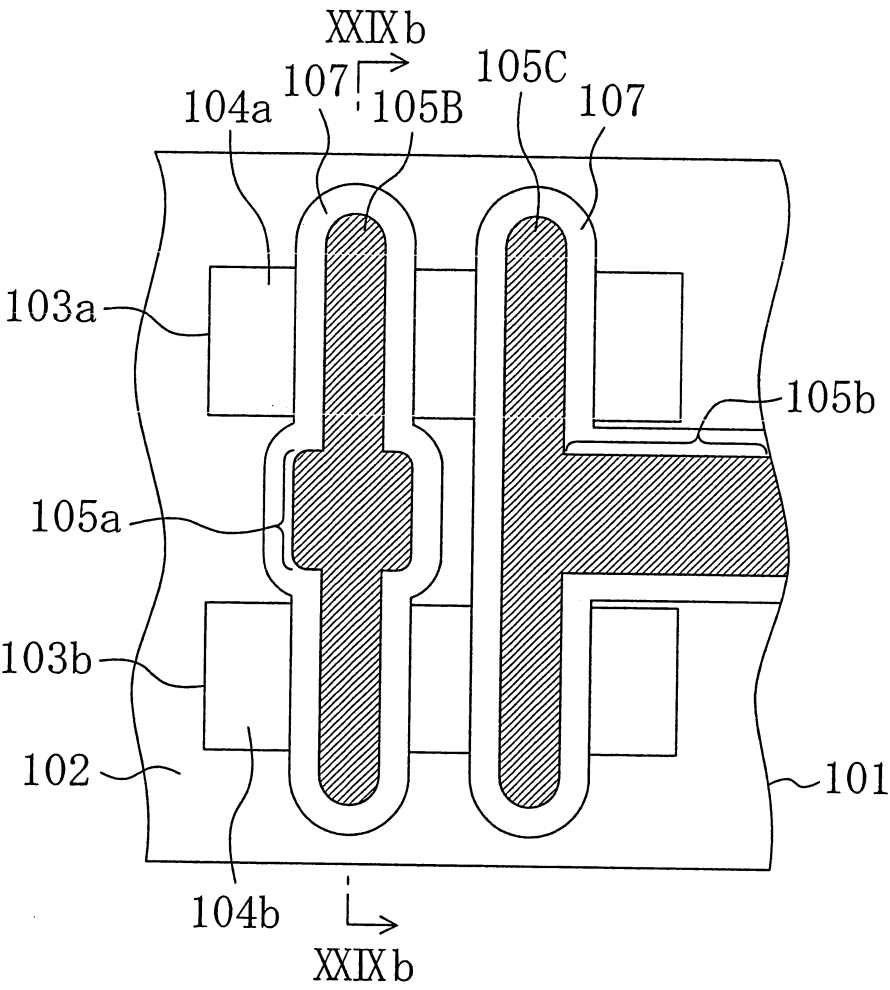


圖 29(a)

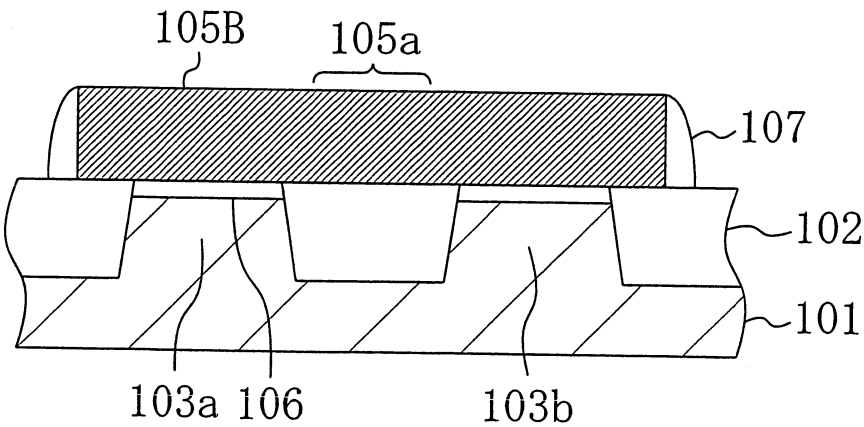


圖 29(b)

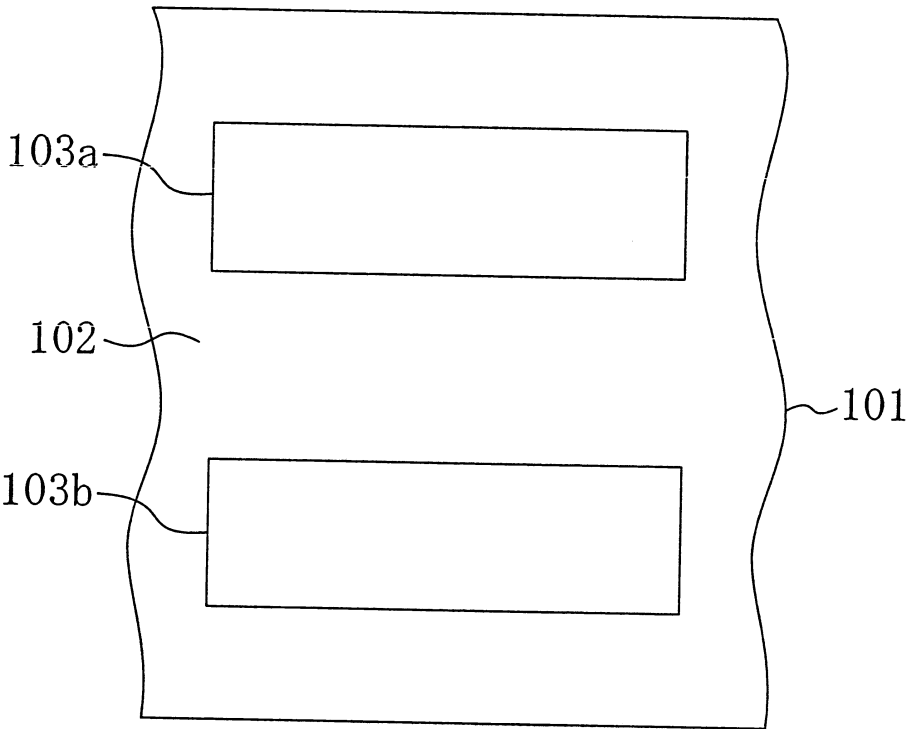


圖 30(a)

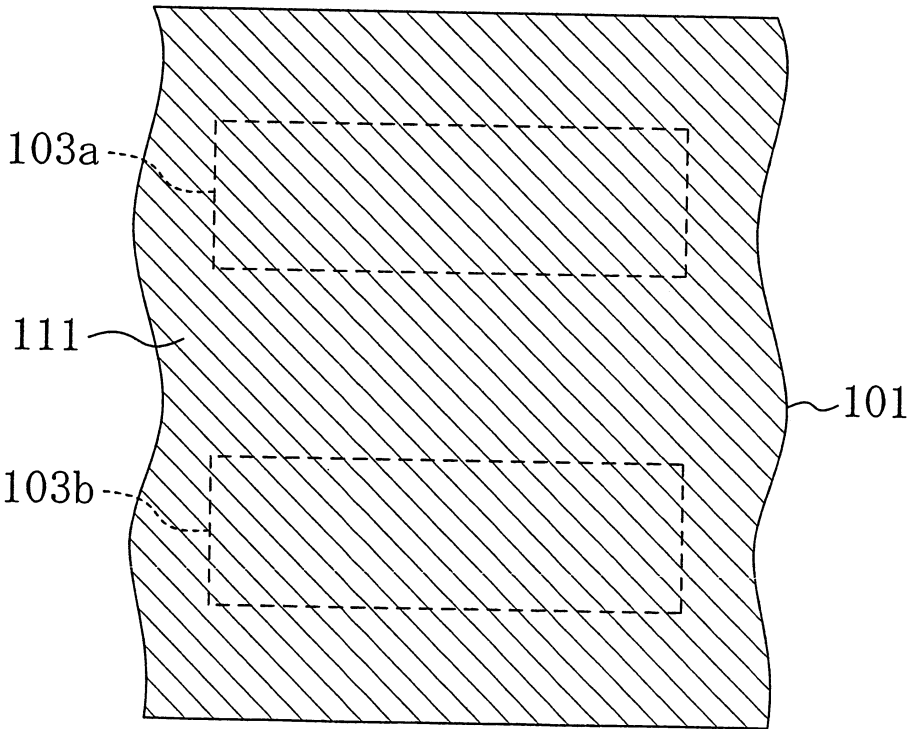


圖 30(b)

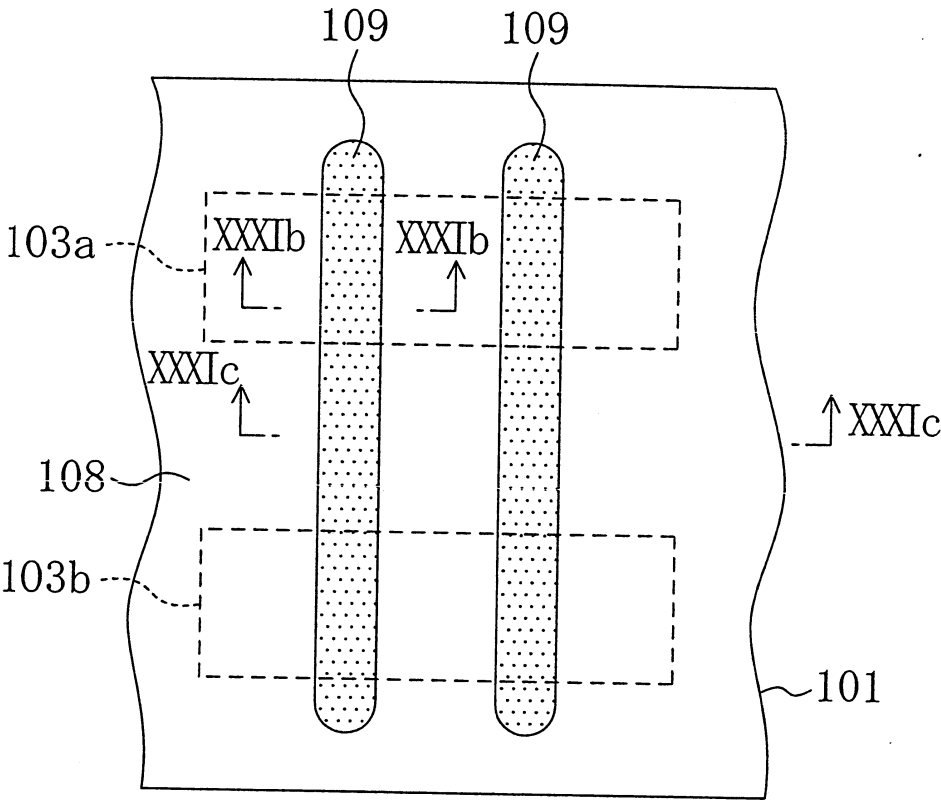


圖 31(a)

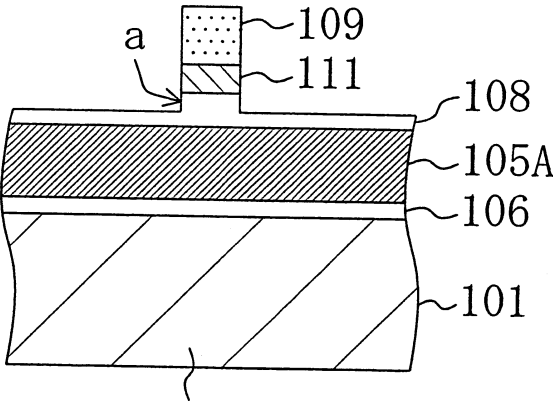


圖 31(b)

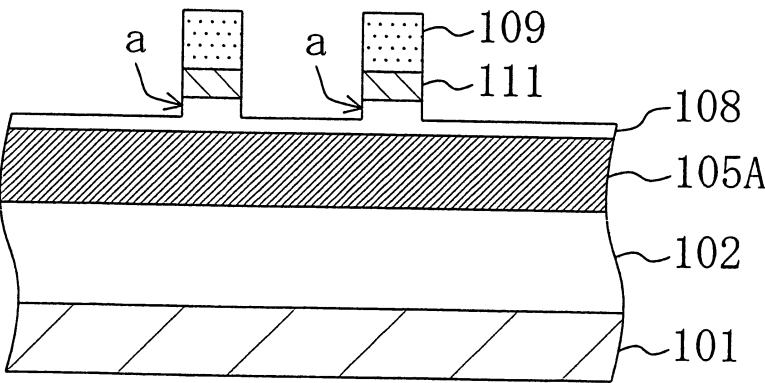


圖 31(c)

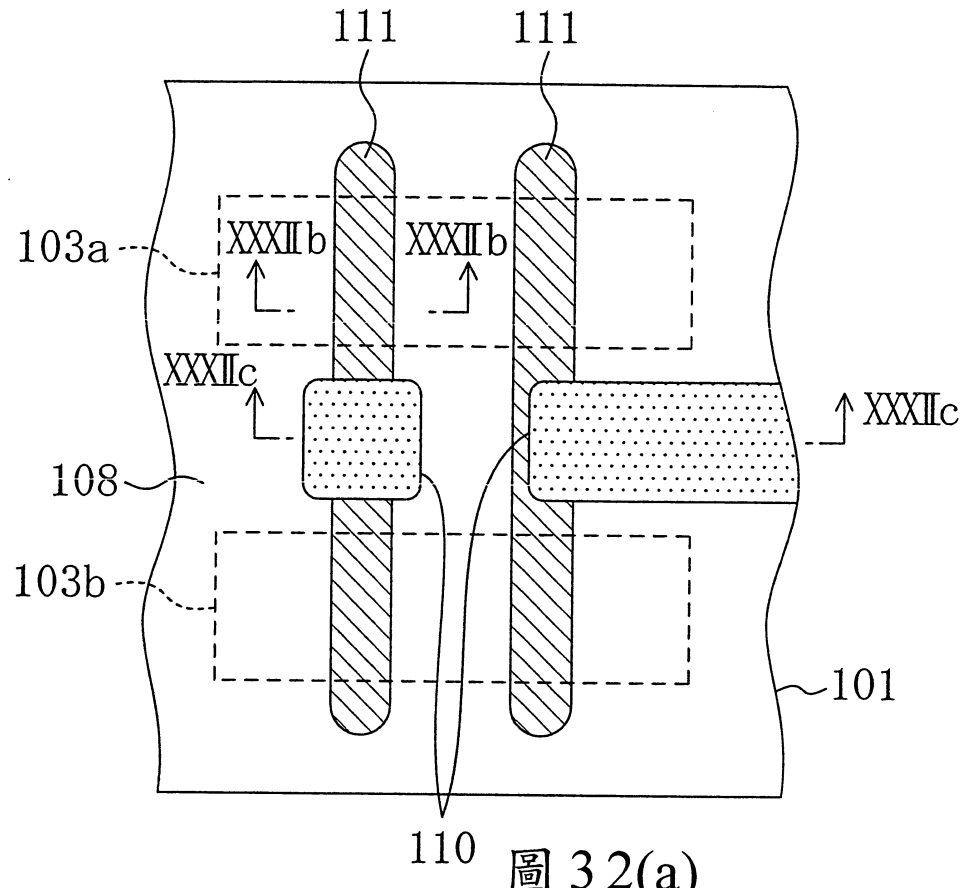


圖 32(a)

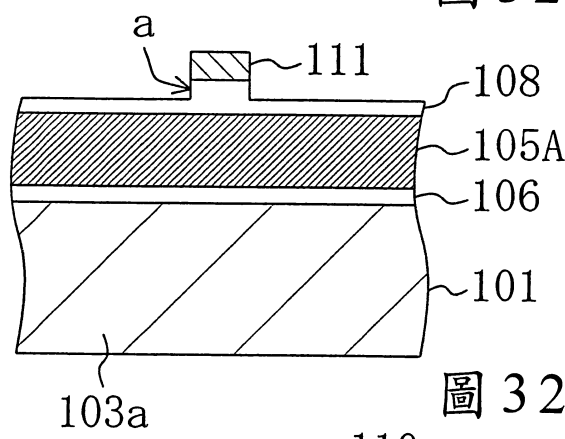


圖 32(b)

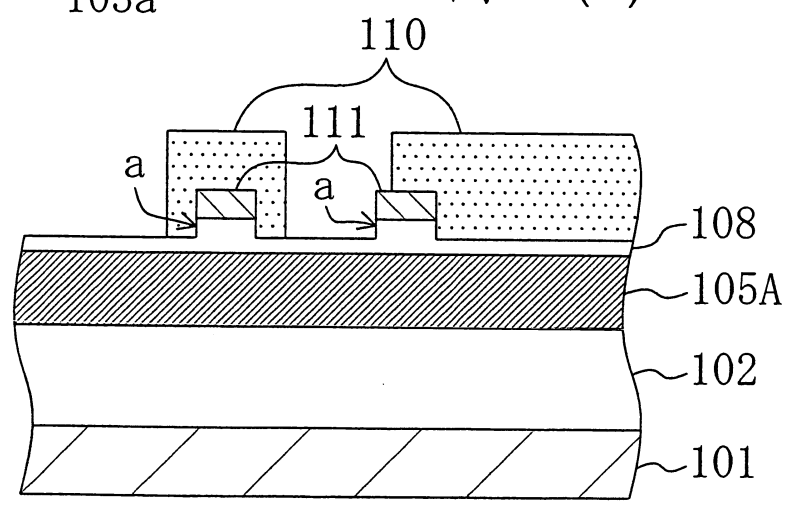


圖 32(c)

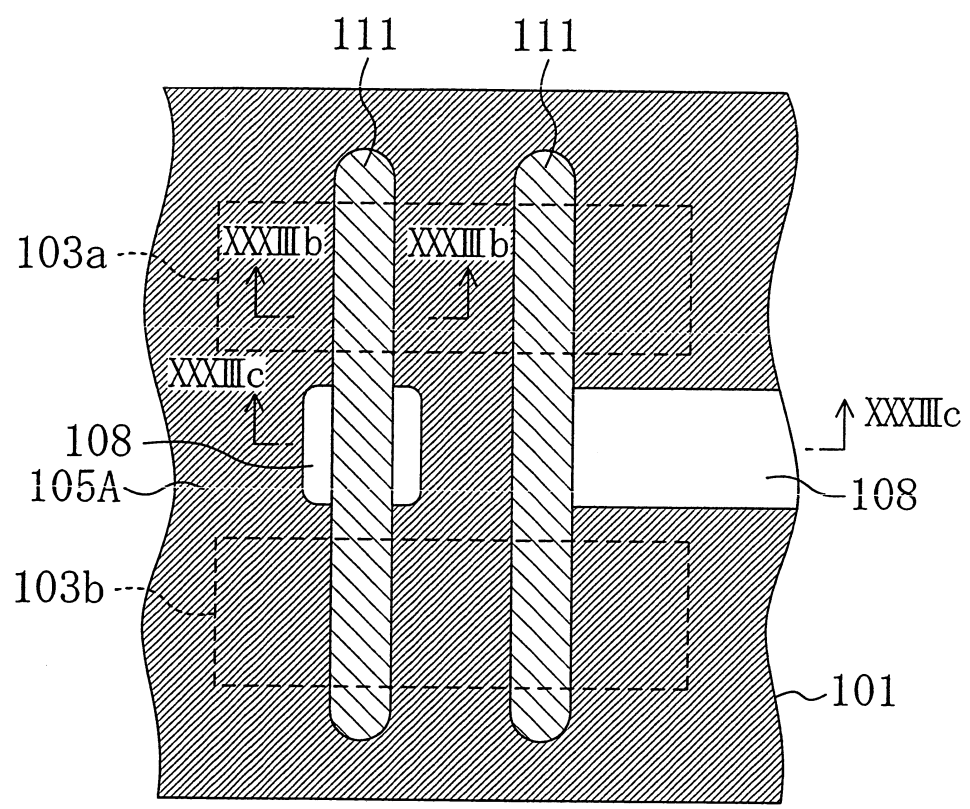


圖 33(a)

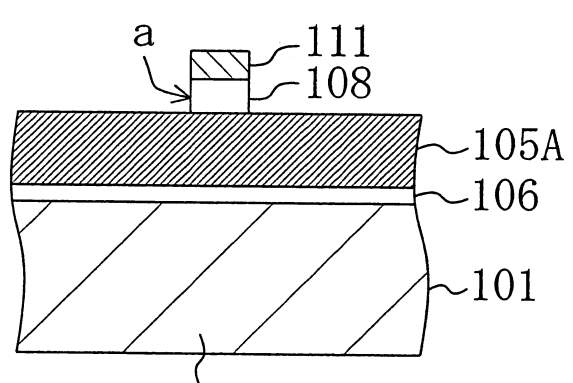


圖 33(b)

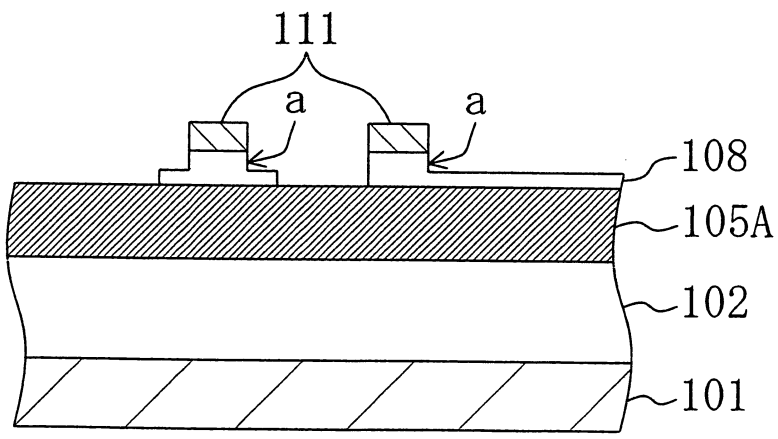


圖 33(c)

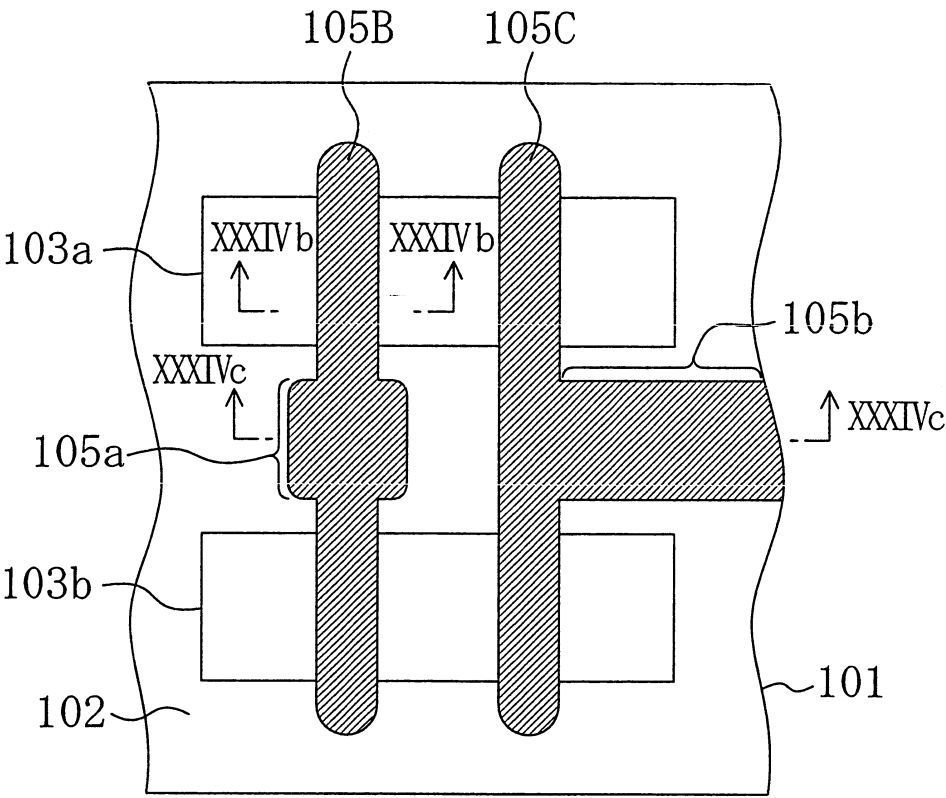


圖 34(a)

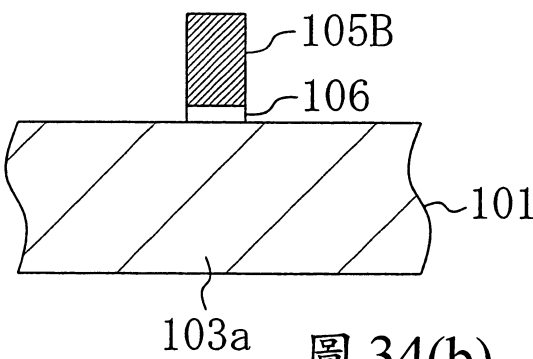


圖 34(b)

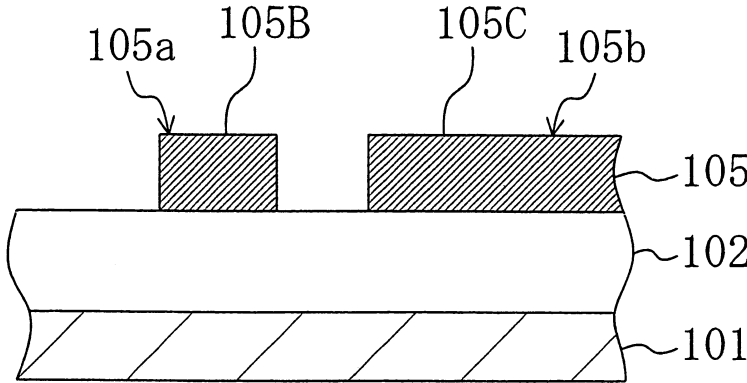


圖 34(c)

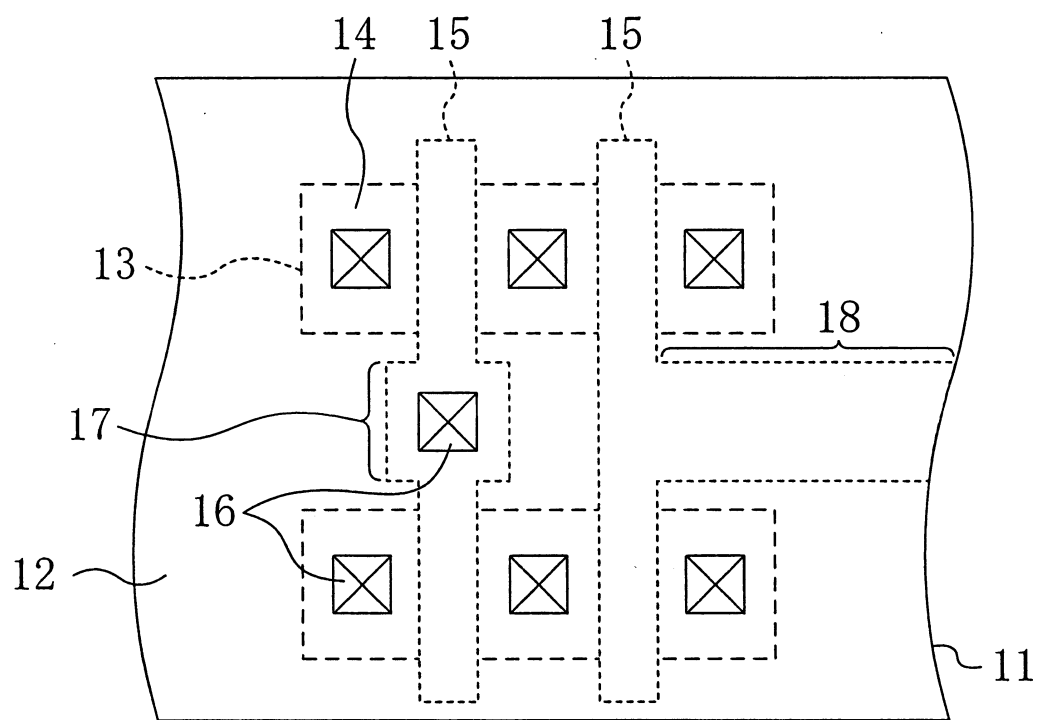


圖 35

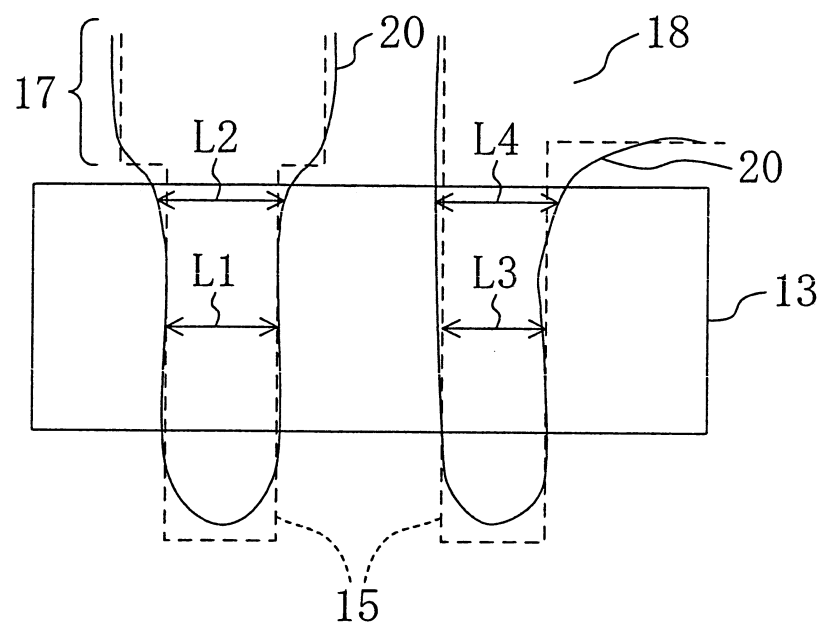


圖 36(a)

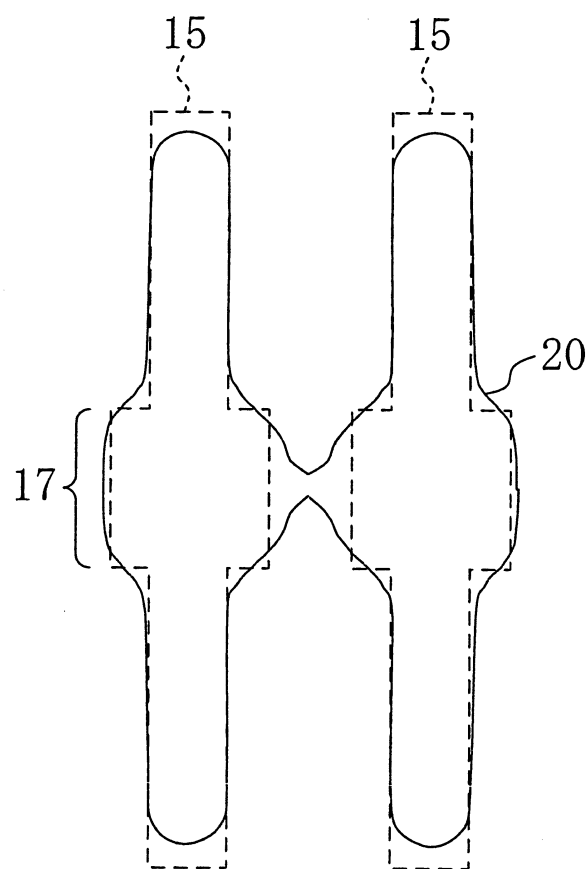


圖 36(b)

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

101	半導體基板
102	元件隔離區域
103a, 103b	工作區
104a	n型源極-汲極區域
104b	p型源極-汲極區域
105	閘極電極
105a	閘極接觸區域
105b	配線區域
106	閘極絕緣膜
107	邊牆
a	台階部

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)