

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 3 月 10 日 (10.03.2022)



(10) 国际公布号
WO 2022/048249 A1

(51) 国际专利分类号:
H01L 21/66 (2006.01)

(21) 国际申请号: PCT/CN2021/101270

(22) 国际申请日: 2021 年 6 月 21 日 (21.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010919564.0 2020 年 9 月 4 日 (04.09.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 黄晨 (HUANG, Chen); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。 蔡孟峯 (TSAL, Meng-Feng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。 舒月姣 (SHU,

Yuejiao); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构

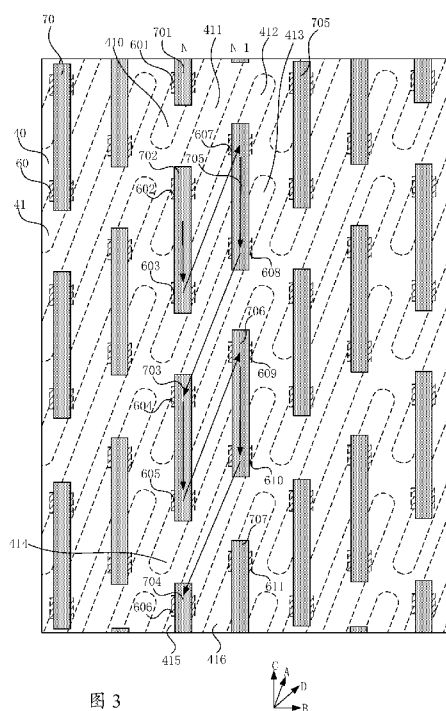


图 3

(57) Abstract: Provided is a semiconductor structure. The semiconductor structure has a test zone. In the test zone, the semiconductor structure comprises: a semiconductor substrate, which has a plurality of independently arranged active regions, wherein the active regions extend in a first direction; a plurality of bit-line contact structures, which are arranged on the semiconductor substrate, wherein in the first direction, each active region is electrically connected to two bit-line contact structures; and a plurality of wire groups, which are arranged in a second direction, wherein each wire group comprises a plurality of wires, the wires extend in a third direction, and in the third direction, each wire is connected to two bit-line contact structures in adjacent active regions, such that the wire groups are matched in pairs so as to form a conductive path. In the present application, adjacent wire groups, bit-line contact structures and active regions form a conductive path, and resistors thereof are connected in series; and as the number of resistors connected in series increases, the total resistance of the conductive path becomes larger, and the impact of external interference on a measurement result becomes smaller, which reduces the test error of the semiconductor structure and improves the test accuracy of the semiconductor structure.

NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：本申请提供一种半导体结构，其具有测试区域，在测试区域，半导体结构包括：半导体衬底，半导体衬底具有多个独立设置的有源区，有源区沿第一方向延伸；多个位线接触结构，设置在半导体衬底上，在第一方向上，每一有源区与两个位线接触结构电连接；多个导线组，沿第二方向排布，每一导线组包括多个导线，导线沿第三方向延伸，在第三方向上，每一导线连接相邻的有源区上的两个位线接触结构，以使得导线组两两匹配，形成导电通路。本申请相邻的导线组与位线接触结构及有源区形成导电通路，其电阻串联，随着串联电阻数量越来越多，导电通路总电阻越来越大，外界干扰对测量结果的影响越来越小，降低了半导体结构测试误差，提高了半导体结构测试准确度。

半导体结构

相关申请的交叉引用

本申请基于申请号为 202010919564.0、申请日为 2020 年 09 月 04 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本申请涉及半导体领域，尤其涉及一种半导体结构。

背景技术

半导体制造工艺分为前段器件工艺和后段金属互联工艺，后段金属互联工艺中的后段金属互联层的作用是将前段器件工艺中的前段器件引出以便进行测试或者工作。在半导体制造过程中，后段金属互联线经常会出现短路失效或者开路失效，这主要是源自于设计问题和工艺问题。为了评估设计结构和监控线上工艺稳定度，将复杂的产品结构单独提取出来或者以此结构为单元重组成重复的、大面积的、便于测试的结构，通过对这些测试结构进行电性测试以得到大量相应的电性参数，对这些电性参数进行分析以提前发现问题并解决问题，这种结构被称为测试键(Test-key)。测试键几乎遍及制造工艺中的所有层次，且其具有易于测试和易于失效分析等特点。

在半导体结构中，连接位线与有源区的位线接触结构(BLC)的接触电阻是影响半导体结构性能的一个重要因素，因此，通常会通过测试键测试位线接触结构(BLC)的接触电阻。但是，测试键在测试位线接触结构的接触电阻时存在较大误差，不能满足需求。

发明内容

本申请提供了一种半导体结构，其能够减小测量误差，提高测试准确度。

本申请提供了一种半导体结构，具有测试区域，在所述测试区域，所述半导体结构包括：

半导体衬底，所述半导体衬底具有多个独立设置的有源区，所述有源区沿第一方向延伸；

多个位线接触结构，设置在所述半导体衬底上，在第一方向上，每一有源区与两个位线接触结构电连接；

多个导线组，沿第二方向排布，每一导线组包括多个导线，所述导线沿第三方向延伸，在第三方向上，每一导线连接相邻的有源区上的两个位线接触结构，以使得导线组两两匹配，形成导电通路。

上述方案中，同一导线组的导线或者不同导线组的导线长度相等。

上述方案中，在同一导线组中，所述导线等间距设置。

上述方案中，不同导线组的导线沿第四方向错位设置。

上述方案中，每一导线组的多个导线由一整根导线沿第四方向按设定距离切割而成，所述导线的端部沿第四方向倾斜。

上述方案中，所述第四方向与所述第二方向的夹角为预设值，所述预设值根据所述位线接触结构的排布而设置，以避免在切割时破坏位线接触结构。

上述方案中，所述预设值为 30~50 度。

上述方案中，所述第二方向与所述第三方向的夹角为 90 度。

上述方案中，所述位线接触结构形成多个位线接触结构组，所述位线接触结构组沿第二方向排布。

上述方案中，每一所述位线接触结构组内的位线接触结构沿第三方向排布。

上述方案中，所述半导体结构还包括阵列区，位于所述测试区的有源区的长度大于位于所述阵列区的有源区的长度。

本申请的优点在于，相邻的导线组与其对应的位线接触结构及有源区形成一个导电通路，其形成的电阻串联，随着串联的电阻数量越来越多，该导电通路的总电阻会越来越大，则外界的干扰对测量结果的影响会越来越小，降低了半导体结构测试的误差，提高了半导体结构测试的准确度。

附图说明

图 1 为相关技术中用于测试位线接触结构的接触电阻的测试键结构俯视图；

图 2 是图 1 所示测试键结构中箭头经过区域的等效电路；

图 3 是本申请实施例提供的示例性的半导体结构的第一实施例的俯视图示意；

图 4 是本申请导线与位线接触结构及有源区连接关系示意图；

图 5 是本申请所示半导体结构中箭头所经过区域的等效电路图；

图 6 是本申请半导体结构的第二实施例的俯视图示意。

具体实施方式

下面结合附图对本申请提供的半导体结构的具体实施方式做详细说明。

图 1 为相关技术中用于测试位线接触结构的接触电阻的测试键结构俯视图，请参阅图 1，在有源区 10 的延伸方向上，即第一方向 A 上，每一有源区 10 与两个位线接触结构 11 电连接，在第三方向 C 上，导线 12 将位于该方向上的所有位线接触结构电连接延伸。

当需要进行测试时，对相邻的导线施加电压，以使得同一有源区 10 上的两个位线接触结构 11 形成一个导电通路，进而可测量位线接触结构 11 的电

阻。例如，在需要进行测试时，对相邻的第 N 个导线及第 N+1 个导线施加电压，第 N 个导线作为正极，第 N+1 个导线作为负极，第 N 个导线与同一个有源区 10 电连接的位线接触结构 111 及 112、第 N+1 个导线形成一个导电通路（如图 1 中箭头所示），其电阻为 R1；第 N 个导线、与同一个有源区 10 电连接的位线接触结构 113 及 114、第 N+1 个导线形成另一个导电通路（如图 1 中箭头所示），其电阻为 R2；依此类推，形成多个导电通路，其电阻分别为 R1、R2、R3 及 R4。这些导电通路为并联关系，其形成的等效电路如图 2 所示，在第 N 个导线及第 N+1 个导线上施加电压，能够获得这些导电通路的电阻，即能够测量所述位线接触结构的电阻。

但是，随着并联的导电通路数目的增加，测量误差较大，不能满足需求。造成该种现象的原因在于，随着并联的导电通路数目的增加，并联后的总电阻的数值越来越小，外界微小的干扰都会影响测量结果，造成较大的测量误差。

因此，本申请提供了一种半导体结构，其能够减小测量误差，提高测试准确度。

图 3 是本申请半导体结构的第一实施例的俯视结构示意图，请参阅图 3，所述半导体结构包括半导体衬底 40、多个位线接触结构 60 及多个导线组。

所述半导体衬底 40 可以是以下所提到的材料中的至少一种：Si、Ge、SiGe、SiC、SiGeC、InAs、GaAs、InP 或者其它 III/V 化合物半导体，还包括这些半导体构成的多层结构等或者为绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅(SiGeOI)以及绝缘体上锗(GeOI)等。作为示例，在本申请实施例中，半导体衬底 40 的构成材料选用单晶硅。

所述半导体衬底 40 被浅沟槽隔离结构隔离，形成多个独立设置的有源区 41，所述有源区 41 沿第一方向 A 延伸。在本申请实施例中，所述有源区 41 沿第一方向 A 延伸，且多个有源区 41 沿第一方向 A 排布。由于所述有源区被其上方的介质层等覆盖，因此，在附图中采用虚线绘示所述有源区 41。在本申请实施例中，所述第一方向 A 为与水平方向呈一锐角夹角的方向。

在本申请的一些实施例中，所述半导体结构还包括阵列区（附图中未绘

示)。所述阵列区的半导体衬底也被浅沟槽隔离结构隔离形成多个独立设置的有源区。其中，位于所述测试区的有源区的长度大于位于所述阵列区的有源区的长度。例如，在本申请的一些实施例中，位于所述测试区的有源区长度为位于所述阵列区的有源区长度的二倍。

5 多个位线接触结构 60 设置在所述半导体衬底 40 上。所述位线接触结构 60 为导电结构，其可与半导体结构的阵列区的位线接触结构在同一步骤中形成，从而能够用于作为测试阵列区的位线接触结构的电阻的测试键。由于所述位线接触结构 60 被导线遮挡，因此，在附图中，所述位线接触结构 60 采用虚线绘示。

10 其中，在第一方向 A 上，即在所述有源区 41 的延伸方向上，每一所述有源区 41 与两个位线接触结构 60 电连接。在本申请实施例中，在第一方向 A 上，每一有源区 41 与位于其上方的两个位线接触结构 60 电连接。

15 其中，在第一方向 A 上，两个所述位线接触结构 60 之间具有设定间距。该设定间距可取决于有源区中需要与位线连接的区域距离，本领域技术人员可根据实际需求设计。例如，在本申请的一些实施例中，所述有源区 41 的两端需要与位线接触结构 60 电连接，则两个位线接触结构 60 的间距即为所述有源区 41 两端之间的距离。

20 多个导线组沿第二方向 B 排布。在本申请实施例中，所述第二方向 B 为水平方向，多个导线组沿水平方向排布。所述导线组的数量可根据实际需求设置，在图 3 中仅示意性地绘示了 7 个导线组，其不应被视为对本申请的限制。

25 每一导线组包括多个导线 70，所述导线 70 沿第三方向 C 延伸，多个所述导线 70 沿第三方向 C 依次设置。在本申请的一些实施例中，所述第二方向 B 与第三方向 C 的夹角为 90 度，即两个方向垂直。在本申请实施例中，所述第二方向 B 为水平方向，则所述第三方向 C 为竖直方向，两者垂直。在本申请其他实施例中，所述第二方向 B 与第三方向 C 的夹角也可为一锐角。

 在第三方向 C 上，每一导线 70 连接相邻的有源区 41 上的两个位线接触结构 60，以使得相邻的导线组两两匹配，在测试时形成导电通路。在第三方

向 C 上依次排列的有源区所对应的导线组两两配对，在测试时与位线接触结构及有源区形成导电通路。例如，在本申请实施例中，所述有源区 410、411、412、413、414、415、416 沿第三方向 C 依次排列，则这些有源区对应的第 N 个导线组及第 N+1 个导线组与位线接触结构及有源区形成导电通路。

5 例如，在本申请实施例中，所述第 N 个导线组包括导线 701、702、703、704，所述第 N+1 个导线组包括导线 705、706、707。请参阅图 3，所述导线 701 与两个位线接触结构电连接，在图 3 中仅绘示一个位线接触结构 601，所述位线接触结构 601 与有源区 410 电连接；所述导线 702 与两个位线接触结构 602 及 603 电连接，所述位线接触结构 602 及 603 分别与有源区 411 及 412
10 电连接；所述导线 703 与两个位线接触结构 604 及 605 电连接，所述位线接触结构 604 及 605 分别与有源区 413 及 414 电连接；所述导线 704 与两个位线接触结构电连接，在图 3 中仅绘示一个位线接触结构 606，所述位线接触结构 606 与有源区 415 电连接；所述导线 705 与两个位线接触结构 607 及 608 电连接，所述位线接触结构 607 及 608 分别与有源区 412 及 413 电连接；所
15 述导线 706 与两个位线接触结构 609 及 610 电连接，所述位线接触结构 609 及 610 分别与有源区 414 及 415 电连接；所述导线 707 与两个位线接触结构电连接，在图 3 中仅绘示一个位线接触结构 611，所述位线接触结构 611 与有源区 416 电连接。

 本申请实施例中，当在第 N 个导线组及第 N+1 个导线组上施加电压时，
20 与所述第 N 个导线组及第 N+1 个导线组对应的位线接触结构及有源区会形成一个导电通路。图 4 是导线与位线接触结构及有源区连接关系示意图，请参阅图 3 及图 4，如图 3 中箭头所示，当在第 N 个导线组及第 N+1 个导线组上施加电压时，导线 702、所述位线接触结构 603、有源区 412、位线接触结构 607、导线 705、位线接触结构 608、有源区 413、位线接触结构 604、导线 703、
25 位线接触结构 605、有源区 414、位线接触结构 609、导线 706、位线接触结构 610、有源区 415、位线接触结构 606 及导线 704 形成导电通路。

 图 5 为图 3 所述半导体结构中箭头所经过区域的等效电路图，请参阅图 5，导线 702 经所述位线接触结构 603、有源区 412、位线接触结构 607 至导线 705

之间的电阻为 R_1 ，导线 705 经所述位线接触结构 608、有源区 413、位线接触结构 604 至导线 703 之间的电阻为 R_2 ，导线 703 经所述位线接触结构 605、有源区 414、位线接触结构 609 至导线 706 之间的电阻为 R_3 ，导线 706 经所述位线接触结构 610、有源区 415、位线接触结构 606 至导线 704 之间的电阻为 R_4 。所述电阻 R_1 、 R_2 、 R_3 及 R_4 为串联结构。

为了清楚解释本申请技术方案，该实施例仅绘示了导线、位线接触结构及有源区形成的四个电阻，可以理解的是，导线、位线接触结构及有源区能够形成多个电阻，这些电阻串联连接形成一个导电通路。随着串联的电阻越来越多，该导电通路的总电阻会越来越大，则外界干扰对测量结果的影响会越来越小，降低了半导体结构测试的误差，提高了半导体结构测试的准确度。

在本申请的一些实施例中，所述导线 70 长度相等。位于同一导线组内的导线 70 等长，或者位于不同导线组内的导线 70 均等长，以尽量减小导线 70 对电阻的影响。例如，在本申请实施例中，位于不同导线组内的导线 70 均等长，即所有导线的长度相等，而在本申请其他实施例中，同一导线组内的导线长度相等，不同导线组内的导线的长度不相等。

在本申请的一些实施例中，在同一导线组中，所述导线 70 等间距设置，所述导线 70 的间距可取决于相邻有源区在导线延伸方向上的距离。例如，在本申请实施例中，所述导线 70 的间距取决于相邻的有源区在第三方向 C 上的距离，该距离越大，导线 70 的间距越大，该距离越小，导线 70 的间距越小。在本申请其他实施例中，在第三方向 C，所有导线 70 的间距均相等。

在本申请的一些实施例中，不同导线组的导线沿第四方向错位设置。在沿第四方向 D 方向上，不同导线组的导线错位设置。例如，在沿第四方向 D 方向上，第 N 个导线组的导线 702 与第 N+1 个导线组的导线 705 不在同一标准线上，而是错位设置。

在本申请的一些实施例中，在本申请实施例中，所述位线接触结构 60 形成多个位线接触结构组，所述位线接触结构组沿第二方向排布。例如，请参阅图 3，所述位线接触结构 601、602、603、604、605、606 形成一个位线接

触结构组，所述位线接触结构 607、608、609、610、611 形成另一个位线接触结构组，该两个位线接触结构组沿第二方向 B 依次排列。

在本申请的一些实施例中，每一所述位线接触结构组内的位线接触结构沿第三方向排布。例如，在所述位线接触结构 601、602、603、604、605、606 形成的位线接触结构组中，所述位线接触结构 601、602、603、604、605、606 沿第三方向 C 依次排列；在所述位线接触结构 607、608、609、610、611 形成的位线接触结构组中，所述位线接触结构 607、608、609、610、611 沿第三方向 C 依次排列。在本申请实施例中，同一位线接触结构组内的位线接触结构沿第三方向 C 对齐排列，在本申请其他实施例中，同一位线接触结构组内的位线接触结构可大致沿第三方向 C 排列，而并非是对齐排列。

在本申请另一实施例中，所述导线的端部沿第四方向倾斜。请参阅图 6，其为本申请半导体结构第二实施例的俯视结构示意图，在该实施例中，每一导线组的多个导线由一整根导线沿第四方向按设定距离切割而成，所述导线的端部沿第四方向倾斜。第 N 个导线组的导线由一整根导线沿第四方向 D 按设定距离切割而成，则切割后，所述导线的端部沿第四方向 D 倾斜。例如，导线 701 的端部（如图中箭头所示）沿第四方向 D 倾斜。所述设定距离设置为，使形成的导线能够连接相邻的两个有源区的位线接触结构。

在本申请的一些实施例中，在第二实施例中，所述第四方向 D 与所述第二方向 B 的夹角为预设值，所述预设值根据所述位线接触结构的排布而设置，以避免在切割时破坏位线接触结构。所述预设值可为 30~50 度，若所述预设值过大或者过小均可能会在切割时经过位线接触结构，进而破坏所述位线接触结构。可以理解的是，为了避免在切割时破坏所述位线接触结构，所述预设值也可根据实际工艺制程选择。

以上所述仅是本申请的一些实施例，应当指出，对于本技术领域的普通技术人员，在不脱离本申请原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本申请的保护范围。

工业实用性

本申请实施例提供了一种半导体结构，其具有测试区域，在测试区域，半导体结构包括：半导体衬底，半导体衬底具有多个独立设置的有源区，有源区沿第一方向延伸；多个位线接触结构，设置在半导体衬底上，在第一方向上，每一有源区与两个位线接触结构电连接；多个导线组，沿第二方向排布，每一导线组包括多个导线，导线沿第三方向延伸，在第三方向上，每一导线连接相邻的有源区上的两个位线接触结构，以使得导线组两两匹配，形成导电通路。上述结构中，相邻的导线组与位线接触结构及有源区形成导电通路，其电阻串联，随着串联电阻数量越来越多，导电通路总电阻越来越大，外界干扰对测量结果的影响越来越小，降低了半导体结构测试误差，提高了半导体结构测试准确度。

权利要求书

1、一种半导体结构，具有测试区域，在所述测试区域，所述半导体结构包括：

5 半导体衬底，所述半导体衬底具有多个独立设置的有源区，所述有源区沿第一方向延伸；

多个位线接触结构，设置在所述半导体衬底上，在第一方向上，每一有源区与两个位线接触结构电连接；

10 多个导线组，沿第二方向排布，每一导线组包括多个导线，所述导线沿第三方向延伸，在第三方向上，每一导线连接相邻的有源区上的两个位线接触结构，以使得导线组两两匹配，形成导电通路。

2、根据权利要求 1 所述的半导体结构，其中，同一导线组的导线或者不同导线组的导线长度相等。

3、根据权利要求 1 所述的半导体结构，其中，在同一导线组中，所述导线等间距设置。

15 4、根据权利要求 1 所述的半导体结构，其中，不同导线组的导线沿第四方向错位设置。

5、根据权利要求 4 所述的半导体结构，其中，每一导线组的多个导线由一整根导线沿第四方向按设定距离切割而成，所述导线的端部沿第四方向倾斜。

20 6、根据权利要求 5 所述的半导体结构，其中，所述第四方向与所述第二方向的夹角为预设值，所述预设值根据所述位线接触结构的排布而设置，以避免在切割时破坏位线接触结构。

7、根据权利要求 6 所述的半导体结构，其中，所述预设值为 30~50 度。

25 8、根据权利要求 1 所述的半导体结构，其中，所述第二方向与所述第三方向的夹角为 90 度。

9、根据权利要求 1 所述的半导体结构，其中，所述位线接触结构形成多个位线接触结构组，所述位线接触结构组沿第二方向排布。

10、根据权利要求 9 所述的半导体结构，其中，每一所述位线接触结构组内的位线接触结构沿第三方向排布。

5 11、根据权利要求 1 所述的半导体结构，其中，所述半导体结构还包括阵列区，位于所述测试区的有源区的长度大于位于所述阵列区的有源区的长度。

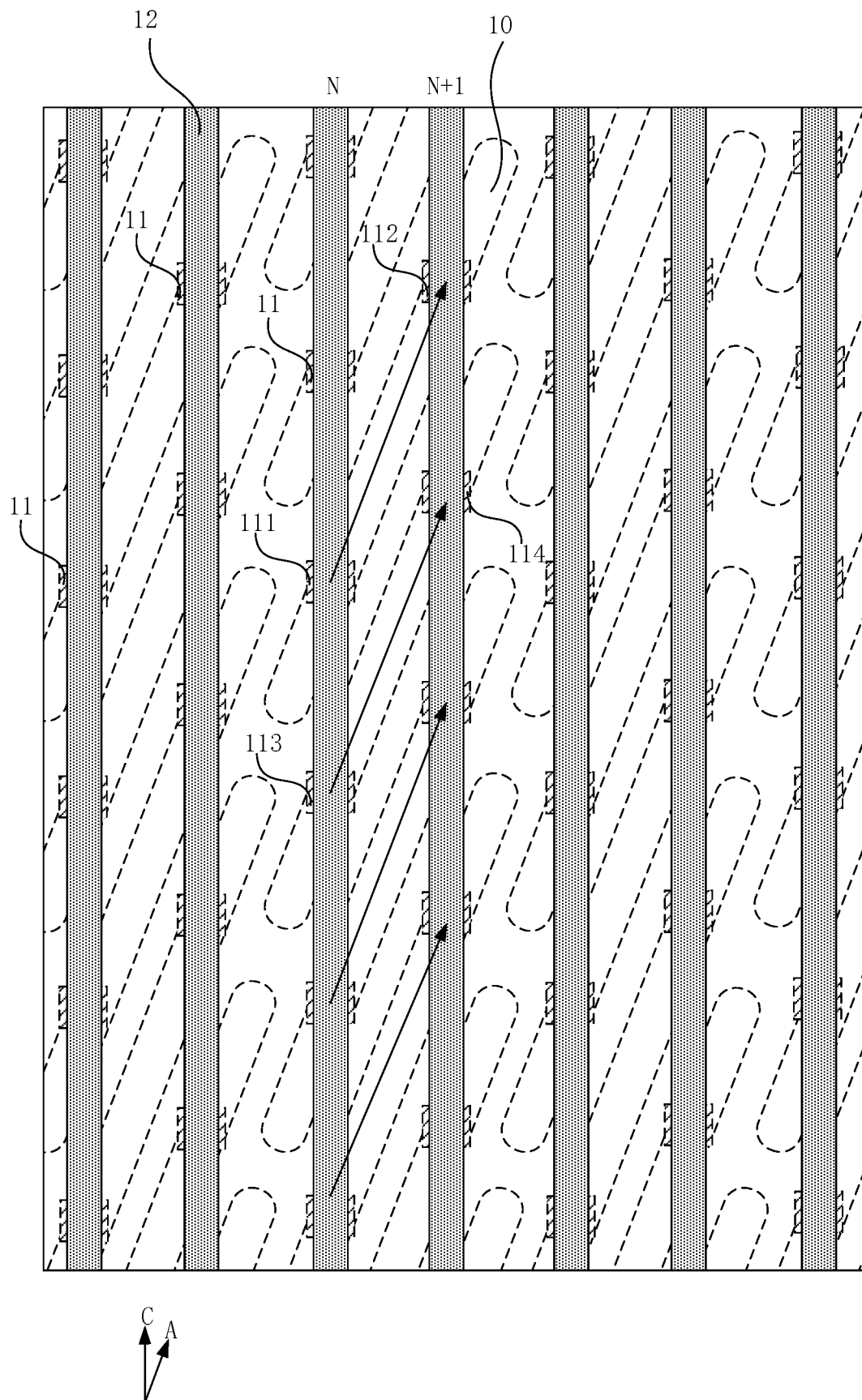


图 1

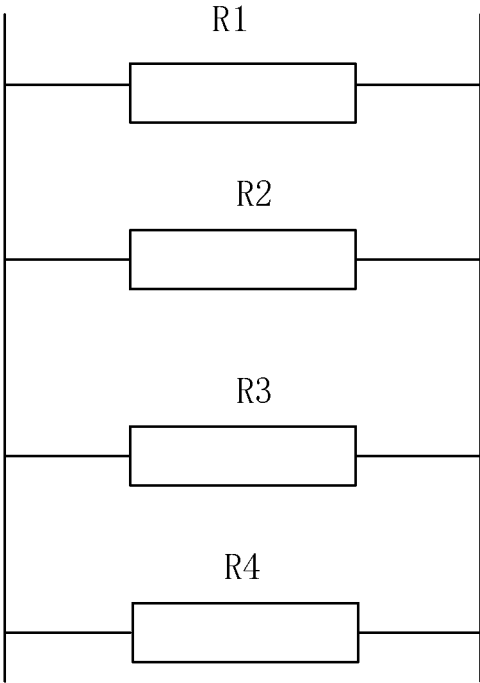


图 2

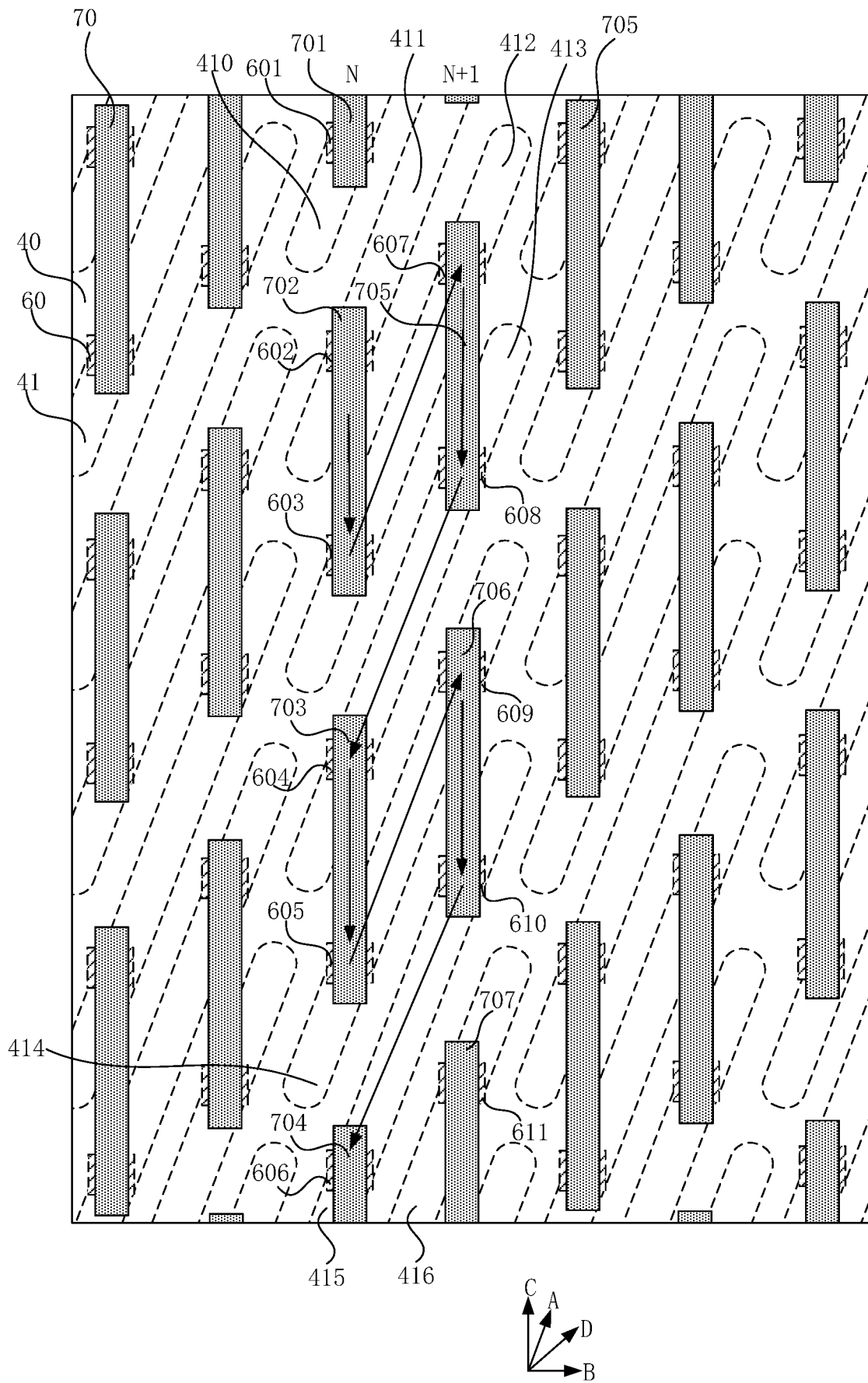


图 3

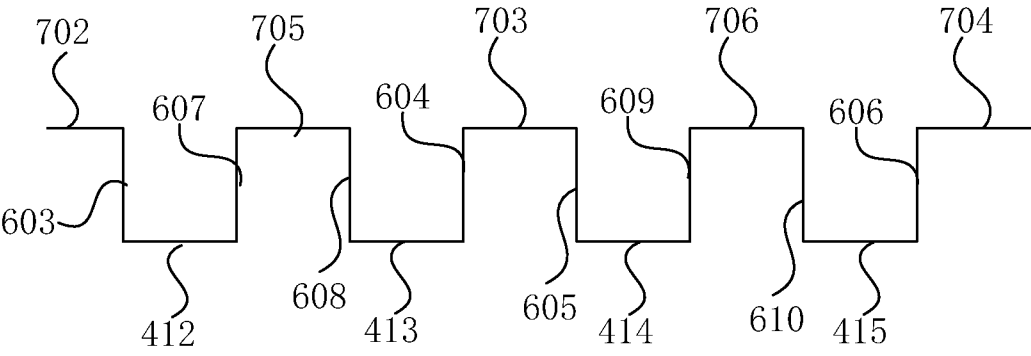


图 4

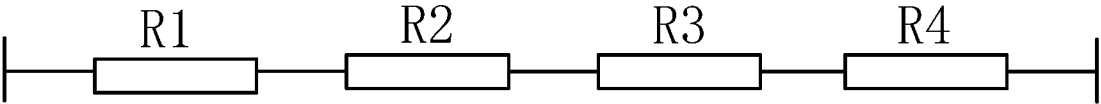


图 5

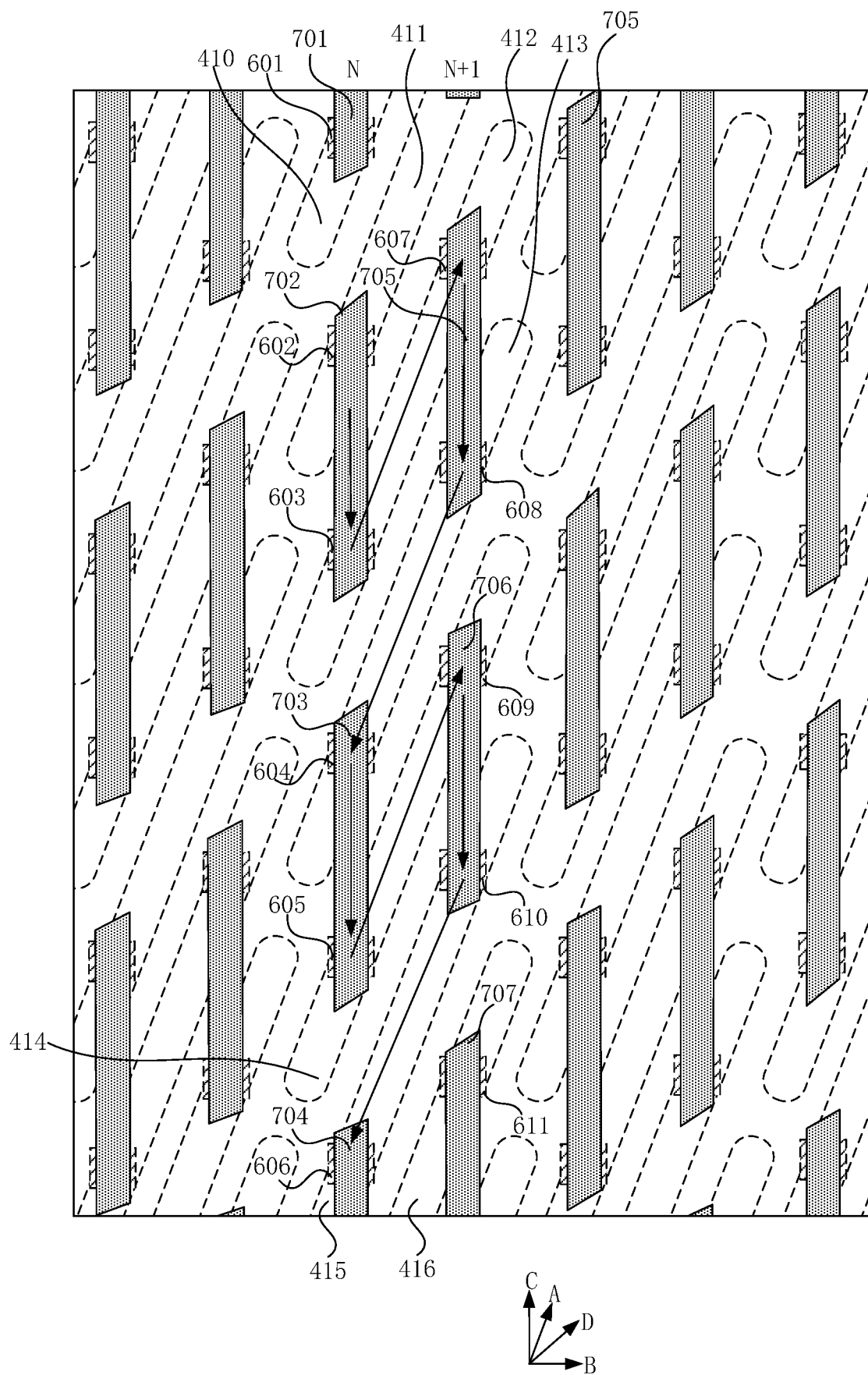


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/101270

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/66(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPTXT; VEN; USTXT; WOTXT; CNABS; CNTXT; CNKI: 存储, 记忆, 位线, 电阻, 接触, 有源, 主动, 活性, 测量, 监测, 测试, 图案, 通孔, 插塞, 串联, memory, bit line, resistance, contact, active, test, monitor, measure, pattern, hole, plug, series

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2003222260 A1 (FUJITSU LTD.) 04 December 2003 (2003-12-04) description, paragraphs [0194]-[0198], figures 34-35B	1-11
Y	CN 103325806 A (SK HYNIX INC.) 25 September 2013 (2013-09-25) description, paragraphs [0017]-[0050], figure 1	1-11
A	KR 20000027539 A (HYUNDAI ELECTRONICS INDUSTRIES CO., LTD.) 15 May 2000 (2000-05-15) entire document	1-11
A	US 2003100134 A1 (HYNIX SEMICONDUCTOR INC.) 29 May 2003 (2003-05-29) entire document	1-11
A	CN 205609515 U (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (TIANJIN) CO., LTD. et al.) 28 September 2016 (2016-09-28) entire document	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 August 2021

Date of mailing of the international search report

30 August 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/101270

Patent document cited in search report				Publication date (day/month/year)		Patent family member(s)		Publication date (day/month/year)	
US	2003222260	A1	04 December 2003	US	6992327	B2		31 January 2006	
				JP	4472232	B2		02 June 2010	
				JP	2004014581	A		15 January 2004	
CN	103325806	A	25 September 2013	US	2013248798	A1		26 September 2013	
				KR	20130107878	A		02 October 2013	
				US	8933427	B2		13 January 2015	
				CN	103325806	B		03 May 2017	
				KR	1917294	B1		12 November 2018	
KR	20000027539	A	15 May 2000	KR	290479	B1		07 August 2001	
US	2003100134	A1	29 May 2003	US	6734458	B2		11 May 2004	
				JP	2003163275	A		06 June 2003	
				KR	20030042677	A		02 June 2003	
				DE	10164298	A1		05 June 2003	
				KR	399976	B1		29 September 2003	
				JP	4634678	B2		16 February 2011	
CN	205609515	U	28 September 2016	None					

国际检索报告

国际申请号

PCT/CN2021/101270

A. 主题的分类 H01L 21/66 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																				
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) EPTXT; VEN; USTXT; WOTXT; CNABS; CNTXT; CNKI: 存储, 记忆, 位线, 电阻, 接触, 有源, 主动, 活性, 测量, 监测, 测试, 图案, 通孔, 插塞, 串联, memory, bit line, resistance, contact, active, test, monitor, measure, pattern, hole, plug, series																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>US 2003222260 A1 (FUJITSU LTD) 2003年 12月 4日 (2003 - 12 - 04) 说明书第[0194]-[0198]段, 图34-35B</td> <td>1-11</td> </tr> <tr> <td>Y</td> <td>CN 103325806 A (爱思开海力士有限公司) 2013年 9月 25日 (2013 - 09 - 25) 说明书第[0017]-[0050]段, 图1</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>KR 20000027539 A (HYUNDAI ELECTRONICS IND) 2000年 5月 15日 (2000 - 05 - 15) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>US 2003100134 A1 (HYNIX SEMICONDUCTOR INC) 2003年 5月 29日 (2003 - 05 - 29) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 205609515 U (中芯国际集成电路制造天津有限公司 等) 2016年 9月 28日 (2016 - 09 - 28) 全文</td> <td>1-11</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	US 2003222260 A1 (FUJITSU LTD) 2003年 12月 4日 (2003 - 12 - 04) 说明书第[0194]-[0198]段, 图34-35B	1-11	Y	CN 103325806 A (爱思开海力士有限公司) 2013年 9月 25日 (2013 - 09 - 25) 说明书第[0017]-[0050]段, 图1	1-11	A	KR 20000027539 A (HYUNDAI ELECTRONICS IND) 2000年 5月 15日 (2000 - 05 - 15) 全文	1-11	A	US 2003100134 A1 (HYNIX SEMICONDUCTOR INC) 2003年 5月 29日 (2003 - 05 - 29) 全文	1-11	A	CN 205609515 U (中芯国际集成电路制造天津有限公司 等) 2016年 9月 28日 (2016 - 09 - 28) 全文	1-11
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
Y	US 2003222260 A1 (FUJITSU LTD) 2003年 12月 4日 (2003 - 12 - 04) 说明书第[0194]-[0198]段, 图34-35B	1-11																		
Y	CN 103325806 A (爱思开海力士有限公司) 2013年 9月 25日 (2013 - 09 - 25) 说明书第[0017]-[0050]段, 图1	1-11																		
A	KR 20000027539 A (HYUNDAI ELECTRONICS IND) 2000年 5月 15日 (2000 - 05 - 15) 全文	1-11																		
A	US 2003100134 A1 (HYNIX SEMICONDUCTOR INC) 2003年 5月 29日 (2003 - 05 - 29) 全文	1-11																		
A	CN 205609515 U (中芯国际集成电路制造天津有限公司 等) 2016年 9月 28日 (2016 - 09 - 28) 全文	1-11																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
国际检索实际完成的日期		国际检索报告邮寄日期																		
2021年 8月 16日		2021年 8月 30日																		
ISA/CN的名称和邮寄地址		授权官员																		
中国国家知识产权局 (ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		张弓 电话号码 (86-512) 88995669																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/101270

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2003222260	A1	2003年 12月 4日	US	6992327	B2	2006年 1月 31日
				JP	4472232	B2	2010年 6月 2日
				JP	2004014581	A	2004年 1月 15日
CN	103325806	A	2013年 9月 25日	US	2013248798	A1	2013年 9月 26日
				KR	20130107878	A	2013年 10月 2日
				US	8933427	B2	2015年 1月 13日
				CN	103325806	B	2017年 5月 3日
				KR	1917294	B1	2018年 11月 12日
KR	20000027539	A	2000年 5月 15日	KR	290479	B1	2001年 8月 7日
US	2003100134	A1	2003年 5月 29日	US	6734458	B2	2004年 5月 11日
				JP	2003163275	A	2003年 6月 6日
				KR	20030042677	A	2003年 6月 2日
				DE	10164298	A1	2003年 6月 5日
				KR	399976	B1	2003年 9月 29日
				JP	4634678	B2	2011年 2月 16日
CN	205609515	U	2016年 9月 28日	无			