

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-41996  
(P2015-41996A)

(43) 公開日 平成27年3月2日(2015.3.2)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>H03F 1/02 (2006.01)</b>	H03F 1/02	5J500
<b>H03F 3/24 (2006.01)</b>	H03F 3/24	

審査請求 未請求 請求項の数 10 ○L (全 16 頁)

(21) 出願番号	特願2013-173858 (P2013-173858)	(71) 出願人	000154325
(22) 出願日	平成25年8月23日 (2013.8.23)		住友電工デバイス・イノベーション株式会社
			神奈川県横浜市栄区金井町1番地
		(74) 代理人	100087480
			弁理士 片山 修平
		(72) 発明者	井上 真吾
			神奈川県横浜市栄区金井町1番地 住友電 工デバイス・イノベーション株式会社内
		Fターム(参考)	5J500 AA01 AA41 AC36 AF10 AF15 AH12 AH24 AH25 AH29 AH39 AK02 AK12 AK49 AK68 AM15 AS14 AT01 LV08 RG01

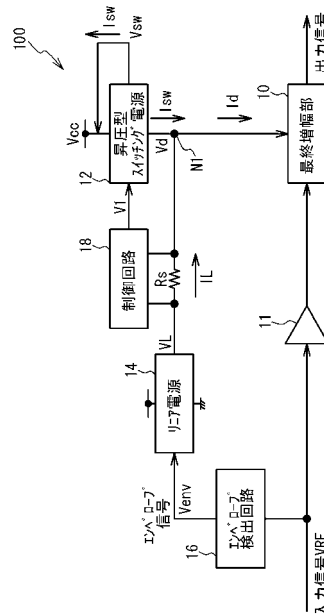
(54) 【発明の名称】 増幅回路

(57) 【要約】

【課題】 増幅回路を高効率化すること。

【解決手段】 入力信号のエンベロープに追従する電圧を第1ノードN1に出力するリニア電源14と、前記第1ノードに接続された低電圧側および高電圧側のいずれか一方の電源端子と、電源に接続された前記低電圧側および高電圧側の他方の電源端子と、を有するスイッチング電源12と、前記リニア電源の出力する電力と前記スイッチング電源が出力する電力とが合成された電力が前記第1ノードから電源電力として供給され、入力信号を増幅する増幅部10と、を具備する増幅回路。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

入力信号のエンベロープに追従する電圧を第 1 ノードに出力するリニア電源と、  
前記第 1 ノードに接続された低電圧側および高電圧側のいずれか一方の電源端子と、電  
源に接続された前記低電圧側および高電圧側の他方の電源端子と、を有するスイッチング  
電源と、

前記リニア電源の出力する電力と前記スイッチング電源が出力する電力とが合成された  
電力が前記第 1 ノードから電源電力として供給され、入力信号を増幅する増幅部と、  
を具備することを特徴とする増幅回路。

**【請求項 2】**

前記スイッチング電源を、前記リニア電源の出力電流が所定電流以下となるように制御  
する制御回路を具備することを特徴とする請求項 1 記載の増幅回路。

**【請求項 3】**

前記スイッチング電源の出力電流が負帰還されることを特徴とする請求項 1 または 2 記  
載の増幅回路。

**【請求項 4】**

前記リニア電源の出力電流に対応する第 1 信号と参照電位とを差動増幅する第 1 差動増  
幅回路と、

前記第 1 差動増幅回路の出力信号と前記スイッチング電源の出力電流に対応する第 2 信  
号とを差動増幅し、前記スイッチング電源に出力する第 2 差動増幅回路と、

を具備することを特徴とする請求項 1 から 3 のいずれか一項記載の増幅回路。

**【請求項 5】**

前記スイッチング電源は昇圧型スイッチング電源であり、前記スイッチング電源の出力  
端子は、前記低電圧側および高電圧側の前記他方の電源端子に接続されていることを特徴  
とする請求項 1 から 4 のいずれか一項記載の増幅回路。

**【請求項 6】**

前記スイッチング電源は降圧型スイッチング電源であり、前記スイッチング電源の出力  
端子は、前記第 1 ノードに接続されていることを特徴とする請求項 1 から 4 のいずれか一  
項記載の増幅回路。

**【請求項 7】**

前記スイッチング電源は、前記高電圧側の電源端子と前記低電圧側の電源端子との間に  
直列に接続された第 1 スイッチと、前記高電圧側の電源端子と前記低電圧側の電源端子と  
の間に前記第 1 スイッチと直列に接続されたインダクタと、を備えることを特徴とする請  
求項 5 記載の増幅回路。

**【請求項 8】**

前記スイッチング電源は、前記第 1 スイッチと前記出力端子との間の第 2 ノードと、前  
記スイッチング電源の出力端子と、の間に、前記第 2 ノードの電圧が前記スイッチング電  
源の出力端子の電圧より低いときオフし、高いときオンする第 2 スイッチを備えること  
を特徴とする請求項 7 記載の増幅回路。

**【請求項 9】**

前記スイッチング電源は、前記高電圧側の電源端子と第 2 ノードとの間に直列に接続さ  
れた第 1 スイッチと、前記第 2 ノードと前記低電圧側の電源端子との間に直接に接続され  
た第 2 スイッチと、前記第 2 ノードと出力端子との間に直列に接続されたインダクタと、  
を備えることを特徴とする請求項 6 記載の増幅回路。

**【請求項 10】**

前記第 2 スイッチは、前記第 2 ノードの電圧が前記低電圧側の電源端子より低いときオ  
ンし、高いときオフすることを特徴とする請求項 9 記載の増幅回路。

**【発明の詳細な説明】****【技術分野】****【0001】**

10

20

30

40

50

本発明は、増幅回路に関し、例えば入力信号のエンベロープ信号に基づき増幅部の電源電圧を変調する増幅回路に関する。

【背景技術】

【0002】

高出力の高周波増幅回路において、高効率化する方法としてエンベロープトラッキング方式がある。エンベロープトラッキング方式は入力信号のエンベロープに基づき増幅段の電源電圧を変調する方式である。

【先行技術文献】

【特許文献】

【0003】

10

【特許文献1】特開2013-9200号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

エンベロープトラッキング方式増幅回路において、電源電圧の変調にスイッチング電源を用いることにより高効率化が可能となる。しかしながら、さらなる高効率化が求められている。

【0005】

本発明は、上記課題に鑑みなされたものであり、増幅回路を高効率化することを目的とする。

20

【課題を解決するための手段】

【0006】

本発明は、入力信号のエンベロープに追従する電圧を第1ノードに出力するリニア電源と、前記第1ノードに接続された低電圧側および高電圧側のいずれか一方の電源端子と、電源に接続された前記低電圧側および高電圧側の他方の電源端子と、を有するスイッチング電源と、前記リニア電源の出力する電力と前記スイッチング電源が出力する電力とが合成された電力が前記第1ノードから電源電力として供給され、入力信号を増幅する増幅部と、を具備することを特徴とする増幅回路である。

【0007】

上記構成において、前記スイッチング電源を、前記リニア電源の出力電流が所定電流以下となるように制御する制御回路を具備する構成とすることができる。

30

【0008】

上記構成において、前記スイッチング電源の出力電流が負帰還される構成とすることができる。

【0009】

上記構成において、前記リニア電源の出力電流に対応する第1信号と参照電位とを差動増幅する第1差動増幅回路と、前記第1差動増幅回路の出力信号と前記昇圧型スイッチング電源の出力電流に対応する第2信号とを差動増幅し、前記昇圧型スイッチング電源に出力する第2差動増幅回路と、を具備する構成とすることができる。

40

【0010】

上記構成において、前記スイッチング電源は昇圧型スイッチング電源であり、前記スイッチング電源の出力端子は、前記低電圧側および高電圧側の前記他方の電源端子に接続されている構成とすることができる。

【0011】

上記構成において、前記スイッチング電源は降圧型スイッチング電源であり、前記スイッチング電源の出力端子は、前記第1ノードに接続されている構成とすることができる。

【0012】

上記構成において、前記スイッチング電源は、前記高電圧側の電源端子と前記低電圧側の電源端子との間に直列に接続された第1スイッチと、前記高電圧側の電源端子と前記低電圧側の電源端子との間に前記第1スイッチと直列に接続されたインダクタと、を備える

50

構成とすることができる。

【0013】

上記構成において、前記スイッチング電源は、前記第1スイッチと前記出力端子との間の第2ノードと、前記昇圧型スイッチング電源の出力端子と、の間に、前記第2ノードの電圧が前記昇圧型スイッチング電源の出力端子の電圧より低いときオフし、高いときオンする第2スイッチを備える構成とすることができる。

【0014】

上記構成において、前記スイッチング電源は、前記高電圧側の電源端子と第2ノードとの間に直列に接続された第1スイッチと、前記第2ノードと前記低電圧側の電源端子との間に直接に接続された第2スイッチと、前記第2ノードと出力端子との間に直列に接続されたインダクタと、を備える構成とすることができる。

10

【0015】

上記構成において、前記第2スイッチは、前記第2ノードの電圧が前記低電圧側の電源端子より低いときオンし、高いときオフする構成とすることができる。

【発明の効果】

【0016】

本発明によれば、増幅回路を高効率化することができる。

【図面の簡単な説明】

【0017】

【図1】図1は、実施例1に係る増幅回路のブロック図である。

20

【図2】図2は、実施例1における増幅回路の一部を示す回路図である。

【図3】図3は、実施例1の昇圧型スイッチング電源の回路図である。

【図4】図4は、昇圧型スイッチング電源の別の例の回路図である。

【図5】図5(a)および図5(b)は、時間に対する入力信号VRFおよびエンベロープ信号Venvをそれぞれ示す図である。

【図6】図6(a)から図6(c)は、リニア電源の出力電圧、出力電流および出力電力をそれぞれ示す図である。

【図7】図7(a)から図7(c)は、スイッチング電源のノードN2における電圧、電流および電力をそれぞれ示す図である。

【図8】図8(a)から図8(c)は、スイッチング電源の出力電圧、出力電流および出力電力をそれぞれ示す図である。

30

【図9】図9(a)から図9(c)は、電源部の電源端子に供給される電圧、電流および電力をそれぞれ示す図である。

【図10】図10は、比較例1に係る増幅回路のブロック図である。

【図11】図11(a)から図11(c)は、比較例1におけるスイッチング電源の中間ノードにおける電圧、電流および電力をそれぞれ示す図である。

【図12】図12(a)から図12(c)は、比較例1におけるスイッチング電源の出力電圧、出力電流および出力電力をそれぞれ示す図である。

【図13】図13は、実施例2に係る増幅回路を示すブロック図である。

【図14】図14は、実施例2の降圧型スイッチング電源の回路図である。

40

【図15】図15は、降圧型スイッチング電源の別の例の回路図である。

【発明を実施するための形態】

【0018】

以下、図面を参照し本発明の実施例について説明する。

【実施例1】

【0019】

図1は、実施例1に係る増幅回路のブロック図である。図1に示すように、増幅回路100は、最終増幅部10、ドライバ増幅部11、昇圧型スイッチング電源12、リニア電源14、エンベロープ検出回路16、制御回路18および抵抗Rsを備えている。入力端子から高周波入力信号VRFが入力する。ドライバ増幅部11は、入力信号を増幅する。

50

最終増幅部 10 は、ドライバ増幅部 11 が増幅した入力信号を増幅し、出力信号として出力する。エンベローブ検出回路 16 は入力信号 VRF のエンベローブ（包絡線）を検出し、エンベローブ信号  $V_{env}$  を出力する。リニア電源 14 はエンベローブ信号  $V_{env}$  に対応した電圧を生成し出力電圧  $V_L$  および出力電流  $I_L$  をノード N1（第 1 ノード）に出力する。昇圧型スイッチング電源 12 は、低電圧側の電源端子がノード N1 に接続され、高電圧側の電源端子が電源  $V_{cc}$  に接続され、出力端子が高電圧側の電源端子に接続されている。抵抗  $R_s$  がノード N1 とリニア電源 14 の出力端子との間に接続されている。昇圧型スイッチング電源 12 は、出力端子の電圧  $V_{sw}$  を電源  $V_{cc}$  より若干高くする。これにより、昇圧型スイッチング電源 12 の出力端子から高電圧側の電源端子、低電圧側の電源端子を介しノード N1 に電流  $I_{sw}$  が流れる。制御回路 18 は、抵抗  $R_s$  の両端の電位差からリニア電源 14 の出力電流  $I_L$  を検出し、リニア電源 14 の出力電流  $I_L$  が所定電流値以下となるように昇圧型スイッチング電源 12 を制御する。ノード N1 は、最終増幅部 10 の電源端子に接続されている。ノード N1 の電圧  $V_d$  は、ほぼ電圧  $V_L$  となる。電圧  $V_L$  が最終増幅部 10 の電源端子に印加される。電流  $I_L$  と  $I_{sw}$  とが合成され最終増幅部 10 の電源端子に供給される。すなわち、リニア電源 14 の出力する電力とスイッチング電源 12 が出力する電力とが合成された電力が第 1 ノードから最終増幅部 10 に供給される。

10

#### 【0020】

エンベローブトラッキング方式増幅回路においては、増幅部 10 の電源電圧をエンベローブ信号を用い変調することにより、高効率化が可能となる。リニア電源 14 は、エンベローブ信号に高速に追従し電源電圧を変調できる。しかし、リニア電源 14 は、効率が悪い。スイッチング電源 12 は、高効率であるがエンベローブ信号に高速に追従することが難しい。エンベローブ信号が高速に変化するときは主にリニア電源 14 により増幅部 10 に電源電力を供給する。エンベローブ信号が低速に変化するときは主にスイッチング電源 12 により増幅部 10 に電源電力を供給する。これにより、高速なエンベローブ信号に回答可能であり、かつ高効率な増幅回路となる。例えば携帯電話通信の基地局用増幅回路においては、エンベローブ信号の大部分は低速である。よって、増幅回路 100 はより高効率となる。

20

#### 【0021】

図 2 は、実施例 1 における増幅回路の一部を示す回路図である。図 2 に示すように、リニア電源 14 は、差動増幅回路 20 とトランジスタ 22 を備えている。差動増幅回路 20 の正入力端子にエンベローブ信号  $V_{env}$  が入力し、負入力端子にリニア電源 14 の出力端子が接続される。トランジスタ 22 は、n 型 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) である。トランジスタ 22 のゲート（制御端子）に差動増幅回路 20 の出力端子が接続される。トランジスタ 22 のソースがリニア電源 14 の出力端子に接続され、ドレインが電源に接続される。差動増幅回路 20 は、出力端子の電圧がエンベローブ信号  $V_{env}$  に対応して変調されるように、トランジスタ 22 を制御する。トランジスタ 22 がオンすることにより、リニア電源 14 は大きな電流  $I_L$  を出力することができる。

30

#### 【0022】

制御回路 18 は、差動増幅回路 24、26、抵抗  $R_1$  から  $R_4$  および参照電源  $V_{ref}$  を備えている。抵抗  $R_s$  のリニア電源 14 側のノードとグランドとの間に抵抗  $R_1$  および  $R_2$  が直列に接続されている。抵抗  $R_1$  と  $R_2$  との間のノードが差動増幅回路 24 の正入力端子に接続されている。抵抗  $R_s$  のノード N1 側のノードが抵抗  $R_3$  を介し差動増幅回路 24 の負入力端子に接続されている。差動増幅回路 24 の出力端子が抵抗  $R_4$  を介し負入力端子に接続されている。差動増幅回路 24 は、抵抗  $R_s$  の両端の電位差を増幅して出力する。抵抗  $R_1$  から  $R_4$  を設定することにより増幅率を設定できる。差動増幅回路 26 の正入力端子に差動増幅回路 24 の出力が入力する。差動増幅回路 26 の負入力端子に参照電圧が入力する。差動増幅回路 26 は、抵抗  $R_s$  を流れる電流  $I_L$  と所定値との差に比例する制御信号  $V_1$  をスイッチング電源 12 に出力する。このように、制御回路 18 は、

40

50

電流  $I_L$  が大きくなると大きな制御信号  $V_1$  を出力する。

【0023】

最終増幅部 10 は、トランジスタ 28、キャパシタ  $C_1$  から  $C_3$  およびスタブ 29 を備えている。トランジスタ 28 は、例えば窒化物半導体を用いた HEMT (High Electron Mobility Transistor) 等の FET である。窒化物半導体を用いた HEMT は、例えば基板上に形成された GaN チャンネル層と、チャンネル層上に形成された AlGaIn 電子供給層を有する。トランジスタ 28 のソースはグランドに接続されている。ゲートにはキャパシタ  $C_2$  を介し入力信号が入力する。ドレインからキャパシタ  $C_3$  を介し出力信号が出力される。キャパシタ  $C_2$  および  $C_3$  は、直流カットキャパシタである。ドレインはさらにスタブ 29 を介し増幅部 10 の電源端子に接続される。電源端子はキャパシタ  $C_1$  を介し接地される。キャパシタ  $C_1$  はバイパルコンデンサである。スタブ 29 はチョーク用素子である。増幅部 10 は、GaAs 系半導体を用いた FET でもよいし、FET 以外のトランジスタを含んでもよい。

10

【0024】

図 3 は、実施例 1 の昇圧型スイッチング電源の回路図である。図 3 に示すように、スイッチング電源 12 は、FET 30 (第 1 スイッチ)、ゲートドライバ 32、レベルシフタ 34、PWM (Pulse Width Modulation) 回路 36、差動増幅回路 38 および 40、ダイオード  $D_1$ 、キャパシタ  $C_{10}$ 、インダクタ  $L_1$ 、並びに抵抗  $R_{10}$  を備えている。FET 30 は、例えば n 型 MOSFET である。

20

【0025】

FET 30 のドレインがノード  $N_2$  (第 2 ノード) に、ソースが低電圧側の電源端子を介しノード  $N_1$  に、ゲートがゲートドライバ 32 に接続されている。インダクタ  $L_1$  の一端が電源  $V_{cc}$  に、他端がノード  $N_2$  に接続されている。ダイオード  $D_1$  のカソードが出力端子  $T_{out}$  に、アノードがノード  $N_2$  に接続されている。ダイオード  $D_1$  (第 2 スイッチ) は、出力端子  $T_{out}$  の電圧がノード  $N_2$  より低いときに、出力端子  $T_{out}$  からノード  $N_2$  に電流が流れることを抑制し、出力端子  $T_{out}$  の電圧がノード  $N_2$  より高いときに、ノード  $N_2$  から出力端子  $T_{out}$  に電流を流す。キャパシタ  $C_{10}$  は、平滑コンデンサであり、電荷を蓄積し、出力端子の電圧を電源  $V_{cc}$  より昇圧する。ゲートドライバ 32 の負電源端子はノード  $N_1$  に、正電源端子は電源  $V_{cc}$  に接続されている。

30

【0026】

抵抗  $R_{10}$  は、出力端子  $T_{out}$  と正電圧側の電源端子との間に接続されている。差動増幅回路 40 は、抵抗  $R_{10}$  の両端の電位差を差動増幅し検出信号  $V_2$  を出力する。これにより、抵抗  $R_{10}$  を流れる電流を検出できる。

40

【0027】

差動増幅回路 38 は、検出信号  $V_2$  と制御信号  $V_1$  とを差動増幅する。PWM 回路 36 は、差動増幅回路 38 の出力を PWM 処理し、PWM 信号に変換する。PWM 回路 36 は、差動増幅回路 38 の出力に応じ PWM 信号のデューティ比を変える。例えば、差動増幅回路 38 の出力が高いときは、デューティ比を高くする。レベルシフタ 34 は、PWM 信号を FET 30 を駆動するのに適した電圧または振幅に変換し、FET 30 のゲートに PWM 信号を出力する。

40

【0028】

検出信号  $V_2$  が制御信号  $V_1$  より小さいと、出力電流  $I_{sw}$  が大きくなるようにスイッチング電源 12 が制御される。制御信号  $V_1$  は、リニア電源 14 の出力電流  $I_L$  と所定値との差に比例する。リニア電源 14 の出力電流  $I_L$  とスイッチング電源 12 の出力電流  $I_{sw}$  の和が増幅部 10 に供給される電流  $I_d$  である。よって、スイッチング電源 12 は、リニア電源 14 の出力電流  $I_L$  が所定電流値以下となるように、出力電流  $I_{sw}$  を大きくする。スイッチング電源 12 が出力電圧  $V_{sw}$  を高くするように制御されれば、出力電流  $I_{sw}$  が大きくなる。

【0029】

以上により、エンベロープ信号の変化が速く、スイッチング電源 12 がエンベロープ信

50

号に追従できない場合は、応答速度の速いリニア電源 14 が増幅部 10 に主に電力を供給する。エンベロープ信号の変化は遅く、スイッチング電源 12 がエンベロープ信号に追従できる場合は、応答速度は遅いが効率のよいスイッチング電源 12 が増幅部 10 に主に電力を供給する。これにより、応答が速くかつ高効率な増幅回路を実現できる。

【0030】

図3では、非同期整流方式を例に説明したが同期整流方式でもよい。また、FET30としてn型FETを例に説明したが、p型FETでもよい。さらに、FET30は、FET以外のスイッチでもよい。

【0031】

図4は、昇圧型スイッチング電源の別の例の回路図である。図4に示すように、スイッチング電源12は、同期整流方式の昇圧型スイッチング電源である。電源VccとノードN2との間にインダクタL1が接続されている。FET42（第1スイッチ）のソースがノードN1に、ドレインがノードN2に、ゲートがゲートドライバ32bに接続されている。FET44（第2スイッチ）のソースがノードN2に、ドレインが出力端子Toutに、ゲートがゲートドライバ32aに接続されている。FET42および44は、n型MOSFETである。デッドタイムコントローラ46は、PWM信号を調整してゲートドライバ32aおよび32bにPWM信号を出力する。レベルシフタ34aおよび34bは、PWM信号の電圧または振幅を変換する。その他の構成は図3と同じであり説明を省略する。

10

【0032】

図4では、同期整流方式を例に説明したが非同期整流方式でもよい。また、FET42および44としてn型FETを例に説明したが、p型FETでもよい。さらに、FET42および44は、FET以外のスイッチでもよい。

20

【0033】

図3および図4に示すように、昇圧型スイッチング電源12において、FET30または42（第1スイッチ）は、電源Vcc（高電圧側の電源端子）とノードN1（低電圧側の電源端子）との間に直列に接続されている。インダクタL1は、電源VccとノードN1との間にFET30または42と直列に接続されている。このように、FET30または42は、ノードN2とノードN1との間に接続されていてもよい。これにより、ノードN2の電圧を電源Vccより昇圧できる。

30

【0034】

また、昇圧型スイッチング電源12において、ダイオードD1またはFET44（第2スイッチ）は、ノードN2と出力端子Toutとの間に接続されている。ダイオードD1またはFET44は、ノードN2の電圧が出力端子Toutの電圧より低いときオフし、高いときオンする。これにより、出力端子Toutの電圧がノードN2より高くなっても、電流が出力端子からノードN2に逆流することを抑制できる。

【0035】

図5(a)および図5(b)は、時間に対する入力信号VRFおよびエンベロープ信号Venvをそれぞれ示す図である。図5(a)に示すように、時間t0とt1との間の期間T1において、入力信号VRFの振幅は小さい。時間t1とt2との間の期間T2において、入力信号VRFの振幅は期間T1より大きくなる。時間t2とt3との間の期間T3において、入力信号VRFの振幅は期間T2よりさらに大きくなる。時間t3とt4との間の期間T4において、入力信号VRFの振幅は期間T1と同程度となる。図5(b)に示すように、エンベロープ信号Venvは、入力信号VRFのエンベロープに対応する。例えば、期間T1およびT4において、エンベロープ信号は1Vであり、期間T2においてエンベロープ信号は1.5Vであり、期間T3においてエンベロープ信号は3.0Vである。なお、説明を簡略化するため、各期間T1からT4における入力信号VRFの振幅をほぼ一定としているが、時間より変化していてもよい。

40

【0036】

図6(a)から図6(c)は、リニア電源の出力電圧、出力電流および出力電力をそれ

50

それぞれ示す図である。図 6 ( a ) に示すように、リニア電源 1 4 は、エンベロープ信号  $V_{en v}$  に追従して出力電圧  $V_L$  を出力する。リニア電源 1 4 は高速な追従が可能であり、期間  $T_1$ 、 $T_2$ 、 $T_3$  および  $T_4$  において出力電圧をそれぞれ  $10\text{ V}$ 、 $30\text{ V}$ 、 $50\text{ V}$  および  $10\text{ V}$  とする。なお、電源  $V_{cc}$  の電圧は  $55\text{ V}$  である。図 6 ( b ) に示すように、リニア電源 1 4 の出力電流  $I_L$  は、時間  $t_1$ 、 $t_2$  および  $t_3$  直後は大きくなるが、その後小さくなる。これは、制御回路 1 8 が電流  $I_L$  が小さくなるようにスイッチング電源 1 2 を制御するためである。図 6 ( c ) に示すように、出力電力  $P_L$  は、時間  $t_1$ 、 $t_2$  および  $t_3$  直後は大きくなるが、その後小さくなる。

【 0 0 3 7 】

図 7 ( a ) から図 7 ( c ) は、スイッチング電源のノード  $N_2$  における電圧、電流および電力をそれぞれ示す図である。図 7 ( a ) に示すように、リニア期間  $T_1$  および  $T_4$  において、電圧  $V_{sw}$  のローレベルはノード  $N_1$  の電圧である  $10\text{ V}$  であり、ハイレベルは、 $50\text{ V}$  よりやや高い電圧である。デューティ比は、小さい。リニア期間  $T_2$  において、電圧  $V_{sw}$  のローレベルはノード  $N_1$  の電圧である  $30\text{ V}$  であり、ハイレベルは、 $50\text{ V}$  よりやや高い電圧である。デューティ比は、期間  $T_1$  より大きくなる。リニア期間  $T_3$  において、電圧  $V_{sw}$  のローレベルはノード  $N_1$  の電圧である  $50\text{ V}$  であり、ハイレベルは、 $50\text{ V}$  よりやや高い電圧である。デューティ比は、期間  $T_2$  よりさらに大きくなる。

【 0 0 3 8 】

図 7 ( b ) に示すように、期間  $T_1$  および  $T_4$  において電流  $I_{sw}$  は小さい。期間  $T_2$  において、電圧  $V_L$  が大きくなると、電流  $I_L$  が大きくなる ( 図 6 ( b ) 参照 )。制御回路 1 8 は、電流  $I_{sw}$  が大きくなるように昇圧型スイッチング電源 1 2 を制御する。これにより、電流  $I_{sw}$  が大きくなる。期間  $T_3$  において、電圧  $V_L$  が大きくなると、電流  $I_{sw}$  はさらに大きくなる。電流  $I_{sw}$  は、スイッチングに応じ上下する。

【 0 0 3 9 】

図 7 ( c ) に示すように、スイッチング電源 1 2 は電源  $V_{cc}$  とノード  $N_1$  との間に接続されているため、スイッチング電源 1 2 が消費する電力  $P_{sw}$  は、電圧  $V_{sw}$  とノード  $N_1$  との電圧 ( ほぼ電圧  $V_L$  とする ) の差と、電流  $I_{sw}$  の積となる。期間  $T_1$  および  $T_4$  において、電圧  $V_{sw}$  と電圧  $V_L$  との差は約  $40\text{ V}$  と大きいと、電流  $I_{sw}$  が小さいため、スイッチング電源 1 2 が供給する電力  $P_{sw}$  は小さい。期間  $T_2$  において、電圧  $V_{sw}$  と電圧  $V_L$  との差は約  $20\text{ V}$  と小さくなるが、電流  $I_{sw}$  が大きくなり電力  $P_{sw}$  は大きくなる。期間  $T_3$  において、電流  $I_{sw}$  は大きくなるが、電圧  $V_{sw}$  と電圧  $V_L$  との差は約  $0\text{ V}$  と小さくなるため、電力  $P_{sw}$  は小さくなる。

【 0 0 4 0 】

図 8 ( a ) から図 8 ( c ) は、スイッチング電源の出力電圧、出力電流および出力電力をそれぞれ示す図である。スイッチング電源 1 2 の出力電圧  $V_{sw\_avg}$ 、出力電流  $I_{sw\_avg}$  および出力電力  $P_{sw\_avg}$  は、ノード  $N_2$  の電圧  $V_{sw}$ 、電流  $I_{sw}$  および電力  $P_{sw}$  がキャパシタ  $C_{10}$  により平滑化されたものである。図 8 ( a ) を参照し、期間  $T_1$  および  $T_4$  におけるスイッチング電源の出力電圧  $V_{sw\_avg}$  は、約  $10\text{ V}$  である。期間  $T_2$  における電圧  $V_{sw\_avg}$  は、時間  $t_1$  から大きくなり、約  $30\text{ V}$  となる。期間  $T_3$  における電圧  $V_{sw\_avg}$  は、時間  $t_2$  から大きくなり、約  $50\text{ V}$  となる。図 8 ( b ) に示すように、期間  $T_1$  および  $T_4$  においてスイッチング電源 1 2 の出力電流  $I_{sw\_avg}$  は、小さい。期間  $T_2$  における電流  $I_{sw\_avg}$  は、時間  $t_1$  から大きくなり、一定となる。期間  $T_3$  における電流  $I_{sw\_avg}$  は、時間  $t_2$  から大きくなり、一定となる。図 8 ( c ) に示すように、期間  $T_1$ 、 $T_3$  および  $T_4$  におけるスイッチング電源の出力電力  $P_{sw\_avg}$  は、小さい。期間  $T_2$  における出力電力  $P_{sw\_avg}$  は若干大きい。

【 0 0 4 1 】

図 9 ( a ) から図 9 ( c ) は、電源部の電源端子に供給される電圧、電流および電力をそれぞれ示す図である。図 9 ( a ) に示すように、増幅部 1 0 の電源端子の電圧  $V_d$  は、ほぼ電圧  $V_L$  と同じである。期間  $T_1$ 、 $T_2$ 、 $T_3$  および  $T_4$  における電圧  $V_d$  は、それ

10

20

30

40

50

それほぼ10V、30V、50V、10Vであり、各期間内でほぼ一定である。図9(b)に示すように、増幅部10の電源端子に供給される電流 $I_d$ は、ほぼ電流 $I_L$ と $I_{sw}$ の和となる。期間 $T_1$ から $T_4$ における電流 $I_d$ はほぼ一定である。図9(c)に示すように、増幅部10の電源端子に供給される電力 $P_d$ は、電圧 $V_d$ と電流 $I_L$ との積となる。

#### 【0042】

以上のように、図6(a)および図6(b)に示す入力信号 $V_{RF}$ のエンベロープ信号 $V_{env}$ に応じ、図9(a)のように増幅部10の電源端子の電圧 $V_d$ を変調できる。エンベロープ信号 $V_{env}$ の変化が高速な場合、図6(b)および図6(c)の時間 $t_1$ から $t_3$ の直後のように応答速度の速いリニア電源14が増幅部10に電流および電力を供給する。エンベロープ信号 $V_{env}$ の変化が低速な場合、図8(b)および図8(c)のように応答速度が遅いが効率のよいスイッチング電源12が増幅部10に電流および電力を供給する。

10

#### 【0043】

以下、比較例1と比較し、実施例1に係る増幅回路がさらに高効率化できることを説明する。図10は、比較例1に係る増幅回路のブロック図である。図10に示すように、降圧型スイッチング電源12aがグランドと電源 $V_{cc}$ との間に接続されている。降圧型スイッチング電源12aは電源 $V_{cc}$ の電圧を降圧してノード $N_1$ に出力する。制御回路18は、電流 $I_L$ が小さくなるように降圧型スイッチング電源12aを制御する。その他の構成は実施例1と同じであり説明を省略する。

20

#### 【0044】

入力信号 $V_{RF}$ 、エンベロープ信号 $V_{env}$ 、リニア電源14の出力電圧 $V_L$ 、出力電流 $I_L$ 、出力電力 $P_L$ 、増幅部10に供給される電圧 $V_d$ 、電流 $I_d$ および電力 $P_d$ は、実施例1における図5(a)から図6(c)、図9(a)から図9(c)とそれぞれほぼ同じであり、説明を省略する。

#### 【0045】

図11(a)から図11(c)は、比較例1におけるスイッチング電源の中間ノードの電圧、電流および電力をそれぞれ示す図である。図11(a)に示すように、スイッチング電源12aの中間ノードの電圧 $V_{sw}$ のローレベルは0Vであり、ハイレベルは電源 $V_{cc}$ の電圧である。期間 $T_1$ および $T_4$ における出力電圧 $V_{sw}$ のデューティ比は小さい。期間 $T_2$ における出力電圧 $V_{sw}$ のデューティ比は大きい。期間 $T_3$ における出力電圧 $V_{sw}$ のデューティ比はさらに大きい。図11(b)に示すように、スイッチング電源12の中間ノードの電流 $I_{sw}$ は、実施例1と同様である。図11(c)に示すように、期間 $T_1$ および $T_4$ における中間ノードの電力 $P_{sw}$ は小さい。期間 $T_2$ における電力 $P_{sw}$ は大きい。期間 $T_3$ における出力電力 $P_{sw}$ はさらに大きい。

30

#### 【0046】

図12(a)から図12(c)は、比較例1におけるスイッチング電源の出力電圧、出力電流および出力電力をそれぞれ示す図である。スイッチング電源12aの出力電圧 $V_{sw\_avg}$ 、出力電流 $I_{sw\_avg}$ および出力電力 $P_{sw\_avg}$ は、中間ノードの電圧 $V_{sw}$ 、電流 $I_{sw}$ および電力 $P_{sw}$ が平滑回路により平滑化されたものである。図12(a)に示すように、期間 $T_1$ から $T_4$ におけるスイッチング電源12aの出力電圧 $V_{sw\_avg}$ は、約10V、30V、50Vおよび10Vである。図12(b)に示すように、期間 $T_1$ および $T_4$ においてスイッチング電源12の出力電流 $I_{sw\_avg}$ は小さい。期間 $T_2$ における電流 $I_{sw\_avg}$ は、時間 $t_1$ から大きくなり、一定となる。期間 $T_3$ における電流 $I_{sw\_avg}$ は、時間 $t_2$ から大きくなり、一定となる。図12(c)を参照し、期間 $T_1$ および $T_4$ におけるスイッチング電源の出力電力 $P_{sw\_avg}$ は小さい。期間 $T_2$ における出力電力 $P_{sw\_avg}$ は大きい。期間 $T_3$ における出力電力 $P_{sw\_avg}$ はさらに大きい。

40

#### 【0047】

比較例1においては、降圧型スイッチング電源12aがグランドと電源 $V_{cc}$ との間に

50

接続されている。これにより、降圧型スイッチング電源 12 a の消費電力  $P_{sw}$  は、電圧  $V_{sw}$  と電流  $I_{sw}$  の積となる。よって、電圧  $V_{sw}$  が高くなると、消費電力  $P_{sw}$  も大きくなる。一方、実施例 1 においては、昇圧型スイッチング電源 12 がノード N1 と電源  $V_{cc}$  との間に接続されている。これにより、昇圧型スイッチング電源 12 の消費電力  $P_{sw}$  は、電圧  $V_{sw}$  が電圧  $V_{cc}$  の近くでも小さくなる。よって、期間 T3 における消費電力  $P_{sw}$  を比較例 1 より小さくできる。これは、比較例 1 において電源  $V_{cc}$  とノード N1 との間で無駄になる電力を、実施例 1 において回生電流として電源  $V_{cc}$  に流し込むためである。

【0048】

例えば、比較例 1 における降圧型スイッチング電源 12 a の効率が 95% とする。比較例 1 では、図 11 (c) のように電圧  $V_d$  が最大するとき電力損失が最も大きい。そこで、最大電力が  $50\text{ V} \times 4\text{ A} = 200\text{ W}$  とする。このとき、降圧型スイッチング電源 12 a による損失は、 $200\text{ W} \times 0.05 = 10\text{ W}$  となる。

10

【0049】

一方、非同期整流方式の昇圧型スイッチング電源 12 の効率は降圧型スイッチング電源より悪く 90% とする。実施例 1 では、図 7 (c) のように電圧  $V_d$  が中程度のとき電力損失が最も大きい。そこで、電力が  $25\text{ V} \times 2\text{ A} = 50\text{ W}$  とする。このとき、昇圧型スイッチング電源 12 による損失は、 $50\text{ W} \times 0.1 = 5\text{ W}$  となる。さらに、同期整流方式の昇圧型スイッチング電源 12 を用いることによりスイッチング電源の効率が 95% となると、昇圧型スイッチング電源 12 による損失は、 $2.5\text{ W}$  となる。

20

【0050】

このように、実施例 1 によれば、昇圧型スイッチング電源 12 の低電圧側の電源端子がノード N1 に、高電圧側の電源端子が電源  $V_{cc}$  に、出力端子が電源  $V_{cc}$  に接続されている。スイッチング電源 12 の低電圧側の電源端子がノード N1 に電流を供給する。これにより、比較例 1 に比べ、スイッチング電源による電力損失を抑制できる。また、昇圧型スイッチング電源 12 の出力電力が比較例 1 の降圧型スイッチング電源 12 a より小さいため、インダクタ L1 および / またはキャパシタ C10 として許容電力が小さな部品を用いることができる。よって、スイッチング電源 12 の低コスト化および小型化が可能となる。なお、ノード N1 に接続されるのは低電圧側および高電圧側のいずれか一方であればよく、電源  $V_{cc}$  に接続されるのは低電圧側および高電圧側の他方であればよい。

30

【0051】

制御回路 18 は、昇圧型スイッチング電源 12 を、リニア電源 14 の出力電流  $I_L$  が所定電流以下となるように制御する。これにより、効率の高いスイッチング電源 12 が増幅部 10 に電力を供給できる。

【0052】

また、スイッチング電源 12 の出力電流  $I_{sw}$  が負帰還される。これにより、スイッチング電源 12 の出力電流  $I_{sw}$  を制御できる。

【0053】

図 2 の差動増幅回路 26 (第 1 差動増幅回路) がリニア電源 14 の出力電流  $I_L$  に対応する出力 (第 1 信号) と参照電位とを差動増幅し、制御信号  $V_1$  を出力する。図 3 の差動増幅回路 38 (第 2 差動増幅回路) が制御信号とスイッチング電源 12 の出力電流  $I_{sw}$  に対応する検出信号 (第 2 信号) とを差動増幅し、スイッチング電源 12 に出力する。これにより、スイッチング電源 12 の出力電流  $I_{sw}$  を制御できる。

40

【実施例 2】

【0054】

図 13 は、実施例 2 に係る増幅回路を示すブロック図である。増幅回路 102 においては、降圧型スイッチング電源 12 b が用いられている。降圧型スイッチング電源 12 b の低電圧側の電源端子はノード N1 に接続され、高電圧側の電源端子は電源  $V_{cc}$  に接続されている。出力端子はノード N1 に接続されている。

【0055】

50

図14は、実施例2の降圧型スイッチング電源の回路図である。図14に示すように、降圧型スイッチング電源12bは非同期整流方式である。ダイオードD1のカソードがノードN2に、アノードがノードN1に接続されている。ダイオードD1は、ノードN2の電圧がノードN1より高いときに、ノードN2からノードN1に電流が流れることを抑制し、ノードN2の電圧がノードN1より低いときに、ノードN1からノードN2に電流を流す。インダクタL1の一端がノードN2に、他端が出力端子T o u tに接続されている。キャパシタC10の一端が出力端子T o u tに、他端がノードN1に接続されている。インダクタL1およびキャパシタC10は、ノードN2の電圧を平滑化して出力端子T o u tに出力する。

【0056】

ゲートドライバ32の負電源端子はノードN2に、正電源端子はダイオードD2を逆方向に介し電源V c cに接続されている。正電源端子とノードN2との間にキャパシタC11が接続されている。ダイオードD2およびキャパシタC11はゲートドライバ32の正電圧端子の電圧を生成するブートストラップ回路として機能を有する。F E T 3 0がp型F E Tの場合、ブートストラップ回路は設けなくてもよい。

【0057】

抵抗R10は、出力端子T o u tとノードN1との間に接続されている。差動増幅回路40は、抵抗R10の両端の電位差を差動増幅し検出信号V2を出力する。これにより、抵抗R10を流れる電流を検出できる。その他の構成は実施例1の図3と同じであり説明を省略する。

【0058】

図15は、降圧型スイッチング電源の別の例の回路図である。図15に示すように、降圧型スイッチング電源12bは、同期整流方式である。F E T 3 1のドレインがノードN2に、ソースがノードN1に、ゲートがゲートドライバ32bに接続されている。その他の構成は、図14と同じであり説明を省略する。

【0059】

図14および図15のように、降圧型スイッチング電源12bは、非同期整流方式でもよいし、同期整流方式でもよい。また、F E T 3 0、31としてn型F E Tを例に説明したが、p型F E Tでもよい。さらに、F E T 3 0、31は、F E T以外のスイッチでもよい。

【0060】

図14および図15に示すように、F E T 3 0（第1スイッチ）は、電源V c c（高圧側の電源端子）とノードN2との間に直列に接続されている。F E T 3 1またはダイオードD1（第2スイッチ）は、ノードN2とノードN1（低電圧側の電源端子）との間に直接に接続されている。インダクタL1は、ノードN2と出力端子T o u tとの間に直列に接続されている。これにより、ノードN2の電圧を電源V c cより降圧できる。

【0061】

F E T 3 1またはダイオードD1は、ノードN2の電圧がノードN1より低いときオンし、高いときオフする。これにより、ノードN2からN1に電流が逆流することを抑制できる。

【0062】

実施例2によれば、降圧型スイッチング電源12bの低電圧側の電源端子をノードN1に、高電圧側の電源端子を電源V c cに、出力端子T o u tをノードN1に接続する。そして、降圧型スイッチング電源12bの出力電圧をノードN1の電圧V dより少し高くする。これにより、最終増幅段10に供給される電流I dのほとんどをスイッチング電源12bの出力電流I s wとすることができる。

【0063】

これにより、エンベロープ信号の変化が速い場合は、応答速度の速いリニア電源14が増幅部10に主に電力を供給する。エンベロープ信号の変化が遅い場合は、応答速度は遅いが効率のよいスイッチング電源12bが増幅部10に主に電力を供給する。これにより

10

20

30

40

50

、応答が速くかつ高効率な増幅回路を実現できる。

【0064】

このように、実施例1の昇圧型スイッチング電源12を降圧型スイッチング電源12bとし、低電圧側の電源端子と出力端子をノードN1に接続してもよい。

【0065】

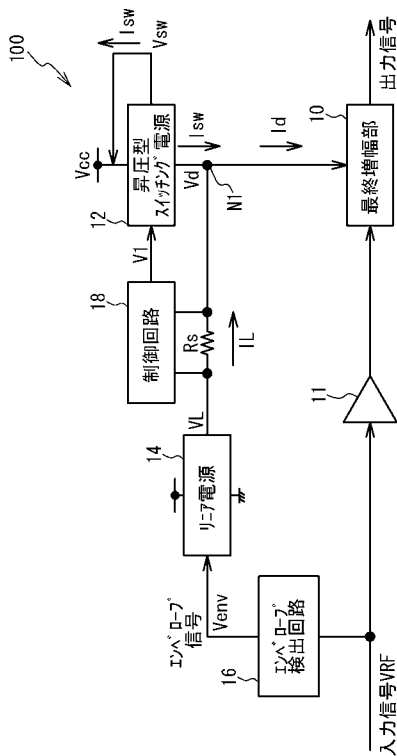
以上、本発明の実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

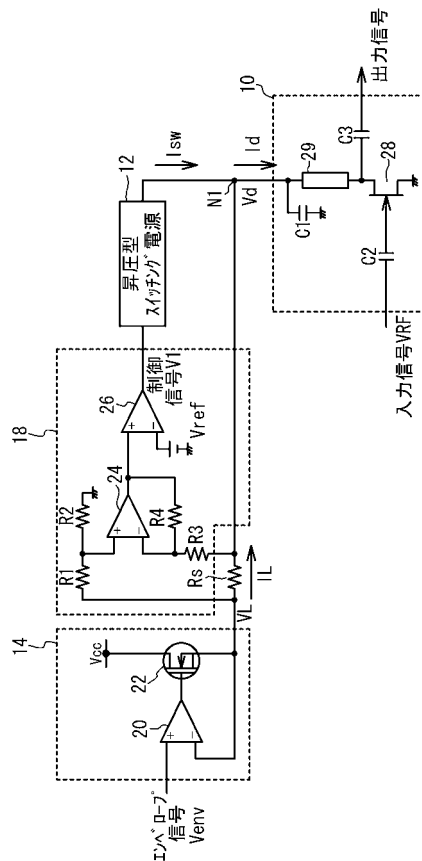
【0066】

- 10 増幅部
- 12、12b スwitchング電源
- 14 リニア電源
- 16 エンベロープ検出回路
- 18 制御回路
- 30、31、42、44 FET
- 26、38 差動増幅回路

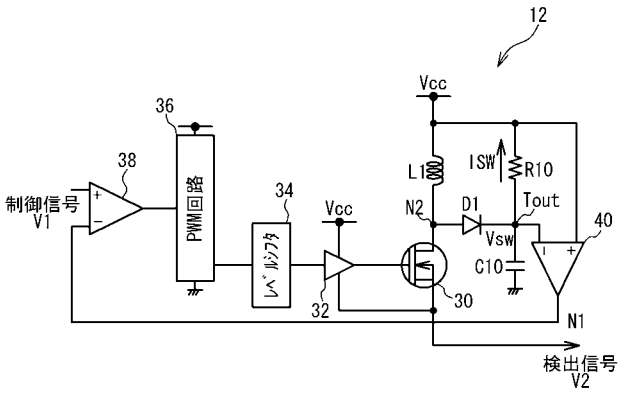
【図1】



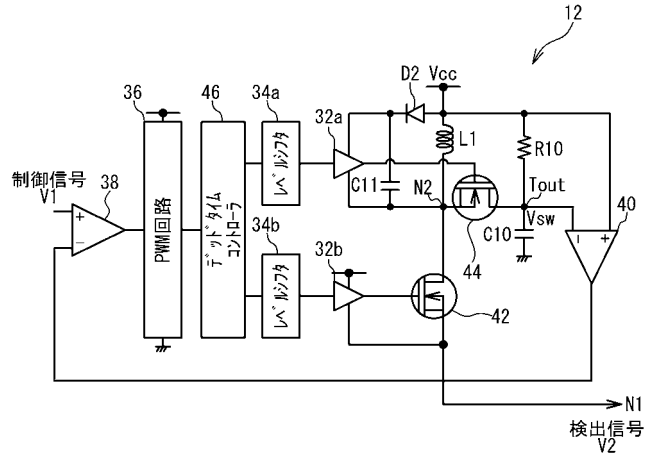
【図2】



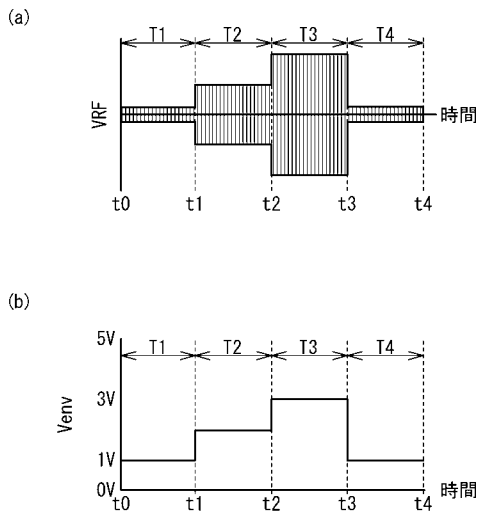
【 図 3 】



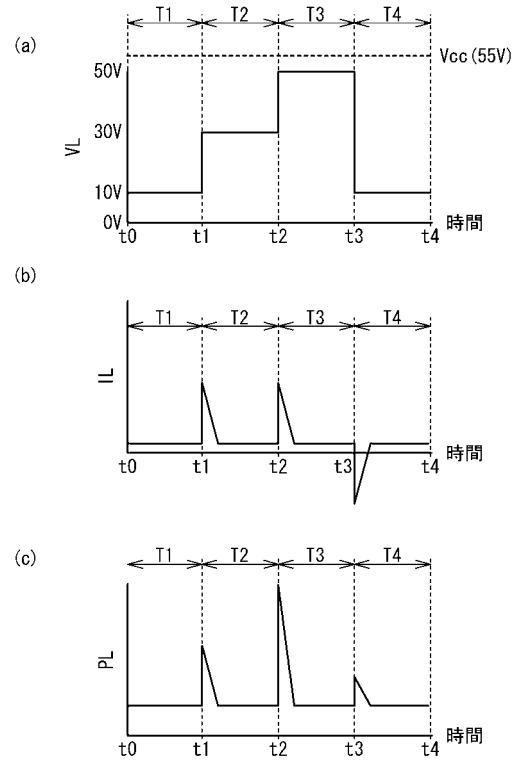
【 図 4 】



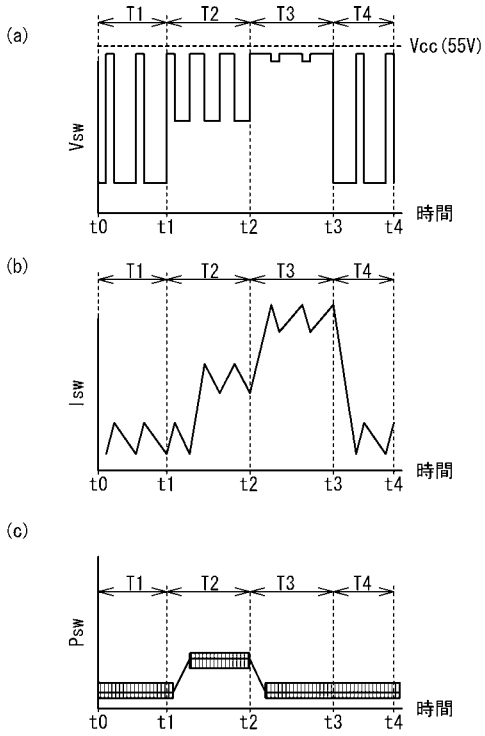
【 図 5 】



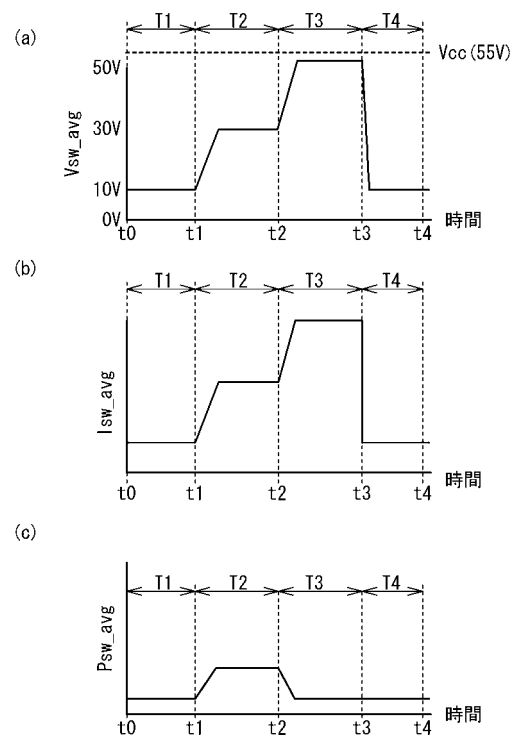
【 図 6 】



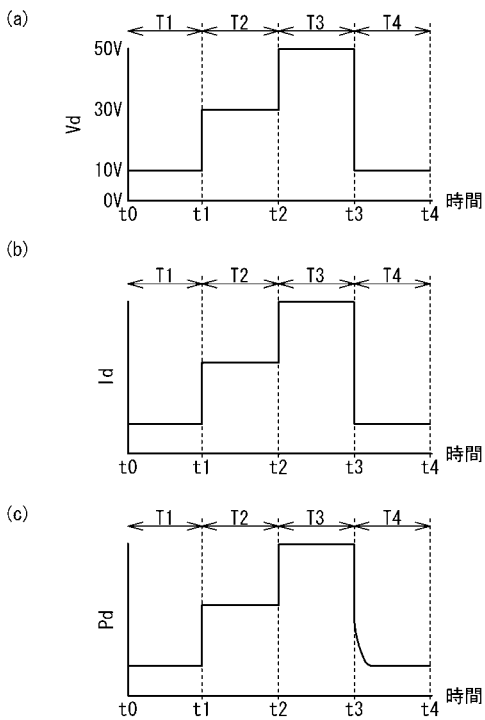
【 図 7 】



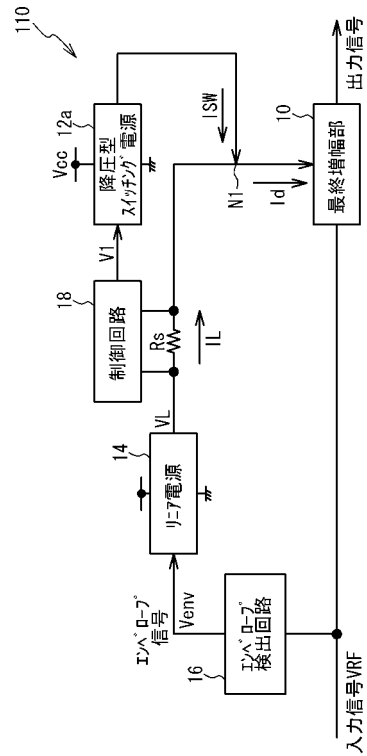
【 図 8 】



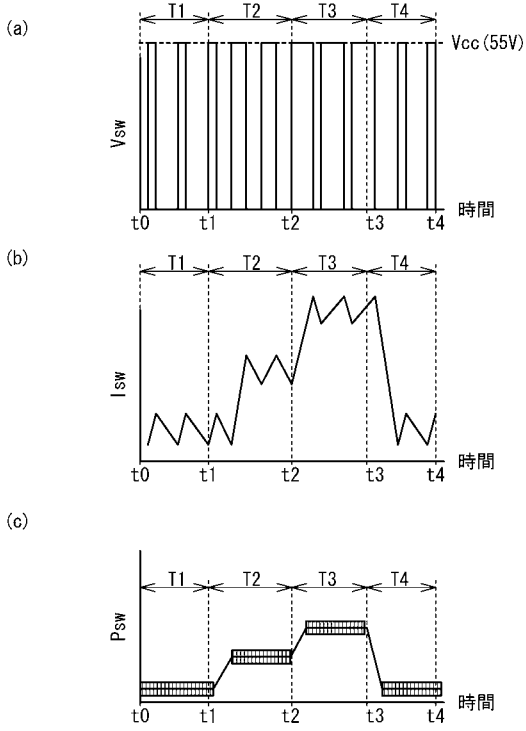
【 図 9 】



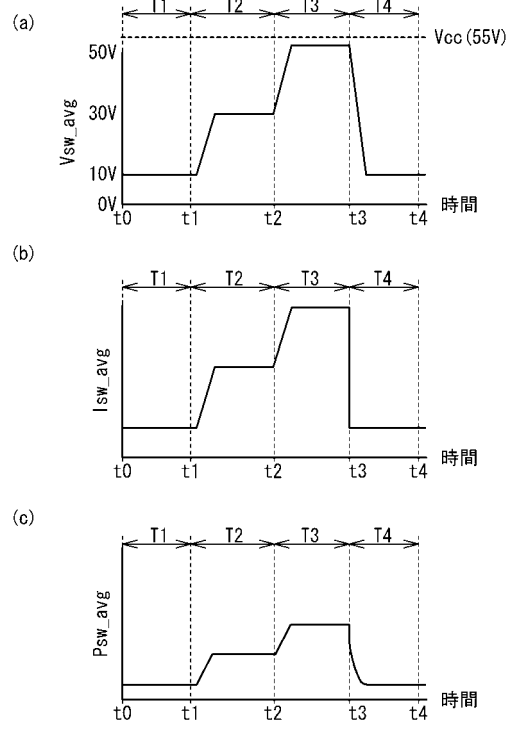
【 図 10 】



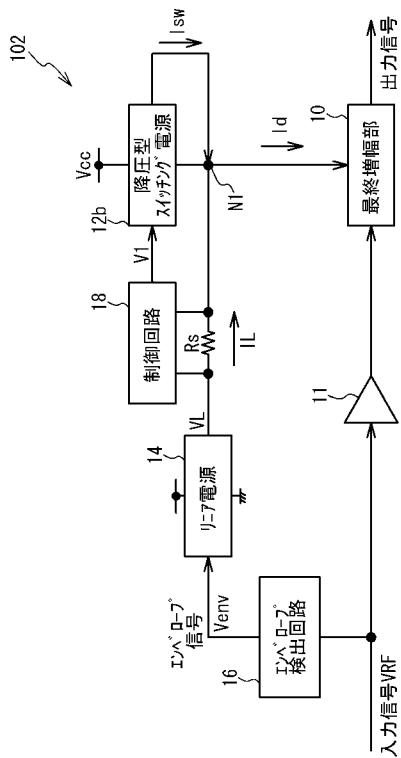
【 図 1 1 】



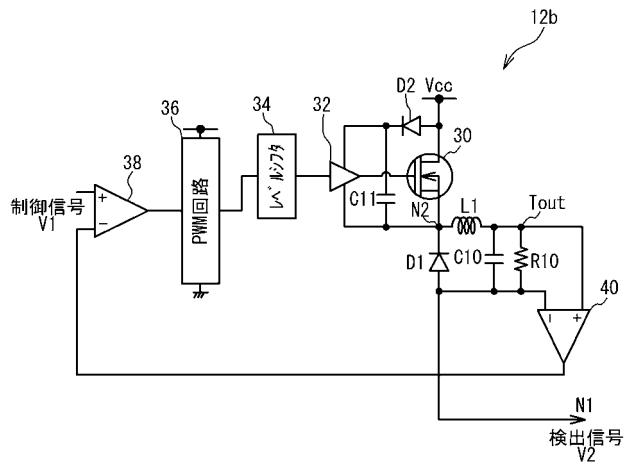
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



【 図 1 5 】

