

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 3/00 (2006.01)
G02B 6/122 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200680054226.3

[43] 公开日 2009年4月22日

[11] 公开号 CN 101416107A

[22] 申请日 2006.12.6

[21] 申请号 200680054226.3

[30] 优先权

[32] 2006. 2. 14 [33] US [31] 11/354,468

[32] 2006. 2. 14 [33] US [31] 11/354,475

[32] 2006. 2. 14 [33] US [31] 11/354,601

[32] 2006. 2. 14 [33] US [31] 11/354,731

[32] 2006. 2. 14 [33] US [31] 11/354,734

[32] 2006. 2. 14 [33] US [31] 11/354,735

[86] 国际申请 PCT/US2006/046507 2006.12.6

[87] 国际公布 WO2007/094845 英 2007.8.23

[85] 进入国家阶段日期 2008.10.14

[71] 申请人 科维特克有限公司

地址 美国佐治亚州

[72] 发明人 约翰·卢瑟·科维

[74] 专利代理机构 北京集佳知识产权代理有限公司

代理人 李春晖 杨红梅

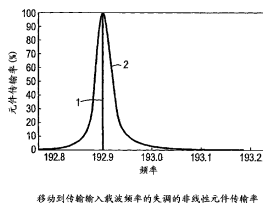
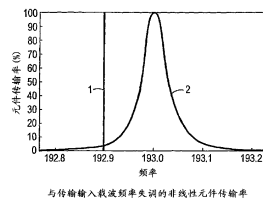
权利要求书 13 页 说明书 18 页 附图 18 页

[54] 发明名称

使用非线性元件的全光逻辑门

[57] 摘要

一种全光逻辑门，包括非线性元件，例如光学谐振器，其被配置成接收光输入信号，这些信号中的至少一个被调幅以包括数据。相对于光输入信号的载频对所述非线性元件进行配置，以基于与所述载频的谐振频率相关联的非线性元件谐振频率进行逻辑操作。所述非线性元件基于所述光输入信号产生具有二值逻辑电平的光输出信号。可使用组合介质来组合这些光输入信号供非线性元件进行鉴别，以产生所述光输出信号。各种实施例包括全光与门 (AND)、非门 (NOT)、与非门 (NAND)、或非门 (NOR)、或门 (OR)、异或门 (XOR)、异或非门 (XNOR) 以及存储锁存器。



1. 一种接收光输入信号的全光逻辑门，所述全光逻辑门包括：

非线性元件，被配置成具有相对于光输入信号频率中的至少一个限定的谐振频率，使得所述非线性元件根据光输入信号的二值逻辑电平进行逻辑操作，以产生具有振幅的光输出信号，所述光输出信号的振幅具有二值逻辑电平。

2. 如权利要求 1 所述的全光逻辑门，其中，光输入信号中的至少一个是调幅的以包括相应的数据，且所述非线性元件被配置成使用所述数据进行逻辑操作。

3. 如权利要求 1 所述的全光逻辑门，其中，光输入信号中的一个为恒定连续波（CW）光，光输入信号中的另一个为调幅的以包括数据，且即使所述具有数据的光输入信号具有由所述恒定 CW 光的振幅衰减得到的振幅，所述非线性元件产生的光输出信号的振幅由所述恒定 CW 光确定，使得所述光输出信号的逻辑电平相对于所述包括数据的光输入信号的逻辑电平被恢复。

4. 如权利要求 1 所述的全光逻辑门，其中，光输入信号中的一个为恒定连续波（CW）光，光输入信号中的另一个包括调幅的数据，且所述非线性元件充分地与所述载频失谐以实现逻辑操作以跟随光输入信号中的所述一个的逻辑电平，使得如果只有所述 CW 光进入该非线性元件且来自光输入信号中的所述另一个的光包括处于高逻辑电平的数据，则该非线性元件移入谐振状态并输出光作为光输出信号以代表高逻辑电平，如果所述 CW 光和来自光输入信号的含有低逻辑电平数据的所述另一个的光进入该非线性元件，则该非线性元件移出谐振状态，使得不输出光，作为光输出信号以代表低逻辑电平。

5. 如权利要求 1 所述的全光逻辑门，其中，光输入信号中的一个为恒定连续波（CW）光，光输入信号中的另一个包括调幅的数据，且所述非线性元件充分地与所述载频失谐以实现使用非（NOT）逻辑的逻辑操作，使得如果只有所述 CW 光进入该非线性元件且来自光输入信号中的所述另一个的光包括处于低逻辑电平的数据，则该非线性元件移入谐振状态且输出光作为光输出信号以代表高逻辑电平，如果所述 CW 光和来自光输入信号中的含有数据的所述另一个的光进入该非线性元件，则该非线性元件移出谐振状态，使得不输出光，作为光输出信号以代表第二逻辑电平。

6. 如权利要求 1 所述的全光逻辑门, 其中, 所述非线性元件具有充分地与载频失谐的谐振频率, 使得该非线性元件实现使用与 (AND) 逻辑的逻辑操作, 其中仅当两个光输入信号都具有高逻辑电平时, 该非线性元件输出光作为光输出信号以代表高逻辑电平, 如果光输入信号中的任何一个或二者都具有低逻辑电平, 则该非线性元件没有光输出, 以代表低逻辑电平。

7. 如权利要求 1 所述的全光逻辑门, 其中, 所述非线性元件具有充分地与载频失谐的谐振频率, 使得该非线性元件实现使用或非 (NOR) 逻辑的逻辑操作, 其中如果光输入信号中的任何一个或两者都有低逻辑电平, 则该非线性元件输出光作为光输出信号, 如果两个光输入信号均具有高逻辑状态, 则该非线性元件输出光以代表高逻辑电平。

8. 如权利要求 1 所述的全光逻辑门, 其中, 所述非线性元件组合光输入信号以产生组合信号, 该非线性元件根据所述组合信号产生光输出信号。

9. 如权利要求 1 所述的全光逻辑门, 其中, 所述非线性元件被实现在光子晶体中。

10. 如权利要求 9 所述的全光逻辑门, 其中, 所述光子晶体被限定为包括路径, 所述路径在输入和输出侧上由在形成该光子晶体的介质中限定的结构界定。

11. 如权利要求 10 所述的全光逻辑门, 其中, 在所述非线性元件的输入和输出侧上的结构的尺寸被形成为相对于光输入信号的频率对该非线性元件的谐振频率进行调谐或解谐, 以实现逻辑操作。

12. 如权利要求 10 所述的全光逻辑门, 其中, 在该非线性元件的输入和输出侧上的结构的位置被形成为相对于光输入信号的频率对该非线性元件的谐振频率进行调谐或解谐, 以实现逻辑操作。

13. 如权利要求 10 所述的全光逻辑门, 其中, 在该非线性元件的输入和输出侧上的结构的数量被形成为相对于光输入信号的频率对该非线性元件的谐振频率进行调谐或解谐, 以实现逻辑操作。

14. 如权利要求 1 所述的全光逻辑门, 其中, 该非线性元件被实现为光学谐振器。

15. 如权利要求 1 所述的全光逻辑门, 其中, 该非线性元件被实现为

环。

16. 如权利要求 15 所述的全光逻辑门, 其中, 所述环是由半导体线形成的。

17. 如权利要求 1 所述的全光逻辑门, 其中, 所述非线性元件被实现为由非线性材料构成的光纤, 所述光纤具有彼此隔开的布拉格光栅, 以限定该非线性元件的谐振腔。

18. 如权利要求 1 所述的全光逻辑门, 其中, 所述非线性元件由位于彼此隔开的镜之间的非线性材料构成。

19. 如权利要求 1 所述的全光逻辑门, 进一步包括:

与所述非线性元件光耦合的组合介质, 所述组合介质接收光输入信号并通过对光输入信号进行组合产生组合信号, 该组合介质将该组合信号提供给非线性元件以基于该组合信号产生光输出信号。

20. 如权利要求 19 所述的全光逻辑门, 其中, 所述组合介质和非线性元件被限定在光子晶体中。

21. 如权利要求 19 所述的全光逻辑门, 进一步包括:

至少一个光学输入介质, 所述至少一个光学输入介质向所述组合介质提供光输入信号中的一个或两者。

22. 如权利要求 21 所述的全光逻辑门, 其中, 所述光学输入介质包括光纤。

23. 如权利要求 21 所述的全光逻辑门, 其中, 所述光学输入介质限定在光子晶体中限定的路径。

24. 如权利要求 21 所述的全光逻辑门, 进一步包括:

光学输出介质, 其接收并输出来自所述非线性元件的光输出信号。

25. 如权利要求 24 所述的全光逻辑门, 其中, 所述光学输出介质包括光纤。

26. 如权利要求 24 所述的全光逻辑门, 其中, 所述光学输出介质包括光子晶体。

27 如权利要求 24 所述的全光逻辑门, 其中, 部分所述第一和第二输入介质、部分所述光学输出介质、所述组合介质以及所述非线性元件被实

现在光子晶体中。

28. 如权利要求 1 所述的全光逻辑门, 其中, 所述非线性元件被实现为具有第一和第二布拉格光栅的光纤, 所述第一和第二布拉格光栅界定和限定光学谐振器, 该第一布拉格光栅接收光输入信号, 第二布拉格光栅输出光输出信号。

29. 一种全光非 (NOT) 门, 包括:

非线性元件, 被配置成接收具有恒定连续波(CW)光的第一光输入信号以及调幅的具有数据的第二光输入信号, 所述数据具有二值逻辑电平, 所述非线性元件具有相对于所述光输入信号中的至少一个的频率被调谐的谐振频率, 使得如果第二光输入信号具有低逻辑电平则该非线性元件输出 CW 光作为具有高逻辑电平的光输出信号, 且如果光输入信号具有高逻辑电平, 则非线性元件基本上不输出光, 作为具有低逻辑电平的光输出信号, 这样, 光输出信号具有基本上由 CW 光的振幅确定的高逻辑电平的振幅调幅的二值逻辑电平。

30. 如权利要求 29 所述的全光非 (NOT) 门, 其中, 所述非线性元件被形成在光子晶体中。

31. 如权利要求 30 所述的全光非 (NOT) 门, 其中, 所述光子晶体被支撑在基片上, 进一步包括:

光学输入介质, 包括安装在该基片上的光纤, 用于向在光子晶体中形成的非线性元件提供相应的光输入信号。

32. 如权利要求 29 所述的全光非 (NOT) 门, 其中, 所述非线性元件包括光子晶体, 所述光子晶体形成在基片上支撑的层中, 所述全光非 (NOT) 门进一步包括: 称

光学输出介质, 包括安装到该基片上的光纤, 用于接收来自光子晶体的光输出信号。

33. 如权利要求 29 所述的全光非 (NOT) 门, 其中, 所述非线性元件被形成为在基片上的环。

34. 如权利要求 33 所述的全光非 (NOT) 门, 进一步包括:

在基片上形成的至少两个单独的光学输入介质, 用于接收光输入信号; 以及

组合介质，所述光学输入介质结合到该组合介质中，所述组合介质组合光输入信号以产生组合信号，该组合介质被光耦合以向所述环提供该组合信号。

35. 如权利要求 34 所述的全光非 (NOT) 门，其中，所述组合介质的末端渐缩，以将组合信号倏逝地耦合到所述环。

36. 如权利要求 33 所述的全光非 (NOT) 门，进一步包括：

在基片上形成的至少两个单独的光学输入介质，用于接收相应的光输入信号，所述光学输入介质与所述环光耦合。

37. 如权利要求 36 所述的全光非 (NOT) 门，其中，所述光学输入介质各自的末端渐缩，以将光输入信号倏逝地耦合到所述环。

38. 如权利要求 29 所述的全光非 (NOT) 门，其中，所述非线性元件是由彼此隔开的布拉格光栅形成的，所述布拉格光栅形成在由非线性材料构成的光纤中。

39. 如权利要求 38 所述的全光非 (NOT) 门，进一步包括：

至少一个光学输入介质，用于接收相应的光输入信号，所述光学输入介质被光耦合以向所述非线性元件提供相应的光输入信号。

40. 如权利要求 39 所述的全光非 (NOT) 门，其中，所述光学输入介质是光纤。

41. 如权利要求 38 所述的全光非 (NOT) 门，进一步包括：

至少一个光学输出介质，用于接收来自所述非线性元件的光输出信号，所述光学输出介质被光耦合以接收和输出光输出信号。

42. 如权利要求 41 所述的全光非 (NOT) 门，其中，所述光学输出介质包括光纤。

43. 如权利要求 29 所述的全光非 (NOT) 门，其中，所述非线性元件包括：

第一和第二彼此隔开的相对的镜；以及

位于所述镜之间的非线性材料，

所述彼此隔开的镜捕获光输入信号供非线性材料进行非线性鉴别。

44. 如权利要求 43 所述的全光非 (NOT) 门，进一步包括：

至少一个光学输入介质,用于接收相应的光输入信号并将其引导到非线性元件。

45. 如权利要求 43 所述的全光非 (NOT) 门, 进一步包括:

至少一个光学输出介质,用于接收和输出由非线性元件产生的光输出信号。

46. 一种全光逻辑跟随器门, 包括:

非线性元件, 被配置成接收具有恒定连续波(CW)光的第一光输入信号以及调幅的具有数据的第二光输入信号, 所述数据具有二值逻辑电平, 所述非线性元件具有相对于所述光输入信号中的至少一个的频率被调谐的谐振频率, 使得如果第二光输入信号具有高逻辑电平, 则该非线性元件输出 CW 光作为具有高逻辑电平的光输出信号, 如果光输入信号具有低逻辑电平, 则该非线性元件基本上不输出光, 作为具有低逻辑电平的光输出信号, 因而光输出信号具有使用基本上由 CW 光的振幅确定的高逻辑电平的振幅进行调幅的二值逻辑电平。

47. 如权利要求 46 所述的全光逻辑跟随器门, 其中, 所述非线性元件形成在光子晶体中。

48. 如权利要求 47 所述的全光逻辑跟随器门, 其中, 所述光子晶体被支撑在基片上, 所述全光逻辑跟随器门进一步包括:

光学输入介质, 包括安装到该基片上的相应的光纤, 所述光纤将光输入信号引导至在光子晶体中形成的非线性元件。

49. 如权利要求 46 所述的全光逻辑跟随器门, 其中, 所述非线性元件包括光子晶体, 所述光子晶体形成在基片上支撑的层中, 所述全光逻辑跟随器门进一步包括:

光学输出介质, 包括安装到该基片上的光纤且被光耦合以接收和输出来自在光子晶体中限定的非线性元件的光输出信号。

50. 如权利要求 46 所述的全光逻辑跟随器门, 其中, 所述非线性元件被形成为在基片上的环。

51. 如权利要求 50 所述的全光逻辑跟随器门, 进一步包括:

在基片上形成的至少两个单独的光学输入介质, 用于接收光输入信号; 以及

组合介质，所述光学输入介质结合到该组合介质中，该组合介质将光输入信号组合为组合信号，该组合介质被光耦合到所述环。

52. 如权利要求 51 所述的全光逻辑跟随器门，其中，所述组合介质的末端渐缩，以将组合信号倏逝地耦合到所述环。

53. 如权利要求 52 所述的全光逻辑跟随器门，进一步包括：

在基片上形成的至少两个单独的光学输入介质，用于接收相应的光输入信号，所述光学输入介质与所述环光耦合。

54. 如权利要求 53 所述的全光逻辑跟随器门，其中，所述光学输入介质的相应端渐缩，以将光输入信号倏逝地耦合到该环。

55. 如权利要求 46 所述的全光逻辑跟随器门，其中，所述非线性元件是由彼此隔开的布拉格光栅形成的，所述布拉格光栅形成在由非线性材料构成的光纤中。

56. 如权利要求 55 所述的全光逻辑跟随器门，进一步包括：

至少一个光学输入介质，用于接收相应的光输入信号，所述光学输入介质被光耦合以向所述非线性元件提供相应的光输入信号。

57. 如权利要求 56 所述的全光逻辑跟随器门，其中，所述光学输入介质是光纤。

58. 如权利要求 46 所述的全光逻辑跟随器门，进一步包括：

至少一个光学输出介质，用于接收来自所述非线性元件的光输出信号，所述光学输出介质被光耦合以接收和输出光输出信号。

59. 如权利要求 58 所述的全光逻辑跟随器门，其中该光学输出介质包括光纤。

60. 如权利要求 46 所述的全光逻辑跟随器门，其中，所述非线性元件包括：

第一和第二彼此隔开的相对的镜；以及

位于所述镜之间的非线性材料，

所述彼此隔开的镜捕获光输入信号，供非线性材料进行非线性鉴别，以产生光输出信号。

61. 如权利要求 60 所述的全光逻辑跟随器门，进一步包括：

至少一个光学输入介质,所述至少一个光学输入介质被光耦合以接收相应的光输入信号并将其引导至非线性元件。

62. 如权利要求 60 所述的全光逻辑跟随器门, 进一步包括:

至少一个光学输出介质,所述至少一个光学输出介质被光耦合以接收和输出由非线性元件产生的光输出信号。

63. 一种全光与 (AND) 门, 包括:

非线性元件,被配置成接收具有各自数据的第一和第二调幅光输入信号,所述数据具有二值逻辑电平,所述非线性元件具有被相对于光输入信号中的至少一个的频率被调谐的谐振频率,使得仅当第一和第二光输入信号均具有高逻辑电平时,则非线性元件输出光作为具有高逻辑电平的光输出信号,如果光输入信号中的任何一个或二者都具有低逻辑电平,则非线性元件基本上不输出光,作为具有低逻辑电平的光输出信号,因而光输出信号具有调幅的二值逻辑电平。

64. 如权利要求 63 所述的全光与 (AND) 门, 其中, 所述非线性元件形成在光子晶体中。

65. 如权利要求 63 所述的全光与 (AND) 门, 其中, 所述光子晶体被支撑在基片上, 所述全光与 (AND) 门进一步包括:

光学输入介质,包括安装到该基片上的相应光纤,所述光纤将光输入信号引导至在光子晶体中形成的非线性元件。

66. 如权利要求 63 所述的全光与 (AND) 门, 其中, 所述非线性元件包含光子晶体, 所述光子晶体形成在基片上支撑的层中, 所述全光与 (AND) 门进一步包括:

光学输出介质,包括安装到该基片上的光纤,所述光纤被光耦合以接收和输出来自在光子晶体中限定的非线性元件的光输出信号。

67. 如权利要求 66 所述的全光与 (AND) 门, 其中, 所述非线性元件被形成为在基片上的环。

68. 如权利要求 63 所述的全光与 (AND) 门, 进一步包括:

在基片上形成的至少两个单独的光学输入介质,用于接收光输入信号; 以及

组合介质,所述光学输入介质结合到该组合介质中,该组合介质将光

输入信号组合为组合信号，该组合介质被光耦合到所述环。

69. 如权利要求 68 所述的全光与 (AND) 门，其中，所述组合介质的末端渐缩，以将组合信号倏逝地耦合到所述环。

70. 如权利要求 67 所述的全光与 (AND) 门，进一步包括：

在基片上形成的至少两个单独的光学输入介质，用于接收相应的光输入信号，所述光学输入介质与所述环光耦合。

71. 如权利要求 70 所述的全光与 (AND) 门，其中，所述光学输入介质各自的末端渐缩，以将光输入信号倏逝地耦合到所述环。

72. 如权利要求 63 所述的全光与 (AND) 门，其中，所述非线性元件是由彼此隔开的布拉格光栅形成的，所述布拉格光栅形成在由非线性材料构成的光纤中。

73. 如权利要求 72 所述的全光与 (AND) 门，进一步包括：

至少一个光学输入介质，用于接收相应的光输入信号，所述光学输入介质被光耦合以向该非线性元件提供相应的光输入信号。

74. 如权利要求 73 所述的全光与 (AND) 门，其中，所述光学输入介质是光纤。

75. 如权利要求 72 所述的全光与 (AND) 门，进一步包括：

至少一个光学输出介质，用于接收来自所述非线性元件的光输出信号，所述光学输出介质被光耦合以接收和输出光输出信号。

76. 如权利要求 75 所述的全光与 (AND) 门，其中，所述光学输出介质包括光纤。

77. 如权利要求 63 所述的全光与 (AND) 门，其中，所述非线性元件包括：

第一和第二彼此隔开的相对的镜；以及

位于所述镜之间的非线性材料，

所述彼此隔开的镜捕获光输入信号，供非线性材料进行非线性鉴别，以产生光输出信号。

78. 如权利要求 77 所述的全光与 (AND) 门，进一步包括：

至少一个光学输入介质，所述至少一个光学输入介质被光耦合以接收

相应的光输入信号并将所述光输入信号引导至非线性元件。

79. 如权利要求 77 所述的全光与 (AND) 门, 进一步包括:

至少一个光学输出介质, 所述至少一个光学输出介质被光耦合以接收和输出由非线性元件产生的光输出信号。

80. 一种全光与非 (NAND) 门, 包括:

与 (AND) 门, 包括第一非线性元件, 被配置成接收具有各自数据的第一和第二调幅光输入信号, 所述数据具有二值逻辑电平, 所述非线性元件具有相对于第一和第二光输入信号中的至少一个的频率被调谐的谐振频率, 使得仅当第一和第二光输入信号均具有高逻辑电平时, 非线性元件输出光作为具有高逻辑电平的第一光输出信号, 如果第一和第二光输入信号中的任何一个或二者具有低逻辑电平, 则非线性元件基本上不输出光, 作为具有低逻辑电平的第一光输出信号, 因而光输出信号具有调幅的二值逻辑电平, 以及

非 (NOT) 门, 包括第二非线性元件, 被配置成接收来自第一非线性元件的第一光输出信号作为第三光输入信号, 所述第二非线性元件接收具有恒定连续波(CW)光的第四光输入信号, 该非线性元件具有相对于光输入信号中的至少一个的频率被调谐的谐振频率, 使得如果第三光输入信号具有低逻辑电平, 则非线性元件输出 CW 光作为具有高逻辑电平的第二光输出信号, 如果第三光输出信号具有高逻辑电平, 则非线性元件基本上不输出光, 作为具有低逻辑电平的光输出信号, 因而第二光输出信号具有使用基本上由 CW 光的振幅确定的高逻辑电平的振幅进行调幅的二值逻辑电平。

81. 如权利要求 80 所述的全光与非 (NAND) 门, 其中, 第一和第二非线性元件中的至少一个被实现在光子晶体中。

82. 如权利要求 80 所述的全光与非 (NAND) 门, 其中, 所述第一和第二非线性元件中的至少一个被实现为在基片上形成的环。

83. 如权利要求 80 所述的全光与非 (NAND) 门, 其中, 所述非线性元件是由彼此隔开的布拉格光栅形成的, 所述布拉格光栅是在由非线性材料构成的光纤中形成的。

84. 如权利要求 80 所述的全光与非 (NAND) 门, 其中, 所述非线性元件中的至少一个包括:

第一和第二彼此隔开的相对的镜；以及
位于所述镜之间的非线性材料。

85. 如权利要求 80 所述的全光与非 (NAND) 门，进一步包括：

至少一个光学输入介质，所述至少一个光学输入介质被光耦合以接收第一和第二光输入信号中相应的一个，并将其引导至所述非线性元件。

86. 如权利要求 80 所述的全光与非 (NAND) 门，进一步包括：

至少一个光学输出介质，所述至少一个光学输出介质被光耦合以接收和输出由第二非线性元件产生的第二光输出信号。

87. 一种全光门，包括：

或 (OR) 门，包括

第一和第二光学输入介质，用于接收和引导相应的调幅的具有数据的第一和第二光输入信号，所述数据具有二值逻辑电平；以及

组合介质，用于接收和组合第一和第二光输入信号以产生第一光输出信号，如果第一和第二光输入信号中的任何一个或两者具有高逻辑电平，则所述第一光输出信号具有高逻辑电平；如果第一和第二光输入信号均具有低逻辑电平，则所述第一光输出信号具有低逻辑电平；以及

非 (NOT) 门，包括

第三和第四光学输入介质，所述第三光学输入介质被光耦合以接收第一光输出信号作为第三光输入信号，所述第四光学输入介质被光耦合以接收具有恒定连续波 (CW) 光的第四光输入信号；以及

非线性元件，具有相对于第三和第四光输入信号中的至少一个的频率被调谐的谐振频率，使得如果第三光输入信号具有低逻辑电平，则非线性元件输出 CW 光作为具有高逻辑电平的第二光输出信号，如果第三光输出信号具有高逻辑电平，则非线性元件基本上不输出光，作为具有低逻辑电平的光输出信号，因而第二光输出信号具有使用基本上由 CW 光的振幅确定的高逻辑电平的振幅进行调幅的二值逻辑电平。

88. 如权利要求 87 所述的全光门，其中，所述或门和非门中的至少一个实现在光子晶体中。

89. 如权利要求 87 所述的全光门，其中，所述非线性元件被实现为在基片上形成的环。

90. 如权利要求 87 所述的全光门, 其中, 所述非线性元件是由彼此隔开的布拉格光栅形成的, 所述布拉格光栅形成在由非线性材料构成的光纤中。

91. 如权利要求 87 所述的全光门, 其中, 所述非线性元件包括:

第一和第二彼此隔开的相对的镜; 以及

位于所述镜之间的非线性材料。

92. 如权利要求 87 所述的全光门, 其中, 所述非门进一步包括:

至少一个光学输出介质, 所述至少一个光学输出介质被光耦合以接收和输出由非线性元件产生的第二光输出信号。

93. 如权利要求 87 所述的全光门, 进一步包括:

附加的非 (NOT) 门, 包括

第五和第六光学输入介质, 所述第五光学输入介质被光耦合以接收第二光输出信号作为第五光输入信号, 所述第六光学输入介质被光耦合以接收具有恒定连续波 (CW) 光的第六光输入信号; 以及

非线性元件, 所述非线性元件具有相对于第五和第六光输入信号中的至少一个的频率被调谐的谐振频率, 使得如果第五光输入信号具有低逻辑电平, 则非线性元件输出 CW 光作为具有高逻辑电平的第三光输出信号, 如果第五光输出信号具有高逻辑电平, 则非线性元件基本上不输出光, 作为具有低逻辑电平的光输出信号, 因而第三光输出信号具有使用基本上由 CW 光的振幅确定的高逻辑电平的振幅进行调幅的二值逻辑电平。

94. 一种接收调幅的第一和第二光输入信号的全光逻辑门, 包括:

第一和第二输入介质, 用于分别接收第一和第二光输入信号;

组合介质, 被光耦合以接收相应的第一和第二光输入信号, 以产生组合信号; 以及

第一非线性元件, 具有相对于第一和第二光输入信号中的至少一个的频率被调谐的谐振频率, 使得如果第一和第二光输入信号中的一个具有高逻辑电平而第一和第二光输入信号中的另一个具有低逻辑电平, 则第一非线性元件产生具有高逻辑电平的第一光输出信号, 以及如果第一和第二光输入信号两者均具有高逻辑电平或两者均具有低逻辑电平, 则第一非线性元件产生具有低逻辑电平的第一光输出信号, 因而第一光输出信号具有被

调幅的二值逻辑电平。

95. 如权利要求 94 所述的全光逻辑门, 其中, 至少所述第一非线性元件是在光子晶体中实现的。

96. 如权利要求 94 所述的全光逻辑门, 其中, 所述第一非线性元件被实现为在基片上形成的环。

97. 如权利要求 94 所述的全光逻辑门, 其中, 所述第一非线性元件由彼此隔开的布拉格光栅形成, 所述布拉格光栅形成于由非线性材料构成的光纤中。

98. 如权利要求 94 所述的全光逻辑门, 其中, 所述第一非线性元件包括:

第一和第二彼此隔开的相对的镜; 以及
位于所述镜之间的非线性材料。

99. 如权利要求 94 所述的全光逻辑门, 其中, 所述逻辑门进一步包含:

至少一个光学输出介质, 所述至少一个光学输出介质被光耦合以接收和输出由第一非线性元件产生的第一光输出信号。

100. 如权利要求 94 所述的全光逻辑门, 进一步包括:

第三和第四光学输入介质, 所述第三光学输入介质被光耦合以接收第一光输出信号作为第三光输入信号, 所述第四光学输入介质被光耦合以接收具有恒定连续波 (CW) 光的第四光输入信号; 以及

第二非线性元件, 所述第二非线性元件具有相对于第三和第四光输入信号中的至少一个的频率被调谐的谐振频率, 使得如果第三光输入信号具有低逻辑电平, 则第二非线性元件输出 CW 光作为具有高逻辑电平的第二光输出信号, 如果第三光输出信号具有高逻辑电平, 则第二非线性元件基本上不输出光, 作为具有低逻辑电平的光输出信号, 因而第二光输出信号具有使用基本上由 CW 光的振幅确定的高逻辑电平的振幅进行调幅的二值逻辑电平。

使用非线性元件的全光逻辑门

技术领域

本发明涉及用作全光逻辑门的光学设备。更具体地，数字光信号被组合并被提供给非线性元件，如光学谐振器或谐振腔开关，它们的谐振频率被调整为产生期望的逻辑输出信号。

背景技术

在电子设备中，由晶体管构成的逻辑门构成数字电路的基本元件。所述门接收基于电压的输入，产生与期望的逻辑功能对应的基于电压的输出信号。

近年来，人们已开始对开发与电子逻辑门的特性类似的光学设备产生兴趣。产生这种兴趣的原因在于光信号在集成电路中可比电信号传输得快，因为光信号不受电容的制约，而电容使逻辑状态之间的切换速度减慢。鉴于对更快切换速度的需求不断增长，因此预期在将来，如果在电子学方面缺乏显著的技术进步，则对数字光学设备的使用即使不是必须的也将会变得越来越令人期望。

然而，使用光学设备形成集成逻辑电路存在特别的挑战。由于光的特性，光进行传播但不能被存储。在所期望的长的时间内稳定地代表一个逻辑电平的能力成为一个问题。因此，期望提供可用于使用光信号稳定地代表逻辑状态的光逻辑门。

再有，已经建立了使用光部件的产业，这些光部件主要使用调幅光信号，其中光脉冲的振幅或强度代表数字逻辑状态。任何能够在光学上对数据进行存储和处理的能力理想上也应当与现有的光通信基础设施兼容。

在一些光调制方案中，由多于两个的波幅电平来代表数据。这种做法的问题在于它需要对要被进行逻辑操作的光信号的振幅进行很精确的控制。例如，在与（AND）门中，如果两个脉冲都处于高或“1”逻辑电平，在本例中用为“1”的振幅代表，那么输出的振幅将是这两个电平的线性之和或“2”。然后，将“2”传输到下一级的逻辑门，该下一级必须被配置

成将“2”解释为代表高逻辑电平，而将“1”或“0”解释为代表低逻辑电平。这样，当逻辑门被级联时，两个或更多个高电平相加的问题变得更加复杂。所以，人们希望提供能避免这一问题的光电路。

当信号穿过光学设备传播时，传播损失变成通常会阻止光学设备级联的重要问题。再有，实现在密集集成的基片中向光信号提供增益在当前有技术上的和实践中的障碍。如果能以其他方式管理数字光信号的恢复，则对若干光逻辑门的级联将是可能的。

非线性光学谐振腔通常用于实现全光切换。术语“非线性”特指一种谐振器，构成该谐振器的材料的折射率依赖于谐振器内部的强度或功率。入射功率依赖于输入信号的组合，而入射功率又决定谐振器内部的折射率。谐振器的谐振频率对其折射率的依赖关系如下：

$$f=qc/2nL,$$

其中 f 是谐振器的谐振频率， c 是光速， L 是谐振器的长度， q 是一个正整数， n 是折射率。谐振器的无载折射率和长度可被调整，使得谐振频率与输入载频略有不同，由此使得只有具有足够功率的光才能增大或减小谐振器的折射率达到足以使谐振器的谐振频率移动至等于输入的载频。一旦输入光在谐振器内谐振，则光子有高得多的谐振器寿命，由此有更大比例的输入被传输通过谐振器作为输出。谐振器能根据所设计的输入功率的量容易地从不透光状态切换到透光状态的能力是非线性谐振腔成为全光开关最常见的形式的原因。

足够的功率能使非线性谐振器切换到传输，然而，更大的输入功率量将进一步使谐振器的谐振频率移动，直至它不再与载频匹配，从而切断输出。这种特性总被认为是不希望有的，因为传统的数字设计要求一旦达到阈值就有恒定的输出电平，而不管输入电平如何。在研究和产业界，当前的思想和技术未能认识到这一特性反而会通过以下方式而对设计者有好处：实现全光逻辑将会比现在更加受欢迎地被考虑。

通过使非线性谐振器的无载谐振频率等于输入载频，所述非线性谐振器还可起到与上述解谐谐振器相反的作用。具有相对较低功率的输入将被传输，而具有相对较高功率的输入将使谐振器移出谐振状态从而切断输出。人们至今还没有认识到，如果与上述其他特性结合使用，那么非线性元件的这种相反功能是有用的。

发明内容

本发明在各种实施例中公开的设备相应地克服了一个或多个上述问题，并实现了下述进一步的优点。

根据本发明的逻辑门接收一个或多个数字调幅光输入信号。在一些实施例中，所述光输入信号之一是来自例如激光源的连续波（CW）光。所述逻辑门包括非线性元件，其接收光输入信号或它们的组合得到的组合信号，以及非线性地鉴别逻辑电平以产生具有二值逻辑电平的光输出信号。所述非线性元件可包括光学谐振器或谐振腔，其被配置成相对于光输入信号的载频被调谐，以实现特定的逻辑操作。在一些实施例中，所述逻辑门包括组合介质，用于接收和组合光输入信号以产生组合信号，所述组合介质将所述组合信号输出到所述非线性元件用于逻辑电平鉴别。在另一些实施例中，这些光输入信号被提供给非线性元件，所述非线性元件有效地组合和鉴别它们的逻辑电平。在一些实施例中，一个或多个波导被用于将光输入信号引导至该组合介质或非线性元件。在一些实施例中，一个或多个波导可用于接收来自非线性元件的光输出信号，并将其作为逻辑门的输出提供给下游元件。逻辑门可被串联地光学耦合在一起，以形成能实现几乎任何逻辑功能的光电路。单个的或组合的逻辑门能实现与门（AND）、非门（NOT）、与非门（NAND）、或非门（NOR）、或门（OR）、异或门（XOR）、以及异或非门（XNOR）等逻辑操作。

所述非线性元件用作响应光输入信号的逻辑电平的开关，并根据该非线性元件如何被调谐至输入载频或与输入载频失谐而将其输出从“断”切换到“通”或从“通”切换到“断”。再有，通过改变失谐量，能改变切换所需的输入功率量。通过适当安排输入的个数，并定制每个非线性元件的无载和有载的谐振频率，无须使用任何电子器件便能以具有竞争力的切换速度实现选定的逻辑功能。再有，如果连续光也被耦合到非线性元件作为光输入信号之一，则可在光电路的每一级恢复光强度（即逻辑电平）。如果这个连续光被用于使非线性元件保持在最大传输，则额外的数据脉冲将使该非线性元件移出谐振状态，这将产生全光逻辑反转。因为全光强度可恢复逻辑门是可能的，稳定的全光存储器是本发明的另一个可能的实施例。

附图说明

在一般性描述本发明之后，现在将参考附图。这些图并不一定是按比例绘出的，其中：

图 1 是在输入到非线性元件的光强度不足以驱动其谐振频率相对于输入光频率失谐的非线性元件进入谐振状态的情况下，非线性元件（例如光学谐振器）传输百分比与输入到非线性元件的光频率之间的关系图。

图 2 是非线性元件传输百分比与输入到非线性元件的光频率之间的关系图，显示当输入光足够强时非线性元件转入谐振和光传输。

图 3 是全光反相器（非（NOT）门）的平面图，所述反相器包括作为一个输入光信号的连续波（CW）光，作为第二个光输入信号的为零值的数据输入，以及处于谐振或传输模式的非线性元件（例如光学谐振器）。在该非线性元件上方是元件传输与频率的关系图，垂直线代表光的载频。

图 4 是全光反相器（非（NOT）门）的平面图，所述反相器包括作为一个输入光信号的连续波（CW）光，作为第二个光输入信号的为“通”（即高振幅或逻辑电平）的数据输入，以及处于非谐振或不透光模式的非线性元件。在该非线性元件上方是元件传输与频率的关系图，垂直线代表光的载频。

图 5 是全光与（AND）门的平面图，所述与门包括两个光输入信号，其数据为零振幅（即低振幅或逻辑电平），以及处于非谐振或不透光模式的非线性元件。在该非线性元件上方是元件传输与频率的关系图，垂直线代表光的载频。

图 6 是全光与（AND）门的平面图，所述与门接收两个为“通”的光输入信号（即具有高振幅或逻辑电平的数据），以及处于谐振或传输模式的非线性元件。在该非线性元件上方是元件传输与频率的关系图，垂直线代表光的载频。

图 7 是全光与非（NAND）门的平面图，所述与非门接收具有均为 1 比特（即高振幅或逻辑电平）的数据的光输入信号，并输出具有 0 比特（即低振幅或逻辑电平）的数据的光输出信号。

图 8 是全光或非（NOR）门的平面图，所述或非门接收连续波（CW）光作为一个光输入信号，另两个具有各自的数据的光输入信号，其中任意一个或两个为“通”（即高振幅或逻辑电平），且包括处于非谐振或不透光模式的非线性元件。在该非线性元件上方是元件传输与频率的关系图，垂

直线代表光的载频。

图 9 是具有逻辑电平恢复功能的全光或 (OR) 门的平面图。所述或门接收两个具有数据的光输入信号, 具有两个串联的反相器, 所述反相器产生具有恢复的逻辑电平的光输出信号。

图 10 是全光异或 (XOR) 门的平面图。所述异或门接收两个具有各自数据的光输入信号, 且包含非线性元件, 所述非线性元件失谐的程度为图 5 所示的一半。在该非线性元件上方是元件传输与频率的关系图, 垂直线代表光的载频。

图 11 是全光异或非 (XNOR) 门的平面图。所述异或非门接收两个具有各自数据的光输入信号, 以及包含非线性元件, 非线性元件失谐的程度为图 5 所示的一半, 后面跟随着如图 3 和图 4 所示的反相器。在该非线性元件上方是元件传输与频率的关系图, 垂直线代表光的载频。

图 12 是全光与非 (NAND) 门锁存器的平面图。所述与非门锁存器具有作为光输入信号的两个连续波 (CW) 光输入, 分别具有数据输入“置位 (set)”和“复位 (reset)”的另外两个光输入信号, 4 个非线性元件和两个光输出信号 Q 和 \bar{Q} 。

图 13 是光逻辑门的透视图, 所述光逻辑门包括由桥结构支持的光子晶体。

图 14 是图 13 所示的光子逻辑门的一部分的详细图, 显示该光子逻辑门的输入端的结构, 它逐渐变细以与从光纤纤芯传播进入该逻辑门的光的模式分布相匹配。

图 15 是图 13 的光子逻辑门的平面图。

图 16 是图 13 的光子逻辑门的截断透视图。

图 17 是全光逻辑门的一个实施例的平面图, 该实施例包括用于对光输入信号进行组合的组合介质以及实现为环的非线性元件。

图 18 是使用环而没有单独的组合介质的全光逻辑门的平面图。

图 19 是使用光纤实现的全光逻辑门的平面图。

图 20 是以镜实现的全光逻辑门的平面图, 所述镜限定该谐振器腔, 该谐振器腔中有非线性材料。

图 21 是根据本发明的一般化的全光逻辑门的方框图。

图 22 是制造光电路的一般化的方法的流程图，所述光电路包括被配置成接收一个或多个具有二值逻辑电平的光输入信号的一个或多个光逻辑门，以及具有一个或多个非线性元件，用于产生具有二值逻辑电平的一个或多个光输出信号。

图 23 是逻辑门的操作方法流程图，所述逻辑门根据具有二值逻辑电平的输入信号，使用基于振幅的非线性鉴别来产生具有二值逻辑电平的光输出信号。

具体实施方式

现在将参考附图更详细地描述本发明，在附图中显示了本发明的一些但不是全部实施例。实际上，这些发明可以通过多种不同的形式实现，而不应认为是局限于这里提出的那些实施例；相反，提供这些实施例是为了使本说明能满足可适用的法律要求。下文中类似的数字代表类似的元件。

定义

“下游”是指沿光传输路径相对于参考点更远的位置或元件。它还能用于指在光电路中光离开参考点的传播方向。

“断”、“低”或“0”是指光信号具有较低的振幅或逻辑电平。

“通”、“高”或“1”是指光信号具有高的振幅或逻辑电平。

“或”广义上是指该词之前或之后的任何一个、一些或全部事物，除非上下文另有指出。这样，“A 或 B”在其含义内包括单独的“A”、单独的“B”以及“A”和“B”两者一起。

‘(s)’或 ‘(ies)’表示一个或多个由在该措辞 ‘(s)’之前紧挨的单词表示的事物。由此，‘signals’表示“一个或多个信号”。

“调谐”一般是指对非线性元件进行配置，使得相对于一个或多个光输入信号的频率设置其谐振频率。这里特别要提到的是，“调谐”还可以指对该非线性元件进行配置使其谐振频率被调谐至光输入信号的频率（例如载频）。“失谐”通常是指对非线性元件进行配置，使其谐振频率被设置为不同于光输入信号的频率。

“光学谐振器”或“光学谐振腔”被定义为一种结构，该结构在有限的时段内捕获光，然后或者传输、或者反射、或者消减它。在光子晶体中

的谐振器通过放置一个或多个光可存在的光路并使用将光局限于那些光路的周期性结构包围那些光路而被创建。在二维光子晶体的情况下，所述周期性结构是在构成光子晶体的介质中限定的气孔和/或半导体棒，而光路通常由介质中如孔或棒之类的结构的不存在（absence）来限定。谐振器还可包括由半导体材料或光纤做成的环状波导。所述环与输入和输出端口耦合。或者，谐振器还可包括由反射面包围的介质，这些反射面可以是交替的介电材料，或者具有不同反射系数的交替材料，或者结束于低反射率的用于全内反射的表面，或者金属表面。谐振器还可包括重叠的光栅，排列它们的反射级（reflective order），从而可选择性地捕获光。谐振器还可以包括非线性材料，其含有保持光的电磁感应指数分布（例如孤立子或电压感应分布）。

“基片”是工件或起始材料，在它上面形成逻辑门。所述基片可以是晶片，例如在半导体或微光刻法中使用的晶片。例如，基片可由一种或多种物质构成，包括半导体或绝缘体上硅（SOI）基片。可能的材料包括硅（Si）、二氧化硅（SiO₂）、砷化镓（GaAs）、镓（Ga）、硼（B）、磷（P）、磷化镓（GaP）、氮化镓（GaN）等。

“上游”是指在光学门或电路中相对于参考点位置靠近光源的位置或元件。它还能用于指朝向光源的方向。

“波导”是指能限定和引导光的任何结构或介质组合。例如，波导可以是光纤，其中的芯被反射系数（RI）高于该芯的包层包围，它具有将某一波长内的光限定在该芯内的作用。还可在光子晶体中形成光导，在光子晶体中，光在光子晶体中限定的路径中传播要比在光子晶体中限定的结构的区域中传播更加容易。

用于全光逻辑门的非线性元件

图 1 显示针对非线性元件的作为输入光强度百分比的光传输率与输入光频率的关系图，在这一情况中，该非线性元件被实现为光学谐振器。所述输入光具有为 192.9THz（即波长为 1.55 微米）的频率 1。该非线性元件具有 193THz 的谐振频率 2，从而与输入光的频率 1 失谐。在图 1 中，输入光的功率不足以使光学谐振腔转入谐振。因此，在图 1 所代表的情况中，传输穿过谐振腔的载频光的百分比相对比较低，接近于零。

图 2 显示穿过实现为光学谐振器的非线性元件的作为该非线性元件输入光强度的百分比的传输率。在图 2 代表的情况中，输入光的功率足够

高,使得非线性元件转入谐振。换言之,光功率足够高而且频率足够接近,使得光在非线性元件中谐振且输出相对大量的输入光,几乎是百分之百。如下面将清楚看到的那样,非线性元件的这一选择性谐振特性能被很好地利用到下文描述的逻辑门中。

使用非线性元件的全光逻辑门

图 3 是全光逻辑反相器(非(NOT)门)10,它包括两个单独的输入介质 3 和 4,它们可以是单独的波导。输入介质 3 和 4 与组合介质 5 对齐或结合,组合介质 5 可以是例如单个波导或光子晶体。组合介质 5 被配置成将各输入介质 3 和 4 上的光输入信号 A 和 B 引导到非线性元件 6(例如光学谐振器)。在本实施例中的光输入信号 A 是具有恒定功率的连续波(CW)光,它被引导进入第一光学输入介质 3,而光输入信号 B 是调幅的光数据(例如数据流),它被引导进入第二光学输入介质 4。非线性元件 6 被精确地解谐,使得如果只有连续波光进入非线性元件,该非线性元件就转入谐振,此时该元件的谐振频率 1 与 CW 光的频率 2 对齐,将光以光输出信号的形式输出到光学输出介质 7 上。

在图 4 中,调幅光输入信号 A(例如 CW 光)与组合介质 5 中的 CW 光组合并进入非线性元件 6,其中,所述光输入信号 A 与来自第二输入介质 4 的第二光输入信号 B(例如脉冲或数字比特)的频率基本上相同。入射到非线性元件 6 上的光功率通过相长干涉或相消干涉而充分地增大或减小(取决于光输入信号 A 的 CW 光与调幅光输入信号 B 的相位差),以使非线性元件移出谐振状态,这使得波导 7 上的输出切换到“断”或低的振幅或逻辑电平。因为图 3 和图 4 的设备输出的是在第二输入介质 4 上所接收的调幅光输入数据的逻辑电平(即波幅电平)的反相,所以它在效果上是光逻辑反相器。因为反相器 10 的光功率输出仅由输入介质 3 上的 CW 光的功率决定,而不是由介质 4 上的调幅光输入信号 B 的可能会消失的数据决定,因此,图 3 和图 4 的逻辑反相器以类似于连接到电压源的电子反相器或晶体管可实现逻辑电平恢复的方式实现全光逻辑电平恢复。

图 5 是全光与(AND)门设备 20,它包括两个单独的光学输入介质 21 和 22,它们可能是与组合介质 25 对齐或与之结合的波导,所述组合介质 25 可以是例如单个波导或在光子晶体中限定的路径。组合介质 3 被配置成与非线性元件 26 对齐或与之光耦合。调幅光输入信号 A、B 每个被相应的数据调制,它们在进入非线性元件之前被分别引导进入光学输入介质 23 和 24 并在组合介质 25 中组合。如图 5 中所示,如果光输入信号 A、

B 中的任何一个或它们两个具有低的或“断”逻辑电平，那么非线性元件 6 产生具有低的或“断”逻辑电平的光输出信号。非线性元件 26 充分地 与光输入信号 A、B 的载频 1 失谐，使得只有当两个输入同时为“通”时，非线性元件 26 在光学输出介质 27 上的输出才切换为“通”，如图 6 中所示。这一特性对应于全光与门。在介质 27 上的光功率输出发出的功率是其任意一个输入的功率的二倍，即光输出信号的逻辑电平是光输入信号 A、B 的逻辑电平相加。如果任何后续的设备被特别设计成接收典型的逻辑“1”比特的强度（即高的振幅或逻辑电平），上述增加了的输出功率会 是有害的。在本实施例中对这一问题有两个解决方案：或者是通过使后续 的任何接收非线性元件进一步失谐，从而将后续逻辑门设计成适应于来自 与门的两倍功率，或者将单个电平跟随器（图 5 和图 6 的与门接收光输入 信号 A、B 之一中的 CW 光并接收另一个光输入信号中的调幅数据，谐振 频率被充分解谐以当两个输入均为高且只有在两个信号相消干涉时输出 一半的功率，而如果任何一个均处于低逻辑电平则无功率输出）或两个反 相器串联放在与门之后，以恢复适当的输出功率电平。

在本发明的一个实施例中，如图 7 所示的全光与非门 30 是通过在图 5 和图 6 的与门后面放置反相器（如图 3 和图 4 的门 10）得到的。更具体 地，如果图 5 和图 6 的门 20 的输出介质 27 与图 3 和图 4 的门 10 的输入 介质 4 对齐或光耦合，便得到了全光与非门 30，其中，相对于输入介质 23、24 上的光输入信号 A、B，其光输出信号的数据遵从与非布尔逻辑。 这样，如果光输入信号 A、B 二者都为低逻辑电平，那么由与非门 30 产 生的光输出信号具有“高”逻辑电平；如果光输入信号 A、B 中的任何一 个或二者具有“低”逻辑电平，那么由与非门 30 产生的光输出信号具有 “高”逻辑电平。更具体地，非线性元件 6 相对于光输入信号 A、B 的载 频 2 被调谐，使得只有当光输入信号 A、B 两者都处于高逻辑电平时，在 介质 27、4 上的光信号的振幅在与光输入信号 C（CW 光）组合之后有足 够的振幅以使非线性元件 6 的谐振频率 1 移离光输入信号 A、B、C 的载 频 2，使得介质 7 上的光输出信号具有低逻辑电平。否则，如果光输入信 号 A、B 中的任何一个或二者具有低逻辑电平，那么介质 27、4 上的光信 号在与光输入信号 C 组合后所具有的功率不足以使非线性元件 6 移出谐 振状态，由此，在这种情况下，在介质 7 上的光输出信号具有“高”逻辑 电平。

图 8 是全光或非门 50，它包括与或门 40 相结合的光反相器 10。或门

40 包括两个单独的输入介质 41 和 42 (例如光波导或通过光子晶体的路径), 所述介质与组合介质 43 (例如单个光波导或光子晶体的一个区域) 对齐或与之结合。如果在介质 41、42 上的光输入数据信号 A、B 中的任何一个或二者的振幅为高 (即具有高的振幅或逻辑电平), 那么在介质 43 上的光输出信号上的数据为高 (即高的振幅或逻辑电平)。反之, 如果在介质 41、42 上的光输入数据信号都为低逻辑电平 (即低的振幅或逻辑电平), 那么在介质 43 上的光输出数据信号也处于低逻辑电平 (即低的振幅或逻辑电平)。组合介质 43 与反相器 10 的输入介质 4 对齐或与之光连接, 所述反相器 10 的构成和功能可与之前参考图 3 和图 4 描述的设备类似。如果该设备的输入介质 3、4 上的光输入信号 A、B 中的任何一个或二者含有足够的功率 (即处于具有相应高波幅电平的“高”或“1”逻辑电平), 那么在反相器的输出介质 7 上的光输出信号切断 (即具有低的振幅或逻辑电平)。否则, 由反相器 10 产生的光输出信号保持“通” (即具有高的振幅或逻辑电平)。因为门 50 以反相器 10 终止, 它还通过接收介质 3 上的输入到反相器 10 的具有恒定连续波 (CW) 光的光输入信号 C 来恢复减弱的逻辑电平, 该光输入信号 C 具有足够的功率来恢复逻辑电平。

在图 9 所示本发明的实施例中, 全光或门 55 包括图 8 中的或门 40, 它与图 3 和图 4 中所示的第一和第二反相器 10、10' 光对齐或耦合。虽然图 8 的门 40 与该光逻辑门实现同样的逻辑功能, 但图 9 的实施例允许逻辑电平恢复, 而简单的无源波导则不允许。

图 10 是全光异或门 60, 它包含并入单个组合介质 55 的两个单独的输入介质 53 和 54。所述组合介质 55 与非线性元件 56 光对齐或光连接。非线性谐振器 56 的谐振频率 51 与光输入数据信号的载频 52 失谐, 失谐程度为图 5 和图 6 的光与门 20 的情况的一半, 使得只有当单个光输入信号 53、54 为高 (即具有高的振幅或逻辑电平) 时, 介质 57 上的光输出信号切换到“通” (即具有高的振幅或逻辑电平)。如果光输入信号 A、B 二者都为“通” (即具有高的振幅或逻辑电平), 则非线性元件的谐振频率 51 相对于输入载频移动得太远而不允许将光传输到光学输出介质 57, 并且非线性元件 56 关闭介质 57 上的光, 使得光输出信号具有低逻辑电平。如果光输入信号 A、B 中任何一个都不为“通”, 非线性元件 56 便没有显著的光输出, 于是光输出信号具有低逻辑电平。如果单个光输入信号 A、B 为“通”, 门 60 便输出具有高逻辑电平的光作为光输出信号, 所以不需要逻辑电平恢复来补偿它的操作。

在本发明的一个实施例中，图 11 中所示的全光异或非门 65 包括异或门 50 (图 10)，后跟反相器 10 (图 3 和图 4)。在本实施例中，如果光输入信号 A、B 二者都具有高逻辑电平，那么由异或门 50 产生的光输出信号具有低逻辑电平。异或门 50 在介质 57 上输出具有低逻辑电平的光输出信号，该光输出信号被输入到介质 24 上的反相器门 10 作为一个光输入信号。另一个光输入信号 C 是输入到光学输入介质 23 上的反相器门 10 的 CW 光。这些信号在介质 5 中组合，结果得到的组合信号没有足够的功率将非线性元件 6 的谐振频率 1 移出相对于光输入信号的载频的谐振状态。相应地，由反相器门 10 产生的光输出信号具有“高”逻辑电平。如果光输入信号 A、B 二者都处于低逻辑电平，那么由非线性元件 6 产生的光输出信号具有“低”逻辑电平。来自光学输出介质 57 上的异或门 50 的光输出信号被输入到光学输入介质 4 上的反相器门 10，在与光输入信号 C 组合后，它的电平不足以产生其振幅足够驱动非线性元件 6 失谐的组合信号。于是，由反相器门 10 产生的光输出信号具有高逻辑电平。如果光输入信号 A、B 中的任何一个但不是两个具有低逻辑电平，那么非线性元件 56 被驱动到谐振状态，从而使来自异或门 50 的光输出信号具有“高”逻辑电平。该“高”逻辑电平被输出到介质 57 上，并经由介质 4 被接收作为到反相器门 10 的光输入信号之一。该光输入信号在介质 5 中与光输入信号 C (CW 光) 组合，该得到的组合信号的振幅足以驱动非线性元件 6 的谐振频率 1 离开组合信号的载频 2 (其与光输入信号的载频相同)，使得异或非逻辑门 65 产生的光输出信号切换到“低”逻辑电平。这样，门 65 对光输入信号进行异或非逻辑操作，以产生其光输出信号。

图 12 是全光存储锁存器 70，包含两个光输入信号 R 和 S，它们光耦合于单独的与非门 30、30' (图 7)。与非门 9 和 10 二者的光输出 Q 和 \bar{Q} 与相应的第二输入介质 24、24' 相连，作为相对的与非门 30、30' 的第二输入。在本实施例中，介质 24、24' 相交于交叉点 73，由于光串扰滤波器 74 的作用，它们不会造成串扰。该设备的操作恰如基本的电子与非门锁存器的操作，其中，实现下列逻辑表：

S	R	Q	\bar{Q}
0	0	无效	无效
0	1	1	0
1	0	0	1

1	1	Q	\bar{Q}
---	---	---	-----------

这样，逻辑受控的全光存储器是可能的，因为在输出介质 7 上的光输出信号能被设置成所希望的值，然后根据光输入信号 S 和 R 被存储。因为这一设备的光输出信号由反相器 10、10' 使用连续波 (CW) 光有效地产生，它的逻辑电平能在每个切换周期被连续地恢复。所以，被存储的信号能被无限地重复利用，这允许实现在电子存储器中已经具有的全光存储性能。本实施例中公开的全光锁存器不是由逻辑门构建存储器的唯一方式，也不应认为是本发明如何能用作全光存储器的唯一实例。

为了具体描述锁存器 70 的操作，如果光输入信号 S、R 二者都有低逻辑电平，则非线性元件 26、26' 没有接收具有足够功率以驱动非线性元件 6、6' 离开谐振的光输入信号，于是，由于在介质 3、3' 上输入相应的 CW 光的光输入信号，使得光输出信号 Q、 \bar{Q} 二者都具有高逻辑电平。具有相同的逻辑电平的两个光输出信号 Q、 \bar{Q} 被认为是锁存器 70 的无效逻辑电平。如果光输入信号 S、R 分别具有低和高逻辑电平，那么光输入信号 R 的高逻辑电平迫使与非门 30' 的光输出信号 \bar{Q} 成为低逻辑电平，该低逻辑电平被反馈到与非门 30，迫使非线性元件 6 与输入给它的 CW 光谐振，造成非线性元件 6 产生高逻辑电平用于光输出信号 Q。如果光输入信号 S、R 分别具有高和低逻辑电平，那么光输入信号 S 的高电平迫使与非门 30 产生的光输出信号 Q 成为低逻辑电平。光输出信号 Q 作为光输入信号被反馈到与非锁存器 30' 这一事实确保了光输出信号 Q 具有高逻辑电平。最后，如果光输入信号 R、S 二者都具有高逻辑电平，那么与非门 30、30' 没有一个切换其逻辑电平，光输出信号 Q、 \bar{Q} 的逻辑电平不改变。

制造全光逻辑门的方法示例

在描述了根据本发明的全光逻辑门和电路的结构和功能后，现在将描述制造全光逻辑门的方法示例。

用氮气处理绝缘体上硅晶片基片 80，以去除灰尘和碎屑。使用研磨机和粉末对基片 80 进行抛光。使用分子束取向外延 (MBE) 工具，在硅基片 80 上生长表面粗糙度小于 5nm 的厚度为 200-400nm 的硅层 81。然后，将该晶片 80 放置在电子束光刻室内。为了防止“邻近效应”，每个最小特征区域被顺序地暴露于电子束光刻。每个这样的“像素”被人工有选择地暴露，而不使用外部软件。该设备的特征被蚀刻出来，以限定孔 82

(图 12 中只具体标出它们当中的少数), 这些孔垂直地穿入基片, 直径为 231nm, 且在同一行中相隔是 420nm, 在层 81 中限定相邻行的孔, 使得它们相对于例如第一行向左或向右移动 240nm, 从而形成三角形光子晶体栅格。仅在设备 10 内期望光传播的地方不蚀刻孔, 所述设备 10 在层 81 中形成。由于若干理由, 光子晶体结构用来形成逻辑门是有好处的。首先, 可在光子晶体中限定亚微米路径以迅速改变光传播方向, 以便引导光信号穿过限定逻辑电路的路径。再有, 光子晶体谐振腔在亚微米至微米的范围可具有很高的 Q 因数, 使得对实现逻辑切换的功率要求较低。

非线性元件 6 是通过在要捕获光的任一侧上插入孔来形成的。可通过改变孔的直径, 通过增大或减小在每一侧的孔之间的距离, 通过增大或减小在一侧或两侧的孔的数量, 或通过这些技术的组合来使该非线性元件被调谐至输入载频或与输入载频失谐。通常, 由于所期望的切换功率、寿命和带宽, 孔的数量和两侧之间的距离将保持固定。所以, 在这一特定过程中, 为了调谐谐振器以在所期望的波长传输, 仅改变最内和最外的孔的直径。

在左、右边缘处 (外部光在所述左、右边缘处进入或离开该设备), 基片被深度蚀刻, 以增强在侧面进入该设备下方的绝缘体的能力。在整个区域被暴露以形成光逻辑门之后, 该晶片被浸入氢氟酸中, 直至直接在设备下面的绝缘层被洗掉, 得到一个悬空的薄膜桥 83, 如图 13 和图 15 所示。在清洁晶片 80 后, 边缘被分离, 得到光芯片 84。

光纤波导 3a、4a 被分离和抛光, 折射率匹配的粘合剂 3b、4b 被应用于光纤的末端以将其附接到突起 3c、4c。可以用粘合剂或其它机械固定物 86 将光纤固定到芯片 84 内的桥 85 上, 使光纤相对于光逻辑门设备 10 的波导末端固定就位。光纤的相对端可在输入侧固定附接于 CW 激光源或上游信号源, 以适当地向逻辑门 10 提供光输入信号 A、B。然后, 光输入信号 A、B 经由各自的光纤 3a、4a、粘合剂 3b、4b 以及突起 3c、4c 被提供给设备 10。光输入信号 A、B 进一步穿过相应的区域 3d、4d, 到达组合介质 5。由光输入信号组合得到的光进入谐振器 6, 在那里所述光被捕获。谐振器 6 向区域 7d 输出光输出信号, 在那里光传播到突起 7c, 进入粘合剂 7b, 并最终到达光纤 7a, 在那里光行进到光纤 7a 的输出端, 其可以作为后续逻辑门的输入或者作为芯片 84 的最终输出而终止。可以以上述类似的方式, 或者使用本领域技术人员公知的大量技术和设备, 将光纤 7a 的输出端拼接到另一根光纤或光电路 (未示出)。

如图 14 中所示, 光输入和输出介质 3、4、7 可使用对接耦合技术与相应的光纤耦合。在这种情况下, 逻辑门 10 被限定为使得被限定的孔沿逻辑门 10 的输入侧的光输入信号的传播方向逐渐缩小 3e、4e 而更窄, 以与光输出信号的模态分布匹配。在输出介质 7 处, 其配置被反转, 由基片 81 中的孔确定的锥形 7e 沿设备 10 的光输出信号的传播方向逐渐增大或变宽, 从而使门 10 的输出的模态分布与输出介质 7a 内的模态分布匹配。耦合进、出外部源的光的波导缓慢地逐渐变细, 以与对接耦合的光纤模态分布匹配。

图 15 和图 16 更详细地显示逻辑门 10 的光学谐振器 6。显然, 在谐振器 6 的每一端最外面的孔小于最内的孔。如果有其它孔要包括在谐振器 6 内部, 则它们将被放在最外的孔和最内的孔之间, 并且大小与谐振器外部的光子晶体内的其它地方使用的孔的大小相同。

本发明的另一个实施例是图 17 的逻辑门设备 90。逻辑门 90 使用半导体“连线”代替绝缘体上半导体 (SOI) 基片 90 上形成的光子晶体。使用上述同样设备蚀刻光子连线 93c、94c, 然后它们直接地或倏逝地 (evanescently) 连接到用作非线性元件 96 的环或环线波导 (在这种情况下是循环器或谐振器)。通过限定非线性元件 96 的环的周长, 非线性元件 96 被调谐或解谐。后续的其他步骤与前述例子中的相同, 但不构成薄膜桥, 而设备 90 保持在绝缘基片 90 上。在操作中, 光输入信号 93、94 在相应的输入介质 93a、94a 上行进到组合介质 95。更具体地, 使光波导 93a、94a 与连线 93c、94c 对齐并使用粘合剂 93b、94b 使它们光耦合。这样, 在相应波导 93a、94a 上的光输入信号穿过粘合剂 93b、94b 进入光连接线 93c、94c, 所述光连接线并入介质 95 中, 在那里光输入信号组合在一起。组合介质 95 使光输入信号与非线性元件 96 倏逝地耦合。依赖于介质 93、94 上的光输入信号的逻辑电平, 非线性元件 96 通过倏逝耦合将光输出信号输出到光连接线 97c, 经由粘合剂 97b, 进入输出光波导 97a, 这些构成输出介质 97。

图 18 的逻辑门 100 的实施例在很多方面类似于图 17 的实施例, 唯有在图 18 中通过使光输入信号经过相应的介质 93、94 直接耦合到非线性元件 96 从而省去了组合介质 95, 在非线性元件处, 这两个信号组合并彼此干涉, 从而在输出介质 97 上产生光输出信号。

图 19 显示本发明的逻辑门 110 的另一个实施例, 它包括光纤 103a、104a、106a、107a。典型的单模式光纤 103a、104a 被用作波导, 然后它

们与包括非线性材料的光纤 106a 相连。非线性光纤通常是由弱克尔 (Kerr) 材料 (如二氧化硅) 制成。然后通过将光纤 106a 的周期性部分暴露于强光 (例如来自 CO₂ 激光器), 在非线性光纤中以彼此隔开的位置形成布拉格光栅 106b、106c。通过改变强光暴露的长度和位置或者通过弯曲光纤来改变谐振器形状, 可对得到的非线性元件 106 进行调谐。

图 20 显示光逻辑门 110 的一个实施例, 它具有包括非线性材料 116a 和镜 116b、116c 的非线性元件 116。光逻辑门 110 还包括介质 113、114 (在本例中被示为光纤), 用于将光输入信号传输到非线性材料 116, 以及输出介质 117, 用于输出由非线性材料 116 产生的光输出信号。更具体地, 来自介质 113、114 的光输入信号行进到并穿过单向镜 116b, 在那里它们在介质 115 中组合以产生组合信号, 该组合信号进入非线性材料 116a。介质 115 可以是非线性元件 116 外部或内部的空气或周围环境, 或者它可以是单独的非线性材料 116a 或非线性材料 116a 与周围环境的组合。取决于与光输入信号频率相关的非线性材料 116 的谐振频率, 所述组合信号或者被非线性材料 116a 消减或者被非线性材料 116a 传输。非线性材料 116a 可由例如酯基染料构成。穿过非线性材料 116a 的任何组合信号传输到并通过单向镜 116c 继续前进到光介质 117 上, 从那里, 所述信号从光逻辑门 110 输出。通过改变镜之间的距离或通过改变谐振器的几何形状, 可以对谐振腔进行调谐。

图 21 是根据本发明的一般化全光逻辑门 200 的方框图。在图 21 中, 全光逻辑门 200 包括非线性元件 206, 所述非线性元件 206 包括由光子晶体形成的光学谐振器或光学谐振腔、非线性材料光纤中的布拉格光栅、循环器、分布式反馈 (DFB) 激光器、或其它非线性设备中的一个或多个。光输入信号 A, ..., B (省略号 “...” 代表可能有不只两个信号这样的事实) 中的至少一个是调幅的, 它们被直接提供给非线性元件 206, 非线性元件 206 被配置成组合光输入信号 A, ..., B, 鉴别所得到的组合信号的逻辑电平并根据非线性元件 206 被配置执行的逻辑操作, 例如通过与光输入信号 A, ..., B 的载频相关地设置谐振频率而在其输出端产生二值逻辑电平。或者, 如图 21 中的假想线所示, 光输入信号 A, ..., B 被提供给组合介质 205, 如波导或路径, 光输入信号在这里组合。所得到的组合信号行进到非线性元件 206, 非线性元件 206 根据其被配置要完成的操作来鉴别逻辑电平, 并根据光输入信号 A, ..., B 的逻辑电平输出调幅的光输出信号。光输入信号 203 可用于将来自源或上游逻辑门的光输入信号

A, ..., B 提供给非线性元件 206, 或提供给组合介质 205 并从那里提供给非线性元件 206。光学输出介质 207 可用于将光输出信号输出给光电路中的下一个逻辑门或另一个下游元件。

在图 22 中, 制造包括一个或多个光逻辑门的光逻辑电路的方法在步骤 220 开始, 在其中, 选择要执行的逻辑操作。在步骤 222, 设计具有执行选定的逻辑操作所需的一个或多个逻辑门以及光连接的光电路。在步骤 224, 通过形成逻辑门来制造所设计的光电路使得该电路的谐振频率被调谐为期望逻辑门根据光电路设计执行的那部分逻辑操作。

作为图 22 的方法的一个举例, 假定要根据在步骤 220 中选择的下列逻辑操作产生光输出信号:

光输出信号 = (光输入信号 A * 光输入信号 B) + 光输入信号 C

在步骤 222 中设计光电路。能实现选定逻辑操作的一种设计使用“与”逻辑门来鉴别光输入信号 A、B, 所得到的输出信号与光输入信号 C 一起被输入到“或”门以产生用于所述选定逻辑操作的光输出信号。在步骤 224, 制造“与”逻辑门和“或”逻辑门, 使得非线性元件的谐振频率被适当地调谐至光输入信号的频率或与光输入信号的频率失谐, 以产生希望的“与”逻辑门和“或”逻辑门。然后, 所得到的光电路被耦合, 使得其输入端从上游元件接收各光输入信号 A、B、C, 且所述输出端被耦合以向下游元件提供光输出信号。

在图 23 中, 逻辑门的操作方法在步骤 230 开始, 其中, 接收来自上游元件 (如用于 CW 光的激光源、光调幅器或例如逻辑门的上游光电路元件) 的光输入信号。在步骤 232, 光输入信号被引导。可由光学输入介质针对相应的光输入信号来执行步骤 230 和 232。在步骤 234, 光输入信号被组合以产生组合信号。该步骤可由组合介质完成。如图 23 中的假想线所示, 步骤 232 和 234 是可选的步骤。在步骤 236, 对由光输入信号的组合得到的逻辑电平进行鉴别以产生具有二值逻辑电平的光输出信号, 其低逻辑电平由低振幅代表, 高电平由高振幅代表。步骤 236 可由逻辑门的非线性元件执行。最后, 在步骤 238, 光输出信号被传输到下游元件, 例如在该光电路或另一个光学设备中的下一个门。

设备的对应

在所附权利要求书中, “用于非线性地鉴别光输入信号的逻辑电平以产生具有二值逻辑电平的光输出信号的非线性元件”是指这里描述的任何

非线性元件 6、6'、26、26'、56、96、106、116、206 或其等效元件。

替换方案

尽管“调谐”光学谐振器通常是指使谐振器的谐振频率偏移，但本发明还认为“调谐”还指改变谐振器传输特性的其它方法，作为实现所希望功能的可能手段。例如，可能通过改变品质因数，或者通过在谐振器中增加额外的谐振峰，或者通过应用应力、电磁场或压电场或者注入电荷载流子（如空穴或电子）、注入光或其它技术来改变其几何形状或折射系数，从而改变谐振器传输的带宽、分布或中心。

虽然结合当前是光通信产业标准的 1.55 μm 光信号进行了描述，然而，应该理解，本发明的原理可应用来使用光信号的其它波长或频率获得有利的结果。用于所公开的门和锁存器的光信号不一定需要有相同的频率。

虽然这里公开的实施例是在“正逻辑”的上下文中描述的，其中具有相对较高振幅的光信号被认为是高逻辑电平，而具有相对较低振幅的光信号被认为是处在低逻辑电平，然而也可使用“负逻辑”，其中具有相对较高振幅的光信号被认为是低逻辑电平，而具有相对较低振幅的光信号被认为是处在高逻辑电平。

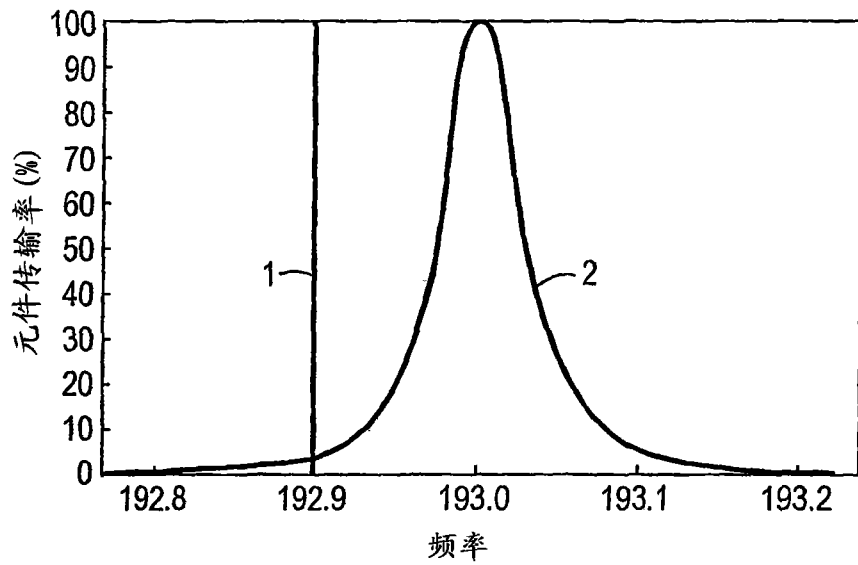
虽然这里描述的结构是二维结构，然而，本领域技术人员利用这里提供的教导容易看到，这里也可使用一维或三维结构实现与前述类似功能的全光逻辑门。

虽然这里对光子晶体进行限定的结构被描述为介质中的圆形孔，但应该理解，可进行相反的做法来代替在介质中造孔，例如通过在基片上制作柱、栏、圆柱体、立方体、球体或其它结构来限定光子晶体。再有，还可能与选择性蚀刻相反，通过将材料选择性地沉积在基片上来形成光子晶体，或者可使用这些技术的组合来形成光子晶体。

在 2004 年 5 月 21 日提交的共同受让的 US 2005/0259999 中公开了其可能的配置和功能，该申请以 John Luther Covey 作为唯一发明人，在此通过引用将该申请结合于此，如同在本文中全文给出一样。

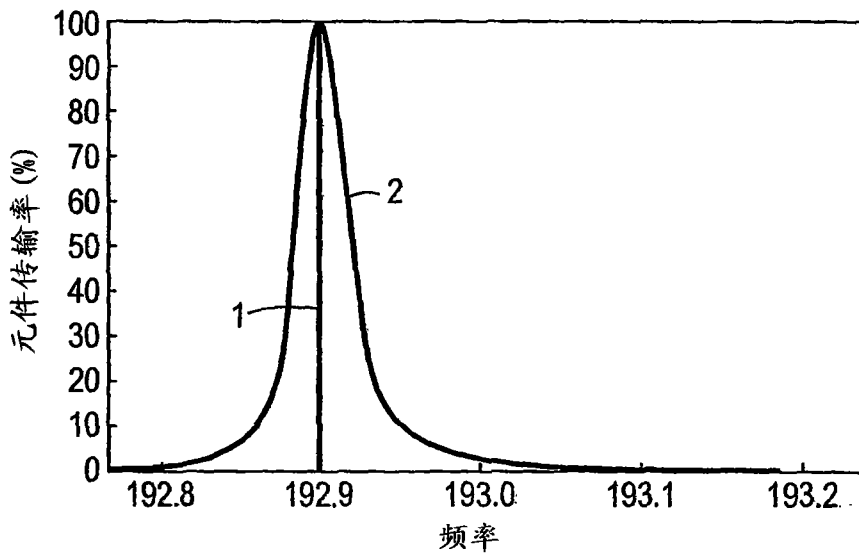
这里提出的本发明的许多修改和其它实施例将会被与本发明相关的领域的技术人员想到，具有在前文的描述和附图中给出的讲解的益处。因此应该理解，本发明不限于所公开的具体实施例，而是各种修改和其它实施例应该被包括在所附权利要求的范围内。虽然这里使用了特定的术语，

但它们只是在通用的和描述性的意义上被使用，并不用于限定的目的。



与传输输入载波频率失调的非线性元件传输率

图1



移动到传输输入载波频率的失调的非线性元件传输率

图2

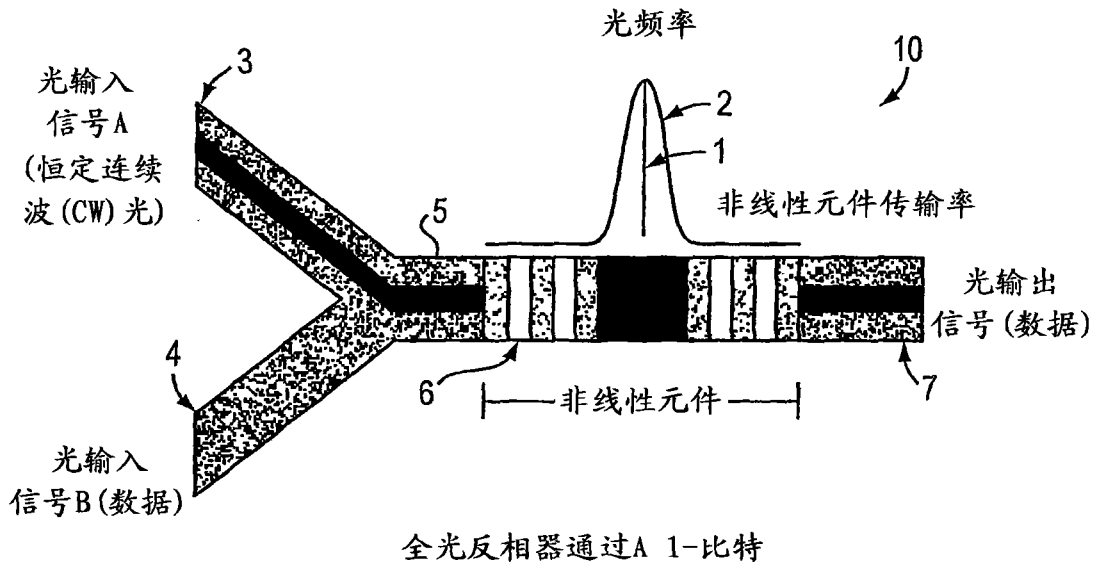


图3

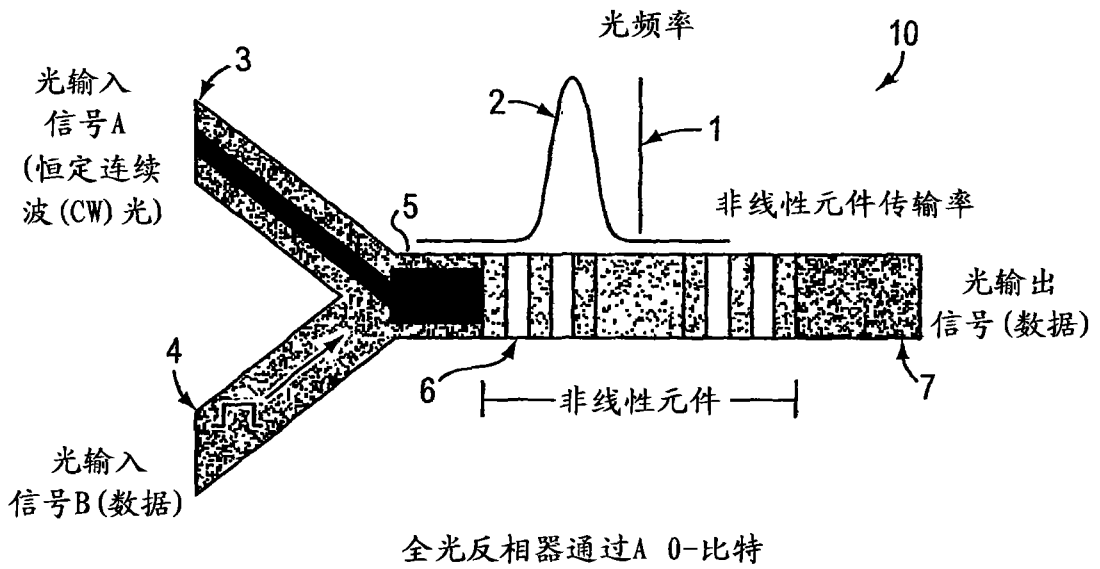
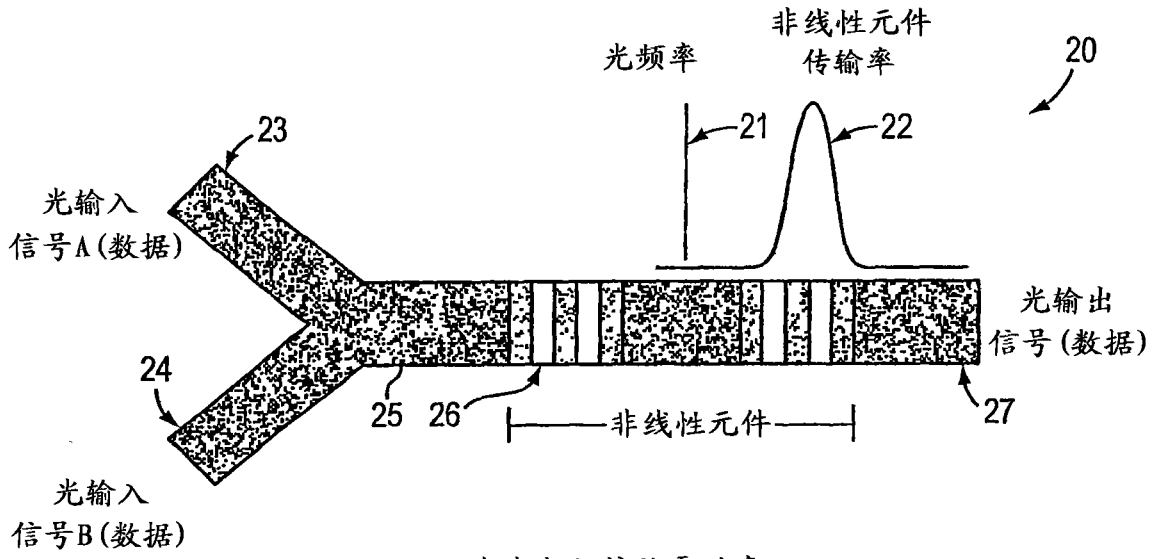
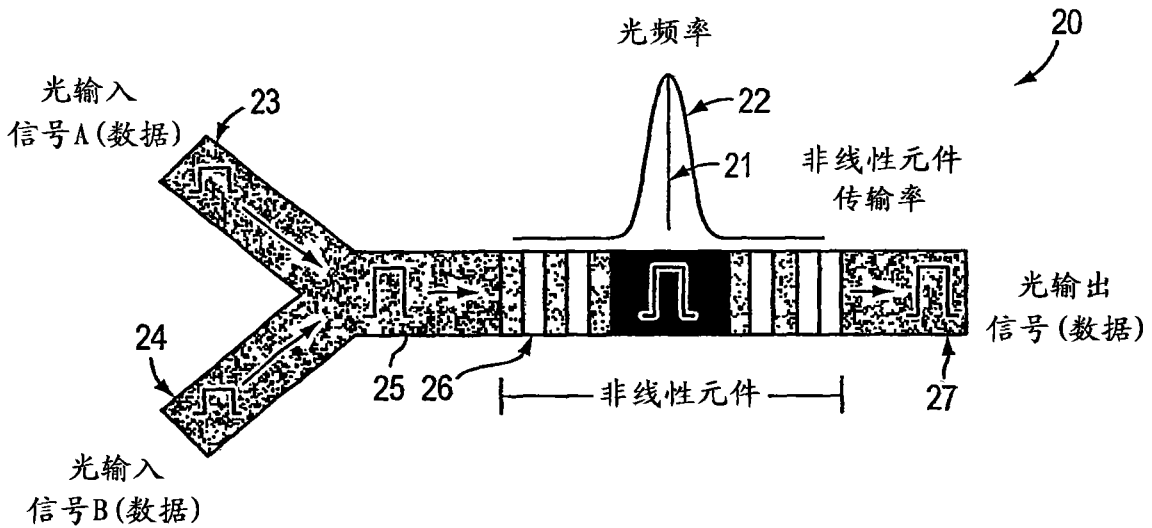


图4



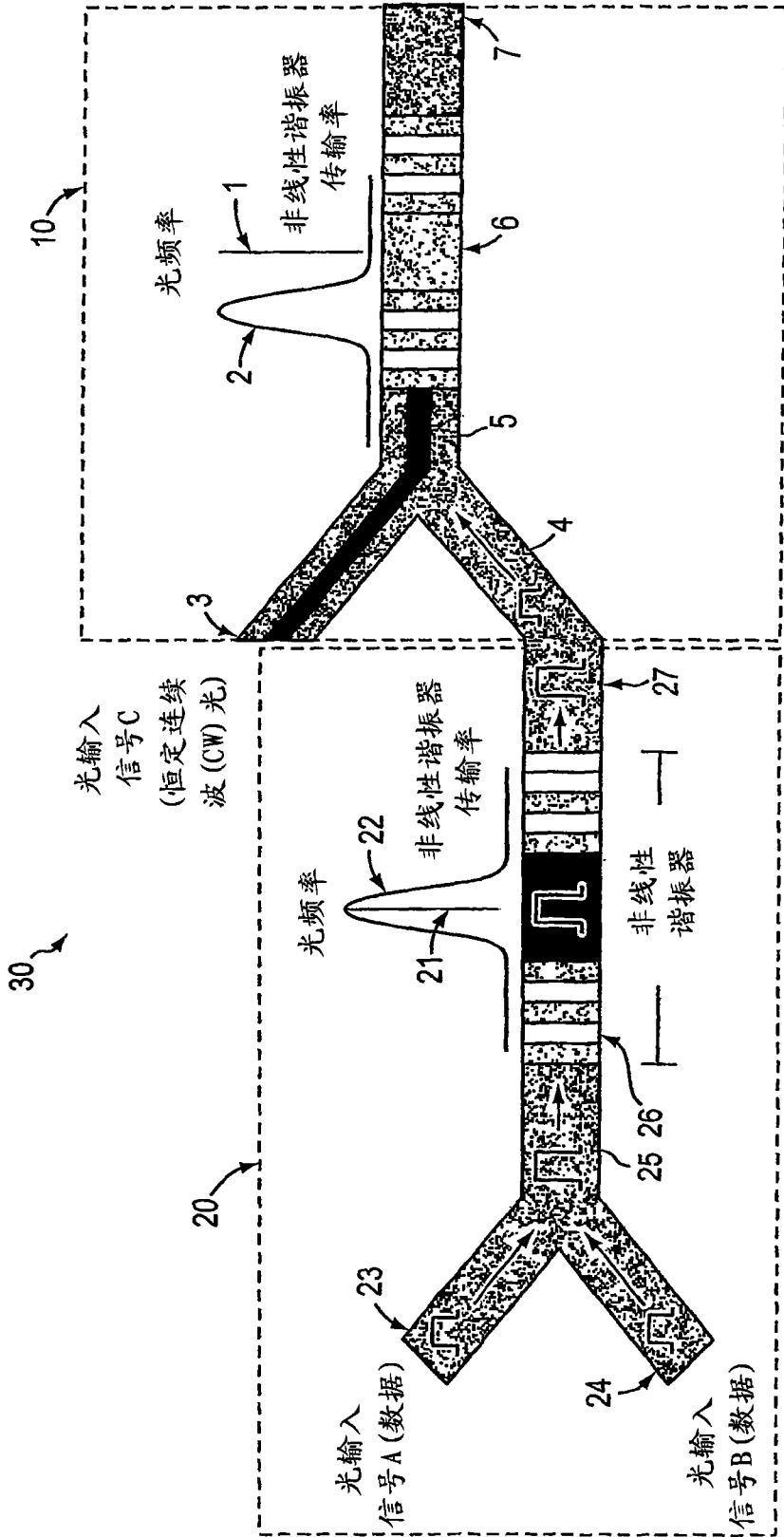
全光与门接收零功率

图5



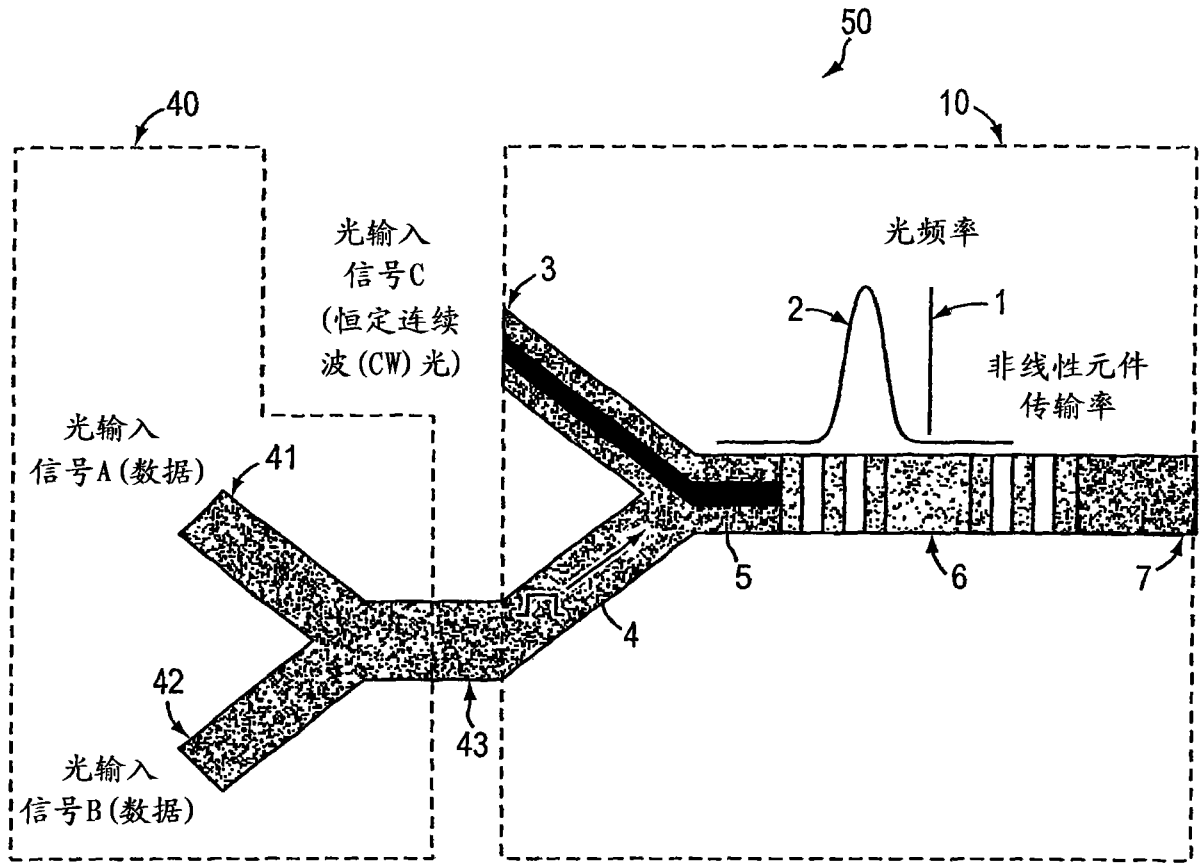
全光与门接收两个1比特并输出A 1比特

图6



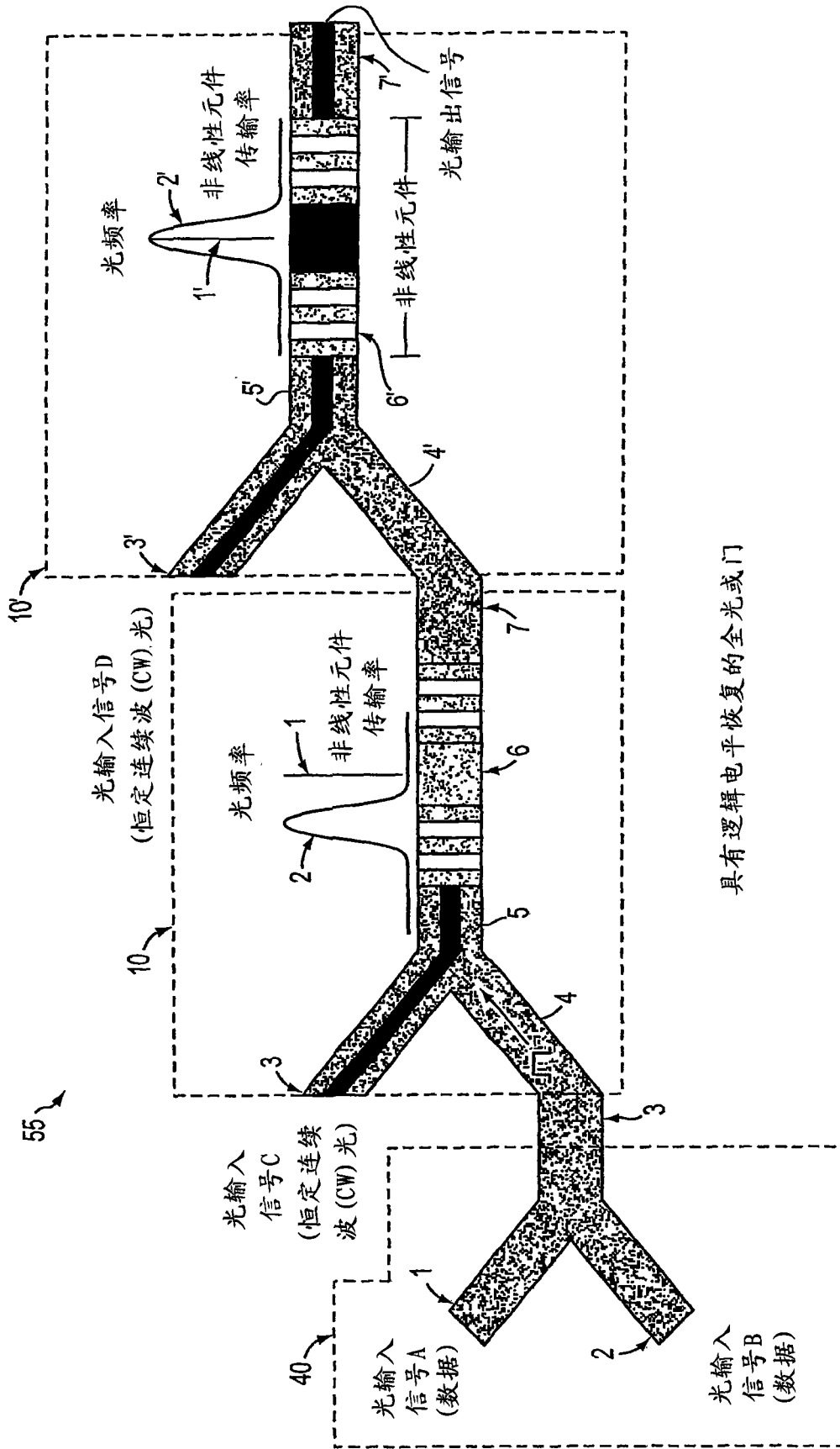
全光与非门接收1比特作为光输入信号
并输出A 0比特作为光输出信号

图7



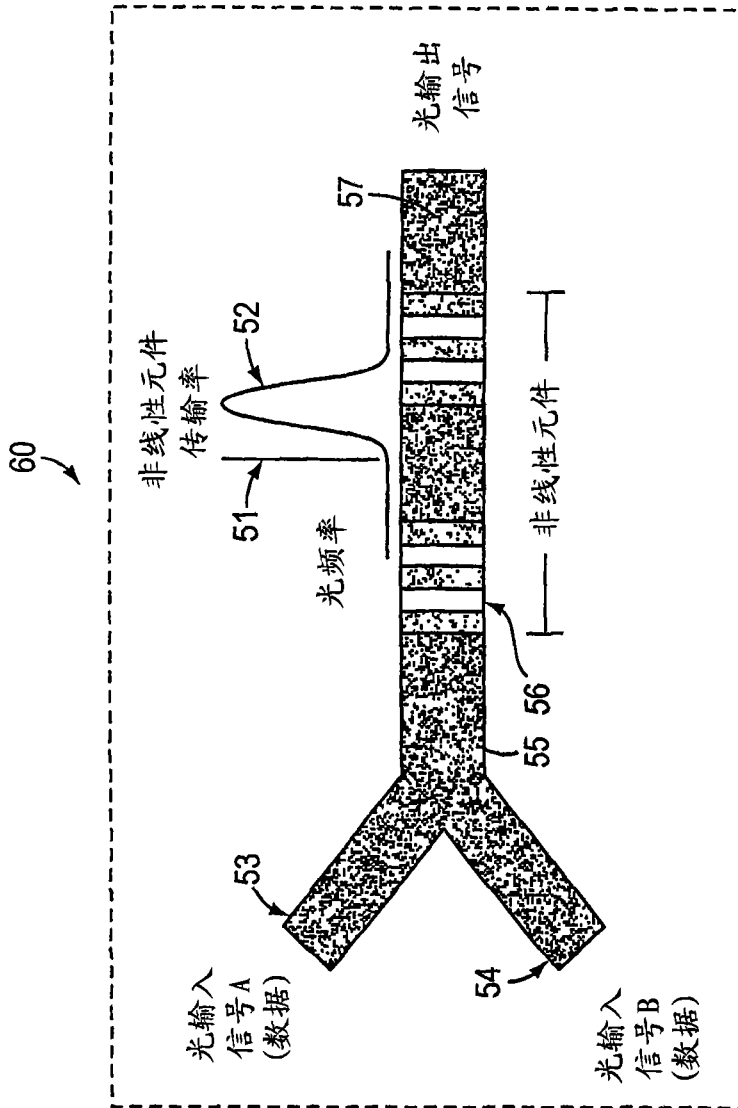
全光或非门接收一个或两个1-比特并输出A 0比特

图8



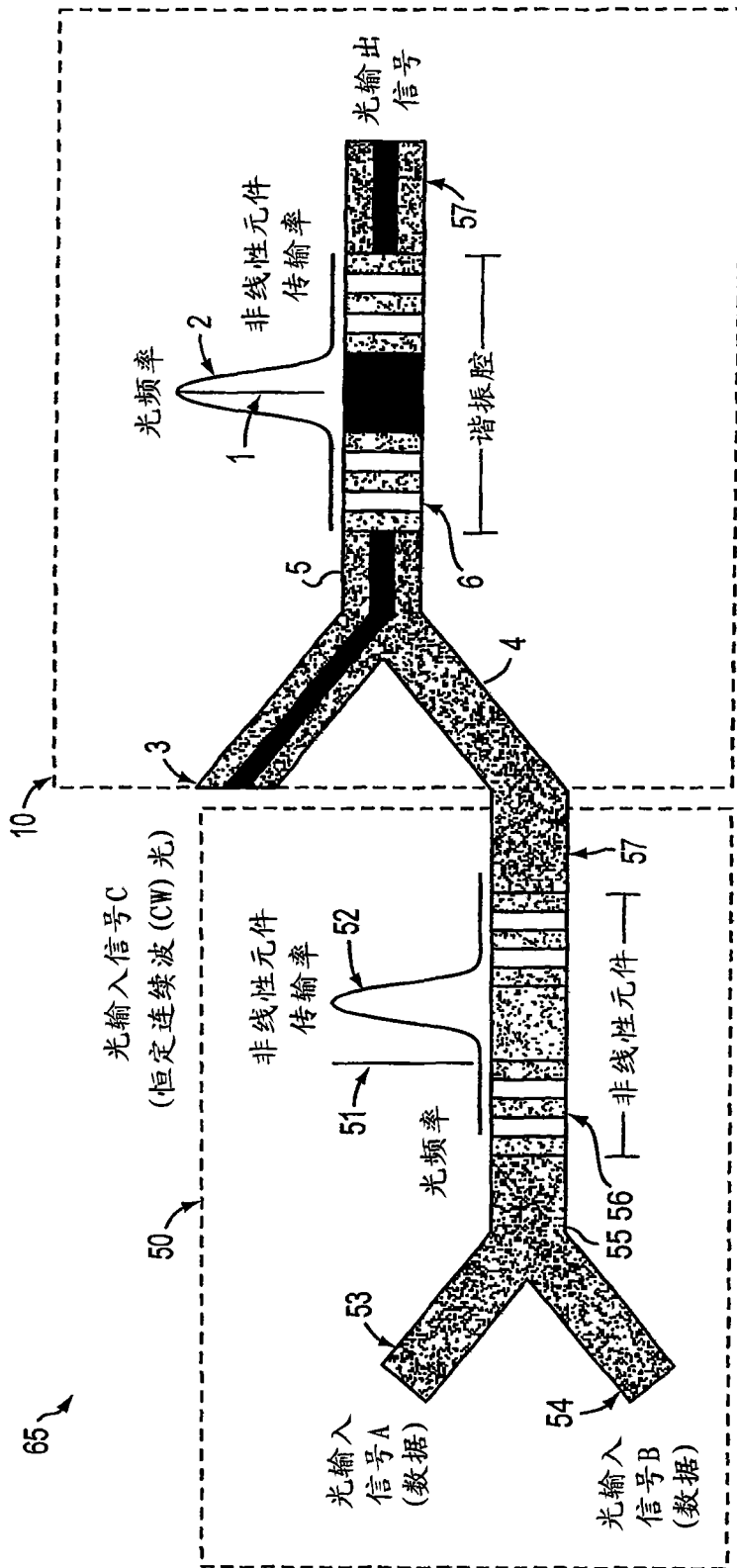
具有逻辑电平恢复的全光或门

图9



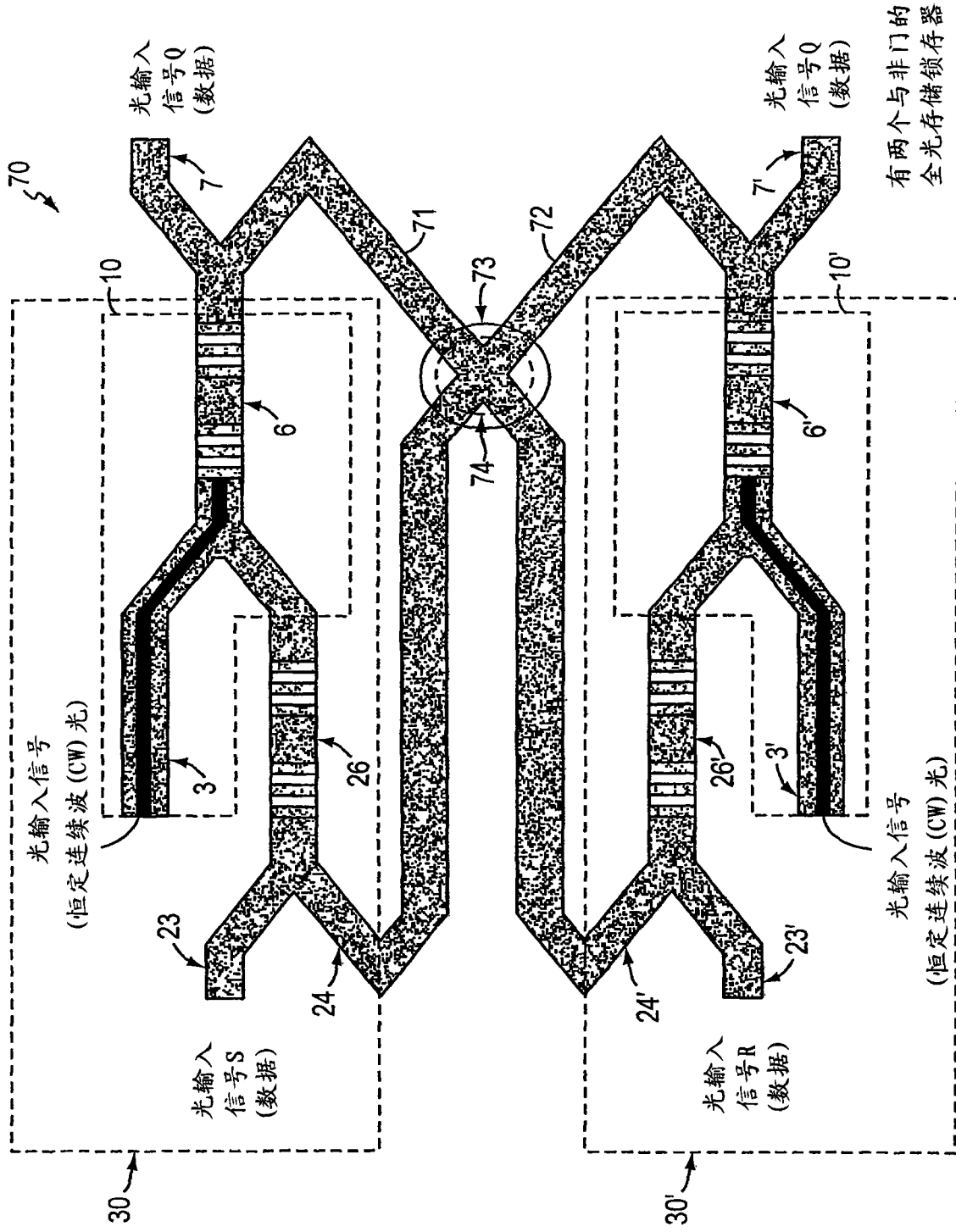
全光异或门

图10



具有逻辑电平恢复的全光异或非门

图11



有两个与非门的全光存储锁存器

图12

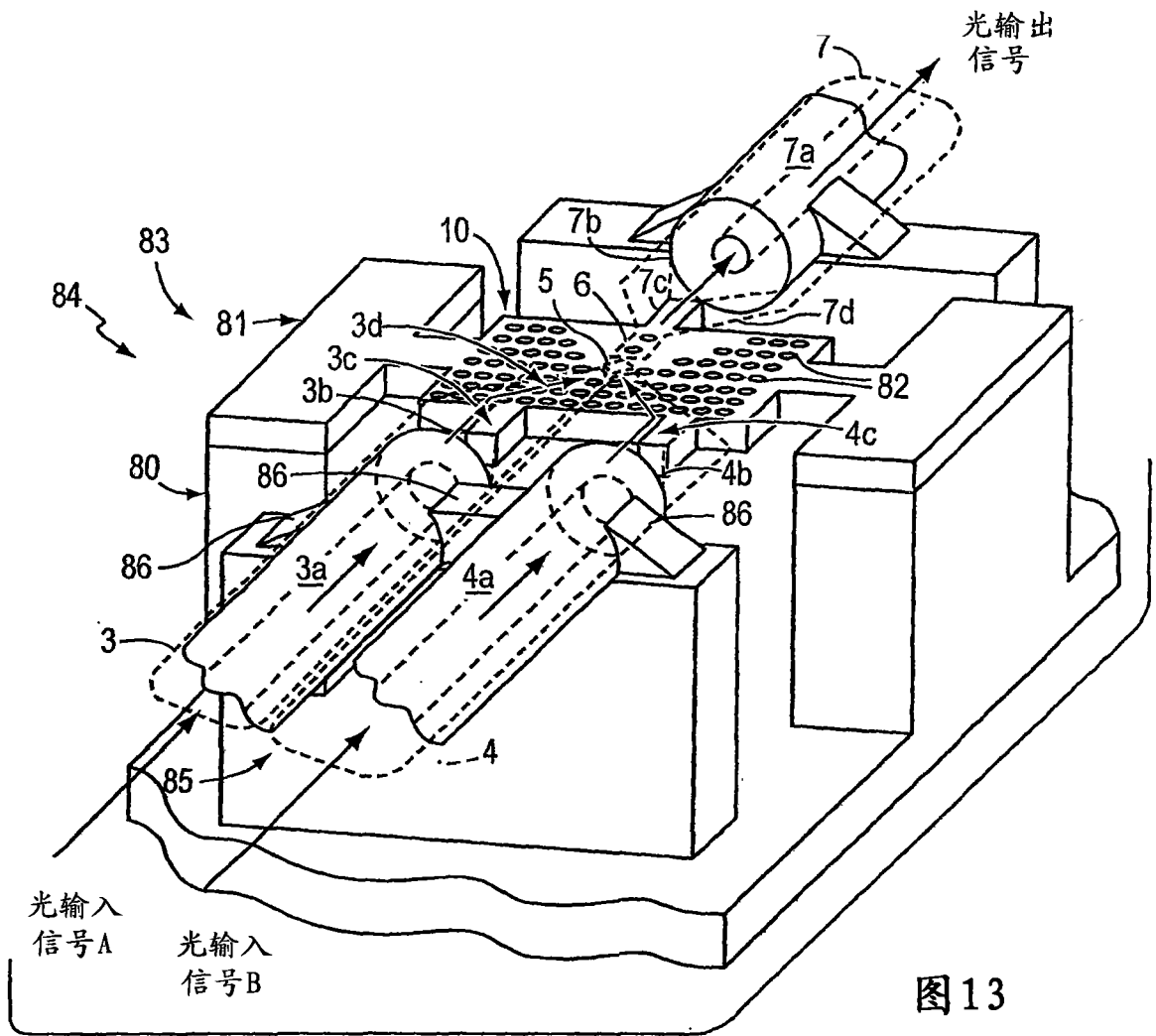


图13

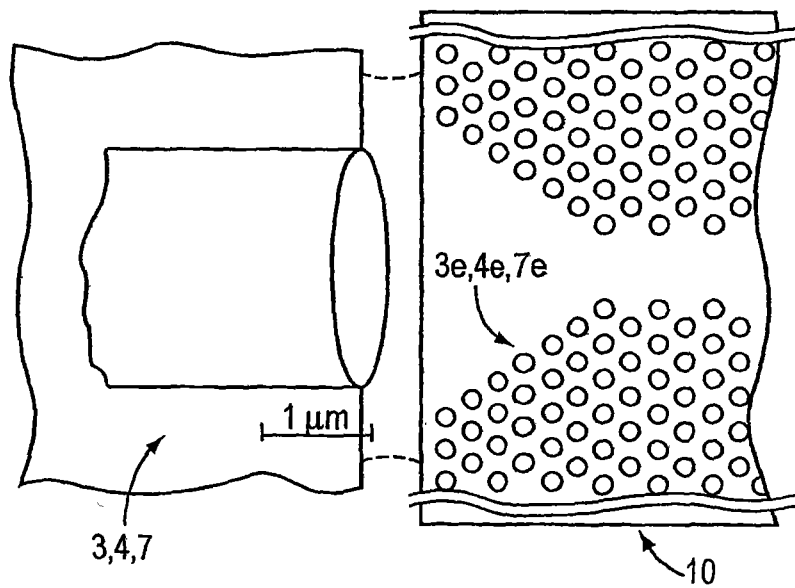


图14

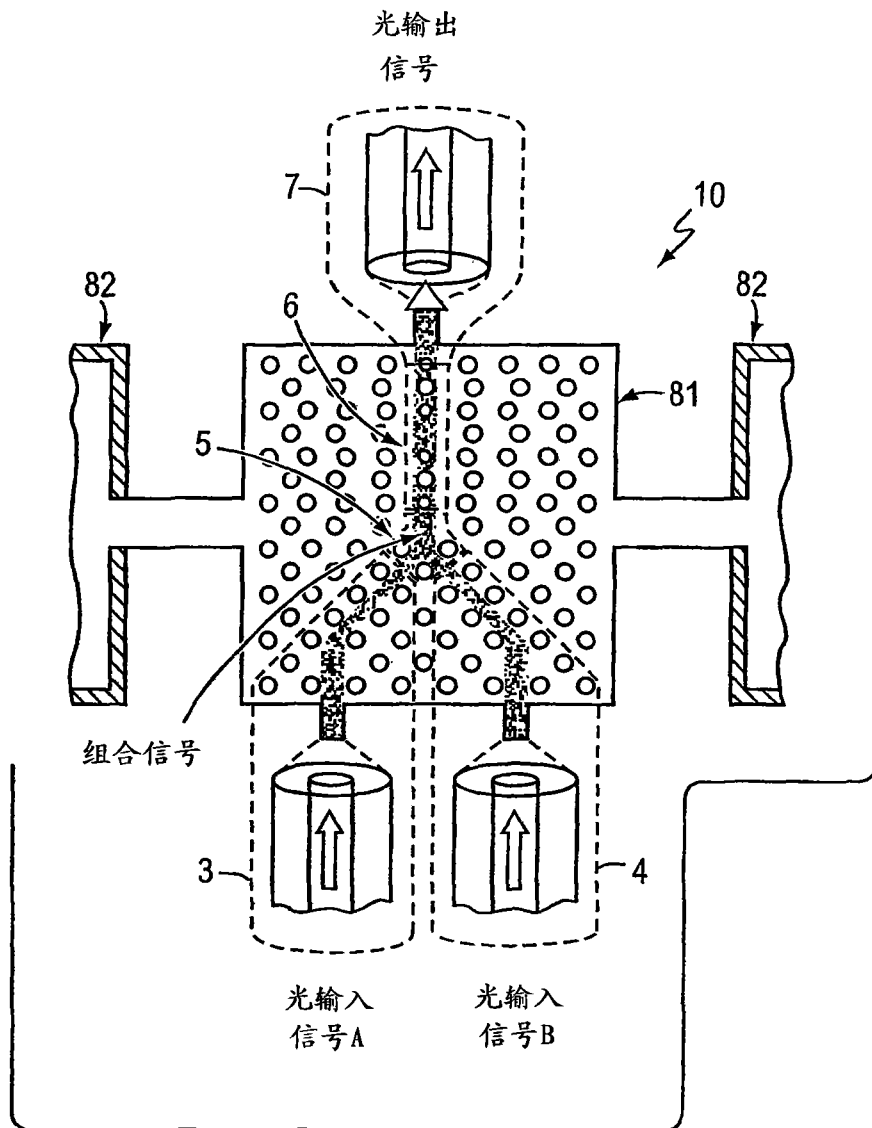


图15

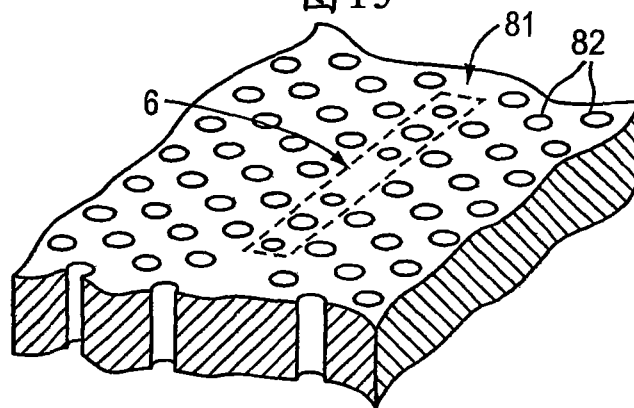
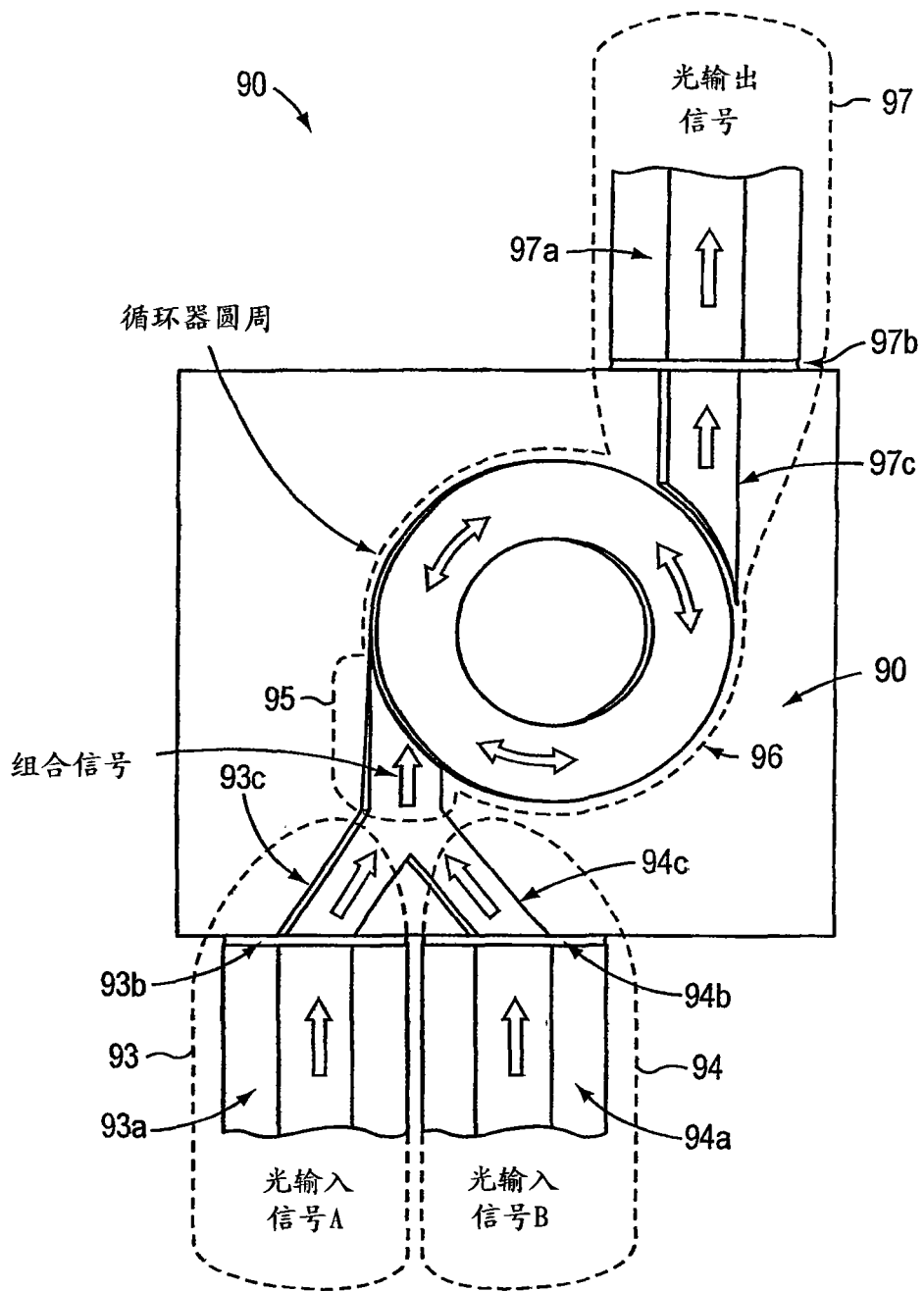
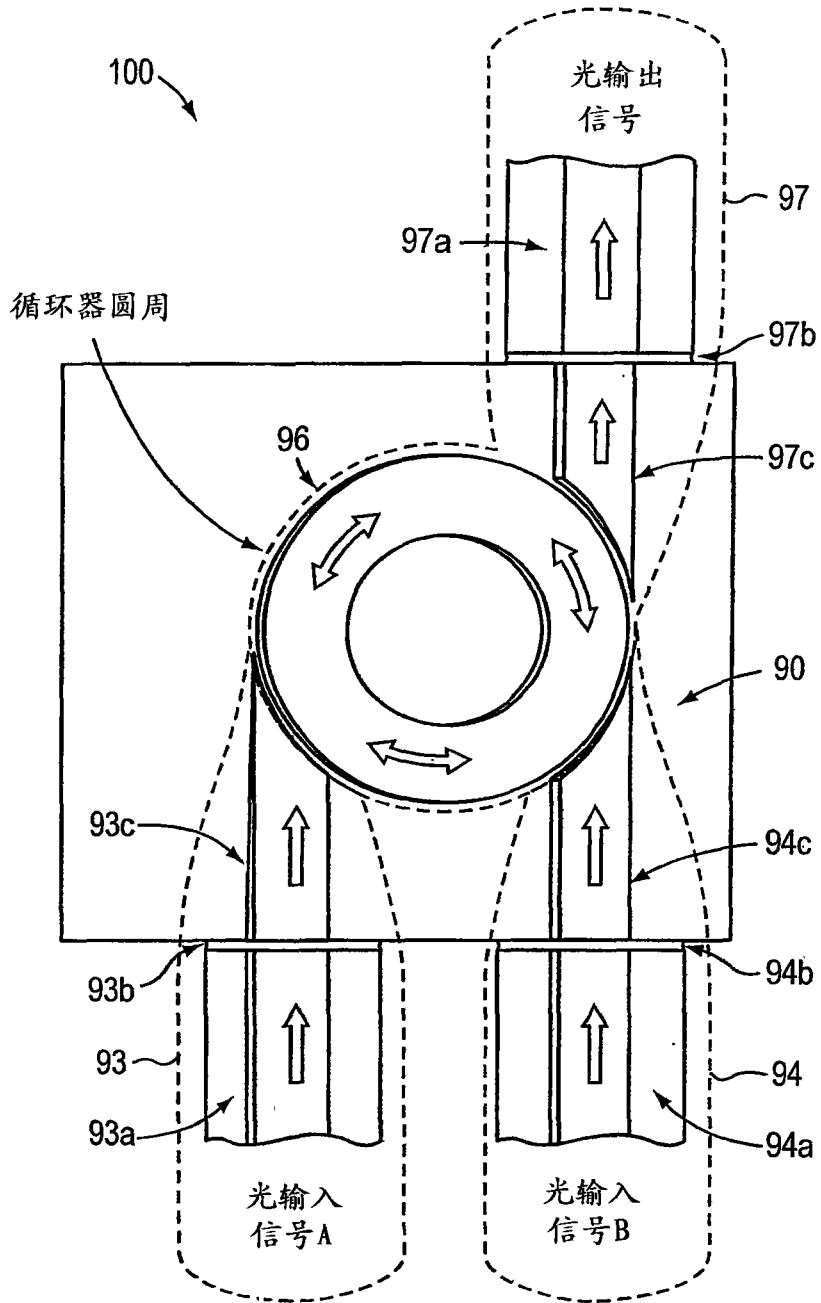


图16



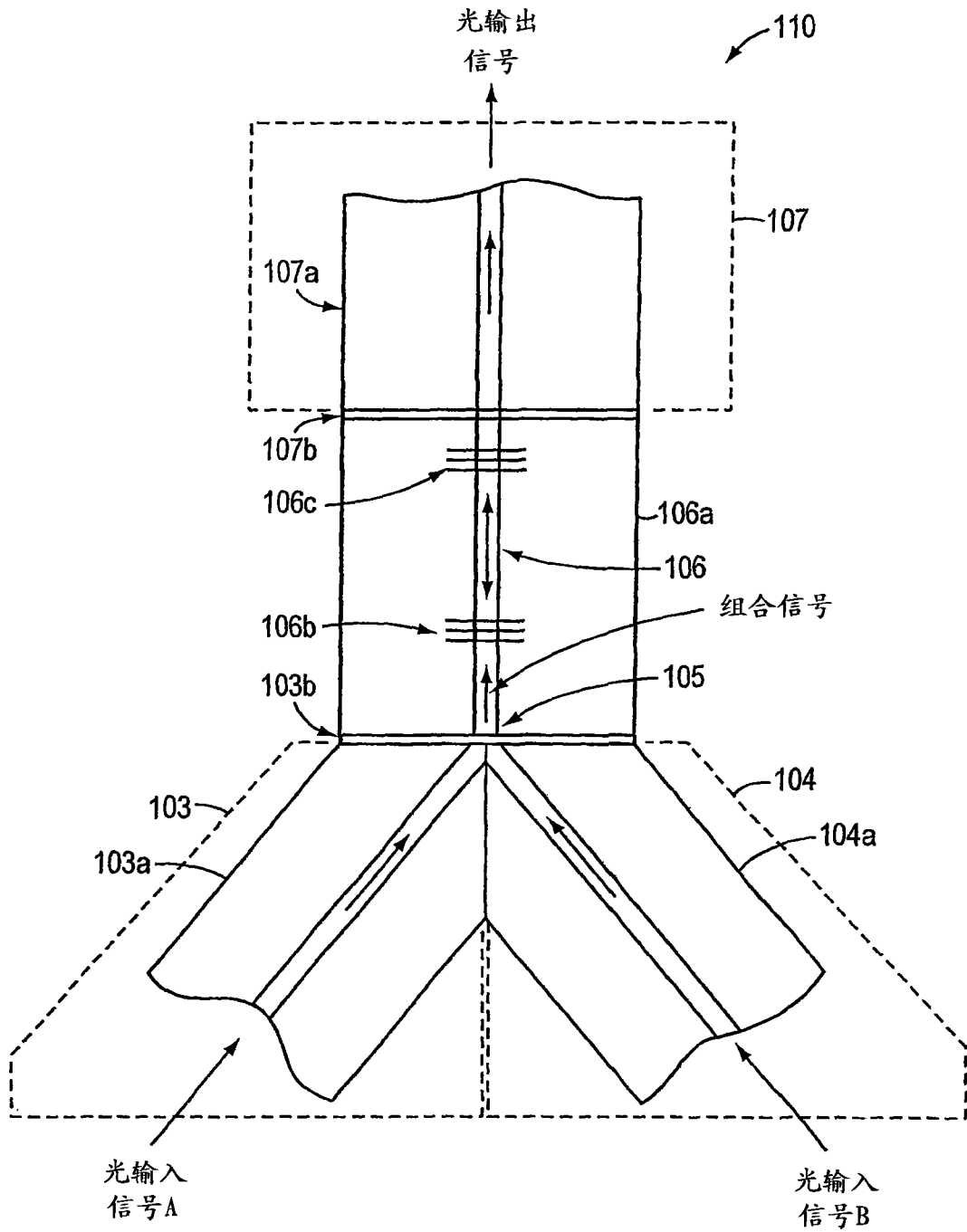
全光逻辑门, 使用组合介质和作为循环器实现的谐振器

图17



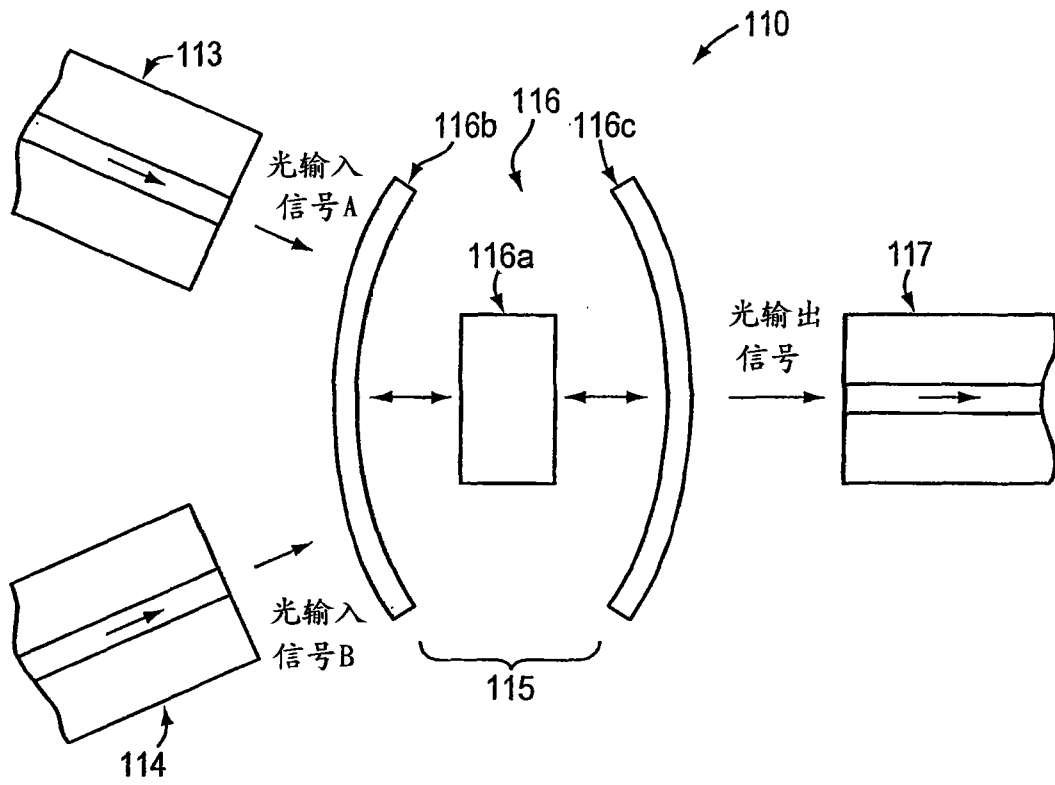
全光逻辑门, 使用循环器但没有单独的组合介质

图 18



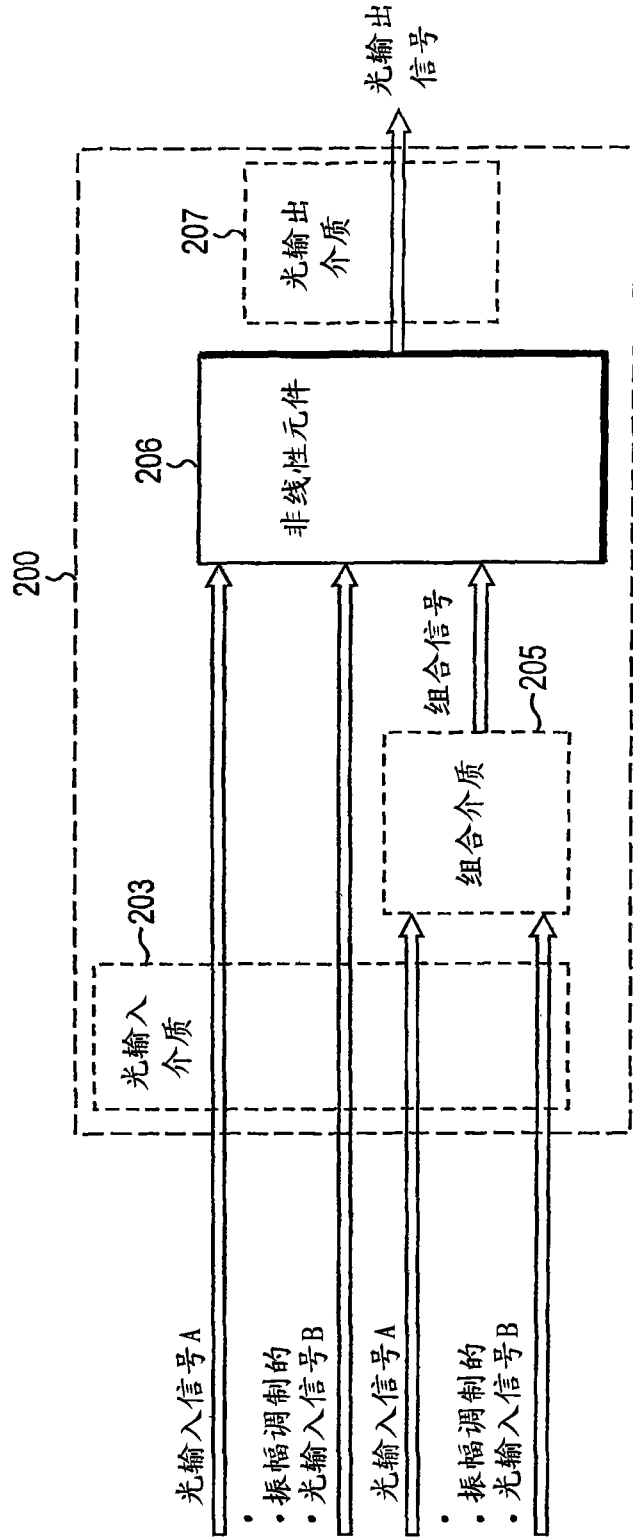
以光纤实现的全光逻辑门

图19



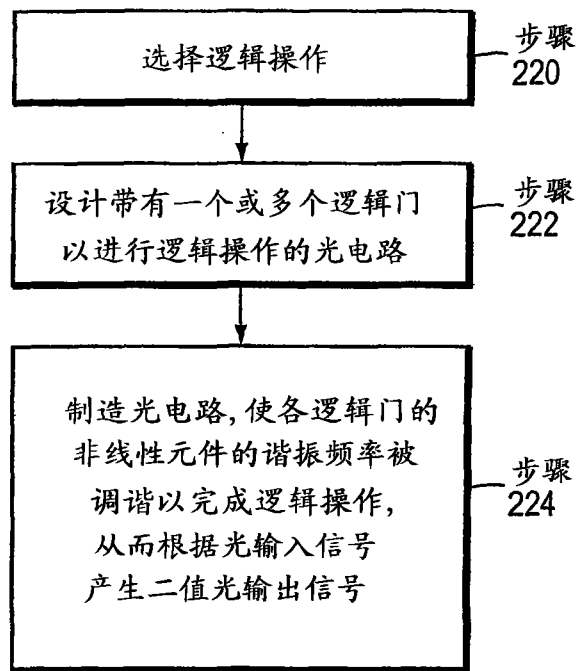
以镜和非线性元件实现的全光逻辑门

图20



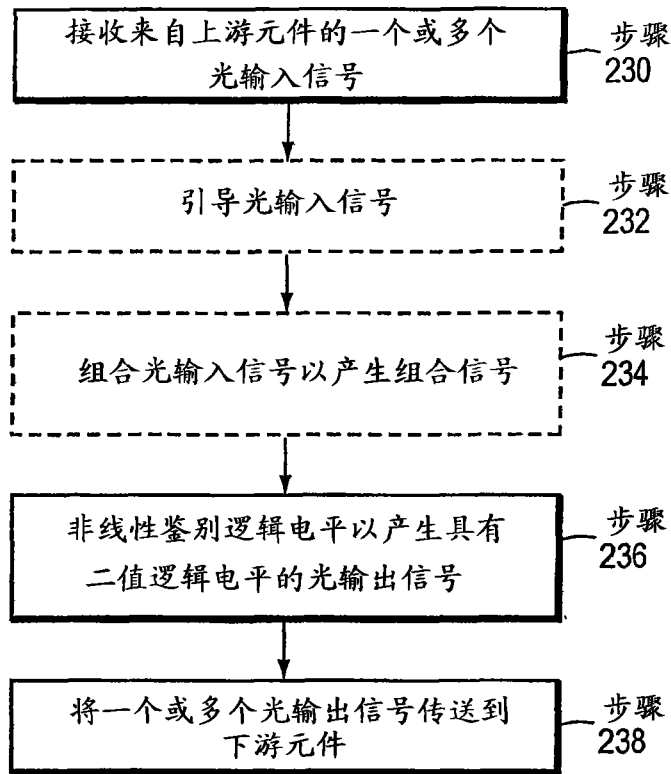
一般全光逻辑门

图21



制造光逻辑电路的方法

图22



逻辑门的操作方法

图23