

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7298852号
(P7298852)

(45)発行日 令和5年6月27日(2023.6.27)

(24)登録日 令和5年6月19日(2023.6.19)

(51)国際特許分類 F I
 H 0 1 L 21/822 (2006.01) H 0 1 L 27/04 C
 H 0 1 L 27/04 (2006.01) H 0 1 L 27/06 1 0 2 A
 H 0 1 L 21/8234(2006.01)
 H 0 1 L 27/06 (2006.01)

請求項の数 18 (全15頁)

(21)出願番号	特願2020-540739(P2020-540739)	(73)特許権者	507107291 テキサス インスツルメンツ インコーポ レイテッド アメリカ合衆国 テキサス州 7 5 2 6 5 - 5 4 7 4 ダラス メール ステーション 3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(86)(22)出願日	平成31年1月22日(2019.1.22)	(74)代理人	230129078 弁護士 佐藤 仁
(65)公表番号	特表2021-518053(P2021-518053 A)	(72)発明者	ジャオ ジア 中華人民共和国 6 1 0 0 6 6 チェンド ウ, ジンジアン ディストリクト, サ ウス ファイヤン ロード ナンバー 3 6 6
(43)公表日	令和3年7月29日(2021.7.29)	(72)発明者	ジーベン フェン 中華人民共和国 6 2 2 7 3 0 チェンド ウ, ピンシアン, ウェンシン ロード
(86)国際出願番号	PCT/US2019/014521		
(87)国際公開番号	WO2019/147558		
(87)国際公開日	令和1年8月1日(2019.8.1)		
審査請求日	令和4年1月18日(2022.1.18)		
(31)優先権主張番号	62/620,777		
(32)優先日	平成30年1月23日(2018.1.23)		
(33)優先権主張国・地域又は機関	米国(US)		
(31)優先権主張番号	16/028,862		
(32)優先日	平成30年7月6日(2018.7.6)		
	最終頁に続く		最終頁に続く

(54)【発明の名称】 反り低減トレンチコンデンサ

(57)【特許請求の範囲】

【請求項1】

トレンチコンデンサを形成する方法であって、
 基板のドーパされた半導体表面層に複数のトレンチを形成することと、
 前記複数のトレンチの表面をライニングする誘電体層を形成することと、
ドーパされていない第1のポリシリコン層を前記基板の頂部側と裏側とに堆積することで
あって、前記第1のポリシリコン層が前記誘電体層上に堆積される、前記ドーパされてい
ない第1のポリシリコン層を堆積することと、
ドーパされた第2のポリシリコン層を前記基板の頂部側と裏側とに堆積することであって
、前記ドーパされた第2のポリシリコン層が前記ドーパされていない第1のポリシリコン
層上に堆積されて前記複数のトレンチを充填する、前記ドーパされた第2のポリシリコン
層を堆積することと、
 前記複数のトレンチに対して横方向の領域における前記第1のポリシリコン層をエッチ
 バックするためにマスク層パターンを用いて頂部側ポリシリコンエッチングすること
 と、
 を含み、
 前記方法が、
 前記ドーパされた第2のポリシリコン層を堆積することの後に、前記基板の裏側から前
 記第1のポリシリコン層と前記第2のポリシリコン層とを除去することと、
 前記第2のポリシリコン層上に誘電体キャッピング層を形成することと、

10

20

前記第 1 及び第 2 のポリシリコン層をアニーリングすることと、
を更に含む、方法。

【請求項 2】

請求項 1 に記載の方法であって、
前記誘電体層を形成することが、熱酸化物層を成長させることを含む、方法。

【請求項 3】

請求項 1 に記載の方法であって、
前記第 1 及び第 2 のポリシリコン層をアニーリングすることが、前記第 1 及び第 2 のポリシリコン層を 900 から 1050 までの範囲の温度で加熱することを含む、方法。

【請求項 4】

請求項 3 に記載の方法であって、
前記アニーリングすることの後に、前記誘電体キャッピング層を除去することと、
前記頂部側ポリシリコンエッチングすることの前に前記第 1 のポリシリコン層上の前記第 2 のポリシリコン層の部分的頂部側エッチングを行うことと、
を更に含む、方法。

10

【請求項 5】

請求項 1 に記載の方法であって、
前記ドーパされた半導体表面層が、複数の前記トレンチコンデンサを含むバルク基板材料の一部である、方法。

【請求項 6】

請求項 1 に記載の方法であって、
前記基板の裏側に裏側金属層を堆積させることを更に含む、方法。

20

【請求項 7】

請求項 1 に記載の方法であって、
前記複数のトレンチの深さが 10 ~ 50 μm である、方法。

【請求項 8】

トレンチコンデンサを形成する方法であって、
基板のドーパされた半導体表面層に複数のトレンチを形成することと、
前記複数のトレンチの表面をライニングする誘電体層を形成することと、
前記誘電体層上と前記基板の裏側の上とにドーパされていない第 1 のポリシリコン層を堆積することと、
前記誘電体層上と前記基板の裏側の上との前記ドーパされていない第 1 のポリシリコン層の上に第 2 のポリシリコン層を堆積することであって、前記第 2 のポリシリコン層が前記複数のトレンチを充填する、前記第 2 のポリシリコン層を堆積することと、
前記第 2 のポリシリコン層をドーピングすることと、
前記第 1 のポリシリコン層と前記第 2 のポリシリコン層とを前記基板の裏側の上から除去し、そして前記第 2 のポリシリコン層の上に誘電体キャッピング層を堆積することと、
前記第 1 及び第 2 のポリシリコン層をアニーリングし、そして前記誘電体キャッピング層を除去することと、

30

前記複数のトレンチに対して横方向の領域における前記第 1 のポリシリコン層をエッチバックするためにマスクング層パターンを用いて頂部側ポリシリコンエッチングすることと、
を含む、方法。

40

【請求項 9】

請求項 8 に記載の方法であって、
前記第 2 のポリシリコン層を堆積することと前記第 2 のポリシリコン層をドーピングすることの両方が、その場ドーパされたポリシリコン堆積プロセスにおいて提供される、方法。

【請求項 10】

請求項 8 に記載の方法であって、

50

前記誘電体層を形成することが、熱酸化物層を成長させることを含む、方法。

【請求項 1 1】

請求項 8 に記載の方法であって、

前記第 1 及び第 2 のポリシリコン層をアニーリングすることが、前記第 1 及び第 2 のポリシリコン層を 900 から 1050 までの範囲の温度で加熱することを含む、方法。

【請求項 1 2】

請求項 8 に記載の方法であって、

前記基板の裏側に裏側金属層を堆積させることを更に含む、方法。

【請求項 1 3】

請求項 8 に記載の方法であって、

前記複数のトレンチの深さが 10 μm から 50 μm までの範囲内である、方法。

10

【請求項 1 4】

トレンチコンデンサを形成する方法であって、

基板のドーパされている半導体表面層に複数のトレンチを形成することと、

前記複数のトレンチの表面をライニングする誘電体層を形成することと、

前記誘電体層の上と前記基板の裏側の上とにドーパされていない第 1 のポリシリコン層を形成することと、

前記トレンチ内と前記基板の裏側の上との前記ドーパされていない第 1 のポリシリコン層の上にドーパされている第 2 のポリシリコン層を形成することと、

前記基板の裏側の上から前記第 1 及び第 2 のポリシリコン層を除去し、そして前記半導体表面層の上の前記第 2 のポリシリコン層の上に誘電体キャッピング層を堆積することと、

20

前記第 1 のポリシリコン層と前記第 2 のポリシリコン層とを前記誘電体キャッピング層と共に熱的にアニーリングすることと、

前記誘電体キャッピング層と前記第 1 及び第 2 のポリシリコン層とを前記半導体表面層の上から除去することであって、各トレンチ内に前記第 2 のポリシリコン層の残りの部分と前記第 2 のポリシリコン層の残りの部分に電氣的に接続する前記第 1 のポリシリコン層の残りの部分とを残す、前記除去することと、

を含む、方法。

【請求項 1 5】

請求項 1 4 に記載の方法であって、

前記第 2 のポリシリコン層が形成されるときに前記第 1 のポリシリコン層がドーパされおらず、

30

前記方法が、

前記第 2 のポリシリコン層をドーピングすることを更に含む、方法。

【請求項 1 6】

請求項 1 5 に記載の方法であって、

前記第 2 のポリシリコン層が形成の間にその場でドーパされる、方法。

【請求項 1 7】

請求項 1 4 に記載の方法であって、

前記第 1 のポリシリコン層と前記第 2 のポリシリコン層とを熱的にアニーリングすることが、急速熱アニールを用いて前記第 1 のポリシリコン層と前記第 2 のポリシリコン層とを 900 から 1050 までの範囲の温度に加熱することを含む、方法。

40

【請求項 1 8】

請求項 1 4 に記載の方法であって、

前記第 1 のポリシリコン層の残りの部分に対する第 1 の金属接続を形成することと、

前記ドーパされた半導体表面層に対する第 2 の金属接続を形成することと、

を更に含む、方法。

【発明の詳細な説明】

【技術分野】

【0001】

50

本願は、集積トレンチコンデンサ、及び、集積トレンチコンデンサを含むパッケージされたデバイスを含む半導体デバイスに関する。

【背景技術】

【0002】

集積トレンチコンデンサは高密度コンデンサ設計で知られている。集積トレンチコンデンサの形成は、一般に、高度にドーブされたシリコン基板内にディープトレンチタイプ構造を形成し、トレンチの側壁及び底部を、通常はシリコン酸化物である少なくとも1つの誘電体層でライニングし、その後、その場で (i n - s i t u) 又は堆積後に、ドーブされるポリシリコンでトレンチを充填し、次いでポリシリコン層をパターニングすることに関与する。

10

【発明の概要】

【0003】

記載される態様は、基板のドーブされた半導体表面層においてトレンチを含む集積トレンチコンデンサを含む。少なくとも1つの誘電体層が、トレンチの底部と側壁表面をライニングする。ドーブされた第2のポリシリコン層が、トレンチを充填する誘電体層上にある第1のポリシリコン層上にある。第2のポリシリコン層は、第1のポリシリコン層と比較してより高いドーピングレベルを有する。

【図面の簡単な説明】

【0004】

【図1】例示の態様に従った、記載されるトレンチコンデンサを含む例示の集積回路 (I C) の断面図である。

20

【0005】

【図2A】例示の態様に従った、集積トレンチコンデンサを形成する例示の方法についての処理進行を示す断面図である。

【図2B】例示の態様に従った、集積トレンチコンデンサを形成する例示の方法についての処理進行を示す断面図である。

【図2C】例示の態様に従った、集積トレンチコンデンサを形成する例示の方法についての処理進行を示す断面図である。

【図2D】例示の態様に従った、集積トレンチコンデンサを形成する例示の方法についての処理進行を示す断面図である。

30

【図2E】例示の態様に従った、集積トレンチコンデンサを形成する例示の方法についての処理進行を示す断面図である。

【図2F】例示の態様に従った、集積トレンチコンデンサを形成する例示の方法についての処理進行を示す断面図である。

【図2G】例示の態様に従った、集積トレンチコンデンサを形成する例示の方法についての処理進行を示す断面図である。

【図2H】例示の態様に従った、集積トレンチコンデンサを形成する例示の方法についての処理進行を示す断面図である。

【図2I】例示の態様に従った、集積トレンチコンデンサを形成する例示の方法についての処理進行を示す断面図である。

40

【図2J】例示の態様に従った、集積トレンチコンデンサを形成する例示の方法についての処理進行を示す断面図である。

【図2K】例示の態様に従った、集積トレンチコンデンサを形成する例示の方法についての処理進行を示す断面図である。

【図2L】例示の態様に従った、集積トレンチコンデンサを形成する例示の方法についての処理進行を示す断面図である。

【0006】

【図3A】全てが共通ダイパッド上に示される、コントローラIC及びスタックされた垂直電界効果トランジスタ (F E T) と共に、記載されるトレンチコンデンサをパッケージ内に含む同期バックコンバータを含む例示のパッケージされたデバイスを示す。

50

【 0 0 0 7 】

【図 3 B】記載されるパッケージされたデバイスにおいて F E T に用いられ得る、断面図として示される、例示の単純化された垂直金属酸化物半導体 F E T (M O S F E T) を示す。

【 発明を実施するための形態 】

【 0 0 0 8 】

図面は必ずしも一定の縮尺で描いてはいない。図面において、同様の参照数字は同様の又は等価の要素を示す。幾つかの行為又は事象が、異なる順で及び / 又は他の行為又は事象と同時に起こり得るので、行為又は事象の図示される順は限定的ではない。また、幾つかの例示された行為又は事象が、本記載に従った手法を実装するために任意選択であり得る。

10

【 0 0 0 9 】

「に結合される」又は「と結合する」という用語（及び同様のもの）は、本明細書でさらに限定することなく用いられる場合、間接的又は直接的な電氣的接続のいずれかを記述し、したがって、第 1 のデバイスが第 2 のデバイスに「結合する」場合、その接続は、寄生のみが経路内にある直接的な電氣的接続を介するものであるか、又は他のデバイス及び接続を含む介在する要素を介する間接的な電氣的接続を介するものであり得る。間接的結合の場合、介在要素は概して、信号の情報を改変しないが、その電流レベル、電圧レベル、及び / 又は電力レベルを調節し得る。

【 0 0 1 0 】

概して n F 範囲の静電容量を提供するための高密度集積トレンチコンデンサを得るため、集積トレンチコンデンサは概して、有効コンデンサエリアを増大させるために高密度のディープトレンチプロセスを用い、10 ~ 50 n F などの高静電容量を提供するために、概して深さ 10 ~ 50 μ m である数万又は数十万のトレンチを形成する。低い等価直列抵抗 (E S R) を提供するため、従来の集積トレンチコンデンサは、高度にドーブされた基板と、トレンチコンデンサの頂部プレートとして機能する、トレンチの誘電体ライニング後のトレンチを充填するための高度にドーブされたポリシリコン層とを用いる。

20

【 0 0 1 1 】

しかし、ディープトレンチプロセスとポリシリコン充填プロセスはいずれも、ウェハ反りを悪化させるウェハ応力分布を変更させる。各ダイ上に約 27 μ m の深さで約 200、000 トレンチを有する直径 200 mm のウェハのためのポストドーブポリシリコン堆積は、400 μ m を超える反りの、大きな反りを受けることが見出された。この大きな反りは、ポリシリコンドライエッチツールなどの後続の処理のために処理ツールによってウェハが拒絶され、後続の処理のために動くことができない結果となった。フォトリソグラフィ、エッチング、及び薄膜ツールは、概して、適切に動作するにはウェハ反りが 100 μ m 未満である必要がある。

30

【 0 0 1 2 】

図 1 は、例示の態様に従った、記載されるトレンチコンデンサ 150 を含む例示の I C 100 の断面図である。I C 100 上に示されているが、記載されるトレンチコンデンサは静電容量密度の必要性に応じて、概して 10 ~ 50 μ m の深さである数万又は数十万のトレンチを含むスタンドアロン (ディスクリート) コンデンサであってもよい。I C 100 は、ノードコンタクトのための充填されたビア 122 b 上に金属 123 b を含むブロックとして単純に示されている機能的回路要素 180 を含んで示されている。機能的回路要素 180 は、少なくとも回路機能を概して実現するためにトレンチコンデンサと共に構成される、バルク基板 (基板) 102 上の少なくとも 1 つのエピタキシャル層 104 に一般に形成される回路要素 (トランジスタ、及び一般にダイオード、抵抗器、コンデンサなどを含む) を含む。例示の回路機能には、アナログ (例えば、増幅器、電力コンバータ又は電力 F E T)、無線周波数 (R F)、デジタル、又は不揮発性メモリ機能が含まれる。機能的回路要素 180 によって提供される回路機能は、図 1 に示される金属 123 b 及び充填ビア 122 b が任意選択であり得るように、トレンチコンデンサ 150 のための頂部側

40

50

接地を提供するためのものであってもよい。

【 0 0 1 3 】

基板 1 0 2 及び / 又はエピタキシャル層 1 0 4 は、シリコン、シリコン・ゲルマニウム、又は別の半導体材料を含み得る。図示されていないが、当該技術分野で知られているように、IC の場合、IC は概して、隣り合うデバイスを絶縁するための、エピタキシャル層 1 0 4 内のシャロートレンチ絶縁 (S T I) 又はシリコンの局所酸化 (L O C O S) などのフィールド酸化物を含む。

【 0 0 1 4 】

エピタキシャル層 1 0 4 は、p + 基板を含む基板 1 0 2 上に成長された軽くドーパされた p 型エピタキシャル層、又は n + 基板を含む基板 1 0 2 上に成長された軽くドーパされた n 型エピタキシャル層を含み得る。複数のエピタキシャル層が、同じ又は異なるドーピングレベルで存在し得る。基板の底部側では、2 つの層が 1 0 3 a 及び 1 0 3 b として示されており、これらは、それぞれ、裏側ポリシリコン層及びシリコン酸化物層を含み得、これらは、コンデンサの誘電体層を形成するために用いられ得るゲート酸化物炉などの処理機器において相互汚染問題を引き起こす恐れのある、高度にドーパされた基板 1 0 2 の底部側からドーパントが漏出するのを防止するためのシール材として機能する。

10

【 0 0 1 5 】

トレンチコンデンサ 1 5 0 は、完全にエピタキシャル層 1 0 4 内に形成されたトレンチを含む。トレンチ深さは一般に 1 0 ~ 5 0 μm であり、これはエピタキシャル層 1 0 4 の厚みよりも小さい。エピタキシャル層 1 0 4 は、基板 1 0 2 内のドーピングレベルと比較して低いドーピングレベルを有する。誘電体層 1 1 0 が、トレンチの表面をライニングする IC 上の金属酸化物半導体 (M O S) トランジスタのための同じ熱成長ゲート酸化物層を含み得る。

20

【 0 0 1 6 】

誘電体層 1 1 0 の厚み範囲は概して 1 0 0 ~ 5 0 0 であり、これは、一般に、静電容量密度の必要性及び電力要件に依存し得る。シリコン酸化物とは異なる誘電率の誘電体層 1 1 0 も堆積され得る。トレンチは、トレンチを充填する誘電体層 1 1 0 上に概してドーパされずに堆積される第 1 のポリシリコン層 1 1 2 上の、ドーパされた第 2 のポリシリコン層 1 1 4 を含む。第 1 のポリシリコン層 1 1 2 は概して、すべての重大な熱サイクルの間、第 2 のポリシリコン層 1 1 4 からドーピングを受け取る。第 1 のポリシリコン層 1 1 2 及び第 2 のポリシリコン層 1 1 4 は、いずれも、エピタキシャル層 1 0 4 内及び基板 1 0 2 内のドーピングに整合するドーピング型で概ねドーパされている。

30

【 0 0 1 7 】

金属ライナーを、第 1 のポリシリコン層 1 1 2 と誘電体層 1 1 0 との間で約 1 μm 又はそれ以下とすることができる。第 2 のポリシリコン層 1 1 4 は、概してドーパされずに堆積された第 1 のポリシリコン層と比べて高いドーピングレベルを有するが、概して、製造中に受けとるかなりの熱的処理の間、第 2 のポリシリコン層 1 1 4 からドーピングを受け取り得る。そのため、第 1 のポリシリコン層 1 1 2 は概して、第 2 のポリシリコン層 1 1 4 とのインタフェースにおいて最も高いドーピング濃度を有する。

【 0 0 1 8 】

図示のトレンチコンデンサ 1 5 0 は、トレンチコンデンサ 1 5 0 の頂部プレート及び底部プレートの両方に頂部側コンタクトを含む。コンタクトは、プレメタル誘電体 (P M D) 層 1 2 1 を介して形成される充填されたビア上の金属を含み、これは、頂部プレートコンタクトを提供するための、第 2 のポリシリコン層 1 1 4 までの充填されたビア 1 2 2 a 上の金属 1 2 3 a (例えば、W 充填される) と、エピタキシャル層 1 0 4 を介して底部プレートコンタクトを提供する、充填されたビア 1 2 2 b 上の金属 1 2 3 b とを含む。また、機能的回路要素 1 8 0 は、充填ビア 1 2 2 c 上に金属 1 2 3 c を有する。

40

【 0 0 1 9 】

このトレンチコンデンサコンタクト配置は、少なくとも 2 つのコンタクト配置のうちの 1 つにすぎない。第 2 のトレンチコンデンサコンタクト配置は、図 1 に示すように金属 1

50

23aに接続される頂部プレートを有するが、底部プレートへのコンタクトは、層103b及び103aの除去（例えば、ウェハバックグラインディングによる）に関与し、その後、裏側金属（BSM）を堆積させて、チップの裏側への良好な電氣的コンタクト（オーミックコンタクト）又はそれらの装着ケースへのチップの適切なボンディングを確実にするために、はんだ付け可能なダイ取り付け付け金属スタックを提供する。BSM層は、ニッケル上のチタン上の金又は銀を含み得る。

【0020】

記載されるトレンチコンデンサに対するアスペクト比（AR）は、概して、設計の必要性に依存するが、高密度トレンチコンデンサの場合、アスペクト比は概して10を超える。例えば、ARの値は18～30であり得る。

10

【0021】

図2A～図2Lは、例示の態様に従った、集積トレンチコンデンサを形成する例示の方法についての処理進行を示す断面図である。図2Aは、基板102上のエピタキシャル層104を示す。基板102の底部側では、層は、上にシリコン酸化物層103bを備える裏側ポリシリコン層103aを含み、これらは（上述のように）基板102の裏側からその他の方式で逃れることをドーパントにおいて封止するためのものである。

【0022】

図2Bは、トレンチが形成され得るように作成及びパターンニングされる上に重なるフォトレジスト層124を示す。例示の目的のために、2つのディープトレンチのみが示されているが、概して2トレンチ以上（例えば、数万又は数十万トレンチ）が形成される。フォトレジスト層124は、一般にダイの表面を保護するシリコン酸化物層120である誘電体層120に重なる。図示されていないが、フォトレジスト層124は、誘電体層120上に形成される高密度プラズマ（HDP）酸化物HM層などのハードマスク（HM）層の頂部上にあり得る。フォトレジスト層124が薄い場合、又はフォトレジスト層124がトレンチエッチングプロセスにおいて完全に破壊され得るようにトレンチが十分に深い場合、酸化物HM層を用いることができる。

20

【0023】

図2Cは、酸化物HM（用いられる場合）、誘電体層120を介してエピタキシャル層104内に、しかし基板102には到達しないディープトレンチ111を形成するために異方性エッチングが用いられた後の、製造過程のトレンチコンデンサを示す。フォトレジスト層124はここではトレンチエッチング後もそのまま残っているように示されているが、フォトレジスト層124の多くはトレンチエッチングプロセスによって除去されている可能性がある。

30

【0024】

少なくとも1つの態様において、鋭い角をなくす円形のトレンチレイアウトが用いられ、トレンチの幅は約0.5µmから3µmであり、トレンチは約0.3µmから1.5µm離間されている。もちろん、トレンチ111の深さは、応用例によって必要とされるように、エピタキシャル層104の厚み及び任意のウェルのための駆動条件などの、コンデンサが組み込まれているプロセスのパラメータ内で適合するように、より深くても浅くてもよい。その後、フォトレジスト層124が除去され、ウェハが洗浄される。

40

【0025】

図2Dに示されるように、誘電体層110が、トレンチ111の側壁及び底部上に成長又は堆積される。一態様において、誘電体層110は完全にシリコン酸化物である。シリコン酸化物層は、例えば、200 から2,000 の厚み、例えば、13.2Vの意図された動作電圧に対して500 の厚みとすることができる。上述のように、誘電体層110も堆積され得る。1つの特定の態様において、誘電体層110は、酸化物窒化物酸化物（ONO）層スタックを含む。

【0026】

図2Eに示すように、次いで、第1のポリシリコン層112としてのドーパされていないポリシリコン層が、概してトレンチの充填を回避するためにトレンチの幅の1/2より

50

かなり小さい厚みでトレンチ 1 1 1 を部分的に充填する低圧化学気相成長 (L P C V D) プロセスによって、堆積される。図 2 F における製造過程のトレンチコンデンサに示されるように、次いで、第 2 のポリシリコン層 1 1 4 としての少なくとも 1 つのドーパされたポリシリコン層が、ここでも概して L P C V D プロセスによって、第 1 のポリシリコン層 1 1 2 としてのドーパされていないポリシリコン層上に堆積されて、トレンチ 1 1 1 を部分的に完全に充填し過剰充填する。

【 0 0 2 7 】

第 2 のポリシリコン層 1 1 4 は、その場でドーパされた層 (エピタキシャル層 1 0 4 としての p 型エピタキシャル層及び基板 1 0 2 としての p 型基板のための p + ポリシリコン、ならびに、エピタキシャル層 1 0 4 としての n 型エピタキシャル層及び基板 1 0 2 としての n 型基板のための n + ポリシリコン)、又はファーネスドーパされた層を含み得、それは、概して $0.8 \mu\text{m} \sim 1.1 \mu\text{m}$ の間の厚みに堆積され、 $5 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ のドーピングレベルを有する。ドーパされたポリシリコン層は、トレンチを完全に充填しオーバーフィルするように堆積される。最終的なコンデンサにおいて、第 1 のポリシリコン層 1 1 2 は概して圧縮応力層であり、比較的高度にドーパされたポリシリコン層である第 2 のポリシリコン層 1 1 4 は、概して引っ張り応力層である。

10

【 0 0 2 8 】

任意選択で、ファーネスドーピングプロセスを用いるドーピングなどのドーパポリシリコン層を形成した後、第 1 ポリシリコン層 1 1 2 及び第 2 ポリシリコン層 1 1 4 は概して、ウェットエッチングプロセスなどで基板 1 0 2 の裏側から除去される。その後、裏側ポリシリコンを除去した後、誘電体キャッピング層を堆積させることができる。結果として得られる製造過程のトレンチコンデンサは図 2 G に示されており、その上の誘電体キャッピング層は 1 2 6 として示されている。キャッピング層 1 2 6 は、概して $600 \sim 1000$ であり、約 680 で堆積されるテトラエトキシシラン (T E O S) 由来酸化物層とすることができるが、他の低応力キャッピング層フィルムを用いることもできる。キャッピング層 1 2 6 を堆積した後、例えば、 $900 \sim 1050$ の温度で $10 \sim 30$ 分の時間範囲で、ファーネスアニールプロセスを行うことができる。急速熱アニールを用いることもできる。このオプションの追加アニールは、ポリシリコンエッチング前のウェハ反りを緩和 (低減) するのに役立つ、第 2 のポリシリコン層 1 1 4 が第 1 のポリシリコン層 1 1 2 に拡散するので、 E S R を低減することもできる。

20

30

【 0 0 2 9 】

記載される態様は、とくにトレンチギャップ充填フィルムスタックを、トレンチの底部上の概して圧縮応力層である第 1 のポリシリコン層 1 1 2、 3 0 3 a 上のウェハ裏側フィルムスタック 3 0 3 b、及び、反りを緩和するためのキャッピング層アニールに変更することによるトレンチポリシリコンループについて、プロセスループによる総応力を平衡させる。これは概して、下記の例で説明するように、ポリシリコンエッチング前の 300 m ウェハのウェハ反りを、約 $400 \mu\text{m}$ から $100 \mu\text{m}$ 未満に減少させる。アニールングプロセスの後、誘電体キャッピング層 1 2 6 が除去され、次いで、任意選択で、ブランケットドライエッチを概して含む部分的な前側ポリシリコンエッチング (例えば、全ポリシリコン層 1 1 4 / 1 1 2 厚みの約 60% のエッチング) が用いられ得る。部分的な前側ポリシリコンエッチングは、セルとスクライプラインエリアのフィルム段階高さを低減でき、後に続くフォトリソグラフィプロセスを容易にし得る。誘電体キャッピング層 1 2 6 除去及び部分的な前側ポリシリコンエッチングの後に結果として生じる製造過程トレンチコンデンサは図 2 H に示されており、ここでは、トレンチに対して横方向の第 2 のポリシリコン層 1 1 4 の全厚が完全に除去されて示されている。

40

【 0 0 3 0 】

図 2 I において製造過程トレンチコンデンサに示されるように、上にあるフォトレジスト層 1 2 4 が、ポリシリコン層がパターンニングされ得るように作成及びパターンニングされ、上述の部分的な前側ポリシリコンエッチングであれば、第 2 のポリシリコン層 1 1 4 をパターンニングするだけで示される。図 2 J は、第 2 のポリシリコン層 1 1 4 のパターンニング

50

後の製造過程トレンチコンデンサを示す。

【 0 0 3 1 】

図 2 K は、パターニングされたポリシリコン層上に PMD 層 1 2 1 を、及び、パターニングされたポリシリコン層に対して横方向に誘電体層 1 2 0 を堆積した後の、製造過程のトレンチコンデンサを示す。PMD 層 1 2 1 は、TEOS 由来のシリコン酸化物層を含み得る。非プラズマ堆積プロセスのための TEOS 堆積が、約 300 ミリトールの圧力及び約 700 の温度での LPCVD を含み得る。しかしながら、オルガノシリケートガラス (OSG)、低 k 誘電体 (すなわち、二酸化シリコンに対してより小さい誘電率)、フッ素ドーピングシリカガラスなどのドーピングされた誘電体層、又は SiN 誘電体層又はその変形 (例えば、SiON) を含む、堆積されたシリコン酸化物を含む他の層を用いることもできる。PMD 層 1 2 1 の厚み範囲は概して 6,000 ~ 8,000 である。

10

【 0 0 3 2 】

図 2 J は、PMD 層 1 2 1 内に充填コンタクトビアを形成し、次いで PMD 層 1 2 1 の上に金属層を堆積し、次いで金属層をパターニングして、トレンチコンデンサの頂部プレートに接触するための第 2 のポリシリコン層 1 1 4 の上の充填ビア 1 2 2 a の上の金属 1 2 3 と、コンデンサの底部プレートへのコンタクトを提供する、エピタキシャル層 1 0 4 への充填ビア 1 2 2 b 上の金属 1 2 3 b とを形成する、製造過程トレンチコンデンサを示す。金属層は、通常は 0.5 ~ 4 重量%の Cu を含む、AlCu を含み得る。あるいは、金属層は銅のみを含み得、その場合、ダマシンプロセスが概して行われる。1 つ又はそれ以上の金属レベルが続いてもよく、その後、頂部金属層におけるボンドパッドを露出させるためにパッシベーション処理が続き得る。

20

【 0 0 3 3 】

図 3 A は、例示のパッケージされたデバイス 3 0 0 を示し、例示のパッケージされたデバイス 3 0 0 は、概して集積ゲートドライバをも含むコントローラ IC 3 2 0 と共に、パッケージ内に 1 5 0 ' として示される記載されるトレンチコンデンサと、ローサイド (LS) 垂直 FET 3 3 0 上のスタックされたハイサイド (HS) 垂直 FET 3 2 5 を含むスタックされた垂直 FET とを、全てリードフレームのダイパッド 3 5 0 上に含む、例示の同期バックコンバータを含む。トレンチコンデンサ 1 5 0 ' は、トレンチコンデンサ 1 5 0 のための充填されたビア 1 2 2 b の上の金属 1 2 3 b によって提供される前側底部プレートコンタクトの代替である底部プレートコンタクトを提供する裏側金属 (BSM) 層 1 5 1 を含んで示されている。ほかの点では、トレンチコンデンサ 1 5 0 ' は、図 1 及び図 2 L に示されるトレンチコンデンサ 1 5 0 と同じ構造である。

30

【 0 0 3 4 】

HS 垂直 FET 3 2 5 上の HS クリップ 3 6 0 と、HS FET 3 2 5 と LS FET 3 3 0 との間の LS クリップ 3 6 5 とを含む金属クリップが示されている。大電流 VIN (ハイサイド FET 3 2 5 ドレイン) と電圧スイッチング (VSW) 接続はクリップ・ボンディング技術を用いており、これは、概してワイヤボンド接続を中実の銅ブリッジに置き換える。この配置は、ワイヤボンディングと比較してオン抵抗 $R_{DS(ON)}$ 及び導通損失を実質的に低減し、概して優れた熱的性能を提供する。

【 0 0 3 5 】

トレンチコンデンサ 1 5 0 は、同じダイパッド 3 5 0 上の FET スタック及びコントローラ IC 3 2 0 に対して横方向である。示されたボンドワイヤは、コントローラ IC 3 2 0 から、HS FET 3 2 5 及び LS FET 3 3 0 のそれぞれのゲートに結合したボンドパッドへの、ボンドワイヤ 3 3 7 及び 3 3 8 を含む。パッケージされたデバイス 3 0 0 などの同期バックコンバータにおいて、FET の 3 2 5 と 3 3 0 垂直電流フローはスタックに最適である。NMOS FET の場合、HS FET 3 2 5 ソース端子は LS FET 3 3 0 ドレイン端子の真上に配置され、より高速なスイッチングを可能にするこれらのデバイス間の抵抗と寄生インダクタンスを事実上なくす。また、LS FET 3 3 0 ソース端子は接地電位にあり、適切な BSM 層を備え、高効率な熱伝達のため、パッケージの露出されたパッドに直接はんだ付けされ得る。

40

50

【 0 0 3 6 】

図 3 B は、記載されるパッケージされたデバイスにおける M O S F E T に用いられ得る断面的描写として示される、単純化された例示の垂直 M O S F E T 1 7 0 を示す。プレーナゲートデバイスとして示されているが、トレンチゲート M O S F E T を用いることもできる。実際のパワー M O S F E T の現実の構造は概して、より複雑であり、ゲート又はフィールドプレートのためなどの、トレンチを含む種々の他の構造を含む。垂直 M O S F E T 1 7 0 は、基板 1 0 5 に形成される p ウェル 1 7 7 内に形成される N + ソース 1 7 8 を含む。

【 0 0 3 7 】

D として示される M O S F E T デバイス 1 7 0 のためのドレインは、ゲート誘電体 1 7 6 上のゲート電極 1 7 5 の下の中心領域から、上に B S M 層 1 5 1 を有するダイの底部までである。示されるチャンネル 1 7 1 は、ゲート誘電体 1 7 6 上のゲート電極 1 7 5 の下で水平であるが、従来の M O S F E T と比較して短く、チャンネル 1 7 1 と B S M 層 1 5 1 でのドレインコンタクトとの間に示される電流フローは垂直である。提供されるこの短いチャンネル 1 7 1 は、低いオン抵抗、パワーデバイスの特性を意味する。

10

【 0 0 3 8 】

統合トレンチコンデンサのための高ウェハ反りを克服する上述の態様は、従来のトレンチ及びトレンチギャップ充填プロセスによって生じていた。トレンチがより深く、トレンチ密度がより高いほど、より高いウェハ反りが誘起されていた。反り低減の従来の解決策は、トレンチ深さ及びトレンチ密度を低減することである。高密度トレンチコンデンサの主要な性能指数 (F O M) は、高静電容量密度である。静電容量密度は、トレンチ深さとトレンチ密度に依存する。

20

【 0 0 3 9 】

トレンチがより深く、トレンチ密度がより高くなると、静電容量密度が向上する。記載される手法は、反りを低減しながらトレンチ深さとトレンチ密度を高く保つことができるフィルム応力を補償するために、ドーブされていないポリシリコンとドーブされたポリシリコンの応力特性を用いることを含む。ドーブされたポリシリコンは引っ張り応力層であり、一方、トレンチの底部におけるドーブされていないポリシリコン層は、共にウェハ反りを平衡させ得る圧縮応力層である。最も底部のポリシリコン層として堆積されたままのドーブされていないポリシリコン層は、ツール汚染を避けるのに役立つ。

30

【 0 0 4 0 】

高密度コンデンサのための別の主要な F O M は低 E S R であり、ポリシリコン層は頂部プレートとして機能し、下側ポリシリコン抵抗は低 E S R に役立つ。上述のようにポリシリコンエッチング前の追加アニールは、ドーブされたポリシリコンからドーブされていないポリシリコンへ拡散させて、ドーブされていないポリシリコン抵抗を低減することができるが、同時に、ウェハ反りを低減することもできる。

【 0 0 4 1 】

記載されるトレンチコンデンサは、その入力及び出力フィルタリングネットワークとして、又はディスクリット高密度コンデンサとして、 I C チップと共にパッケージされ得る。記載されるトレンチコンデンサを備える半導体ダイは、障壁層、誘電体層、デバイス構造、並びに、ソース領域、ドレイン領域、ビットライン、ベース、エミッタ、コレクタ、導電性ライン、導電性ビアなどを含む能動要素及び受動要素を含む、その中の種々の要素及び/又はその上の層を含み得る。また、半導体ダイは、バイポーラ、絶縁ゲートバイポーラトランジスタ、 C M O S 、 B i C M O S 、 及び M E M S を含む種々のプロセスから形成され得る。

40

【 0 0 4 2 】

本発明の特許請求の範囲内で、記載される例示の実施例に改変が成され得、他の実施例が可能である。

50

【図面】

【図 1】

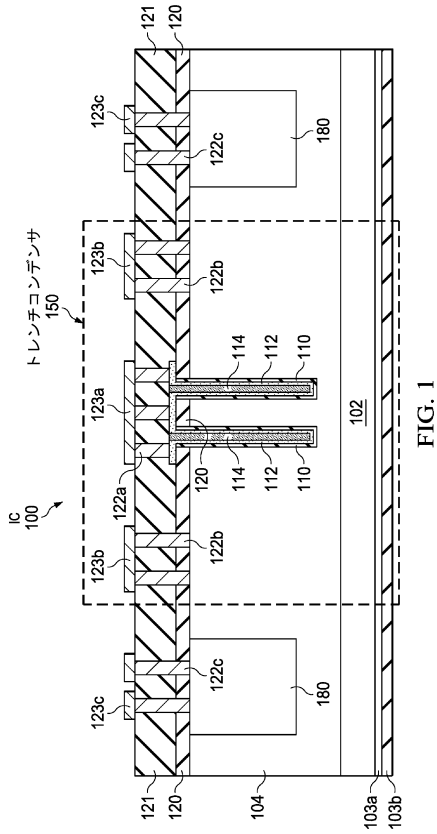


FIG. 1

【図 2 A】

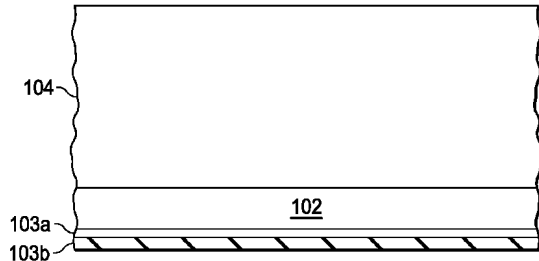


FIG. 2A

10

20

【図 2 B】

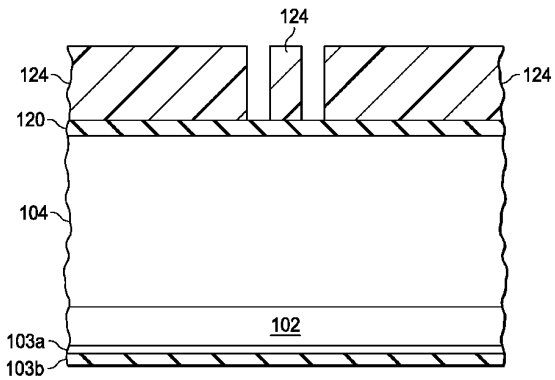


FIG. 2B

【図 2 C】

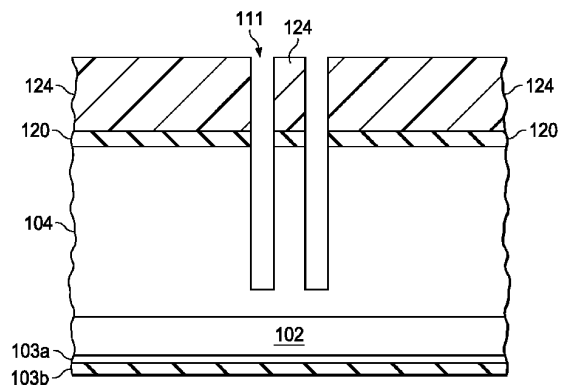


FIG. 2C

30

40

50

【 2 D 】

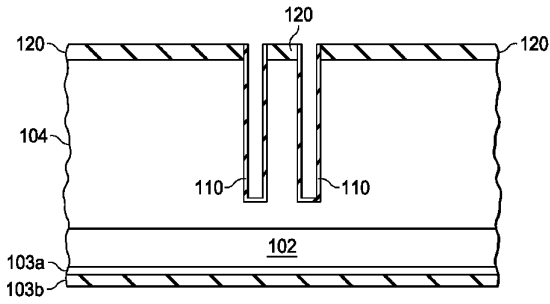


FIG. 2D

【 2 E 】

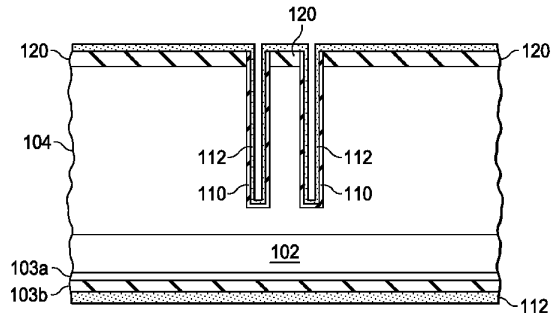


FIG. 2E

10

【 2 F 】

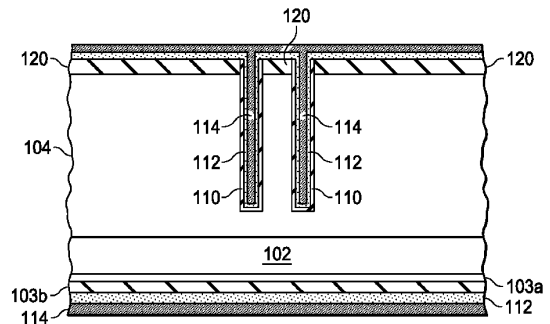


FIG. 2F

【 2 G 】

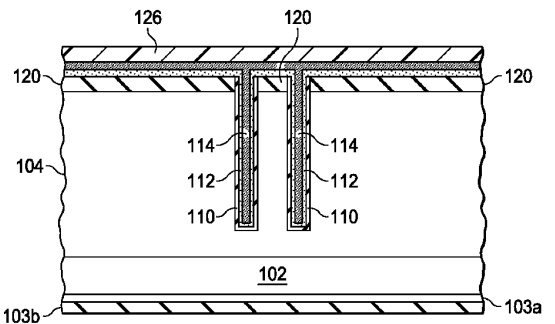


FIG. 2G

20

【 2 H 】

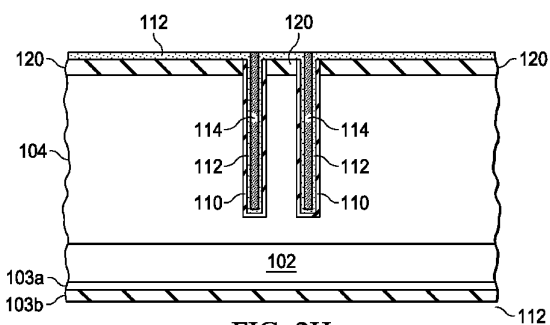


FIG. 2H

【 2 I 】

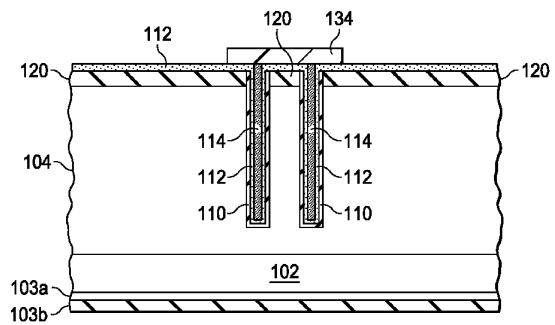


FIG. 2I

30

40

50

【図 2 J】

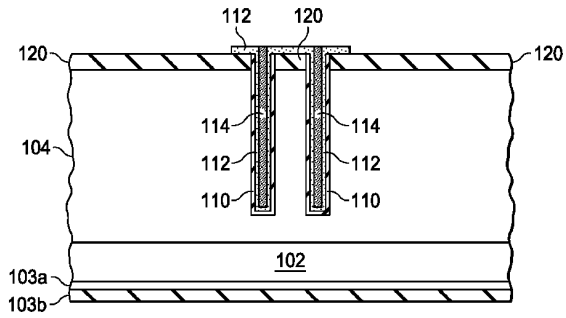


FIG. 2J

【図 2 K】

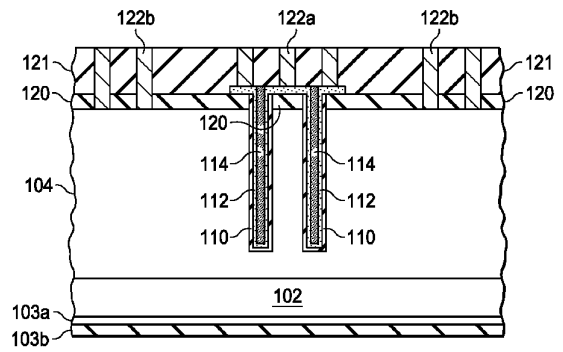


FIG. 2K

【図 2 L】

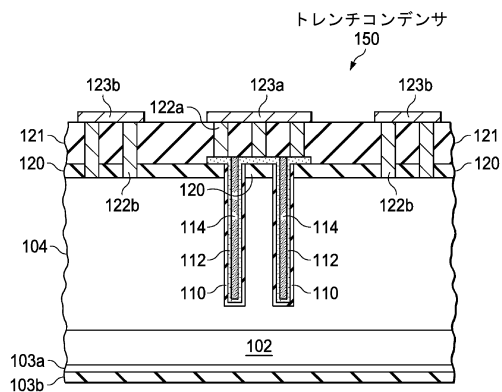


FIG. 2L

【図 3 A】

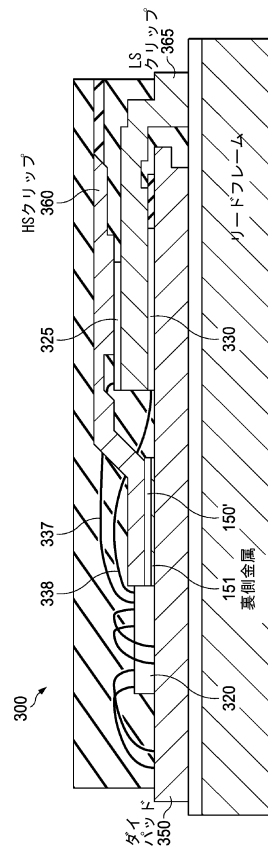


FIG. 3A

10

20

30

40

50

【図 3 B】

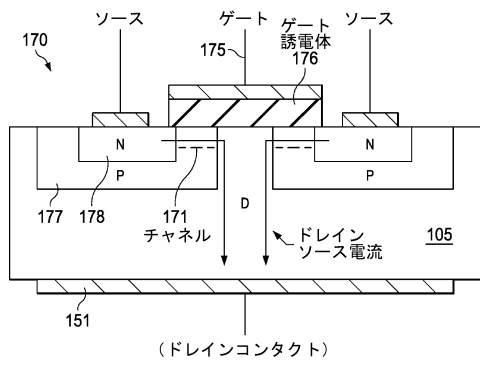


FIG. 3B

10

20

30

40

50

フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

200

(72)発明者 ヘリン

アメリカ合衆国 75035 テキサス州 フリスコ, ブラッドフォード グローブ ドライブ 9963

(72)発明者 ユンロン リウ

中華人民共和国 610031 チェンドウ, ピンシアン, タイシャン ノース ロード 421

(72)発明者 マノイ ジェイン

アメリカ合衆国 75025 テキサス州, プレイノ, ロパー ドライブ 2600

審査官 田付 徳雄

(56)参考文献

特開2005-260131(JP,A)

特開2002-359209(JP,A)

特開平10-074703(JP,A)

特表2014-508408(JP,A)

米国特許出願公開第2010/0244109(US,A1)

国際公開第2013/118618(WO,A1)

特表2009-535835(JP,A)

特開2009-260271(JP,A)

特開2001-196537(JP,A)

特開2002-324773(JP,A)

特開2001-351895(JP,A)

特表2010-530128(JP,A)

特開平05-063155(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H01L 21/822

H01L 21/8234