

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7604299号
(P7604299)

(45)発行日 令和6年12月23日(2024.12.23)

(24)登録日 令和6年12月13日(2024.12.13)

(51)国際特許分類		F I			
H 0 2 J	3/24 (2006.01)	H 0 2 J	3/24		
H 0 2 J	3/38 (2006.01)	H 0 2 J	3/38	1 1 0	

請求項の数 6 (全13頁)

(21)出願番号	特願2021-50893(P2021-50893)	(73)特許権者	000003687 東京電力ホールディングス株式会社 東京都千代田区内幸町一丁目1番3号
(22)出願日	令和3年3月25日(2021.3.25)	(73)特許権者	000006105 株式会社明電舎 東京都品川区大崎2丁目1番1号
(65)公開番号	特開2022-148986(P2022-148986 A)	(74)代理人	100086232 弁理士 小林 博通
(43)公開日	令和4年10月6日(2022.10.6)	(74)代理人	100092613 弁理士 富岡 潔
審査請求日	令和5年12月25日(2023.12.25)	(74)代理人	100104938 弁理士 鷗澤 英久
		(74)代理人	100210240 弁理士 太田 友幸
		(72)発明者	鈴木 健一

最終頁に続く

(54)【発明の名称】 系統連系電力変換装置および系統連系電力変換装置の制御方法

(57)【特許請求の範囲】

【請求項1】

同期発電機を模擬した仮想同期発電機制御が行われ、直流電源の直流電力を交流電力に変換するDC/AC変換器を有し、前記DC/AC変換器の出力がLCフィルタを介して電力系統と連系される系統連系電力変換装置であって、

出力電流検出値と系統電圧検出値の実効値と交流電圧指令値とに基づいて、内部誘起電圧を算出する内部誘起電圧算出部と、

前記系統電圧検出値に基づいて、系統周波数とPLL角周波数を出力するPLLと、

前記系統周波数が周波数上側閾値よりも大きい場合、または、前記系統周波数が周波数下側閾値よりも小さい場合、または、前記系統電圧検出値が電圧上側閾値よりも大きい場合、または、前記系統電圧検出値が電圧下側閾値よりも小さい場合、系統擾乱が発生していると判定して系統擾乱判定信号を出力する系統擾乱判定部と、

前記内部誘起電圧と前記出力電流検出値と前記DC/AC変換器の出力指令値である機械入力指令値とに基づいて、前記仮想同期発電機制御を行うための同期発電機を模擬したVSG角周波数を算出し、前記DC/AC変換器停止状態かつ前記系統擾乱判定信号が出力されていない場合は前記PLL角周波数に基づいた位相を出力し、前記DC/AC変換器運転状態もしくは前記系統擾乱判定信号が出力されている場合は前記VSG角周波数に基づいた位相を出力する仮想同期発電機モデルと、

前記内部誘起電圧と前記系統電圧検出値と前記出力電流検出値とに基づいて、同期発電機の内部インピーダンスによる電圧降下を模擬し、系統電圧指令値を算出する仮想同期イ

ンピーダンス補償部と、

前記系統電圧検出値を前記系統電圧指令値に制御する電圧制御を行い、PWM制御指令値を出力するPCS出力電圧制御部と、

前記PWM制御指令値と前記位相に基づいて、前記DC/AC変換器のゲート信号を生成し、前記DC/AC変換器を使用しない場合は前記DC/AC変換器の前記ゲート信号をブロックし、前記系統擾乱判定信号が出力されると前記ゲート信号を前記DC/AC変換器に出力開始するPWM制御部と、

を備えたことを特徴とする系統連系電力変換装置。

【請求項2】

前記仮想同期発電機モデルは、

前記機械入力指令値を機械入力トルクに換算する機械入力トルク算出部と、

前記内部誘起電圧と前記出力電流検出値から電気出力トルクを算出する電気出力トルク算出部と、

前記機械入力トルクから前記電気出力トルクを減算する第1減算器と、

スイッチの出力の前回値に基づいて制動巻線に発生するトルクを模擬した制動トルクを出力するダンピングブロックと、

前記第1減算器の出力から前記制動トルクを減算する第2減算器と、

前記第2減算器の出力を慣性定数で除算する慣性ブロックと、

前記慣性ブロックの出力に前記スイッチの出力の前回値を加算して前記VSG角周波数を出力する第1加算器と、

前記DC/AC変換器停止状態かつ前記系統擾乱判定信号が出力されていない場合は前記PLL角周波数を出力し、前記DC/AC変換器運転状態もしくは前記系統擾乱判定信号が出力されている場合は前記VSG角周波数を出力する前記スイッチと、

前記スイッチの出力に基本周波数を加算して角周波数として出力する第2加算器と、

前記第2加算器の出力を積分して前記位相を出力する第1積分器と、

を備えたことを特徴とする請求項1記載の系統連系電力変換装置。

【請求項3】

前記系統擾乱判定部は、前記系統周波数の上昇時の変化率が上昇時の閾値よりも大きい場合、または、前記系統周波数の低下時の変化率が低下時の閾値よりも大きい場合、系統擾乱が発生していると判定して前記系統擾乱判定信号を出力することを特徴とする請求項1または2記載の系統連系電力変換装置。

【請求項4】

前記仮想同期発電機モデルは、

前記系統周波数または前記系統電圧検出値の変動時に、前記出力電流検出値に応じて前記慣性定数を可変とすることを特徴とする請求項2記載の系統連系電力変換装置。

【請求項5】

前記仮想同期発電機モデルは、

前記出力電流検出値に基づいて慣性定数変化量を出力するテーブルと、

前記慣性定数変化量を積分する第2積分器と、

前記第2積分器の出力を制限値で制限して慣性定数調整量として出力するリミッタと、

通常慣性定数に前記慣性定数調整量を加算して前記慣性定数を算出する加算器と、を備えたことを特徴とする請求項4記載の系統連系電力変換装置。

【請求項6】

同期発電機を模擬した仮想同期発電機制御が行われ、直流電源の直流電力を交流電力に変換するDC/AC変換器を有し、前記DC/AC変換器の出力がLCフィルタを介して電力系統と連系される系統連系電力変換装置の制御方法であって、

内部誘起電圧算出部が、出力電流検出値と系統電圧検出値の実効値と交流電圧指令値とに基づいて、内部誘起電圧を算出し、

PLLが、前記系統電圧検出値に基づいて、系統周波数とPLL角周波数を出力し、

系統擾乱判定部が、前記系統周波数が周波数上側閾値よりも大きい場合、または、前記

10

20

30

40

50

系統周波数が周波数下側閾値よりも小さい場合、または、前記系統電圧検出値が電圧上側閾値よりも大きい場合、または、前記系統電圧検出値が電圧下側閾値よりも小さい場合、系統擾乱が発生していると判定して系統擾乱判定信号を出力し、

仮想同期発電機モデルが、前記内部誘起電圧と前記出力電流検出値と前記DC/AC変換器の出力指令値である機械入力指令値とに基づいて、前記仮想同期発電機制御を行うための同期発電機を模擬したVSG角周波数を算出し、前記DC/AC変換器停止状態かつ前記系統擾乱判定信号が出力されていない場合は前記PLL角周波数に基づいた位相を出力し、前記DC/AC変換器運転状態もしくは前記系統擾乱判定信号が出力されている場合は前記VSG角周波数に基づいた位相を出力し、

仮想同期インピーダンス補償部が、前記内部誘起電圧と前記系統電圧検出値と前記出力電流検出値とに基づいて、同期発電機の内部インピーダンスによる電圧降下を模擬し、系統電圧指令値を算出し、

PCS出力電圧制御部が、前記系統電圧検出値を前記系統電圧指令値に制御する電圧制御を行い、PWM制御指令値を出力し、

PWM制御部が、前記PWM制御指令値と前記位相に基づいて、前記DC/AC変換器のゲート信号を生成し、前記DC/AC変換器を使用しない場合は前記DC/AC変換器の前記ゲート信号をブロックし、前記系統擾乱判定信号が出力されると前記ゲート信号を前記DC/AC変換器に出力開始することを特徴とする系統連系電力変換装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インバータの出力特性に疑似慣性を持たせた系統連系電力変換装置において、インバータによる電力消費を低減させつつ系統安定化に寄与するための運転方法に関する。

【背景技術】

【0002】

特許文献1に代表される同期発電機相当の特性を持たせた系統連系電力変換装置は、系統事故や需給アンバランスなどによって生じる系統電圧・系統周波数の変動を抑制するように作用する。

【0003】

一般的に、蓄電池を有する系統連系電力変換装置は、ピークシフトやDR(Distaster Recovery)などの運用方法によって蓄電池を充電または放電するが、蓄電池を使用しない期間はインバータをゲートブロックする。

【先行技術文献】

【特許文献】

【0004】

【文献】特許第6084863号

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、疑似慣性を有した系統連系電力変換装置で系統安定化に寄与させるためには、常時インバータを駆動させておく必要がある。蓄電池を使用しない期間すなわちインバータ出力電力がゼロの状態においても、インバータを構成する半導体スイッチを駆動することにより電力損失が発生してしまう。

【0006】

以上示したようなことから、インバータ損失抑制のためにインバータを停止している状態からでも、系統安定化に寄与する系統連系電力変換装置を提供することが課題となる。

【課題を解決するための手段】

【0007】

本発明は、前記従来の問題に鑑み、案出されたもので、その一態様は、同期発電機を模

10

20

30

40

50

擬した仮想同期発電機制御が行われ、直流電源の直流電力を交流電力に変換するDC/AC変換器を有し、前記DC/AC変換器の出力がLCフィルタを介して電力系統と連系される系統連系電力変換装置であって、出力電流検出値と系統電圧検出値の実効値と交流電圧指令値とに基づいて、内部誘起電圧を算出する内部誘起電圧算出部と、前記系統電圧検出値に基づいて、系統周波数とPLL角周波数を出力するPLLと、前記系統周波数が周波数上側閾値よりも大きい場合、または、前記系統周波数が周波数下側閾値よりも小さい場合、または、前記系統電圧検出値が電圧上側閾値よりも大きい場合、または、前記系統電圧検出値が電圧下側閾値よりも小さい場合、系統擾乱が発生していると判定して系統擾乱判定信号を出力する系統擾乱判定部と、前記内部誘起電圧と前記出力電流検出値と前記DC/AC変換器の出力指令値である機械入力指令値とに基づいて、前記仮想同期発電機制御を行うための同期発電機を模擬したVSG角周波数を算出し、前記DC/AC変換器停止状態かつ前記系統擾乱判定信号が出力されていない場合は前記PLL角周波数に基づいた位相を出力し、前記DC/AC変換器運転状態もしくは前記系統擾乱判定信号が出力されている場合は前記VSG角周波数に基づいた位相を出力する仮想同期発電機モデルと、前記内部誘起電圧と前記系統電圧検出値と前記出力電流検出値とに基づいて、同期発電機の内部インピーダンスによる電圧降下を模擬し、系統電圧指令値を算出する仮想同期インピーダンス補償部と、前記系統電圧検出値を前記系統電圧指令値に制御する電圧制御を行い、PWM制御指令値を出力するPCS出力電圧制御部と、前記PWM制御指令値と前記位相に基づいて、前記DC/AC変換器のゲート信号を生成し、前記DC/AC変換器を使用しない場合は前記DC/AC変換器の前記ゲート信号をブロックし、前記系統擾乱判定信号が出力されると前記ゲート信号を前記DC/AC変換器に出力開始するPWM制御部と、を備えたことを特徴とする。

10

20

【0008】

また、その一態様として、前記仮想同期発電機モデルは、前記機械入力指令値を機械入力トルクに換算する機械入力トルク算出部と、前記内部誘起電圧と前記出力電流検出値から電気出力トルクを算出する電気出力トルク算出部と、前記機械入力トルクから前記電気出力トルクを減算する第1減算器と、スイッチの出力の前回値に基づいて制動巻線に発生するトルクを模擬した制動トルクを出力するダンピングブロックと、前記第1減算器の出力から前記制動トルクを減算する第2減算器と、前記第2減算器の出力を慣性定数で除算する慣性ブロックと、前記慣性ブロックの出力に前記スイッチの出力の前回値を加算して前記VSG角周波数を出力する第1加算器と、前記DC/AC変換器停止状態かつ前記系統擾乱判定信号が出力されていない場合は前記PLL角周波数を出力し、前記DC/AC変換器運転状態もしくは前記系統擾乱判定信号が出力されている場合は前記VSG角周波数を出力する前記スイッチと、前記スイッチの出力に基本周波数を加算して角周波数として出力する第2加算器と、前記第2加算器の出力を積分して前記位相を出力する第1積分器と、を備えたことを特徴とする。

30

【0009】

また、その一態様として、前記系統擾乱判定部は、前記系統周波数の上昇時の変化率が上昇時の閾値よりも大きい場合、または、前記系統周波数の低下時の変化率が低下時の閾値よりも大きい場合、系統擾乱が発生していると判定して前記系統擾乱判定信号を出力することを特徴とする。

40

【0010】

また、その一態様として、前記仮想同期発電機モデルは、前記系統周波数または前記系統電圧検出値の変動時に、前記出力電流検出値に応じて前記慣性定数を可変とすることを特徴とする。

【0011】

また、その一態様として、前記仮想同期発電機モデルは、前記出力電流検出値に基づいて慣性定数変化量を出力するテーブルと、前記慣性定数変化量を積分する第2積分器と、前記第2積分器の出力を制限値で制限して慣性定数調整量として出力するリミッタと、通常慣性定数に前記慣性定数調整量を加算して前記慣性定数を算出する加算器と、を備えた

50

ことを特徴とする。

【発明の効果】

【0012】

本発明によれば、インバータ損失抑制のためにインバータを停止している状態からでも、系統安定化に寄与する系統連系電力変換装置を提供することが可能となる。

【図面の簡単な説明】

【0013】

【図1】実施形態1～3の系統連系電力変換装置の全体概略図。

【図2】実施形態1の仮想同期発電機モデルを示すブロック図。

【図3】実施形態1における発電機脱落時の周波数変動およびインバータ出力有効電力の一例を示す図。 10

【図4】電圧低下時のインバータ動作の一例を示す図。

【図5】実施形態2における発電機脱落時の周波数変動およびインバータ出力有効電力の一例を示す図。

【図6】実施形態3の仮想同期発電機モデルを示すブロック図。

【発明を実施するための形態】

【0014】

以下、本願発明における系統連系電力変換装置の実施形態1～3を図1～図6に基づいて詳述する。

【0015】 20

[実施形態1]

図1は本実施形態1における系統連系電力変換装置の全体概略図である。図1に示すように、系統連系電力変換装置の主回路構成は、蓄電池等の直流電源 V_{dc} の直流電力をIGBT等から成るDC/AC変換器（以下、インバータと称する）INVで交流電力に変換し、LCフィルタLCとトランスTrを介して電力系統1と連系する。LCフィルタLCは、フィルタリアクトルLfとフィルタコンデンサCfとを備える。また、LCフィルタLCとトランスTrとの間の出力電流検出値 I_{ac} と系統電圧検出値 V_{ac} が検出され、後述する制御部に出力される。

【0016】

系統連系電力変換装置は、LCフィルタLC後の系統電圧検出値 V_{ac} が、内部誘起電圧 E_f から出力電流 I_{ac} が流れることによって生じる仮想同期インピーダンス Z_s による電圧降下を減算した系統電圧指令値 V_{ac}^* と一致するように制御を行う。 30

【0017】

本実施形態1における系統連系電力変換装置の制御部は、図1に示すように、内部誘起電圧算出部2と、仮想同期発電機モデル3と、仮想同期インピーダンス補償部4と、PCS（Power Conversion System）出力電圧制御部5と、PWM制御部6と、PLL（Phase Locked Loop）7と、系統擾乱判定部8と、を備える。

【0018】

内部誘起電圧算出部2は、交流電圧指令値 V_{ref} と交流電圧検出値の実効値 $|V_{ac}|$ と出力電流検出値 I_{ac} とを入力し、内部誘起電圧 E_f を算出する。 40

【0019】

PLL7は、インバータINVの停止時に系統電圧への同期制御を行うため、系統電圧検出値 V_{ac} に基づいて、PLL角周波数 ω_{PLL} を仮想同期発電機モデル3に出力する。また、PLL7は系統電圧検出値 V_{ac} に基づいて系統周波数 f を系統擾乱判定部8に出力する。

【0020】

系統擾乱判定部8は、系統電圧検出値 V_{ac} と系統周波数 f に基づいて系統擾乱が発生しているか否かを判定し、系統擾乱が発生していると判定した場合は系統擾乱判定信号を仮想同期発電機モデル3に出力する。 50

【 0 0 2 1 】

仮想同期発電機モデル3は、内部誘起電圧 E_f と出力電流検出値 I_{ac} とインバータ INV の出力指令値である機械入力指令値 P_m とに基づいて、仮想同期発電機制御を行うための同期発電機を模擬した VSG 角周波数 ω を算出する。インバータ INV 停止状態かつ系統擾乱判定信号が出力されていない場合は PLL 角周波数 ω_{PLL} に基づいた位相 θ を出力し、インバータ INV 運転状態もしくは系統擾乱判定信号が出力されている場合は VSG 角周波数 ω に基づいた位相 θ を出力する。

【 0 0 2 2 】

仮想同期インピーダンス補償部4は、系統電圧検出値 V_{ac} と出力電流検出値 I_{ac} と内部誘起電圧 E_f とを入力して同期発電機の内部インピーダンスによる電圧降下を模擬し、系統電圧指令値 V_{ac}^* を出力する。

10

【 0 0 2 3 】

PCS 出力電圧制御部5は、系統電圧検出値 V_{ac} と系統電圧指令値 V_{ac}^* を入力して系統電圧検出値 V_{ac} が系統電圧指令値 V_{ac}^* となるように制御し、 PWM 制御指令値 V_{cmd} を出力する。

【 0 0 2 4 】

PWM 制御部6は、 PWM 制御指令値 V_{cmd} と位相 θ とを入力し、ゲート信号 $Gate$ を生成する。直流電源 V_{dc} を使用しない、かつ、系統擾乱判定信号が出力されていない場合はゲート信号 $Gate$ をブロックする。系統擾乱判定信号が出力されている場合はゲート信号 $Gate$ をインバータ INV の $IGBT$ 等のスイッチング素子に出力する。

20

【 0 0 2 5 】

内部誘起電圧算出部2、仮想同期インピーダンス補償部4、 PCS 出力電圧制御部5、 PLL 7は、本願発明と直接関係ないため、ここでの詳細な説明は省略する。

【 0 0 2 6 】

図2に本実施形態1の仮想同期発電機モデル3を示す。機械入力トルク算出部9は、除算器9aにおいて、機械入力指令値 P_m を角周波数 ω の前回値で除算し、機械入力トルク T_m を算出する。

【 0 0 2 7 】

電気出力トルク算出部10は、乗算器10aにおいて、内部誘起電圧 E_f と出力電流検出値 I_{ac} を乗算する。除算器10bにおいて、乗算器10aの出力を角周波数 ω の前回値で除算し、電気出力トルク T_e を出力する。

30

【 0 0 2 8 】

第1減算器11は、機械入力トルク T_m から電気出力トルク T_e を減算する。第2減算器12は、第1減算器11の出力からダンピングブロック19の出力である制動巻線に発生する制動トルクを減算する。

【 0 0 2 9 】

慣性ブロック13は、第2減算器12の出力を慣性定数 M で除算して発電機の慣性を模擬する。第1加算器14は、慣性ブロック13の出力にスイッチ15の出力の前回値を加算し、仮想同期発電機モデルから算出した VSG 角周波数 ω を出力する。

【 0 0 3 0 】

スイッチ15は、インバータ INV 停止状態かつ系統擾乱判定信号が出力されていない場合は PLL 角周波数 ω_{PLL} を出力し、インバータ INV 運転状態もしくは系統擾乱判定信号が出力されている場合は VSG 角周波数 ω を出力する。

40

【 0 0 3 1 】

第2加算器16はスイッチ15の出力に基本周波数 ω_0 (50Hz または 60Hz)を加算して、角周波数 ω として出力する。第1積分器17は、角周波数 ω を積分して位相 θ を出力する。

【 0 0 3 2 】

バッファ18は、スイッチ15の出力を一時記憶し、スイッチ15の出力の前回値として第1加算器14、ダンピングブロック19に出力する。ダンピングブロック19は、バ

50

ツファ 18 の出力にダンピング補償項 $Ds / 1 + TDs$ を乗算して、制動巻線に発生する制動トルクを模擬して第 2 減算器 12 に出力する。ダンピング補償項 $Ds / 1 + TDs$ については本願発明と直接関係ないため、ここでの詳細な説明は省略する。

【 0 0 3 3 】

バッファ 20 は、角周波数 r を一時記憶し、角周波数 r の前回値を除算器 9 a、10 b に出力する。

【 0 0 3 4 】

系統擾乱判定部 8 は、系統周波数 f が閾値を超過したか否かで判定する周波数判定と、系統電圧検出値 Vac が閾値を超過したか否かで判定する電圧判定と、を行い、どちらか一方でも閾値を超過した場合に、「系統擾乱あり」と判定して系統擾乱判定信号を出力する。

10

【 0 0 3 5 】

ここで、系統周波数 f には周波数上側閾値と周波数下側閾値が設定され、系統電圧検出値 Vac には電圧上側閾値と電圧下側閾値が設定される。系統周波数 f が正常範囲内（周波数上側閾値以下で周波数下側閾値以上）、かつ、系統電圧検出値 Vac が正常範囲内（電圧上側閾値以下で電圧下側閾値以上）であれば「系統擾乱が発生していない」と判定する。

【 0 0 3 6 】

系統周波数 f が周波数上側閾値よりも大きい場合、または、系統周波数 f が周波数下側閾値よりも小さい場合、または、系統電圧検出値 Vac が電圧上側閾値よりも大きい場合、または、系統電圧検出値 Vac が電圧下側閾値よりも小さい場合、「系統擾乱が発生している」と判定して系統擾乱判定信号を出力する。すなわち、系統周波数 f または系統電圧検出値 Vac のうち少なくとも何れか一方が正常範囲を逸脱した場合は系統擾乱判定信号を出力する。

20

【 0 0 3 7 】

直流電源 Vdc を使用しない期間は、PWM制御部 6 において、インバータ INV をゲートブロックさせる。インバータ INV の停止中、かつ、系統擾乱が発生していない場合は仮想同期発電機モデル 3 におけるスイッチ 15 の出力を PLL 角周波数 PLL にすることで、 $PLL7$ によって系統電圧に同期制御を行い、角周波数 r を系統周波数に同期させておく。

30

【 0 0 3 8 】

電力需給バランスが崩れたことによる周波数変動や系統事故等による系統電圧変動を監視し、これら系統擾乱を検出した場合には PWM制御部 6 において、インバータ INV をすぐに起動する。また、仮想同期発電機モデル 3 におけるスイッチ 15 の出力を VSG 角周波数 r にし、インバータ INV の出力特性（疑似慣性）に応じた動作を行うことにより、系統の周波数変動を抑制できる。

【 0 0 3 9 】

図 3 に発電機が脱落した際の系統周波数変化およびインバータ出力有効電力の一例を示す。発電機が脱落すると系統の周波数は低下する。この際の周波数低下の傾きは系統の慣性に依存する。その後はガバナフリーや LFC (load frequency control) などによって発電機の出力が調整され、系統周波数は定格周波数（正常時の周波数）まで戻ってくる。

40

【 0 0 4 0 】

図 3 の実線がインバータを起動した場合、点線がインバータ INV を起動しない場合である。本実施形態 1 では、インバータ INV が停止状態において系統周波数の低下を検出するとすぐにインバータ INV の出力を開始するため、インバータ INV を起動しない時と比べて周波数の低下量を抑制することが可能となる。

【 0 0 4 1 】

図 4 に系統側での短絡事故等により系統電圧が低下した際のインバータ INV 動作の一例を示す。インバータ INV の停止状態において系統電圧低下を検出するとすぐにインバ

50

ータ I N V は起動するが、系統側が短絡状態のためインバータ I N V の出力可能な電流値での事故電流を出力する。

【 0 0 4 2 】

すなわち、仮想同期インピーダンス補償部 4 において、通常時は予め設定された仮想同期インピーダンス Z_s と出力電流検出値 I_{ac} に基づいて降下電圧を算出し、過電流発生時はインバータ I N V が出力可能な電流制限値 I_{lim} に制限するために必要な補正仮想同期インピーダンス Z_s' (r' および x') と出力電流検出値 I_{ac} とに基づいて、降下電圧を算出する。

【 0 0 4 3 】

過電流を抑制するために必要な補正仮想同期インピーダンス Z_s' (r' および x') の算出方法は以下の (1) 式となる。

【 0 0 4 4 】

【数 1】

$$\begin{bmatrix} r' \\ x' \end{bmatrix} = \frac{1}{I_{lim}} \begin{bmatrix} \cos \theta & \sin \theta \\ -\sin \theta & \cos \theta \end{bmatrix} \begin{bmatrix} E_d - V_d \\ E_q - V_q \end{bmatrix} \quad \dots (1)$$

20

【 0 0 4 5 】

ここで、 E_d 、 E_q は内部誘起電圧 E_f の d 軸成分、q 軸成分、 V_d 、 V_q は系統電圧検出値 V_{ac} の d 軸成分、q 軸成分を示す。

【 0 0 4 6 】

なお、補正仮想同期インピーダンス Z_s' (r' および x') を模擬するためには、(1) 式によって求めた補正仮想同期インピーダンス Z_s' が正である必要がある。過電流を抑制するためには、瞬時の出力電流位相情報が必要であるが、系統事故や負荷変動等によって出力電流が乱れた場合などに、瞬時電流から抽出した位相情報を基に補正仮想同期インピーダンス Z_s' を算出すると、負の値となってしまう場合がある。そこで、抽出した出力電流位相を以下の (2) 式の範囲内に制限する。

【 0 0 4 7 】

【数 2】

$$\tan^{-1} \left(\frac{-(E_d - V_d)}{E_q - V_q} \right) \leq \theta \leq \tan^{-1} \left(\frac{E_q - V_q}{E_d - V_d} \right) \quad \dots (2)$$

40

【 0 0 4 8 】

なお、内部誘起電圧 E_f を基準として内部位相を定義することで、 $E_q = 0$ となり、簡略化することもできる。また、電流制限値 I_{lim} は固定値としても良く、出力電流検出

50

値 I_{ac} を電流リミッタにかけた値でも良い。

【0049】

図4の説明に戻る。事故点が解除されると系統電圧は復帰し、インバータ出力電流は低下する。

【0050】

分散電源が普及すると系統内のインバータ電源比率が増加し運転する発電機が減少することで、系統事故時の事故電流が減少して従来の保護リレーが正常に動作しない懸念がある。本実施形態1では停止していたインバータ INV も（半導体スイッチ等が動作可能な範囲で）事故電流を供給するため、従来の保護リレーが適応できる範囲が広がる。

【0051】

以上示したように、本実施形態1の系統連系電力変換装置によれば、系統擾乱が発生した時に、インバータ INV を停止（ゲートブロック）させた状態から、インバータ INV を素早く起動し、疑似慣性に応じた出力を行うことで、インバータ INV による電力消費を低減させつつ系統の安定化に寄与する。

【0052】

[実施形態2]

本実施形態2では、実施形態1の系統擾乱判定部8に、周波数の変化率が閾値を超過したか否かで判定する周波数変化率判定を追加する。

【0053】

ここで、周波数変化率には、上昇時の閾値と低下時の閾値を設定する。なお、本明細書では、周波数低下時の周波数変化率と低下時の閾値はそれぞれ絶対値として記載する。そして、系統周波数 f が正常範囲内（周波数上側閾値以下で周波数下側閾値以上）、かつ、系統電圧検出値 V_{ac} が正常範囲内（電圧上側閾値以下で電圧下側閾値以上）、かつ、周波数変化率が正常範囲内（上昇時の閾値以下で低下時の閾値以下）あれば「系統擾乱が発生していない」と判定する。

【0054】

系統周波数 f が周波数上側閾値よりも大きい場合、または、系統周波数 f が周波数下側閾値よりも小さい場合、または、系統電圧検出値 V_{ac} が電圧上側閾値よりも大きい場合、または、系統電圧検出値 V_{ac} が電圧下側閾値よりも小さい場合、に加えて、上昇時の周波数変化率が上昇時の閾値よりも大きい場合、または、低下時の周波数変化率が低下時の閾値よりも大きい場合、「系統擾乱が発生している」と判定して系統擾乱判定信号を出力する。

【0055】

図5に実施形態2における発電機脱落時の周波数変動およびインバータ出力有効電力の一例を示す。周波数変化率による判定を追加することで、図5に示すように、大容量発電機の脱落などによる周波数変動時に系統周波数 f が周波数閾値を超過するより早くインバータを起動することが可能となる。

【0056】

本実施形態2によれば、実施形態1と比べ、周波数変動時のインバータ起動が早くなり、より系統安定化に寄与することができる。

【0057】

[実施形態3]

本実施形態3は、仮想同期発電機モデル3に、出力電流検出値 I_{ac} から慣性定数 M の変化量を算出するテーブルと、慣性定数 M の変化量に対する積分器とリミッタを追加し、発電機の慣性を模擬する慣性定数 M を可変とする。

【0058】

慣性定数 M を大きくすることで周波数変動が緩やかになるため、周波数変動時にインバータ INV が出力する有効電力が大きくなり、系統全体の周波数変動がより抑制される。

【0059】

しかし、慣性定数 M を大きくしすぎるとインバータ INV が過負荷となり、慣性定数 M

10

20

30

40

50

に見合った出力を出せなくなる。

【0060】

そこで、インバータINVの出力電流に応じて慣性定数Mを変化させることで、インバータINVの動作可能な範囲内でより大きな慣性定数Mで動作させる。慣性定数Mは、通常時（系統擾乱等が発生していない状態）の通常慣性定数Mbaseに系統擾乱時の慣性定数調整量Madjを加算して求める。なお、通常慣性定数MbaseはPCSのパラメータとして予め定められた設定値である。

【0061】

図6に本実施形態3の仮想同期発電機モデル3のブロック図を示す。実施形態1と同様の箇所は同じ符号を付し、その説明は省略する。テーブル21は、出力電流検出値Iacの大きさに応じて慣性定数変化量Mを決定する。慣性定数変化量Mは、例えば、装置の定格電流（100%連続運転可能な電流）の80%以下は+M、装置の定格電流の120%以上は-M、それ以外は0のように決定する。このように慣性定数変化量Mを決定することで、出力に余裕がある場合は慣性定数Mを大きくし、出力に余裕がない場合は慣性定数Mを小さくするように動作する。

10

【0062】

第2積分器22は、慣性定数変化量Mを積分する。リミッタ23は、第2積分器22の出力を制限値に制限する。リミッタ23の出力が慣性定数調整量Madjとなる。

【0063】

リミッタ23は、系統周波数f、系統電圧検出値Vacの変動量が小さい場合に慣性定数Mを大きくし過ぎてしまうことを防止すること、および系統周波数f、系統電圧検出値Vacの変動時のみ慣性定数Mを可変とするために設ける。

20

【0064】

系統周波数f、系統電圧検出値Vacの変動が収束すると（系統周波数f、系統電圧検出値Vacの変化率が小さくなると）、制限値を徐々に0にすることで、通常時の慣性定数Mbaseのみで動作するようになる。

【0065】

加算器24は、通常慣性定数Mbaseに系統擾乱時の慣性定数調整量Madjを加算して慣性定数Mを求め、慣性ブロック13に出力する。

【0066】

以上示したように、本実施形態3によれば、実施形態1, 2の作用効果に加え、系統周波数f、系統電圧の変動時にインバータが動作可能な範囲で慣性定数Mを大きくすることで、系統周波数f、系統電圧の変動が抑制できる。

30

【0067】

以上、本発明において、記載された具体例に対してのみ詳細に説明したが、本発明の技術思想の範囲で多彩な変形および修正が可能であることは、当業者にとって明白なことであり、このような変形および修正が特許請求の範囲に属することは当然のことである。

【符号の説明】

【0068】

- 1 ... 電力系統
- 2 ... 内部誘起電圧算出部
- 3 ... 仮想同期発電機モデル
- 4 ... 仮想同期インピーダンス補償部
- 5 ... PCS出力電圧制御部
- 6 ... PWM制御部
- 7 ... PLL
- 8 ... 系統擾乱判定部
- Vdc ... 直流電源
- INV ... DC/AC変換器（インバータ）
- LC ... LCフィルタ

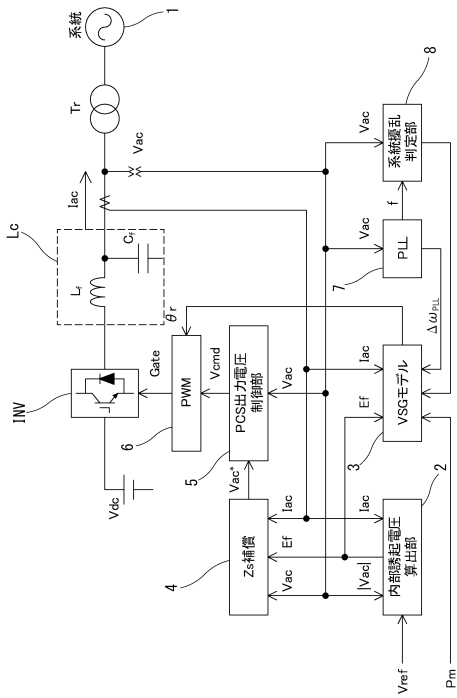
40

50

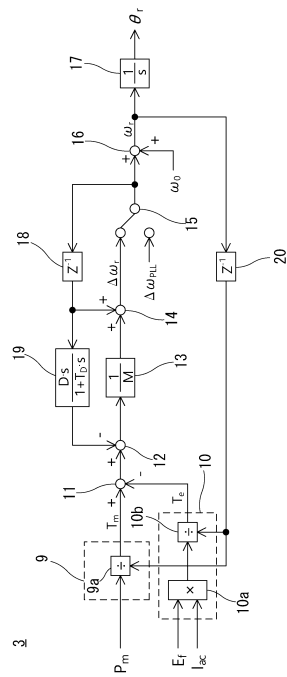
Tr...トランス

【図面】

【図1】



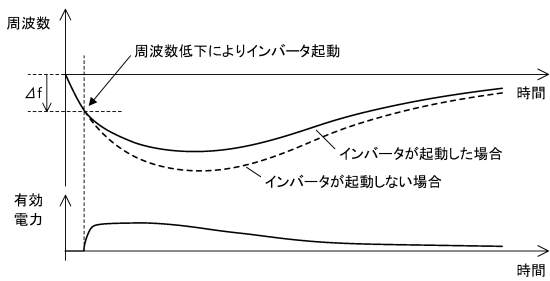
【図2】



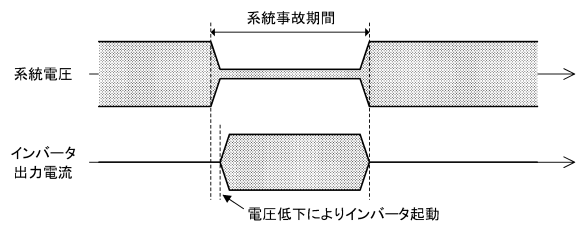
10

20

【図3】



【図4】

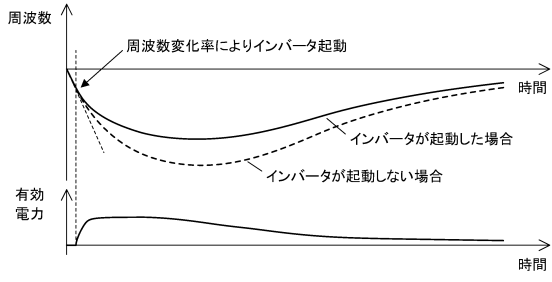


30

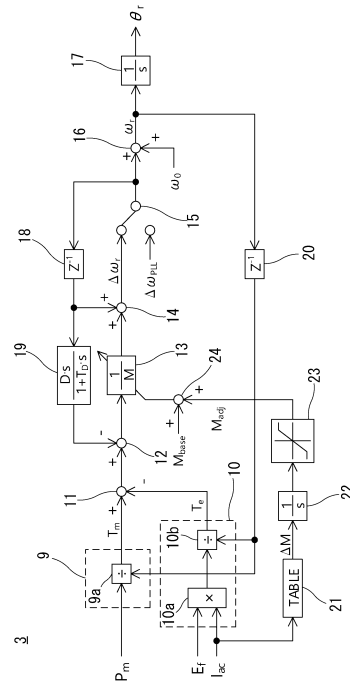
40

50

【図5】



【図6】



10

20

30

40

50

フロントページの続き

- 東京都千代田区内幸町1丁目1番3号 東京電力パワーグリッド株式会社内
(72)発明者 大原 尚
- 東京都千代田区内幸町1丁目1番3号 東京電力パワーグリッド株式会社内
(72)発明者 栗原 重雄
- 東京都千代田区内幸町1丁目1番3号 東京電力パワーグリッド株式会社内
(72)発明者 宗像 大介
- 東京都千代田区内幸町1丁目1番3号 東京電力パワーグリッド株式会社内
(72)発明者 野田 秀樹
- 東京都千代田区内幸町1丁目1番3号 東京電力パワーグリッド株式会社内
(72)発明者 井上 稔也
- 東京都品川区大崎2丁目1番1号 株式会社明電舎内
審査官 新田 亮
- (56)参考文献 国際公開第2021/029313(WO, A1)
国際公開第2019/116419(WO, A1)
- (58)調査した分野 (Int.Cl., DB名)
H02J 3/24
H02J 3/38