

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 4 月 20 日 (20.04.2023)



(10) 国际公布号
WO 2023/060741 A1

(51) 国际专利分类号:
H01L 23/522 (2006.01) **H01L 21/768** (2006.01)
H01L 23/528 (2006.01)

(21) 国际申请号: PCT/CN2021/137432

(22) 国际申请日: 2021 年 12 月 13 日 (13.12.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111190824.6 2021 年 10 月 13 日 (13.10.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

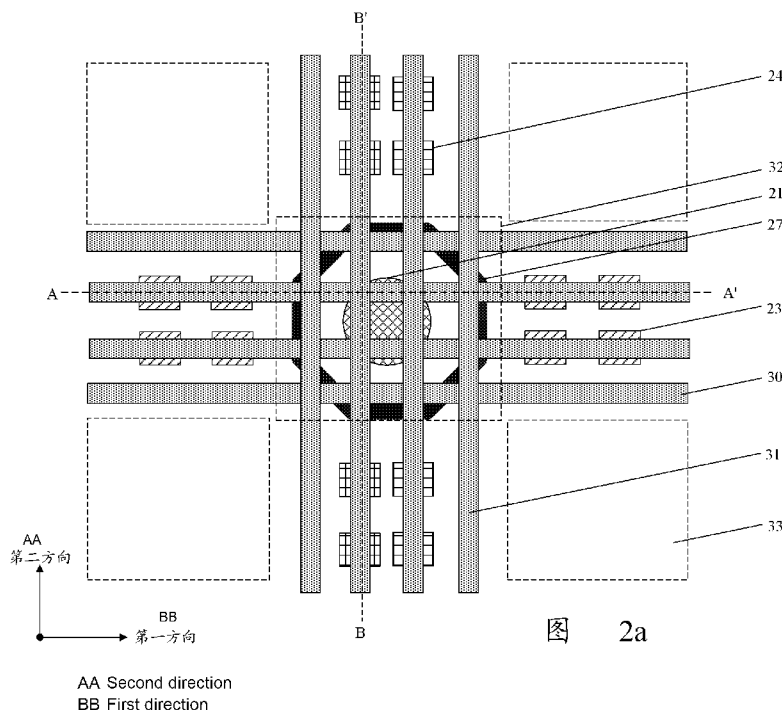
(72) 发明人: 刘志拯 (LIU, Chih-Cheng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种半导体结构及其制造方法



(57) Abstract: Embodiments of the present disclosure disclose a semiconductor structure and a manufacturing method therefor. The semiconductor structure comprises: a substrate, and a through silicon via, a first electrically conductive-type transistor and a second electrically conductive-type transistor, which are located in the substrate, the first electrically conductive-type transistor being disposed at two sides of the through silicon via along a first direction, the second electrically conductive-type transistor being disposed at two other sides of the through silicon via along a second direction, and the first direction being perpendicular to the second direction; a first

[见续页]

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

metal layer located on the substrate, the first metal layer comprising at least one first metal wire extending along the first direction, and the first metal wire being electrically connected to a gate electrode of the first electrically conductive-type transistor; and a second metal layer located on the first metal layer, the second metal layer comprising at least one second metal wire extending along the second direction, the second metal wire being electrically connected to a gate electrode of the second electrically conductive-type transistor, and the first metal wire and the second metal wire intersecting with each other to form a grid structure covering the through silicon via.

(57) 摘要: 本公开实施例公开了一种半导体结构及其制造方法, 所述半导体结构包括: 衬底以及位于衬底内的导电通孔、第一导电类型晶体管及第二导电类型晶体管; 其中, 第一导电类型晶体管沿第一方向设置于导电通孔的两侧; 第二导电类型晶体管沿第二方向设置于导电通孔的另外两侧; 第一方向与第二方向垂直; 第一金属层, 位于衬底上, 第一金属层包括至少一条沿第一方向延伸的第一金属线, 第一金属线与第一导电类型晶体管的栅极电连接; 第二金属层, 位于第一金属层上, 第二金属层包括至少一条沿第二方向延伸的第二金属线, 第二金属线与第二导电类型晶体管的栅极电连接; 其中, 第一金属线和第二金属线相互交叉构成覆盖导电通孔的网格结构。

一种半导体结构及其制造方法

相关申请的交叉引用

本公开基于申请号为 202111190824.6、申请日为 2021 年 10 月 13 日、发明名称为“一种半导体结构及其制造方法”的中国专利申请提出，并要
5 求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本公开涉及半导体制造领域，尤其涉及一种半导体结构及其制造方法。

背景技术

10 基于导电通孔（Through Silicon Via, TSV）互连技术的垂直互连叠层封装方式，以其短距离互连和高密度集成的优势，逐渐引领了封装技术发展的趋势。

然而，导电通孔在受热膨胀后容易向衬底外突出，影响衬底的平整度，进而影响半导体结构的性能。

15 发明内容

有鉴于此，本公开实施例为解决背景技术中存在的至少一个问题而提供一种半导体结构及其制造方法。

本公开的技术方案是这样实现的：本公开实施例提供了一种半导体结构，包括：

20 衬底以及位于所述衬底内的导电通孔、第一导电类型晶体管及第二导电类型晶体管；其中，所述第一导电类型晶体管沿第一方向设置于所述导电通孔的两侧；所述第二导电类型晶体管沿第二方向设置于所述导电通孔

的另外两侧；所述第一方向与所述第二方向垂直；

第一金属层，位于所述衬底上，所述第一金属层包括至少一条沿第一方向延伸的第一金属线，所述第一金属线与所述第一导电类型晶体管的栅极电连接；

- 5 第二金属层，位于所述第一金属层上，所述第二金属层包括至少一条沿第二方向延伸的第二金属线，所述第二金属线与所述第二导电类型晶体管的栅极电连接；

其中，所述第一金属线和所述第二金属线相互交叉构成覆盖所述导电通孔的网格结构。

- 10 在一些实施例中，所述第一金属线的数量为多条，多条所述第一金属线沿第二方向均匀排列；和/或，所述第二金属线的数量为多条，多条所述第二金属线沿第一方向均匀排列。

在一些实施例中，多条所述第一金属线之间的间距在 0.5 微米至 2 微米之间；和/或，多条所述第二金属线之间的间距在 0.5 微米至 2 微米之间。

- 15 在一些实施例中，所述第一导电类型晶体管为 n 型晶体管，所述第二导电类型晶体管为 p 型晶体管。

在一些实施例中，所述第一导电类型晶体管的沟道方向与所述第一方向平行；所述第二导电类型晶体管的沟道方向与所述第二方向垂直。

- 20 在一些实施例中，所述第一导电类型晶体管的沟道方向与所述第一方向垂直；所述第二导电类型晶体管的沟道方向与所述第二方向平行。

在一些实施例中，所述半导体结构还包括中间金属层和导电插塞；所述中间金属层位于所述第一金属层和所述衬底之间，所述导电插塞包括位于所述中间金属层和所述第一金属层之间的至少一个第一子插塞、以及位于所述第一金属层与所述第二金属层之间的至少一个第二子插塞。

- 25 在一些实施例中，所述第一金属线与所述第一导电类型晶体管的栅极电连接，包括：所述第一金属线通过所述第一子插塞、所述中间金属层与

所述第一导电类型晶体管的栅极电连接。

在一些实施例中，所述第一金属层还包括第一布线结构；所述第二金属线与所述第二导电类型晶体管的栅极电连接，包括：所述第二金属线通过所述第二子插塞、所述第一布线结构、所述第一子插塞、所述中间金属层与所述第二导电类型晶体管的栅极电连接。

在一些实施例中，至少一条所述第一金属线和至少一条所述第二金属线在交叉处通过所述第二子插塞电连接。

在一些实施例中，所述中间金属层包括金属焊盘，所述金属焊盘位于所述导电通孔的上表面；

至少一条所述第一金属线通过所述第一子插塞与所述金属焊盘电连接。

在一些实施例中，所述衬底包括夹设于所述第一导电类型晶体管和所述第二导电类型晶体管之间的角区域，所述角区域与所述导电通孔的距离在 1 微米至 20 微米之间。

在一些实施例中，所述半导体结构还包括无源器件，所述无源器件设置于所述衬底的所述角区域内。

本公开实施例还提供了一种半导体结构的制造方法，包括：

提供衬底，所述衬底包括预设区域，所述预设区域用于形成导电通孔；

在所述衬底内形成第一导电类型晶体管及第二导电类型晶体管；其中，所述第一导电类型晶体管沿第一方向设置于所述预设区域的两侧，所述第二导电类型晶体管沿第二方向设置于所述预设区域的另外两侧，所述第一方向与所述第二方向垂直；

在所述衬底的所述预设区域形成导电通孔；

在所述衬底上形成第一金属层，所述第一金属层包括至少一条沿第一方向延伸的第一金属线，所述第一金属线与所述第一导电类型晶体管的栅极电连接；

在所述第一金属层上形成第二金属层，所述第二金属层包括至少一条

沿第二方向延伸的第二金属线，所述第二金属线与所述第二导电类型晶体管的栅极电连接；

其中，所述第一金属线和所述第二金属线相互交叉构成覆盖所述导电通孔的网格结构。

- 5 在一些实施例中，所述半导体结构还包括中间金属层和第一子插塞；在所述衬底上形成第一金属层之前，包括：

在所述衬底上形成中间金属层，所述中间金属层与所述第一导电类型晶体管和所述第二导电类型晶体管的栅极电连接；

- 10 在所述中间金属层上形成第一子插塞，所述第一子插塞用于电连接所述第一金属层与所述中间金属层。

在一些实施例中，所述半导体结构还包括第二子插塞；在所述第一金属层上形成第二金属层之前，包括：

在所述第一金属层上形成所述第二子插塞，所述第二子插塞用于电连接所述第一金属层和所述第二金属层。

- 15 本公开实施例提供的半导体结构及其制造方法，其中，所述半导体结构包括：衬底以及位于所述衬底内的导电通孔、第一导电类型晶体管及第二导电类型晶体管；其中，所述第一导电类型晶体管沿第一方向设置于所述导电通孔的两侧；所述第二导电类型晶体管沿第二方向设置于所述导电通孔的另外两侧；所述第一方向与所述第二方向垂直；第一金属层，位于
20 所述衬底上，所述第一金属层包括至少一条沿第一方向延伸的第一金属线，所述第一金属线与所述第一导电类型晶体管的栅极电连接；第二金属层，位于所述第一金属层上，所述第二金属层包括至少一条沿第二方向延伸的第二金属线，所述第二金属线与所述第二导电类型晶体管的栅极电连接；其中，所述第一金属线和所述第二金属线相互交叉构成覆盖所述导电通孔
25 的网格结构。如此，可以改善所述导电通孔受热膨胀后向外凸出的情况；此外，所述第一金属线和所述第二金属线分别与所述第一导电类型晶体管

和所述第二导电类型晶体管的栅极连接，起到了电连接的作用。

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公开的其它特征和优点将从说明书附图以及权利要求书变得明显。

附图说明

5 为了更清楚地说明本公开实施例的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为示例性半导体结构的示意图；

10 图 2a 为本公开实施例提供的半导体结构的俯视示意图，图 2b 为本公开实施例提供的半导体结构沿图 2a 的线 A-A'截取的剖面结构示意图，图 2c 为本公开实施例提供的半导体结构沿图 2a 的线 B-B'截取的剖面结构示意图；

图 3 为本公开实施例提供的半导体结构的制造方法的流程框图；

15 图 4a-4h 为本公开实施例提供的半导体结构的制造方法中各步骤沿图 2a 的线 A-A'截取的剖面结构示意图。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

20

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需

一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

图 1 为示例性半导体结构的示意图，如图所示，所述半导体结构包括衬底 10 以及位于所述衬底 10 上的绝缘层 12；导电通孔 11，位于所述衬底 10 内，所述导电通孔 11 的上表面与所述绝缘层 12 的上表面齐平；介质层 13，位于所述绝缘层 12 上；金属焊盘 14，位于所述介质层 13 内，并与所述导电通孔 11 电连接。所述半导体结构在与其他结构键合时，所述导电通孔 11 可以在所述半导体结构和所述其他结构之间提供垂直互连。

然而，在所述半导体结构与其他结构键合时，会对所述半导体结构进行加热，在此过程中，所述导电通孔 11 受热膨胀后向所述衬底 10 外突出，降低所述衬底 10 的平整度，影响所述半导体结构的性能。

基于此，提出了本公开实施例的以下技术方案：

本公开实施例提供了一种半导体结构，包括：衬底以及位于所述衬底内的导电通孔、第一导电类型晶体管及第二导电类型晶体管；其中，所述第一导电类型晶体管沿第一方向设置于所述导电通孔的两侧；所述第二导电类型晶体管沿第二方向设置于所述导电通孔的另外两侧；所述第一方向与所述第二方向垂直；第一金属层，位于所述衬底上，所述第一金属层包括至少一条沿第一方向延伸的第一金属线，所述第一金属线与所述第一导电类型晶体管的栅极电连接；第二金属层，位于所述第一金属层上，所述第二金属层包括至少一条沿第二方向延伸的第二金属线，所述第二金属线与所述第二导电类型晶体管的栅极电连接；其中，所述第一金属线和所述

第二金属线相互交叉构成覆盖所述导电通孔的网格结构。

本公开实施例提供的半导体结构，通过在所述导电通孔上形成所述网格结构，可以改善所述导电通孔受热膨胀后向外凸出的情况；此外，所述第一金属线和所述第二金属线分别与所述第一导电类型晶体管和所述第二导电类型晶体管的栅极连接，起到了电连接的作用。

本公开实施例提供的半导体结构，可以是动态随机存储器（DRAM）。但不限于此，所述半导体结构还可以是任何具有导电通孔的半导体结构。

下面结合附图对本公开的具体实施方式做详细的说明。在详述本公开实施例时，为便于说明，示意图会不依一般比例做局部放大，而且所述示意图只是示例，其在此不应限制本公开的保护范围。

图 2a 为本公开实施例提供的半导体结构的俯视示意图，图 2b 为本公开实施例提供的半导体结构沿图 2a 的线 A-A'截取的剖面结构示意图，图 2c 为本公开实施例提供的半导体结构沿图 2a 的线 B-B'截取的剖面结构示意图。以下结合图 2a-2c 对本公开实施例提供的半导体结构的制造方法再作进一步详细的说明。

如图所示，所述半导体结构包括：衬底 20 以及位于所述衬底 20 内的导电通孔 21、第一导电类型晶体管 23 及第二导电类型晶体管 24；其中，所述第一导电类型晶体管 23 沿第一方向设置于所述导电通孔 21 的两侧；所述第二导电类型晶体管 24 沿第二方向设置于所述导电通孔 21 的另外两侧；所述第一方向与所述第二方向垂直；第一金属层 M1，位于所述衬底 20 上，所述第一金属层 M1 包括至少一条沿第一方向延伸的第一金属线 30，所述第一金属线 30 与所述第一导电类型晶体管 23 的栅极 233 电连接；第二金属层 M2，位于所述第一金属层 M1 上，所述第二金属层 M2 包括至少一条沿第二方向延伸的第二金属线 31，所述第二金属线 31 与所述第二导电类型晶体管 24 的栅极 241 电连接；其中，所述第一金属线 30 和所述第二金属线 31 相互交叉构成覆盖所述导电通孔 21 的网格结构 32。

所述衬底可以为半导体衬底，并且可以包括至少一个单质半导体材料（例如为硅（Si）衬底、锗（Ge）衬底）、至少一个 III-V 化合物半导体材料、至少一个 II-VI 化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料。在一具体实施例中，所述衬底为硅（Si）衬底。

5 在实际的工艺中，所述衬底的厚度可选在 40-70 μm 之间，例如，50-60 μm 之间。

在实际工艺中，所述导电通孔 21 包括贯穿所述衬底 20 的通孔（未标识）以及位于所述通孔（未标识）内的导电材料，所述导电通孔 21 用于在所述半导体结构中传导信号。在一实施例中，所述通孔（未标识）是从所述衬底 20 的上表面向下刻蚀形成的。但不限于此，所述通孔（未标识）也可以从所述衬底 20 的背面向所述衬底 20 的上表面刻蚀形成。在一些实施例中，所述导电通孔 21 的特征尺寸在 2-10 μm 之间，深度在 5-100 μm 之间。

所述导电通孔在制备的过程中，会经历高温至低温的冷却过程，在所述冷却过程中，所述导电通孔及所述衬底收缩的程度不同，会在所述衬底中产生应力，该应力会影响所述导电通孔附近的衬底内的载流子的迁移速度。因此，技术人员在设计半导体结构时，通常会在所述导电通孔周围设置禁区，所述禁区内不设置诸如晶体管之类的有源器件。以所述导电通孔的中心为圆心，所述禁区的半径通常在 5-15 μm 之间。可以理解的是，禁区的存在降低了衬底的利用率。

本申请人经研究发现，在所述禁区内合理的布置不同导电类型的晶体管，不仅可以提高禁区的利用率，还可以提高半导体结构的某些性能。例如，在本公开的一个实施例中，将 n 型晶体管沿第一方向设置在所述导电通孔的两侧，且使所述 n 型晶体管的沟道方向与所述第一方向平行；将 p 型晶体管沿第二方向设置在所述导电通孔的另外两侧，且使所述 p 型晶体管的沟道方向与所述第二方向垂直。如此，可以同时提高所述 n 型晶体管

和所述 p 型晶体管的迁移率，进而提高所述 n 型晶体管和所述 p 型晶体管的导通速度。可选的，所述 n 型晶体管和所述 p 型晶体管通过所述第一金属层和所述第二金属层相互连接构成反相器，该反相器的输入端与所述导电通孔电连接，即信号经所述导电通孔传导至所述反相器的输入端。由于
5 构成该反相器的 n 型晶体管和 p 型晶体管的迁移率较高，使得该反相器具有较快的导通速度，加快了信号的传输速度。

在本公开的另一个实施例中，将 n 型晶体管沿第一方向设置在所述导电通孔的两侧，且使所述 n 型晶体管的沟道方向与所述第一方向垂直；将 p 型晶体管沿第二方向设置在所述导电通孔的另外两侧，且使所述 p 型晶体管的沟道方向与所述第二方向平行。如此，可以同时降低所述 n 型晶体管和所述 p 型晶体管的迁移率，降低流经所述 n 型晶体管和所述 p 型晶体管的漏电流，降低半导体结构的功耗。可选的，所述 n 型晶体管和所述 p 型晶体管通过所述第一金属层和所述第二金属层相互连接构成反相器，该反相器的输入端与所述导电通孔电连接，即信号经所述导电通孔传导至所述
10 反相器的输入端。由于构成该反相器的 n 型晶体管和 p 型晶体管的迁移率较低，使得该反相器具有较小的漏电流，降低了所述半导体结构的功耗。

需要说明的是，所述第一方向的选取与衬底表面的晶向有关。在本公开的一个实施例中，所述第一方向可以与所述衬底表面的晶向平行。

参见图 2b 及图 2c，所述第一导电类型晶体管 23 包括栅极 233、栅介质层 234、第一源/漏掺杂区 231 和第二源/漏掺杂区 232；所述第二导电类型晶体管 24 包括栅极 241、栅介质层 242、第一源/漏掺杂区（未图示）和第二源/漏掺杂区（未图示）。
20

在一实施例中，所述半导体结构还包括位于所述衬底 20 上的绝缘层 25 以及位于所述衬底 20 内的隔离结构 22。

具体地，所述绝缘层位于所述第一导电类型晶体管和所述第二导电类型晶体管的栅极之间，所述绝缘层的上表面与所述栅极的上表面齐平，用
25

于电隔离所述第一导电类型晶体管和所述第二导电类型晶体管的栅极，所述绝缘层还用于保护所述衬底不被氧化、氮化、损伤或者污染等；所述隔离结构用于电隔离位于衬底内且彼此相邻的器件结构，所述隔离结构例如可以为浅沟槽隔离结构，所述器件结构可以为形成在所述衬底内的晶体管，
5 如，本公开实施例中的第一导电类型晶体管和第二导电类型晶体管。

如图 2a 所示，所述衬底 20 包括夹设于所述第一导电类型晶体管 23 和所述第二导电类型晶体管 24 之间的角区域 33，所述角区域 33 与所述导电通孔 21 的距离在 1 微米至 20 微米之间。在一实例中，所述半导体结构还包括无源器件（未图示），所述无源器件（未图示）设置于所述衬底 20 的
10 所述角区域 33 内。所述无源器件（未图示）包括但不限于电阻器、电容器。在所述角区域 33 内设置对应力不敏感的无源器件（未图示），能够提高禁区的利用率。

所述第一金属线 30 的数量为多条，多条所述第一金属线 30 沿第二方向均匀排列；和/或，所述第二金属线 31 的数量为多条，多条所述第二金属线 31 沿第一方向均匀排列。在一具体实施例中，多条所述第一金属线 30
15 之间的间距在 0.5 微米至 2 微米之间；和/或，多条所述第二金属线 31 之间的间距在 0.5 微米至 2 微米之间。

参见图 2b 及 2c，所述半导体结构还包括中间金属层 M0 和导电插塞 V1、V2；所述中间金属层 M0 位于所述第一金属层 M1 和所述衬底 20 之间，
20 所述导电插塞 V1、V2 包括位于所述中间金属层 M0 和所述第一金属层 M1 之间的至少一个第一子插塞 V1、以及位于所述第一金属层 M1 与所述第二金属层 M2 之间的至少一个第二子插塞 V2。

在一具体实施例中，所述中间金属层 M0 包括金属焊盘 28，所述金属焊盘 28 位于所述导电通孔 21 的上表面，至少一条所述第一金属线 30 通过
25 所述第一子插塞 V1 与所述金属焊盘 28 电连接，如此，信号通过所述导电通孔 21 可传导至所述第一金属线 30。

在一更具体的实施例中，所述第一金属线 30 与所述第一导电类型晶体管 23 的栅极 233 电连接，包括：所述第一金属线 30 通过所述第一子插塞 V1、所述中间金属层 M0 与所述第一导电类型晶体管 23 的栅极 233 电连接，如此，信号通过所述导电通孔 21 可传导至所述第一导电类型晶体管 23 的栅极 233。

另外，所述第一金属层 M1 还包括第一布线结构 29；所述第二金属线 31 与所述第二导电类型晶体管 24 的栅极 241 电连接，包括：所述第二金属线 31 通过所述第二子插塞 V2、所述第一布线结构 29、所述第一子插塞 V1、所述中间金属层 M0 与所述第二导电类型晶体管 24 的栅极 241 电连接，如图 2c 所示。

这里，至少一条所述第一金属线 30 和至少一条所述第二金属线 31 可以在交叉处通过所述第二子插塞 V2 电连接，如此，信号通过所述导电通孔 21 传导至所述第二导电类型晶体管 24 的栅极 241。

在一实施例中，所述半导体结构还包括环状屏蔽层 27，所述环状屏蔽层 27 围绕所述导电通孔 21 设置，如图 2a 所示。所述环状屏蔽层 27 的作用是降低所述导电通孔 21 与其附近的金属导电结构在传输信号时产生的串扰效应。

在一具体的实施例中，所述环状屏蔽层 27 的层数是单层，如图 2b 及图 2c 所示；可选的，所述环状屏蔽层 27 和所述中间金属层 M0 在相同的工艺步骤中同时形成。但不限于此，所述环状屏蔽层 27 的层数可以是多层。

在一实施例中，所述半导体结构还包括介质层 26，所述介质层 26 包覆所述中间金属层 M0、所述第一金属层 M1、所述第二金属层 M2、所述环状屏蔽层 27 以及所述第一子插塞 V1、第二子插塞 V2。

需要说明的是，所述介质层 26 并非单层结构，其由多层绝缘材料在多次工艺步骤中形成。

在本公开的实施例中，第一金属线和所述第二金属线相互交叉在导电

通孔上形成了网格结构，可以改善所述导电通孔受热膨胀后向外凸出的情况。此外，在本公开的实施例中，在导电通孔的禁区周围合理设置第一导电类型晶体管和第二导电类型晶体管，所述第一导电类型晶体管和所述第二导电类型晶体管经所述第一金属线和所述第二金属线电连接形成器件，

5 如反相器，可以提高衬底利用率，并且能够改善所述器件的某些性能，如导通速度，功耗等。

本公开实施例还提供了一种半导体结构的制造方法，如图 3 所示，所述方法包括以下步骤：

步骤 301、提供衬底，所述衬底包括预设区域，所述预设区域用于形成

10 导电通孔；

步骤 302、在所述衬底内形成第一导电类型晶体管及第二导电类型晶体管；其中，所述第一导电类型晶体管沿第一方向设置于所述预设区域的两侧，所述第二导电类型晶体管沿第二方向设置于所述预设区域的另外两侧，所述第一方向与所述第二方向垂直；

15 步骤 303、在所述衬底的所述预设区域形成导电通孔；

步骤 304、在所述衬底上形成第一金属层，所述第一金属层包括至少一条沿第一方向延伸的第一金属线，所述第一金属线与所述第一导电类型晶体管的栅极电连接；

步骤 305、在所述第一金属层上形成第二金属层，所述第二金属层包括

20 至少一条沿第二方向延伸的第二金属线，所述第二金属线与所述第二导电类型晶体管的栅极电连接；其中，所述第一金属线和所述第二金属线相互交叉构成覆盖所述导电通孔的网格结构。

下面，结合图 4a-4h 对本公开实施例的半导体结构的制造方法再做进一步详细的说明。

25 首先，执行步骤 301，提供衬底 20，所述衬底 20 包括预设区域 21a，所述预设区域 21a 用于形成导电通孔 21（参见图 4d），如图 4a 所示。

所述衬底可以为半导体衬底，并且可以包括至少一个单质半导体材料（例如为硅（Si）衬底、锗（Ge）衬底）、至少一个 III-V 化合物半导体材料、至少一个 II-VI 化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料。在一些实施例中，在一具体实施例中，所述衬底为硅（Si）衬底。

在实际的工艺中，所述衬底的厚度可选在 40-70 μm 之间，例如，50-60 μm 之间。

在一实施例中，所述预设区域 21a 为一圆柱形区域，所述圆柱形区域的直径在 2-10 μm 之间。

接下来，执行步骤 302，在所述衬底 20 内形成第一导电类型晶体管 23 及第二导电类型晶体管 24；其中，所述第一导电类型晶体管 23 沿第一方向设置于所述预设区域 21a 的两侧，所述第二导电类型晶体管 24 沿第二方向设置于所述预设区域 21a 的另外两侧，所述第一方向与所述第二方向垂直，如图 4b 所示。

所述第一导电类型晶体管 23 例如可以为 n 型晶体管，所述第二导电类型晶体管 24 例如可以为 p 型晶体管。

在后续的工艺中，会在所述预设区域形成导电通孔。所述导电通孔在制备的过程中，会经历高温至低温的冷却过程，在所述冷却过程中，所述导电通孔及所述衬底收缩的程度不同，会在所述衬底中产生应力，该应力会影响所述导电通孔附近的衬底内的载流子的迁移速度。因此，技术人员在设计半导体结构时，通常会在所述导电通孔周围设置禁区，所述禁区内不设置诸如晶体管之类的有源器件。以所述导电通孔的中心为圆心，所述禁区的半径通常在 5-15 μm 之间。可以理解的是，禁区的存在降低了衬底的利用率。

本申请人经研究发现，在所述禁区内合理的布置不同导电类型的晶体管，不仅可以提高禁区的利用率，还可以提高半导体结构的某些性能。例

如，在本公开的一个实施例中，将 n 型晶体管沿第一方向设置在所述导电通孔的两侧，且使所述 n 型晶体管的沟道方向与所述第一方向平行；将 p 型晶体管沿第二方向设置在所述导电通孔的另外两侧，且使所述 p 型晶体管的沟道方向与所述第二方向垂直。如此，可以同时提高所述 n 型晶体管和所述 p 型晶体管的迁移率，进而提高所述 n 型晶体管和所述 p 型晶体管的导通速度。

在本公开的另一个实施例中，将 n 型晶体管沿第一方向设置在所述导电通孔的两侧，且使所述 n 型晶体管的沟道方向与所述第一方向垂直；将 p 型晶体管沿第二方向设置在所述导电通孔的另外两侧，且使所述 p 型晶体管的沟道方向与所述第二方向平行。如此，可以同时降低所述 n 型晶体管和所述 p 型晶体管的迁移率，降低流经所述 n 型晶体管和所述 p 型晶体管的漏电流，降低半导体结构的功耗。

需要说明的是，所述第一方向的选取与衬底表面的晶向有关。在本公开的一个实施例中，所述第一方向可以与所述衬底表面的晶向平行。

具体的，所述第一导电类型晶体管 23 包括栅极 233、栅介质层 234、第一源/漏掺杂区 231 和第二源/漏掺杂区 232，如图 4b 所示；所述第二导电类型晶体管 24 包括栅极 241、栅介质层 242、第一源/漏掺杂区（未图示）和第二源/漏掺杂区（未图示），如图 2c 所示。

再次参见图 4b，在一实施例中，所述方法还包括：在所述衬底 20 内形成隔离结构 22。在一具体的实施例中，在形成所述第一导电类型晶体管 23 和所述第二导电类型晶体管 24 之前，形成所述隔离结构 22。所述隔离结构 22 用于电隔离位于衬底 20 内且彼此相邻的器件结构，所述隔离结构 22 例如可以为浅沟槽隔离结构，所述器件结构可以为形成在所述衬底 20 内的晶体管，如，本公开实施例中的第一导电类型晶体管 23 和第二导电类型晶体管 24。

如图 4c 所示，在所述衬底 20 内形成第一导电类型晶体管 23 及第二导

电类型晶体管 24 之后，还包括：在所述衬底 20 上形成绝缘层 25。

具体地，所述绝缘层形成于所述第一导电类型晶体管和所述第二导电类型晶体管的栅极之间，所述绝缘层的上表面与所述栅极的上表面齐平，用于电隔离所述第一导电类型晶体管和所述第二导电类型晶体管的栅极，
5 所述绝缘层还用于保护所述衬底不被氧化、氮化、损伤或者污染等。

在一实施例中，所述衬底 20 还包括夹设于所述第一导电类型晶体管 23 和所述第二导电类型晶体管 24 之间的角区域 33，所述角区域 33 与所述导电通孔 21（参见图 4d）的距离在 1 微米至 20 微米之间，如图 2 所示。在一具体实例中，所述半导体结构还包括无源器件（未图示），所述无源器件
10 （未图示）设置于所述衬底 20 的所述角区域 33 内，所述无源器件（未图示）包括但不限于电阻器、电容器。在所述角区域 33 内设置对应力不敏感的无源器件（未图示），能够提高禁区的利用率。

接下来，执行步骤 303，在所述衬底 20 的所述预设区域 21a 形成导电通孔 21，如图 4d 所示。

15 具体地，所述导电通孔 21 的形成方法包括：在所述衬底 20 内形成一通孔，所述通孔贯穿所述衬底 20 和所述绝缘层 25；在所述通孔内形成导电材料以形成所述导电通孔 21，所述导电通孔 21 用于在所述半导体结构中传导信号。所述导电材料可以为铜。在一些实施例中，所述导电通孔 21 的特征尺寸在 2-10 μm 之间，深度在 5-100 μm 之间。

20 更具体地，所述导电通孔还包括形成于所述通孔内壁上的绝缘膜，以及形成于所述绝缘膜与所述导电材料之间的阻挡层。所述绝缘膜的材料可以是氧化物，如，氧化硅，所述绝缘膜的厚度在 2000-5000Å 之间。所述阻挡层可以为金属，如，钽，所述阻挡层的厚度在 2000-5000Å 之间。

接下来，执行步骤 304，在所述衬底 20 上形成第一金属层 M1，所述第一金属层 M1 包括至少一条沿第一方向延伸的第一金属线 30，所述第一金属线 30 与
25 所述第一导电类型晶体管 23 的栅极 233 电连接，如图 4g 所示。

具体地，在所述衬底 20 上形成第一金属层 M1，包括：

在所述衬底上形成介质层 26，将所述介质层 26 图案化，在所述图案化的介质层内形成第一金属层 M1。

在一实施例中，所述第一金属线 30 的数量为多条，多条所述第一金属线 30 沿第二方向均匀排列。在一具体实施例中，多条所述第一金属线 30 之间的间距在 0.5 微米至 2 微米之间。

在一实施例中，所述半导体结构还包括中间金属层 M0 和第一子插塞 V1；在所述衬底 20 上形成第一金属层 M1 之前，包括：

在所述衬底 20 上形成中间金属层 M0，所述中间金属层 M0 与所述第一导电类型晶体管 23 和所述第二导电类型晶体管 24 的栅极 233、241 电连接，如图 4e 所示；

在所述中间金属层 M0 上形成第一子插塞 V1，所述第一子插塞 V1 用于电连接所述第一金属层 M1 与所述中间金属层 M0，如图 4f。

在一具体实施例中，形成所述中间金属层 M0、所述第一子插塞 V1，包括：

在所述衬底上形成介质层，将所述介质层图案化，在所述图案化的介质层内形成中间金属层 M0；

形成覆盖所述中间金属层 M0 的介质层，在所述介质层内形成通孔，在所述通孔内形成所述第一子插塞 V1。

在一实施例中，所述中间金属层 M0 包括金属焊盘 28，所述金属焊盘 28 位于所述导电通孔 21 的上表面，至少一条所述第一金属线 30 通过所述第一子插塞 V1 与所述金属焊盘 28 电连接，如此，信号通过所述导电通孔 21 可传导至所述第一金属线 30。

在一具体的实施例中，所述第一金属线 30 与所述第一导电类型晶体管 23 的栅极 233 电连接，包括：所述第一金属线 30 通过所述第一子插塞 V1、所述中间金属层 M0 与所述第一导电类型晶体管 23 的栅极 233 电连接，如

此，信号可通过所述导电通孔 21 传导至所述第一导电类型晶体管 23 的栅极 233。

在一实施例中，所述第一金属层 M1 还包括第一布线结构 29，所述第一布线结构 29 通过所述第一子插塞 V1 与所述中间金属层 M0 电连接，如图 2c 所示。

再次参见图 4e，在一实施例中，所述方法还包括：在所述衬底 20 上形成环状屏蔽层 27，所述环状屏蔽层 27 围绕所述导电通孔 21 设置。所述环状屏蔽层 27 的作用是降低所述导电通孔 21 与其附近的金属导电结构在传输信号时产生的串扰效应。在一具体实施例中，所述环状屏蔽层 27 的层数是单层，所述环状屏蔽层 27 和所述中间金属层 M0 在相同的工艺步骤中同时形成。但不限于此，所述环状屏蔽层 27 的层数可以是多层。

最后，执行步骤 305，在所述第一金属层 M1 上形成第二金属层 M2，所述第二金属层 M2 包括至少一条沿第二方向延伸的第二金属线 31，所述第二金属线 31 与所述第二导电类型晶体管 24 的栅极 241 电连接；其中，所述第一金属线 30 和所述第二金属线 31 相互交叉构成覆盖所述导电通孔 21 的网格结构 32，如图 2a-2c 所示。

具体地，在所述第一金属层 M1 上形成第二金属层 M2，包括：

形成覆盖所述第一金属层的介质层，将所述介质层图案化，在所述图案化的介质层内形成第二金属层 M2。

在一实施例中，所述第二金属线 31 的数量为多条，多条所述第二金属线 31 沿第一方向均匀排列。在一具体实施例中，多条所述第二金属线 31 之间的间距在 0.5 微米至 2 微米之间。

在一实施例中，所述半导体结构还包括第二子插塞 V2；在所述第一金属层 M1 上形成第二金属层 M2 之前，包括：在所述第一金属层 M1 上形成所述第二子插塞 V2，所述第二子插塞 V2 用于电连接所述第一金属层 M1 和所述第二金属层 M2，如图 4h 所示。

具体地，在所述第一金属层 M1 上形成所述第二子插塞 V2，包括：

在所述第一金属层 M1 上形成介质层，在所述介质层内形成通孔，在所述通孔内形成所述第二子插塞 V2。

在一实施例中，所述第二金属线 31 与所述第二导电类型晶体管 24 的栅极 241 电连接，包括：所述第二金属线 31 通过所述第二子插塞 V2、所述第一布线结构 29、所述第一子插塞 V1、所述中间金属层 M0 与所述第二导电类型晶体管 24 的栅极 241 电连接。

在一具体的实施例中，至少一条所述第一金属线 30 和至少一条所述第二金属线 31 在交叉处通过所述第二子插塞 V2 电连接，如此，信号通过所述导电通孔 21 传导至所述第二导电类型晶体管 24 的栅极 241。

应当说明的是，本领域技术人员能够对上述步骤顺序进行变换而并不离开本公开的保护范围以上所述，仅为本公开的可选实施例而已，并非用于限定本公开的保护范围，凡在本公开的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本公开的保护范围之内。

15 工业实用性

本公开实施例提供的半导体结构及其制造方法，其中，所述半导体结构包括：衬底以及位于所述衬底内的导电通孔、第一导电类型晶体管及第二导电类型晶体管；其中，所述第一导电类型晶体管沿第一方向设置于所述导电通孔的两侧；所述第二导电类型晶体管沿第二方向设置于所述导电通孔的另外两侧；所述第一方向与所述第二方向垂直；第一金属层，位于所述衬底上，所述第一金属层包括至少一条沿第一方向延伸的第一金属线，所述第一金属线与所述第一导电类型晶体管的栅极电连接；第二金属层，位于所述第一金属层上，所述第二金属层包括至少一条沿第二方向延伸的第二金属线，所述第二金属线与所述第二导电类型晶体管的栅极电连接；其中，所述第一金属线和所述第二金属线相互交叉构成覆盖所述导电通孔

的网格结构。如此，可以改善所述导电通孔受热膨胀后向外凸出的情况；此外，所述第一金属线和所述第二金属线分别与所述第一导电类型晶体管和所述第二导电类型晶体管的栅极连接，起到了电连接的作用。

权利要求书

1、一种半导体结构，包括：

衬底以及位于所述衬底内的导电通孔、第一导电类型晶体管及第二导电类型晶体管；其中，所述第一导电类型晶体管沿第一方向设置于所述导电通孔的两侧；所述第二导电类型晶体管沿第二方向设置于所述导电通孔的另外两侧；所述第一方向与所述第二方向垂直；

第一金属层，位于所述衬底上，所述第一金属层包括至少一条沿第一方向延伸的第一金属线，所述第一金属线与所述第一导电类型晶体管的栅极电连接；

第二金属层，位于所述第一金属层上，所述第二金属层包括至少一条沿第二方向延伸的第二金属线，所述第二金属线与所述第二导电类型晶体管的栅极电连接；

其中，所述第一金属线和所述第二金属线相互交叉构成覆盖所述导电通孔的网格结构。

2、根据权利要求1所述的半导体结构，其中，所述第一金属线的数量为多条，多条所述第一金属线沿第二方向均匀排列；和/或，所述第二金属线的数量为多条，多条所述第二金属线沿第一方向均匀排列。

3、根据权利要求2所述的半导体结构，其中，多条所述第一金属线之间的间距在0.5微米至2微米之间；和/或，多条所述第二金属线之间的间距在0.5微米至2微米之间。

4、根据权利要求1所述的半导体结构，其中，所述第一导电类型晶体管为n型晶体管，所述第二导电类型晶体管为p型晶体管。

5、根据权利要求4所述的半导体结构，其中，所述第一导电类型晶体管的沟道方向与所述第一方向平行；所述第二导电类型晶体管的沟道方向与所述第二方向垂直。

6、根据权利要求4所述的半导体结构，其中，所述第一导电类型晶体管的沟道方向与所述第一方向垂直；所述第二导电类型晶体管的沟道方向与所述第二方向平行。

7、根据权利要求1所述的半导体结构，其中，所述半导体结构还包括中间金属层和导电插塞；所述中间金属层位于所述第一金属层和所述衬底之间，所述导电插塞包括位于所述中间金属层和所述第一金属层之间的至少一个第一子插塞、以及位于所述第一金属层与所述第二金属层之间的至少一个第二子插塞。

8、根据权利要求7所述的半导体结构，其中，所述第一金属线与所述第一导电类型晶体管的栅极电连接，包括：所述第一金属线通过所述第一子插塞、所述中间金属层与所述第一导电类型晶体管的栅极电连接。

9、根据权利要求7所述的半导体结构，其中，所述第一金属层还包括第一布线结构；所述第二金属线与所述第二导电类型晶体管的栅极电连接，包括：所述第二金属线通过所述第二子插塞、所述第一布线结构、所述中间金属层与所述第二导电类型晶体管的栅极电连接。

10、根据权利要求7所述的半导体结构，其中，至少一条所述第一金属线和至少一条所述第二金属线在交叉处通过所述第二子插塞电连接。

11、根据权利要求7所述的半导体结构，其中，所述中间金属层包括金属焊盘，所述金属焊盘位于所述导电通孔的上表面；

至少一条所述第一金属线通过所述第一子插塞与所述金属焊盘电连接。

12、根据权利要求1所述的半导体结构，其中，所述衬底包括夹设于所述第一导电类型晶体管和所述第二导电类型晶体管之间的角区域，所述角区域与所述导电通孔的距离在1微米至20微米之间。

13、根据权利要求12所述的半导体结构，其中，所述半导体结构还

包括无源器件，所述无源器件设置于所述衬底的所述角区域内。

14、一种半导体结构的制备方法，包括：

提供衬底，所述衬底包括预设区域，所述预设区域用于形成导电通孔；

5 在所述衬底内形成第一导电类型晶体管及第二导电类型晶体管；其中，所述第一导电类型晶体管沿第一方向设置于所述预设区域的两侧，所述第二导电类型晶体管沿第二方向设置于所述预设区域的另外两侧，所述第一方向与所述第二方向垂直；

在所述衬底的所述预设区域形成导电通孔；

10 在所述衬底上形成第一金属层，所述第一金属层包括至少一条沿第一方向延伸的第一金属线，所述第一金属线与所述第一导电类型晶体管的栅极电连接；

在所述第一金属层上形成第二金属层，所述第二金属层包括至少一条沿第二方向延伸的第二金属线，所述第二金属线与所述第二导电类型
15 晶体管的栅极电连接；

其中，所述第一金属线和所述第二金属线相互交叉构成覆盖所述导电通孔的网格结构。

15、根据权利要求 14 所述的制备方法，其中，所述半导体结构还包括中间金属层和第一子插塞；在所述衬底上形成第一金属层之前，包括：

20 在所述衬底上形成中间金属层，所述中间金属层与所述第一导电类型晶体管和所述第二导电类型晶体管的栅极电连接；

在所述中间金属层上形成第一子插塞，所述第一子插塞用于电连接所述第一金属层与所述中间金属层。

16、根据权利要求 14 所述的制备方法，其中，所述半导体结构还包括第二子插塞；在所述第一金属层上形成第二金属层之前，包括：

在所述第一金属层上形成所述第二子插塞，所述第二子插塞用于电

连接所述第一金属层和所述第二金属层。

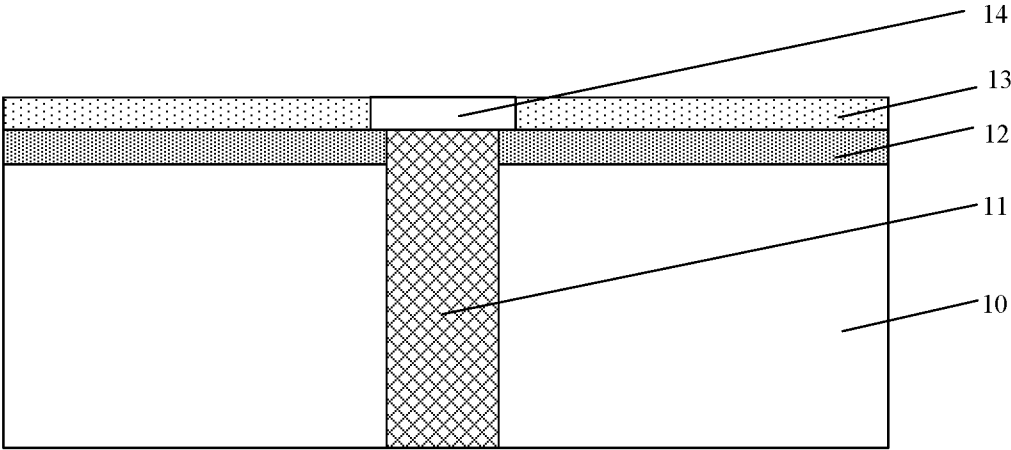


图 1

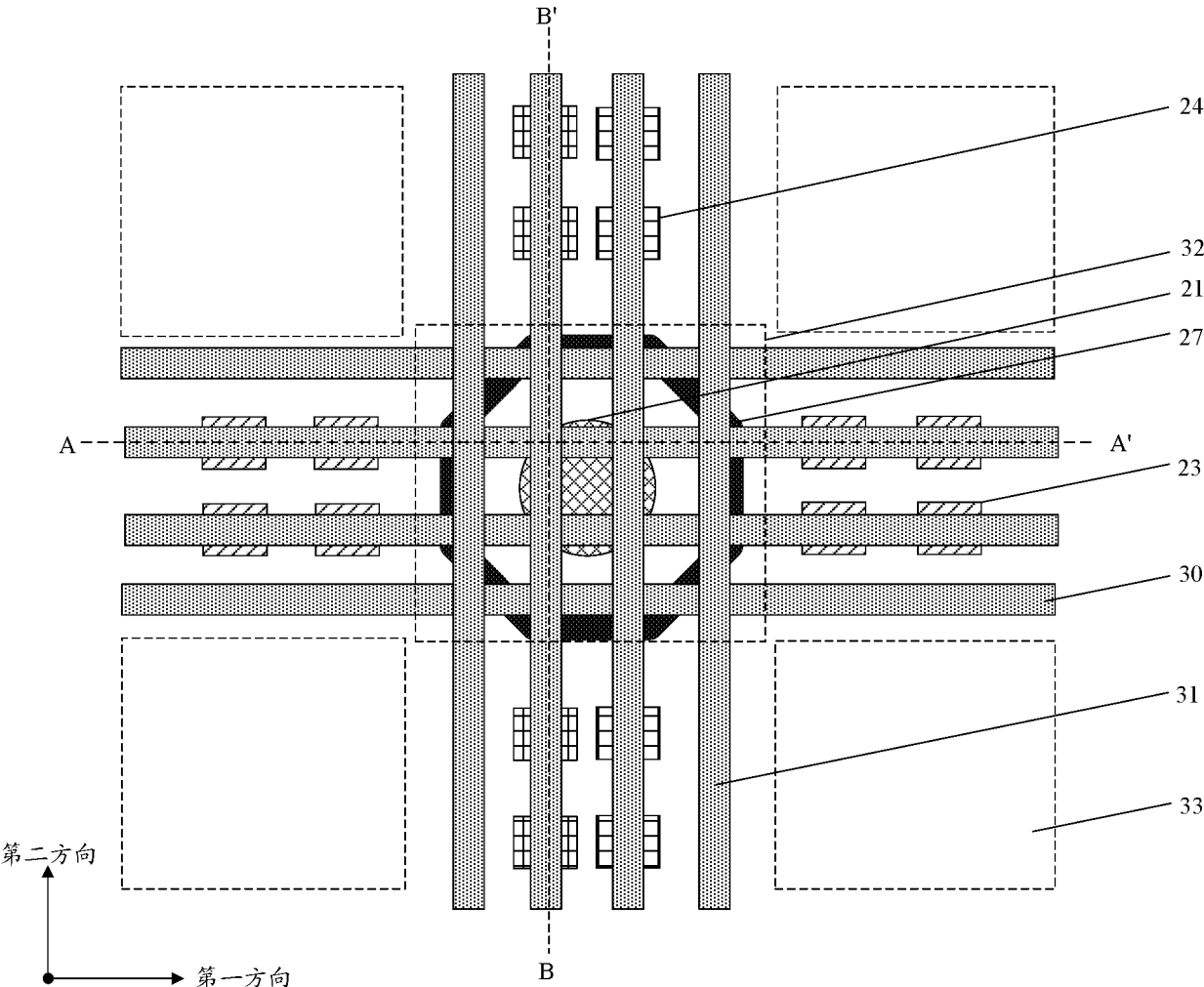


图 2a

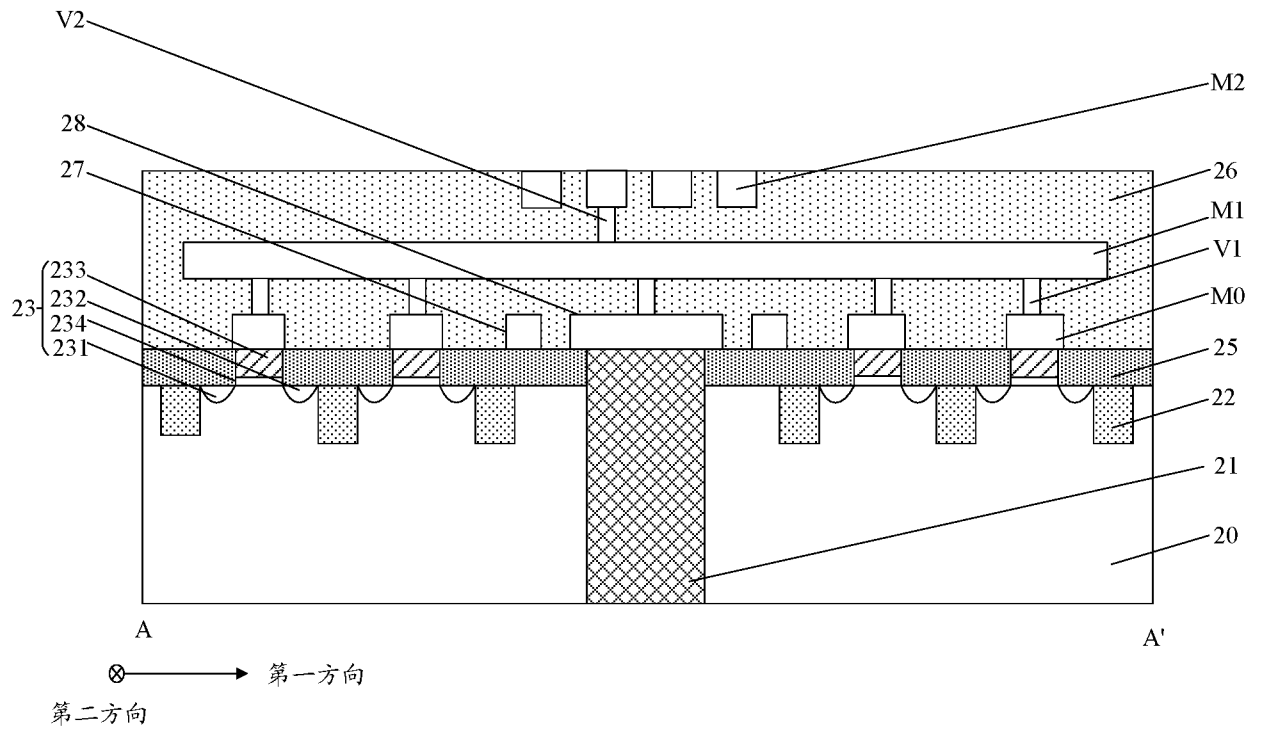


图 2b

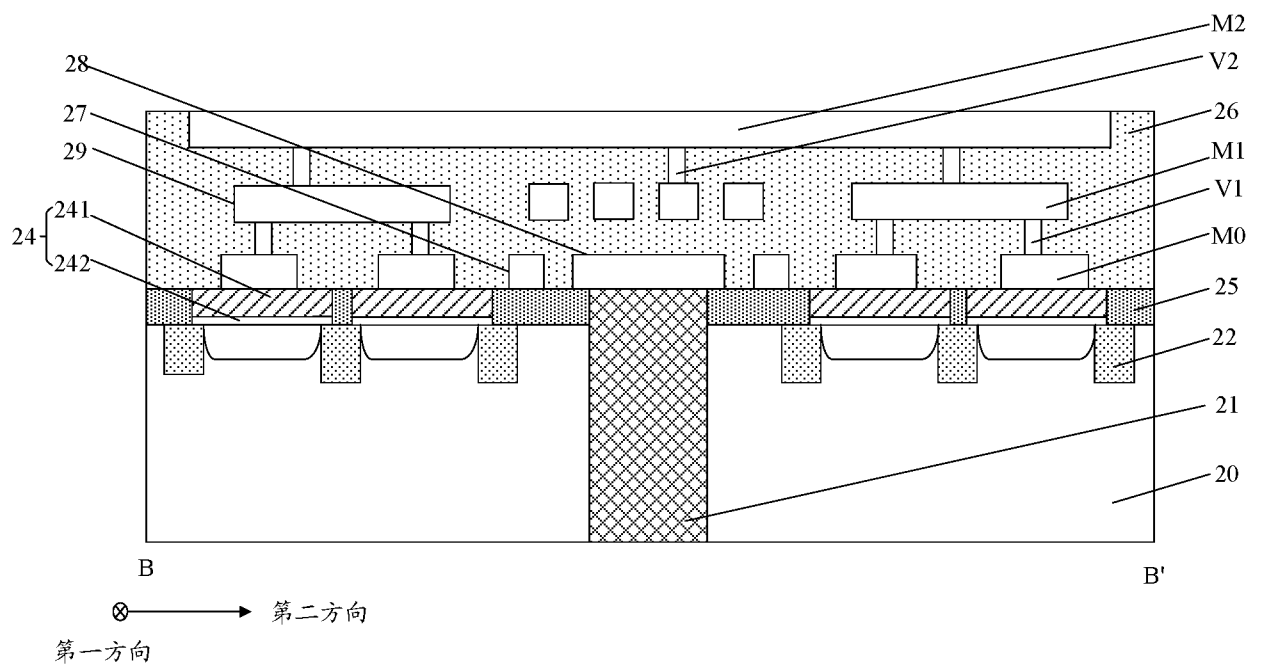


图 2c

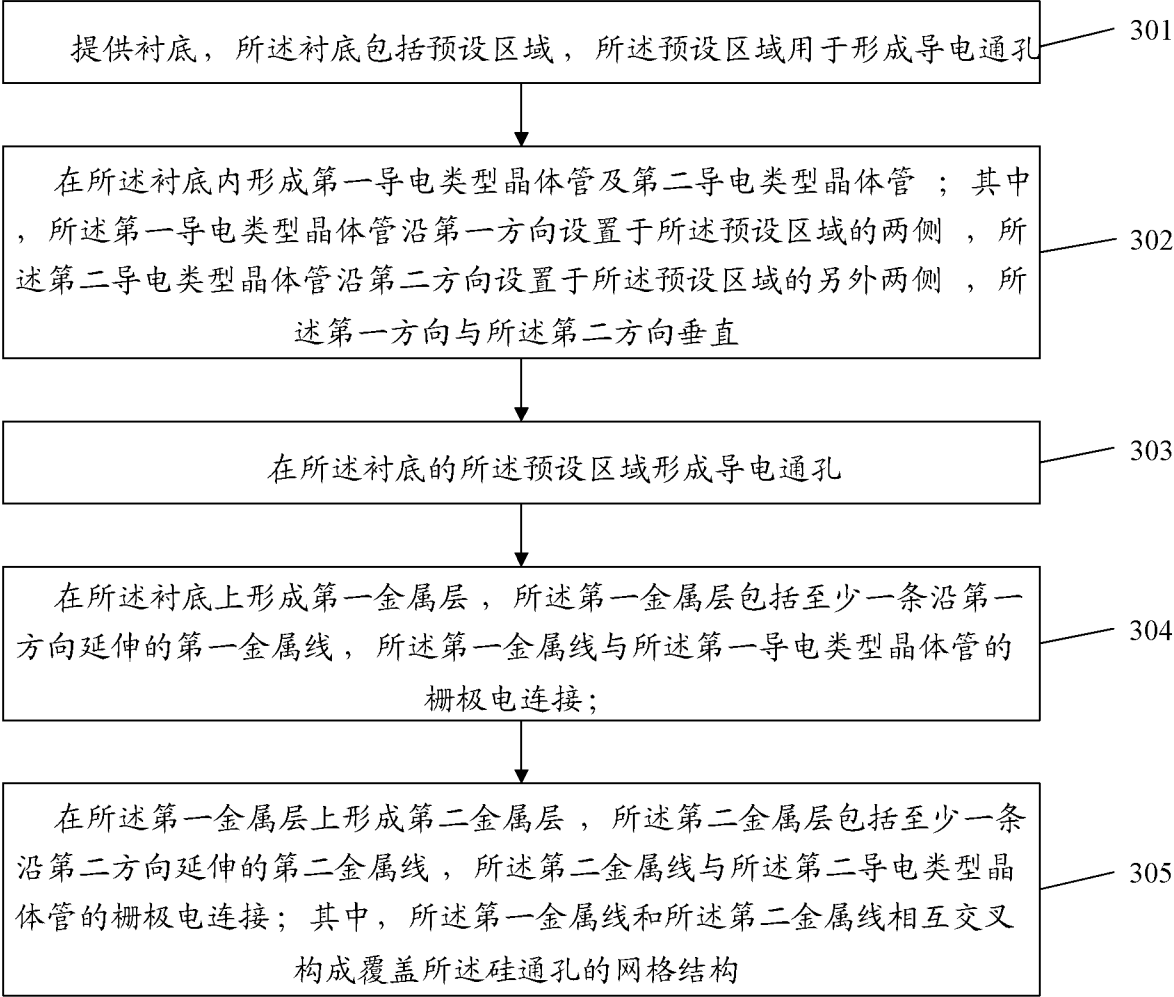


图 3

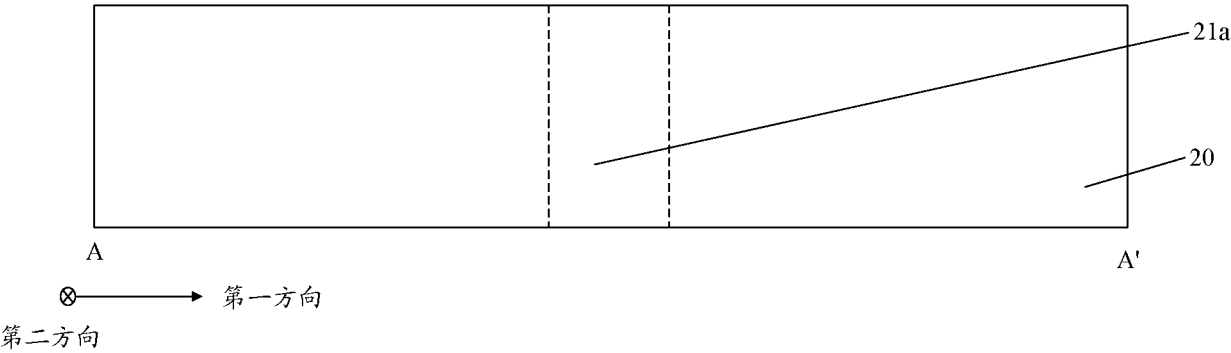


图 4a

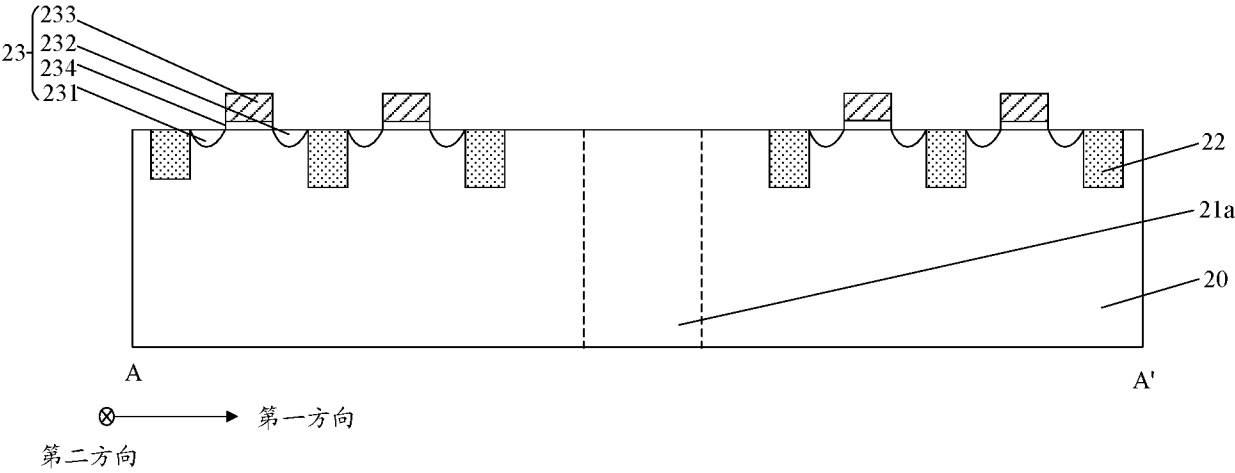


图 4b

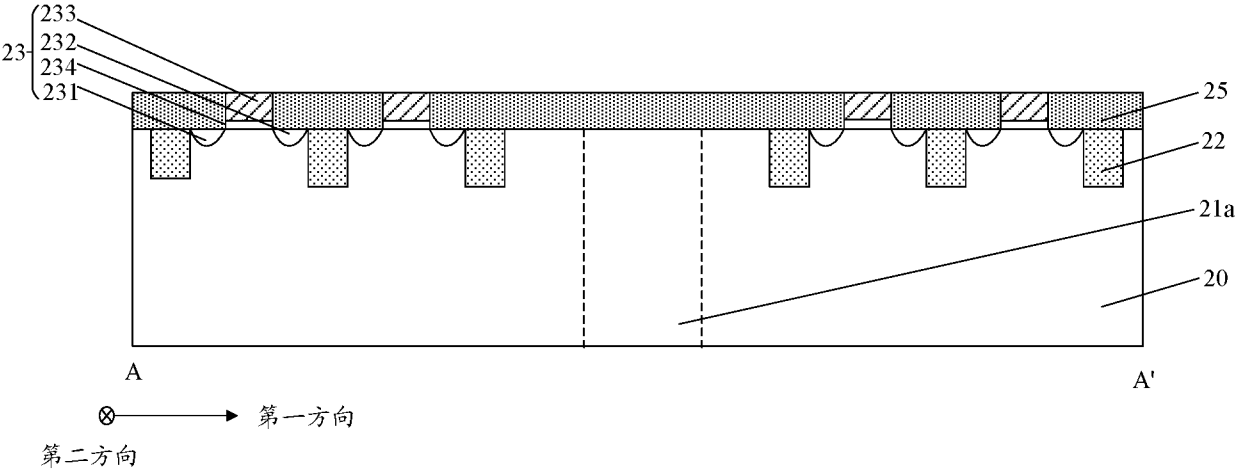


图 4c

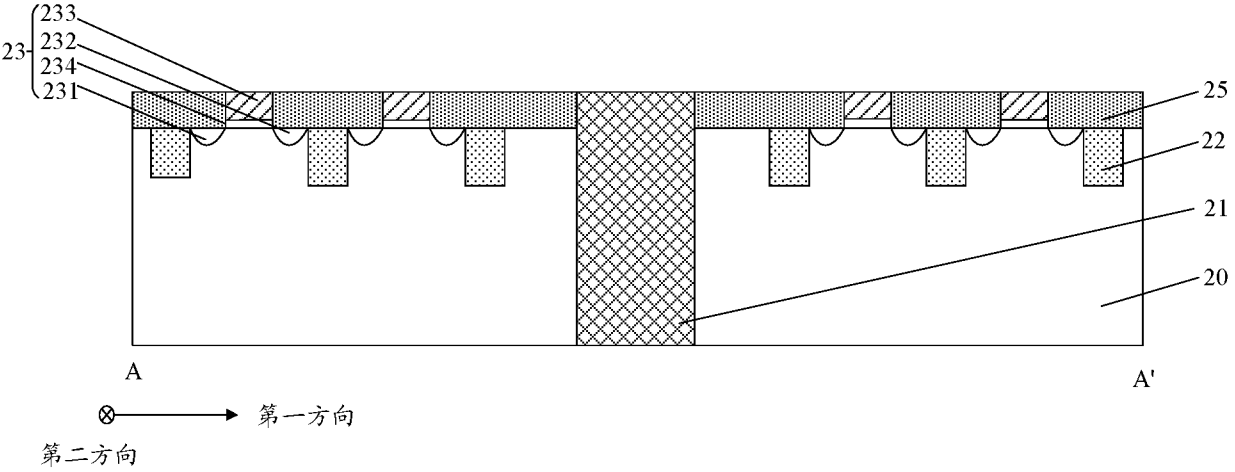
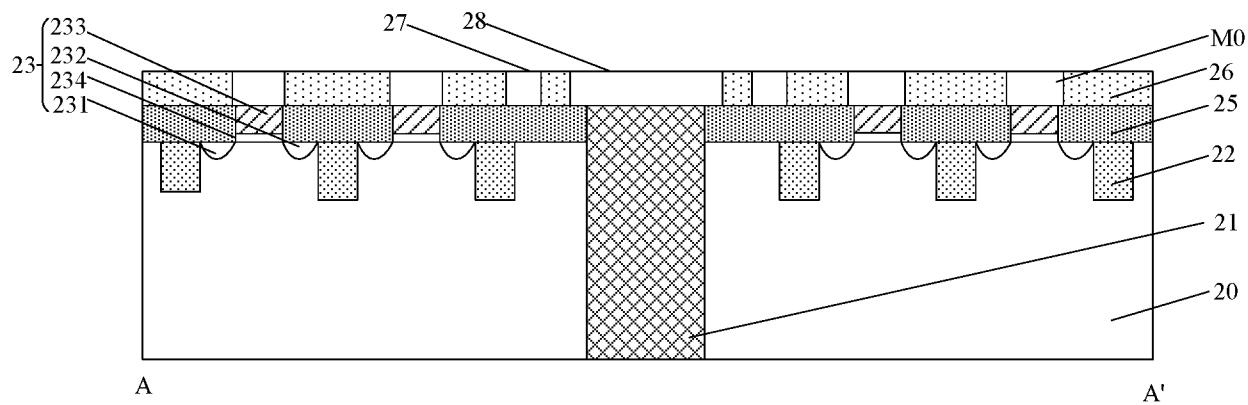
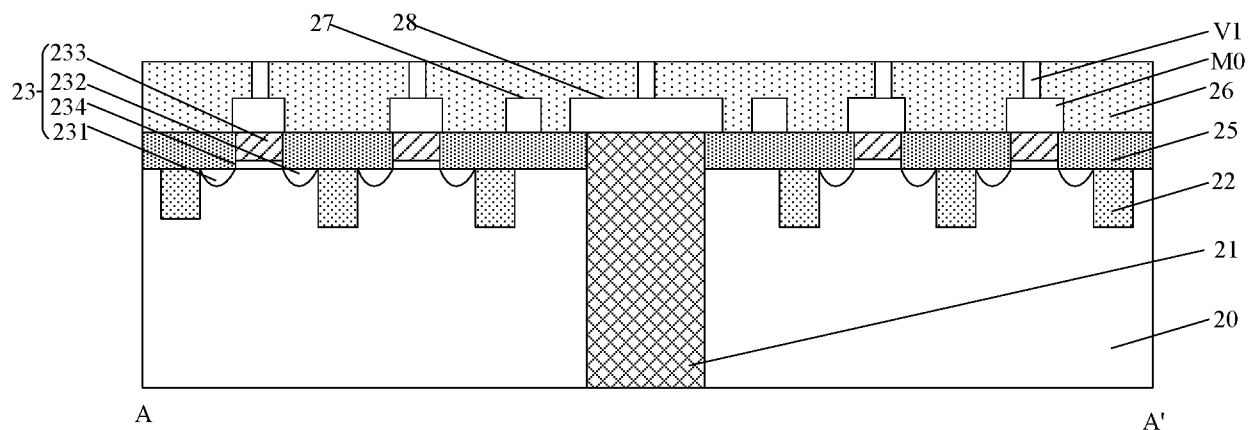


图 4d



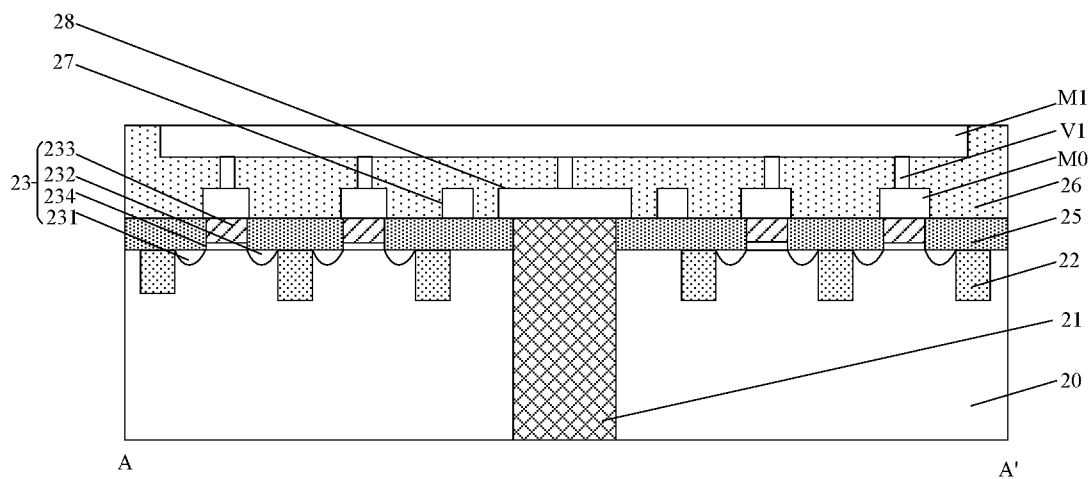
⊗ → 第一方向
第二方向

图 4e



⊗ → 第一方向
第二方向

图 4f



⊗ → 第一方向
第二方向

图 4g

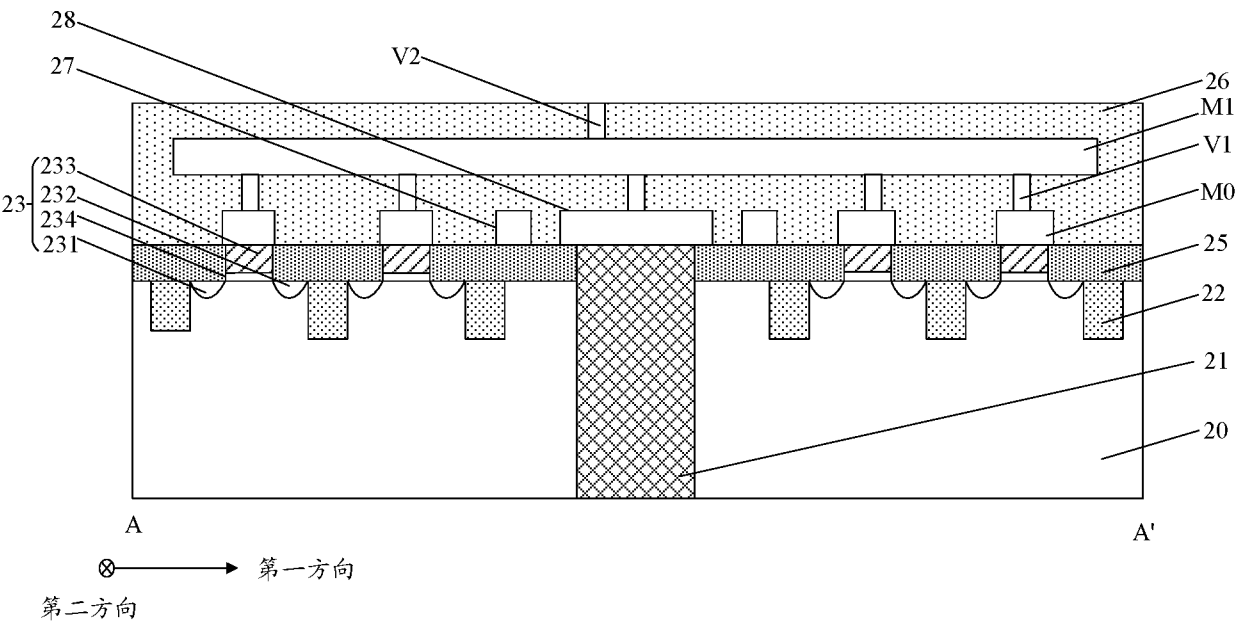


图 4h

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/137432

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/522(2006.01)i; H01L 23/528(2006.01)i; H01L 21/768(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, WPI, CNKI, CNPAT, IEEE: 金属层, 金属线, 导电层, 导电线, 字线, 位线, 通孔, 穿孔, 过孔, 晶体管, 第一, 第二, 交叉, 网格, 膨胀, metal, conductive, layer, line, wire, wiring, via, TSV, hole, TFT, transistor, FET, WL, BL, word line, bit line, first, second, cross, grid, net, mesh, expansion

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2017229367 A1 (SEMICONDUCTOR MANUFACTURING INTERNATIONAL SHANGHAI CORPORATION et al.) 10 August 2017 (2017-08-10) description, paragraphs [0017]-[0127], and figures 1-14	1-16
A	CN 107564561 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 09 January 2018 (2018-01-09) entire document	1-16
A	CN 101217149 A (BEIJING XINJI JIAYI MICROELECTRONIC SCIENCE AND TECHNOLOGY CO., LTD.) 09 July 2008 (2008-07-09) entire document	1-16
A	CN 108231733 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 29 June 2018 (2018-06-29) entire document	1-16
A	US 2015228547 A1 (UNITED MICROELECTRONICS CORP.) 13 August 2015 (2015-08-13) entire document	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

13 June 2022

Date of mailing of the international search report

28 June 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/137432

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2017229367	A1	10 August 2017	EP	3203507	A1	09 August 2017
				CN	107039372	A	11 August 2017
CN	107564561	A	09 January 2018	US	2020126905	A1	23 April 2020
				US	2018005938	A1	04 January 2018
				KR	20180003404	A	09 January 2018
				US	2018337121	A1	22 November 2018
				TW	201813053	A	01 April 2018
				DE	102016125703	A1	04 January 2018
CN	101217149	A	09 July 2008	CN	101217149	B	16 February 2011
CN	108231733	A	29 June 2018	US	2018166431	A1	14 June 2018
				TW	201830664	A	16 August 2018
US	2015228547	A1	13 August 2015	US	2019273033	A1	05 September 2019
				US	10685907	B2	16 June 2020

国际检索报告

国际申请号

PCT/CN2021/137432

A. 主题的分类

H01L 23/522(2006.01)i; H01L 23/528(2006.01)i; H01L 21/768(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

EPDOC, WPI, CNKI, CNPAT, IEEE: 金属层, 金属线, 导电层, 导电线, 字线, 位线, 通孔, 穿孔, 过孔, 晶体管, 第一, 第二, 交叉, 网格, 膨胀, metal, conductive, layer, line, wire, wiring, via, TSV, hole, TFT, transistor, FET, WL, BL, word line, bit line, first, second, cross, grid, net, mesh, expansion

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2017229367 A1 (SEMICONDUCTOR MANUFACTURING INTERNATIONAL SHANGHAI CORPORATION 等) 2017年8月10日 (2017 - 08 - 10) 说明书第[0017]-[0127]段, 图1-14	1-16
A	CN 107564561 A (台湾积体电路制造股份有限公司) 2018年1月9日 (2018 - 01 - 09) 全文	1-16
A	CN 101217149 A (北京芯技佳易微电子科技有限公司) 2008年7月9日 (2008 - 07 - 09) 全文	1-16
A	CN 108231733 A (台湾积体电路制造股份有限公司) 2018年6月29日 (2018 - 06 - 29) 全文	1-16
A	US 2015228547 A1 (UNITED MICROELECTRONICS CORP.) 2015年8月13日 (2015 - 08 - 13) 全文	1-16

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年6月13日

国际检索报告邮寄日期

2022年6月28日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

赵致民

电话号码 86-(10)-53961446

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/137432

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2017229367	A1	2017年8月10日	EP	3203507	A1	2017年8月9日
				CN	107039372	A	2017年8月11日
CN	107564561	A	2018年1月9日	US	2020126905	A1	2020年4月23日
				US	2018005938	A1	2018年1月4日
				KR	20180003404	A	2018年1月9日
				US	2018337121	A1	2018年11月22日
				TW	201813053	A	2018年4月1日
				DE	102016125703	A1	2018年1月4日
CN	101217149	A	2008年7月9日	CN	101217149	B	2011年2月16日
CN	108231733	A	2018年6月29日	US	2018166431	A1	2018年6月14日
				TW	201830664	A	2018年8月16日
US	2015228547	A1	2015年8月13日	US	2019273033	A1	2019年9月5日
				US	10685907	B2	2020年6月16日