

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4146365号
(P4146365)

(45) 発行日 平成20年9月10日 (2008. 9. 10)

(24) 登録日 平成20年6月27日 (2008. 6. 27)

(51) Int. Cl.

F I

H04N 1/028 (2006.01)

H04N 1/028

A

請求項の数 3 (全 17 頁)

(21) 出願番号 特願2004-19667 (P2004-19667)
 (22) 出願日 平成16年1月28日 (2004. 1. 28)
 (65) 公開番号 特開2004-282716 (P2004-282716A)
 (43) 公開日 平成16年10月7日 (2004. 10. 7)
 審査請求日 平成18年12月25日 (2006. 12. 25)
 (31) 優先権主張番号 特願2003-48592 (P2003-48592)
 (32) 優先日 平成15年2月26日 (2003. 2. 26)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2003-49572 (P2003-49572)
 (32) 優先日 平成15年2月26日 (2003. 2. 26)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000002325
 セイコーインスツル株式会社
 千葉県千葉市美浜区中瀬 1 丁目 8 番地
 (74) 代理人 100079212
 弁理士 松下 義治
 (72) 発明者 町田 聡
 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ
 イコーインスツルメンツ株式会社内
 (72) 発明者 河原 行人
 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ
 イコーインスツルメンツ株式会社内

審査官 渡辺 努

最終頁に続く

(54) 【発明の名称】 光電変換装置及び駆動方法

(57) 【特許請求の範囲】

【請求項 1】

入射した光に応じて光信号を発生する光電変換手段と、
 前記光電変換手段の出力に接続されたリセット手段と、
 前記光電変換手段の出力に接続された増幅手段と、
 前記増幅手段の出力に一方の端子が接続された電荷転送手段と、
 前記電荷転送手段のもう一方の端子に接続された容量と、
 前記電荷転送手段のもう一方の端子に入力が接続されたソースフォロワアンプと、
 前記ソースフォロワアンプの出力に接続されたチャンネル選択手段と、
 前記チャンネル選択手段の出力が接続された共通信号線と、
 前記共通信号線に接続された第 1 の電流源と、
 前記ソースフォロワアンプの出力に接続された第 2 の電流源と、
 を有することを特徴とする光電変換装置。

【請求項 2】

前記電荷転送手段と前記チャンネル選択手段がオンして、前記光信号を前記共通信号線に読み出しているときに、前記第 1 の電流源がオンし、

前記電荷転送手段がオンし、前記基準信号を前記容量に読み出しているときに、前記第 2 の電流源がオンする

ことを特徴とする請求項 1 記載の光電変換装置。

【請求項 3】

第 1 の期間において、前記容量は前記リセット手段が前記光電変換手段をリセットすることにより生じる基準信号を保持し、

第 2 の期間において、前記光電変換手段は入射した光に応じた光信号を発生し、

第 3 の期間において、前記チャンネル選択手段がオンして、前記容量から第 1 の期間に保持した基準信号を前記共通信号線に読み出し、

第 4 の期間において、前記電荷転送手段がオンして、前期第 2 の期間に前記光電変換手段に発生した光信号を前記共通信号線に読み出す、

ことを特徴とする請求項 1 または 2 記載の光電変換装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、光照射された原稿からの反射光を受けて電気信号に変換する光電変換装置に関し、特にファクシミリやイメージスキャナ等の画像読み取り装置に適用するリニアイメージセンサに関する。

【背景技術】

【0002】

従来の画像読み取り装置に用いられているイメージセンサ IC の手段図を図 16 にタイミングチャートを図 17 に示す（例えば、特許文献 1 参照。）。

【0003】

フォトダイオード 101 の N 型領域が正電源電圧端子 VDD に接続しており、P 型領域がリセットスイッチ 102 のドレインとソースフォロアアンプ 103 のゲートに接続している。リセットスイッチ 102 のソースには基準電圧 VREF1 が与えられている。ソースフォロアアンプ 103 の出力端子であるソースは、読み出しスイッチ 105 と定電流源 104 につながっている。定電流源 104 のゲートは基準電圧 VREFA の定電圧が与えられている。図 16 に示す光電変換ブロック An は n ビット目の光電変換ブロックを示している。光電変換ブロックは、画素数分設けられており各光電変換ブロックの読み出しスイッチ 105 を介して共通信号線 106 に接続されている。

20

【0004】

共通信号線 106 は、抵抗 110 を通じてオペアンプ 109 の反転端子に入力しており、オペアンプ 109 の出力端子がチップセレクトスイッチ 112 と容量 113 を介して出力端子 116 につながっている。共通信号線 106 は、信号線リセットスイッチ 107 に接続し、信号線リセットスイッチ 107 のソースには基準電圧 VREF2 が与えられている。オペアンプ 109 の出力端子と反転端子の間には抵抗 111 が接続されていて、オペアンプ 109 の非反転端子は一定電圧 VREF3 に固定されている。オペアンプ 109、抵抗 110、抵抗 111 で反転増幅器 D が形成されている。

30

【0005】

イメージセンサの出力端子 116 は、MOS トランジスタ 114 のドレインに接続し、MOS トランジスタ 114 のソースには基準電圧 VREF4 が与えられている。また、イメージセンサの出力端子 116 には、寄生容量などの容量 115 も接続されている。容量 113、容量 115、MOS トランジスタ 114 でクランプ回路 C が構成されている。

40

【特許文献 1】特開平 11 - 239245 号公報（第 2 - 5 頁、第 1 図）

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、このようなイメージセンサにおいては、光電荷蓄積後、光信号を読み出してから、フォトダイオードをリセットし、その後基準信号を読み出し、光信号と基準信号の差をとるので、基準信号と光信号に乗っているリセットノイズが異なるという問題があった。すなわち、異なった、タイミングのリセットノイズを比較するため、ランダムノイズが大きいという問題があった。

【課題を解決するための手段】

50

【 0 0 0 7 】

従来のこのような問題点を解決するために、本発明の光電変換装置は以下のような構成及び駆動方法とした。

【 0 0 0 8 】

逐次型光電変換装置においては、光電変換手段と、光電変換手段の出力端子に接続されたリセット手段と、光電変換手段とリセット手段に接続された増幅手段と、増幅手段の出力に接続された保持手段である電荷転送手段と容量と、保持手段の出力を受けて信号を出力する信号読み出し手段であるソースフォロアアンプとチャンネル選択手段と、信号読み出し手段が接続されている共通信号線とを有し、保持手段はリセット手段が光電変換手段をリセットすることにより生じる基準信号を保持する光電変換装置とした。

10

【 0 0 0 9 】

そして、チャンネル選択手段がオンして基準信号を共通信号線に出力し、次に電荷転送手段がオンして光信号を共通信号線に読み出すこととした。

【 0 0 1 0 】

更に、前記共通信号線に第 1 の電流源が接続され、ソースフォロアアンプのソースに第 2 の電流源が接続され、チャンネル選択手段がオンしているときに第 1 の電流源がオンして電流が流れ、電荷転送手段がオンし基準信号を容量に読み出すときに前記第 2 の電流源がオンして電流が流れるようにした。このとき、第 2 の電流源に流れる電流は、第 1 の電流源に流れる電流とほぼ同じになるように設計した。

20

【 0 0 1 1 】

また更に一括型光電変換装置においては、光電変換手段と、光電変換手段の出力に接続されたリセット手段と、光電変換手段とリセット手段の出力に接続された第 1 の増幅手段と、第 1 の増幅手段の出力に接続された第 1 の保持手段である第 1 の電荷転送手段と第 1 の容量と、第 1 の保持手段に接続された第 2 の増幅手段と、第 2 の増幅手段に接続された第 2 の保持手段である第 2 の電荷転送手段と第 2 の容量と、第 2 の保持手段に接続された第 3 の増幅手段と、第 3 の増幅手段に接続された第 3 の保持手段である第 3 の電荷転送手段と第 3 の容量と、第 3 の保持手段に接続された信号読み出し手段であるソースフォロアアンプとチャンネル選択手段とを有し、第 3 の容量はリセット手段が光電変換手段をリセットすることにより生じる基準信号を保持し、第 1 の容量と第 2 の容量は基準信号と光信号を順に保持する光電変換装置とした。

30

【 0 0 1 2 】

そして、チャンネル選択手段がオンしたときに、先ず基準信号を第 3 の容量から共通信号線に読み出し、次に第 3 の電荷転送手段をオンして、光信号を第 2 の容量から共通信号線に読み出し、基準信号と光信号を共通信号線に読み出した後に、チャンネル選択手段をオフし、第 1 の容量に保持された基準信号を第 3 の容量に読み出すこととした。

【 0 0 1 3 】

更に、共通信号線に第 1 の電流源が接続され、ソースフォロアアンプのソースに第 2 の電流源が接続され、チャンネル選択手段がオンしているときに第 1 の電流源がオンして電流が流れ、電荷転送手段がオンし基準信号を第 3 の容量に読み出すときに前記第 2 の電流源がオンして電流が流れるようにした。このとき、第 2 の電流源に流れる電流は、第 1 の電流源に流れる電流とほぼ同じになるように設計した。

40

【 発明の効果 】

【 0 0 1 4 】

本発明の光電変換装置及び駆動方法によれば、リセットスイッチの同じオフノイズが乗った基準信号と光信号とを順に読み出すことが出来るので、相関 2 重サンプリング等の方法でこの電圧の差をとれば、固定パターンノイズとランダムノイズの小さい光電変換装置を得ることができる。

【 0 0 1 5 】

従って、簡単な構成で暗出力のばらつきが小さいイメージセンサ IC の供給が可能となり、更にこのイメージセンサ IC を複数個直線状に実装した、高精度な密着型イメージセ

50

ンサを提供することが出来る。

【発明を実施するための最良の形態】

【0016】

【実施例1】

【0017】

図1は、本発明の第1の実施例に係る逐次型光電変換装置の概略回路図である。逐次型光電変換装置とは、イメージセンサの各フォトダイオード出力の電荷リセットと光電荷蓄積をタイミングをずらしながら平行に行う光電変換装置を言う。

【0018】

光電変換ブロックAnはnビット目の光電変換ブロックを示している。光電変換ブロックは、画素数分設けられており各光電変換ブロックのチャンネル選択スイッチ7を介して共通信号線11に接続されている。図7に光電変換装置の全体構成図を示す。

【0019】

本実施例の回路は、光電変換手段となるフォトダイオード1、リセット手段となるリセットスイッチ2、増幅手段3、電荷転送手段となる転送スイッチ4、容量5、MOSソースフォロアを形成するMOSトランジスタ6、チャンネル選択手段となるチャンネル選択スイッチ7、共通信号線11、第1の電流源8からなる。

【0020】

増幅手段3はMOSソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンプイネーブル端子10を設けても良い。また、MOSトランジスタ6のゲートとソース間には寄生容量9が存在する。

【0021】

図2は、本発明の第1の実施例に係る逐次型光電変換装置の概略回路図に対応したタイミングチャートである。

【0022】

R(n)によりリセットスイッチ2がオンすると、フォトダイオード1の出力端子Vdiは基準電圧Vresetに固定され、リセットスイッチ2がオフすると、Vdiの電圧はVresetにオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐので、ランダムノイズとなる。したがって、ランダムノイズを防ぐためには、リセットした後のアンプ3の出力電圧と、その後、フォトダイオードが光電荷を蓄積した後のアンプ3の出力電圧の差をとればよい。

【0023】

そこで図2のように、R(n)によりリセットスイッチ2がオフした後、T1(n)により転送スイッチ4をオンして、TRの期間で基準信号を容量5に読み出す。基準信号は、1周期の間、容量5に保持される。この間にフォトダイオード1には、光電荷が蓄積し、Vdiの電位は光電荷の量に応じて変動している。次の周期のSCH(n)によりチャンネル選択スイッチ7をオンすると、REFの期間に、容量5に保持された基準信号が共通信号線11に読み出される。次に、T1(n)をオンし、TSの期間でフォトダイオードに蓄積した電荷に応じた光信号を容量5に読み出すと、この光信号が共通信号線11に読み出される。T1(n)をオンすると、容量5に光信号が蓄積されるが、T1(n)をオンしている期間TSの間に、V1の電位がセッティングするように増幅手段3のドライバビリティを設定すれば、SCH(n)の期間を短くでき、高速の読み出しが可能である。

【0024】

以上の動作により、SCH(n)のREFの期間とSIGの期間の共通信号線11の出力電圧VOUTの差を取れば、固定パターンノイズとリセットスイッチ2によるランダムノイズを除去できる。

【0025】

そして、T1(n)をオフしてから、SCH(n)をオフし、R(n)をオンして、次回のフォトダイオードのリセットを行い、再びT1(n)をオンして、TRの期間で基準信号を容量5に読み出す。

10

20

30

40

50

【 0 0 2 6 】

SCH(n)がオフしてから、次のビットのチャンネル選択スイッチ7が SCH(n+1)によってオンし、次のビットの基準信号の読み出しが始まる。n+1ビット目の他のパルスは、nビット目のパルスよりも、全て SCHのオン期間だけ後ろにずれる。各受光素子の蓄積期間は R(n)がオフしてから、次の周期の T1(n)のTSの期間の終了までであるが、この期間もビットによってずれることになる。

【 0 0 2 7 】

読み出した基準信号と光信号は、相関2重サンプリング回路等により差をとる。これは、例えば、従来例の図16のブロックCの回路で可能である。

【実施例2】

10

【 0 0 2 8 】

図3は、本発明の第2の実施例に係る逐次型光電変換装置の概略回路図である。図1との違いは、MOSトランジスタ6のソースに、第2の電流源51が接続されている点である。この第2の電流源はイネーブル信号 RRによってオン・オフし、オン状態では第1の電流源8と同程度の電流が流れるように設計されている。

【 0 0 2 9 】

図5は、本発明の第2の実施例に係る逐次型光電変換装置の概略回路図に対応したタイミングチャートである。

【 0 0 3 0 】

R(n)によりリセットスイッチ2がオンすると、フォトダイオード1の出力端子Vdiは基準電圧Vresetに固定され、リセットスイッチ2がオフすると、Vdiの電圧はVresetにオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐので、ランダムノイズとなる。したがって、ランダムノイズを防ぐためには、リセットした後のアンプ3の出力電圧と、その後、フォトダイオードが光電荷を蓄積した後のアンプ3の出力電圧の差をとればよい。

20

【 0 0 3 1 】

そこで、図5のように、R(n)によりリセットスイッチ2がオフした後、T1(n)により転送スイッチ4をオンして、TRの期間で基準信号を容量5に読み出す。このとき、イネーブル信号 RR(n)により第2の電流源51をオン状態にする。基準信号は、1周期の間、容量5に保持される。この間にフォトダイオード1には、光電荷が蓄積し、Vdiの電位は光電荷の量に応じて変動している。次の周期の SCH(n)によりチャンネル選択スイッチ7をオンすると、REFの期間に、容量5に保持された基準信号が共通信線11に読み出される。次に、T1(n)をオンし、光信号を容量5に読み出すと、この光信号が共通信線11に読み出される。

30

【 0 0 3 2 】

このとき、第1の電流源8はオン状態にし、第2の電流源51はオフ状態にする。第1の電流源8と第2の電流源51は同程度のオン電流が流れるように設計されているので、R1の期間で基準信号を容量23に読み出すときと、S1の期間で光信号を容量23に読み出すときのMOSトランジスタ6のソース電位を同程度にすることが出来る。従って、容量5に蓄える電荷への寄生容量9の影響を小さくすることが出来て、結果として暗出力電圧のオフセットを小さく出来る。

40

【 0 0 3 3 】

以上の動作により、SCH(n)のREFの期間とSIGの期間の共通信線11の出力電圧VOUTの差を取れば、固定パターンノイズとリセットスイッチ2によるランダムノイズを除去できる。次に、T1(n)をオフしてから、SCH(n)をオフし、R(n)をオンして、次のフォトダイオードのリセットを行い、再びT1(n)をオンして、TRの期間で基準信号を容量5に読み出す。

【 0 0 3 4 】

SCH(n)がオフしてから、次のビットのチャンネル選択スイッチ7が SCH(n+1)によってオンし、次のビットの基準信号の読み出しが始まる。n+1ビット目の他のパルスは、nビ

50

ット目のパルスよりも、全て SCHのオン期間だけ後ろにずれる。

【 0 0 3 5 】

基準信号と光信号は、相関 2 重サンプリング回路等により差をとる。これは、例えば、従来例の図 1 6 のブロック C の回路で可能である。

【 0 0 3 6 】

図 4 は、本発明の第 2 の実施例に係る逐次型光電変換装置の回路図である。図 3 のリセットスイッチ 2 は MOS スイッチ 3 5、増幅手段 3 は MOS ソースフォロア 3 0 と電流源 3 1、転送スイッチ 4 は、トランスミッションゲート 3 2 とダミースイッチ 3 3、第 2 の電流源 5 1 は MOS 電流源 3 4、チャンネル選択スイッチ 7 は MOS スイッチ 3 6、第 1 の電流源 8 は MOS 電流源 3 7 で置き換えている。なお、MOS 電流源 3 4 を取り除けば、第 1 の実施例に係る逐次型光電変換装置の回路図となる。

10

【 0 0 3 7 】

図 6 は、本発明の第 2 の実施例に係る逐次型光電変換装置の回路図に対応したタイミングチャートである。図 5 との違いは、SEL が I1 に変わった点である。また、T1X は図 6 に示さないが T1 の反転である。

【 0 0 3 8 】

図 4 の回路では、アンプ 3 0 のオン・オフを電流源 3 1 のゲート電圧でコントロールする。すなわち、I1 が電源電圧のとき電流は流れずアンプ 3 0 はオフ状態であり、I1 が電源電圧よりも低い適当な電圧のとき電流が流れアンプ 3 0 はオン状態である。

【 0 0 3 9 】

図 2 の回路では MOS ソースフォロア 3 0 の基板電位とソース電位を共通としているので、ゲインをほぼ 1 にできる。

20

【 0 0 4 0 】

また、基準信号 REF を読み出すときは T1 のオフノイズが乗った状態の V1 の電位を読み出すが、光信号 SIG を読み出すときは T1 のオフノイズが乗っていない状態の V1 の電位を読み出している。このため、T1 のオフノイズ分が、暗出力オフセットとなってしまう。これを小さくするために、転送スイッチをトランスミッションゲート 3 2 とし、ダミースイッチ 3 3 を設けている。トランスミッションゲートの NMOS と PMOS のトランジスタサイズは同じにし、ダミースイッチ 3 3 の NMOS と PMOS のトランジスタサイズは、トランスミッションゲートのトランジスタサイズのゲート面積の半分にする。

30

【 0 0 4 1 】

RR は GND 電位のとき、MOS 電流源 3 4 はオフ状態で、適当な電位のとき、MOS 電流源 3 4 はオン状態となる。オン状態の RR の電位は、MOS 電流源 3 4 の電流が MOS 電流源 3 7 の電流と同程度になるように設計する。簡単のために、MOS 電流源 3 4 のサイズを適当に定め、オン状態の RR の電位を電源電圧とすることもできる。以上は、MOS トランジスタ 6 と MOS 電流源 3 4 と MOS 電流源 3 7 が共に NMOS の場合であるが、共に PMOS であっても同様にできる。

【 実施例 3 】

【 0 0 4 2 】

図 8 は、本発明の第 3 の実施例に係る一括型光電変換装置の概略回路図である。一括型光電変換装置とは、イメージセンサの各フォトダイオード出力の電荷リセットと光電荷蓄積を同時タイミングで平行に行う光電変換装置を言う。光電変換ブロック An は n ビット目の光電変換ブロックを示している。画素数分設けられた光電変換ブロックは、各光電変換ブロックのチャンネル選択スイッチ 7 を介して共通信号線 1 1 に接続されている。図 7 に光電変換装置の全体構成図を示す。

40

【 0 0 4 3 】

本実施例の回路は、光電変換手段となるフォトダイオード 1、電荷転送手段となる転送スイッチ 1 8、1 9、2 0、リセット手段となるリセットスイッチ 2、増幅手段 1 5、1 6、1 7、容量 2 1、2 2、2 3、MOS ソースフォロアを形成する MOS トランジスタ 6、チャンネル選択手段となるチャンネル選択スイッチ 7、共通信号線 1 1、第 1 の電流

50

源 8 からなる。増幅手段 15、16、17 は MOS ソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンプイネーブル端子 12、13、14 を設けても良い。また、MOS トランジスタ 6 のゲートとソース間には寄生容量 9 が存在する。

【0044】

図 10 は、本発明の第 3 の実施例に係る一括型光電変換装置の概略回路図に対応したタイミングチャートである。R、T1、SEL1 は全ビットについて同時に動作する。T2 の光信号を転送する期間 S1 と SEL2 の光信号を転送する期間も全ビットについて同時に動作する。T2 の基準信号を転送する期間 R1 と SEL2 の基準信号を転送する期間とその他のパルスは、ビットによって動作するタイミングが異なるので、(n) 付で表示している。

10

【0045】

まず、n ビット目の光電変換ブロックで基準信号を転送する動作について説明する。

【0046】

R のパルス R1 によりリセットスイッチ 2 がオンすると、フォトダイオード 1 の出力端子 Vdi は基準電圧 Vreset に固定され、リセットスイッチ 2 がオフすると Vdi の電圧は Vreset にオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐのでランダムノイズとなる。ランダムノイズの影響を除く為には、リセットした後の第 1 のアンプ 15 の出力電圧と、その後にフォトダイオードが光電荷を蓄積した時の第 1 のアンプ 15 の出力電圧の差をとればよい。

【0047】

20

そこで図 10 のように、リセットスイッチ 2 がオフした後に、T1 のパルス R1 により第 1 の転送スイッチ 18 をオンして、基準信号を第 1 の容量 21 に読み出し保持する。この後フォトダイオード 1 には、光電荷が蓄積し Vdi の電位は光電荷の量に応じて変動する。この光電荷が蓄積する期間は、R のパルス R1 の終了から T1 のパルス S1 の終了までの TS1 となり、全てのビットについて同じ期間になる。

【0048】

次に、T2(n) のパルス R1 により第 2 の転送スイッチ 19 をオンして、基準信号を第 2 の容量 22 に読み出し、T3(n) のパルス R1 により第 3 の転送スイッチ 20 をオンして、基準信号を第 3 の容量 23 に読み出す。基準信号は、1 周期の間、容量 23 に保持される。

30

【0049】

次に、n ビット目の光電変換ブロックで光信号を転送する動作について説明する。

【0050】

蓄積期間 TS1 の最後で、T1 のパルス S1 により第 1 の転送スイッチ 18 をオンして、フォトダイオードに蓄積した電荷に応じた光信号を第 1 の容量 21 に読み出す。次に、T2(n) のパルス S1 により第 2 の転送スイッチ 19 をオンして、光信号を第 2 の容量 22 に読み出す。これは全てのビットで同時に行われる。

【0051】

次に、n ビット目の光電変換ブロックから基準信号と光信号を読み出しする動作について説明する。

40

【0052】

TS2 の蓄積期間中に、SCH(n) のパルスによりチャンネル選択スイッチ 7 を開くと、第 3 の容量 23 に保持されていた基準信号が共通信号線 11 に読み出される。この期間は SCH(n) の R1 の部分である。この基準信号は、R のパルス R1 により発生した基準信号である。次に、T3(n) をオンし S1 の期間で光信号を容量 23 に読み出すと、この光信号が共通信号線 11 に読み出される。

【0053】

T3(n) をオンすると光信号が容量 23 に読み出されるが、T3(n) をオンしている期間 S1 の間に、V1 の電位がセットリングするように増幅手段 17 のドライバビリティーを設定すれば、SCH(n) の期間を短くでき、高速の読み出しが可能である。

50

【 0 0 5 4 】

以上の動作により、SCH(n)のR 1とS 1の期間における共通信号線 1 1の出力電圧V_{OUT}の差を取れば、固定パターンノイズとリセットスイッチ 2によるランダムノイズを除去することが可能である。これは、両方に同じリセットパルス Rのオフノイズがのっており、両方の電圧の出力経路が同じであるからである。

【 0 0 5 5 】

更に、T3(n)をオフしてからSCH(n)をオフし、T2(n)のパルスR 2により第2の転送スイッチ 1 9をオンして、RのパルスR 2が終了した後の基準信号を第2の容量 2 2に読み出し、T3(n)のパルスR 2により第3の転送スイッチ 2 0をオンして、基準信号を第3の容量 2 3に読み出す。

10

【 0 0 5 6 】

一方、SCH(n)がオフしてから、次のビットのチャンネル選択スイッチ 7がSCH(n+1)によってオンし、次のビットの基準信号の読み出しが始まる。n+1ビット目のT2の基準信号を読み出すパルスやT3のパルスは、nビット目のパルスよりも全てSCHのオン期間だけ後ろにずれる。

【 0 0 5 7 】

読み出した基準信号と光信号は、相関 2 重サンプリング回路等により差をとる。これは、例えば従来例の図 1 6のブロック Cの回路で可能である。

【 0 0 5 8 】

図 8 及び図 1 0の実施例では、TS 2の期間でフォトダイオードが蓄積動作中に、前の蓄積期間TS 1の期間で蓄積した光信号を読み出すことができる。したがって、RGBの3色のLEDを順に点灯して、カラー画像データを読み取ることができる。たとえば、TS 1の期間に赤のLEDを点灯し赤の成分を読み取り、TS 2の期間に緑のLEDを点灯し緑の成分を読み取り、TS 2の次の期間に青のLEDを点灯し青の成分を読み取ることができる。この場合、TS 2の期間内に赤の光信号を読み出すことになる。

20

【 0 0 5 9 】

図 9は、本発明の第3の実施例に係る一括型光電変換装置の回路図である。図 8のリセットスイッチ 2はMOSスイッチ 3 5、増幅手段 1 5、1 6、1 7はMOSソースフォロア 3 8、4 0、4 2と電流源 3 9、4 1、4 3、転送スイッチ 1 8、1 9は、MOSスイッチ 4 4、4 5、転送スイッチ 2 0はトランSMIッションゲート 3 2とダミースイッチ 3 3、チャンネル選択スイッチ 7はMOSスイッチ 3 6、第1の電流源 8はMOS電流源 3 7で置き換えている。

30

【 0 0 6 0 】

図 1 1は、本発明の第3の実施例に係る一括型光電変換装置の回路図に対応したタイミングチャートである。図 1 0との違いは、SEL1、SEL2、SEL3、がそれぞれ I1、I2、I3、に変わった点である。また、T3Xは図 1 1に示さないがT3の反転である。

【 0 0 6 1 】

図 9の回路では、アンプ 3 8、4 0、4 2のオン・オフを、それぞれ電流源 3 9、4 1、4 3のゲート電圧でコントロールする。MOSソースフォロア 3 8と4 2の基板電位とソース電位を共通としているので、ゲインをほぼ 1 にできる。

40

【 0 0 6 2 】

また、基準信号R 1を読み出すときはT3のオフノイズが乗った状態のV 1の電位を読み出すが、光信号S 1を読み出すときはT3のオフノイズが乗っていない状態のV 1の電位を読み出している。このため、T3のオフノイズ分が、暗出力オフセットとなってしまう。これを小さくするために、転送スイッチをトランSMIッションゲート 3 2とし、ダミースイッチ 3 3を設けている。トランSMIッションゲートのNMOSとPMOSのトランジスタサイズは同じにし、ダミースイッチ 3 3のNMOSとPMOSのトランジスタサイズは、トランSMIッションゲートのトランジスタサイズのゲート面積の半分にする。

【 0 0 6 3 】

消費電流の観点では、T3のパルスS 1を短くして高速読み出しする必要があるが、そ

50

のためには、増幅手段 14 や電流源 43 の電流を大きくする必要がある。図 10 や図 11 の駆動方法では、T3 のパルス S1 はビットによってずれるので、消費電流を分散させることができる。このことは、図 10 の SEL3 や図 11 の I3 がビットごとにずれていることで示されている。一方、T1 と T2 は全ビットで同時にオンする必要があるが、オンの期間を長くすることで、増幅手段 15、16 や電流源 39、41 の電流を低く抑えることができる。すなわち、図 10 や図 11 に示される T1 と T2 のオン期間を、SCH や T3 のオン期間よりも長くすれば良い。図 10 や図 11 では、T2 の R2 の期間が SCH のオン期間と同じに示されているが、T2 の R2 の期間を SCH のオン期間よりも長くしてもさしつかえない。

【0064】

また、T2、T3、SCH 等のパルスは、ビットごとにずれるように作る必要があるが、シフトレジスタのパルスから作ることができる。

【実施例 4】

【0065】

図 12 は、本発明の第 4 の実施例に係る一括型光電変換装置の概略回路図である。光電変換ブロック An は n ビット目の光電変換ブロックを示している。画素数分設けられた光電変換ブロックは、各光電変換ブロックのチャンネル選択スイッチ 7 を介して共通信号線 11 に接続されている。図 7 に光電変換装置の全体構成図を示す。

【0066】

本実施例の回路は、光電変換手段となるフォトダイオード 1、電荷転送手段となる転送スイッチ 18、19、20、リセット手段となるリセットスイッチ 2、増幅手段 15、16、17、容量 21、22、23、MOS ソースフォロアを形成する MOS トランジスタ 6、MOS トランジスタ 6 のソースに接続された第 2 の電流源、チャンネル選択手段となるチャンネル選択スイッチ 7、共通信号線 11、第 1 の電流源 8 からなる。増幅手段 15、16、17 は MOS ソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンプイネーブル端子 12、13、14 を設けても良い。また、MOS トランジスタ 6 のゲートとソース間には寄生容量 9 が存在する。

【0067】

第 2 の電流源はイネーブル信号 RR によってオン・オフし、オン状態では第 1 の電流源 8 と同程度の電流が流れるように設計されている。

【0068】

図 14 は、本発明の第 4 の実施例に係る一括型光電変換装置の概略回路図に対応したタイミングチャートである。R、T1、SEL1 は全ビットについて同時に動作する。T2 の光信号を転送する期間 S1 と SEL2 の光信号を転送する期間も全ビットについて同時に動作する。T2 の基準信号を転送する期間 R1 と SEL2 の基準信号を転送する期間とその他のパルスは、ビットによって動作するタイミングが異なるので、(n) 付で表示している。

【0069】

まず、n ビット目の光電変換ブロックで基準信号を転送する動作について説明する。

【0070】

R のパルス R1 によりリセットスイッチ 2 がオンすると、フォトダイオード 1 の出力端子 Vdi は基準電圧 Vreset に固定され、リセットスイッチ 2 がオフすると Vdi の電圧は Vreset にオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐのでランダムノイズとなる。ランダムノイズの影響を除く為には、リセットした後の第 1 のアンプ 15 の出力電圧と、その後にフォトダイオードが光電荷を蓄積した時の第 1 のアンプ 15 の出力電圧の差をとればよい。

【0071】

そこで図 14 のように、リセットスイッチ 2 がオフした後に、T1 のパルス R1 により第 1 の転送スイッチ 18 をオンして、基準信号を第 1 の容量 21 に読み出し保持する。この後フォトダイオード 1 には、光電荷が蓄積し Vdi の電位は光電荷の量に応じて変動する

10

20

30

40

50

。この光電荷が蓄積する期間は、 R のパルス $R1$ の終了から $T1$ のパルス $S1$ の終了までの $TS1$ となり、全てのビットについて同じ期間になる。

【0072】

次に、 $T2(n)$ のパルス $R1$ により第2の転送スイッチ19をオンして、基準信号を第2の容量22に読み出す。次に、 $T3(n)$ のパルス $R1$ により第3の転送スイッチ20をオンして、基準信号を第3の容量23に読み出す。このとき、イネーブル信号 $RR(n)$ により第2の電流源51をオン状態にする。基準信号は、1周期の間、容量23に保持される。

【0073】

次に、 n ビット目の光電変換ブロックで光信号を転送する動作について説明する。

10

【0074】

蓄積期間 $TS1$ の最後で、 $T1$ のパルス $S1$ により第1の転送スイッチ18をオンして、フォトダイオードに蓄積した電荷に応じた光信号を第1の容量21に読み出す。次に、 $T2(n)$ のパルス $S1$ により第2の転送スイッチ19をオンして、光信号を第2の容量22に読み出す。これは全てのビットで同時に行われる。

【0075】

次に、 n ビット目の光電変換ブロックから基準信号と光信号を読み出しする動作について説明する。

【0076】

$TS2$ の蓄積期間中に、 $SCH(n)$ のパルスによりチャンネル選択スイッチ7を開くと、第3の容量23に保持されていた基準信号が共通信号線11に読み出される。この期間は $SCH(n)$ の $R1$ の部分である。この基準信号は、 R のパルス $R1$ により発生した基準信号である。次に、 $T3(n)$ をオンし $S1$ の期間で光信号を容量23に読み出すと、この光信号が共通信号線11に読み出される。

20

【0077】

このとき、第1の電流源8はオン状態にし、第2の電流源51はオフ状態にする。第1の電流源8と第2の電流源51は同程度のオン電流が流れるように設計されているので、 $R1$ の期間で基準信号を容量23に読み出すときと、 $S1$ の期間で光信号を容量23に読み出すときのMOSトランジスタ6のソース電位を同程度にすることが出来る。従って、容量23に蓄える電荷への寄生容量9の影響を小さくすることが出来て、結果として暗出力電圧のオフセットを小さく出来る。

30

【0078】

また、 $T3(n)$ をオンすると、光信号が容量23に読み出されるが、 $T3(n)$ をオンしている期間 $S1$ の間に、 $V1$ の電位がセッティングするように増幅手段17のドライバビリティを設定すれば、 $SCH(n)$ の期間を短くでき、高速の読み出しが可能である。

【0079】

以上の動作により、 $SCH(n)$ の $R1$ の期間と $S1$ の期間の共通信号線11の出力電圧 V_{OUT} の差を取れば、固定パターンノイズとリセットスイッチ2によるランダムノイズを除去できる。これは、両方に同じリセットパルス R のオフノイズがのっており、両方の電圧の出力経路が同じであるからである。

40

【0080】

次に、 $T3(n)$ をオフしてから、 $SCH(n)$ をオフし、 $T2(n)$ の $R2$ の位置のパルスにより第2の転送スイッチ19をオンして、リセットパルス R の $R2$ の期間終了後の基準信号を第2の容量22に読み出す。次に、 $T3(n)$ の $R2$ の位置のパルスにより第3の転送スイッチ20をオンして、基準信号を第3の容量23に読み出す。

【0081】

一方、 $SCH(n)$ がオフしてから、次のビットのチャンネル選択スイッチ7が $SCH(n+1)$ によってオンし、次のビットの基準信号の読み出しが始まる。 $n+1$ ビット目の $T2$ の基準信号を読み出すパルス、 $T3$ 、 RR のパルスは、 n ビット目のパルスよりも、全て SCH のオン期間だけ後ろにずれる。

50

【 0 0 8 2 】

基準信号と光信号は、相関 2 重サンプリング回路等により差をとる。これは、例えば、従来例の図 1 6 のブロック C の回路で可能である。

【 0 0 8 3 】

図 1 2、図 1 4 の実施例では、T S 2 の期間でフォトダイオードが蓄積動作中に、前の蓄積期間 T S 1 の期間で蓄積した光信号を読み出すことができる。したがって、R G B の 3 色の L E D を順に点灯して、カラー画像データを読み取ることができる。たとえば、T S 1 の期間に赤の L E D を点灯し赤の成分を読み取り、T S 2 の期間に緑の L E D を点灯し緑の成分を読み取り、T S 2 の次の期間に青の L E D を点灯し青の成分を読み取ることができる。この場合、T S 2 の期間内に赤の光信号を読み出すことになる。

10

【 0 0 8 4 】

図 1 3 は、本発明の第 4 の実施例に係る一括型光電変換装置の回路図である。図 1 2 のリセットスイッチ 2 は M O S スイッチ 3 5、増幅手段 1 5、1 6、1 7 は M O S ソースフォロア 3 8、4 0、4 2 と電流源 3 9、4 1、4 3、転送スイッチ 1 8、1 9 は、M O S スイッチ 4 4、4 5、転送スイッチ 2 0 はトランSMISSIONゲート 3 2 とダミースイッチ 3 3、第 2 の電流源 5 1 は M O S 電流源 3 4、チャンネル選択スイッチ 7 は M O S スイッチ 3 6、第 1 の電流源 8 は M O S 電流源 3 7 で置き換えている。

【 0 0 8 5 】

図 1 5 は、本発明の第 4 の実施例に係る一括型光電変換装置の回路図に対応したタイミングチャートである。図 1 4 との違いは、SEL1、SEL2、SEL3、がそれぞれ I1、I2、I3、に変わった点である。また、T3Xは図 1 5 に示さないが T3 の反転である。

20

【 0 0 8 6 】

図 1 3 の回路では、アンプ 3 8、4 0、4 2 のオン・オフを、それぞれ電流源 3 9、4 1、4 3 のゲート電圧でコントロールする。M O S ソースフォロア 3 8 と 4 2 の基板電位とソース電位を共通としているので、ゲインをほぼ 1 にできる。

【 0 0 8 7 】

また、基準信号 R 1 を読み出すときは T3 のオフノイズが乗った状態の V 1 の電位を読み出すが、光信号 S 1 を読み出すときは T3 のオフノイズが乗っていない状態の V 1 の電位を読み出している。このため、T3 のオフノイズ分が、暗出力オフセットとなってしまう。これを小さくするために、転送スイッチをトランSMISSIONゲート 3 2 とし、ダミースイッチ 3 3 を設けている。トランSMISSIONゲートの N M O S と P M O S のトランジスタサイズは同じにし、ダミースイッチ 3 3 の N M O S と P M O S のトランジスタサイズは、トランSMISSIONゲートのトランジスタサイズのゲート面積の半分にする。

30

【 0 0 8 8 】

RR は G N D 電位のと看、M O S 電流源 3 4 はオフ状態て、適当な電位のと看、M O S 電流源 3 4 はオン状態となる。オン状態の RR の電位は、M O S 電流源 3 4 の電流が M O S 電流源 3 7 の電流と同程度になるように設計する。簡単のために、M O S 電流源 3 4 のサイズを適当に定め、オン状態の RR の電位を電源電圧とすることもできる。以上は、M O S トランジスタ 6 と M O S 電流源 3 4 と M O S 電流源 3 7 が共に N M O S の場合であるが、共に P M O S であっても同様にできる。

40

【 0 0 8 9 】

消費電流の観点では、T3 のパルス S 1 を短くして高速読み出しする必要があるが、そのためには、増幅手段 1 4 や電流源 4 3 の電流を大きくする必要がある。しかし、図 1 4 や図 1 5 の駆動方法では、T3 のパルスはビットによってずれるので、消費電流を分散させることができる。このことは、図 1 4 の SEL3 や図 1 5 の I3 がビットごとにずれていることで示されている。一方、T1 や T2 は全ビット同時にオンする必要があるが、オンの期間を長くすることで、増幅手段 1 5、1 6 または、電流源 3 9、4 1 の電流を低く抑えることができる。すなわち、図 1 4 や図 1 5 に示される、T1 と T2 のオン期間を、SCH や T3 のオン期間よりも長くすれば良い。図 1 4 や図 1 5 では、T2 の R 2 の期間が SCH のオン期間と同じに示されているが、T2 の R 2 の期間を SCH のオン期間よりも長

50

くしてもさしつかえない。

【0090】

また、T2、T3、SCH、RR等のパルスは、ビットごとにずれるように作る必要があるが、シフトレジスタのパルスから作ることができる。

【0091】

以上の説明で、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変形して実施することができる。

【0092】

上記の回路は1つの半導体基盤上に形成し、リニアイメージセンサICとすることが可能である。また、このリニアイメージセンサICを複数個直線状に実装して、密着型イメージセンサを供給することができる。

10

【産業上の利用可能性】

【0093】

本発明は、ファクシミリやイメージスキャナ等の画像読み取り装置に適用するリニアイメージセンサICと、イメージセンサICを複数実装した密着型イメージセンサに利用することができる。また、エリアイメージセンサICに適用できる。

【図面の簡単な説明】

【0094】

【図1】本発明の第1の実施例に係る逐次型光電変換装置の概略回路図である。

【図2】本発明の第1の実施例に係る逐次型光電変換装置の概略回路図に対応したタイミングチャートである。

20

【図3】本発明の第2の実施例に係る逐次型光電変換装置の概略回路図である。

【図4】本発明の第2の実施例に係る逐次型光電変換装置の回路図である。

【図5】図5は、本発明の第2の実施例に係る逐次型光電変換装置の概略回路図に対応したタイミングチャートである。

【図6】本発明の第2の実施例に係る逐次型光電変換装置の回路図に対応したタイミングチャートである。

【図7】本発明に係る光電変換装置の全体構成図である。

【図8】本発明の第3の実施例に係る一括型光電変換装置の概略回路図である。

【図9】本発明の第3の実施例に係る一括型光電変換装置の回路図である。

30

【図10】本発明の第3の実施例に係る一括型光電変換装置の概略回路図に対応したタイミングチャートである。

【図11】本発明の第3の実施例に係る一括型光電変換装置の回路図に対応したタイミングチャートである。

【図12】本発明の第4の実施例に係る一括型光電変換装置の概略回路図である。

【図13】本発明の第4の実施例に係る一括型光電変換装置の回路図である。

【図14】本発明の第4の実施例に係る一括型光電変換装置の概略回路図に対応したタイミングチャートである。

【図15】本発明の第4の実施例に係る一括型光電変換装置の回路図に対応したタイミングチャートである。

40

【図16】従来の画像読み取り装置に用いられているイメージセンサICの回路図である。

【図17】従来の画像読み取り装置に用いられているイメージセンサICのタイミングチャートである。

【符号の説明】

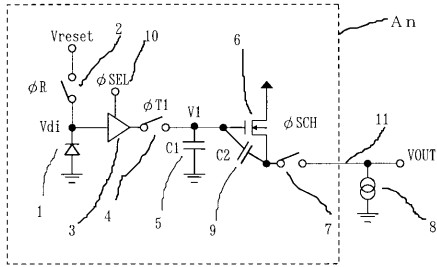
【0095】

- 1 フォトダイオード
- 2 リセットスイッチ
- 3 アンプ
- 4 転送スイッチ

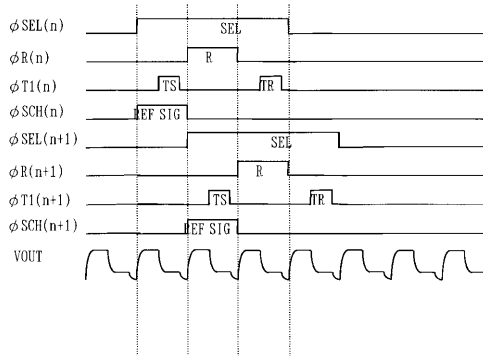
50

5	容量	
6	M O S トランジスタ	
7	チャンネル選択スイッチ	
8	第 1 の電流源	
9	寄生容量	
1 0 , 1 2 , 1 3 , 1 4	アンプイネーブル端子	
1 1	共通信号線	
1 5	第 1 のアンプ	
1 6	第 2 のアンプ	
1 7	第 3 のアンプ	10
1 8	第 1 の転送スイッチ	
1 9	第 2 の転送スイッチ	
2 0	第 3 の転送スイッチ	
2 1	第 1 の容量	
2 2	第 2 の容量	
2 3	第 3 の容量	
3 0	M O S ソースフォロア	
3 1	電流源	
3 2	トランスミッションゲート	
3 3	ダミースイッチ	20
3 4	M O S 電流源	
3 5	M O S スイッチ	
3 6	M O S スイッチ	
3 7	M O S 電流源	
3 8、4 0、4 2	M O S ソースフォロア	
3 9、4 1、4 3	電流源	
3 2	トランスミッションゲート	
4 4、4 5	M O S スイッチ	
5 1	第 2 の電流源	
1 0 1	フォトダイオード	30
1 0 2	リセットスイッチ	
1 0 3	ソースフォロアアンプ	
1 0 4	定電流源	
1 0 5	読み出しスイッチ	
1 0 6	共通信号線	
1 0 7	信号線リセットスイッチ	
1 0 8	寄生容量	
1 0 9	オペアンプ	
1 1 0	抵抗	
1 1 1	抵抗	40
1 1 2	チップセレクトスイッチ	
1 1 3	容量	
1 1 4	M O S トランジスタ	
1 1 5	容量	
1 1 6	出力端子	
A n	n ビット目の光電変換ブロック	
B m	m チップ目のイメージセンサ I C ブロック	
C	クランプ回路	
D	反転増幅器	

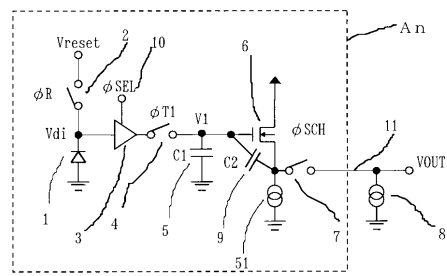
【図 1】



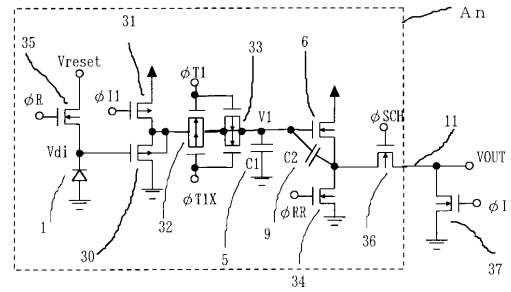
【図 2】



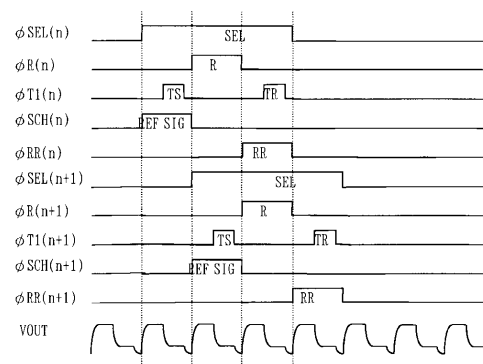
【図 3】



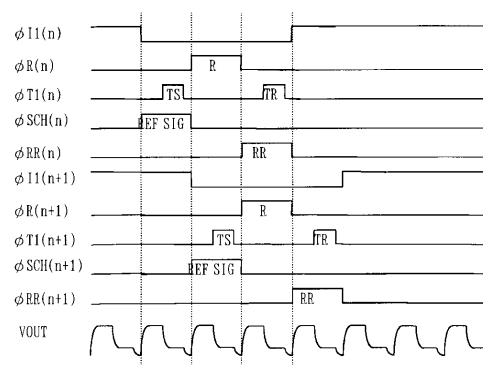
【図 4】



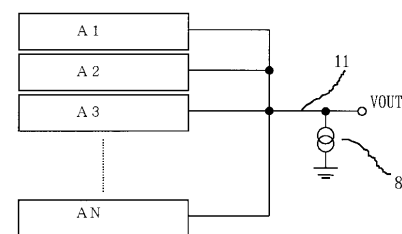
【図 5】



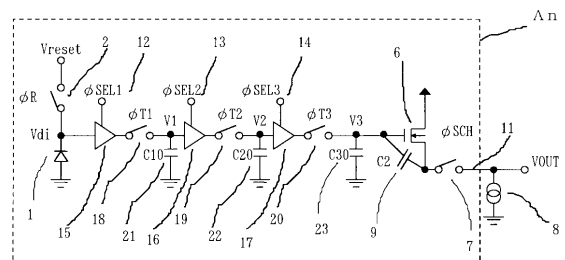
【図 6】



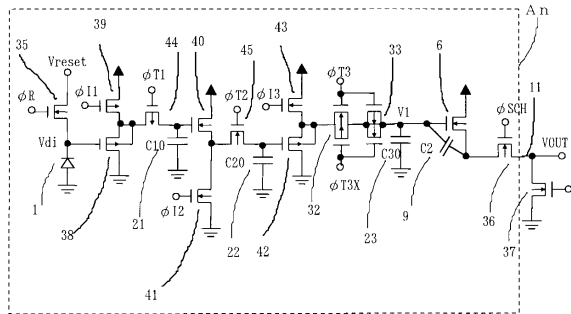
【図 7】



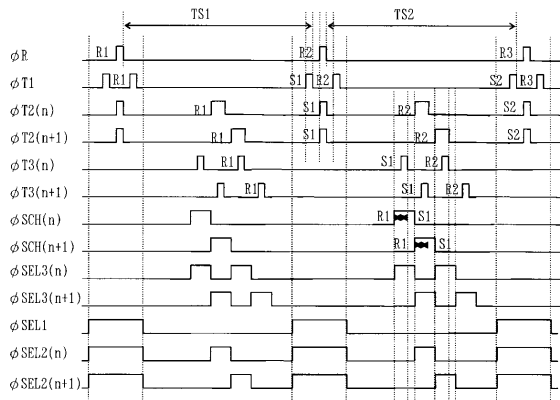
【図 8】



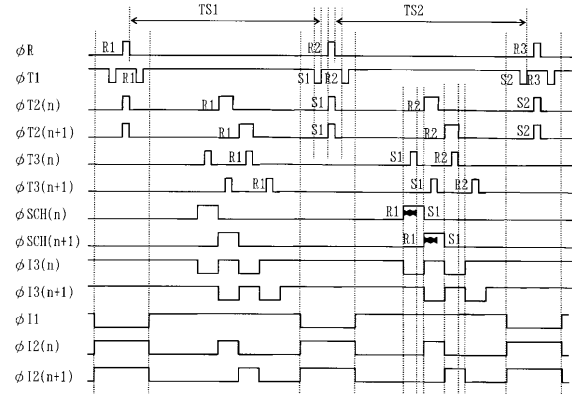
【図 9】



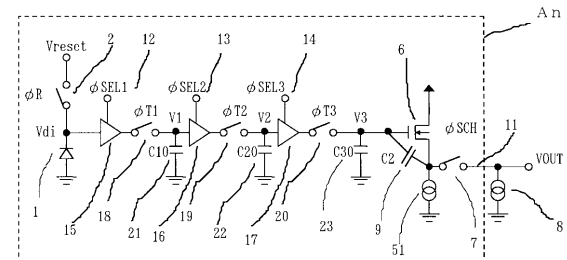
【図 10】



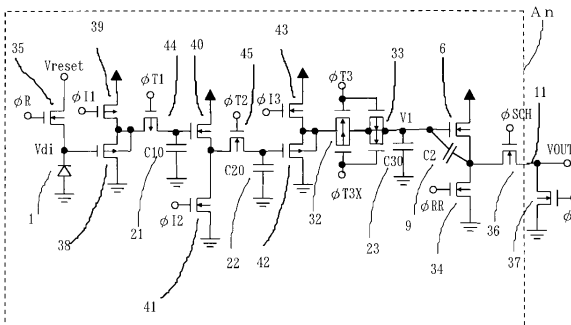
【図 11】



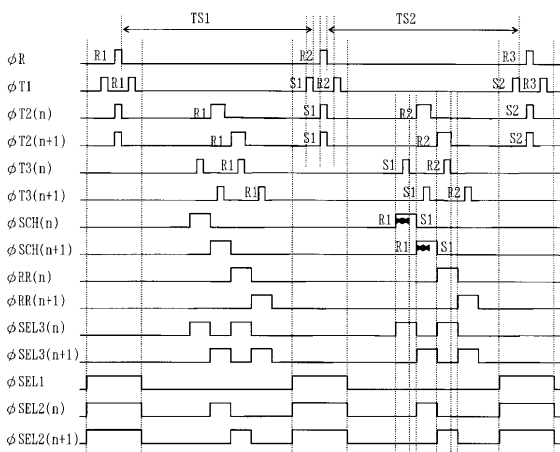
【図 12】



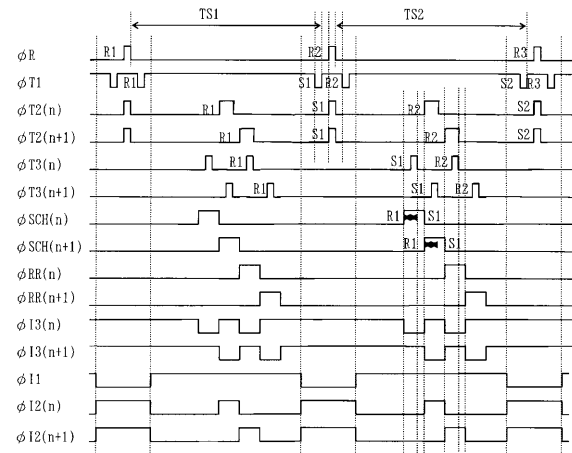
【図 13】



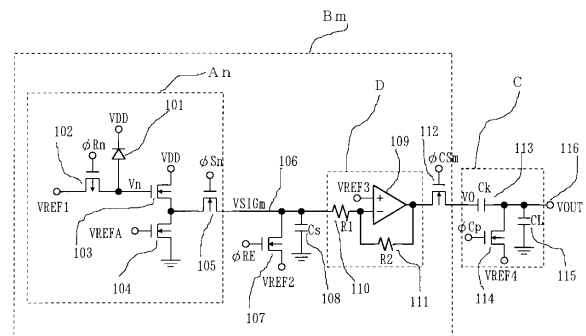
【図 14】



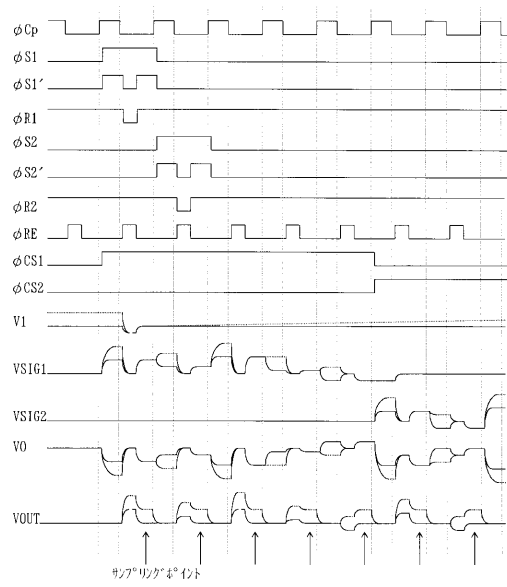
【図 15】



【図 16】



【図 17】



フロントページの続き

(56)参考文献 特開2002-330258(JP,A)
特開平04-030660(JP,A)
特開平04-268866(JP,A)
特開2003-23523(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04N 1/028