

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成18年8月10日(2006.8.10)

【公開番号】特開2001-67867(P2001-67867A)
 【公開日】平成13年3月16日(2001.3.16)
 【出願番号】特願平11-245053
 【国際特許分類】

G 1 1 C 11/407 (2006.01)

G 1 1 C 11/401 (2006.01)

【F I】

G 1 1 C 11/34 3 5 4 F

G 1 1 C 11/34 3 6 2 H

G 1 1 C 11/34 3 6 2 S

【手続補正書】

【提出日】平成18年6月28日(2006.6.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正の内容】

【請求項1】 与えられる信号に応じたコマンドを出力するコマンド受信回路と、与えられる信号に応じた行アドレス、列アドレスおよびバンクアドレスを出力するアドレス受信回路と、

前記コマンド受信回路の出力および前記アドレス受信回路の出力に応じて動作を行なう第1の内部回路とを備え、

前記第1の内部回路は、

各々が行列状に配置されるメモリセルを有し、前記コマンドおよび前記バンクアドレスに応じて活性化される複数のバンクと、

各前記バンクに対応して設けられ、前記コマンドおよび前記行アドレスに応じて前記メモリセルの行の選択に関連する動作をする行系回路と、

各前記バンクに対応して設けられ、前記コマンドおよび前記列アドレスに応じて前記メモリセルの列の選択に関連する動作をする列系回路とを含み、

前記コマンドに応じて動作を行なう第2の内部回路をさらに備え、

前記第2の内部回路は、

前記第1の内部回路に動作電源電位を供給する電源回路を含み、

前記電源回路は、

前記動作電源電位の目標値である参照電位を発生する参照電位発生回路と、

前記コマンドに対応する活性化時間および応答速度を選択し、前記活性化時間の間前記応答速度に対応する応答制御信号を活性化する応答速度制御回路と、

前記応答制御信号に応じた応答速度で動作し、外部電源電位を受けて、前記参照電位まで電圧降下させて前記動作電源電位を出力する電圧降下回路とを含む、半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

コマンドデコーダ94は、制御信号入力バッファ6から制御信号 `int . R A S`、 `in`

t . C A S、i n t . W Eを受けてデコードし A C T コマンドが入力されたことを示す信号 A C T F および P R E コマンドが入力されたことを示す信号 P R E F を出力する。信号 A C T F、P R E F の発生には、バンク情報は絡んでいない。バンク指定信号 B A D 0 ~ B A D 3、信号 A C T F、P R E F は選択回路 9 6 に入る。選択回路 9 6 は、バンクのロウ系を活性化する信号 A C T F 0 ~ A C T F 3 およびバンクのロウ系を不活性化する信号 P C G F 0 ~ P C G F 3 を発生する。これらの信号は、指定されたバンクにおいて 1 サイクルだけ H レベルになる信号である。

【**手続補正 3**】

【**補正対象書類名**】明細書

【**補正対象項目名**】0 0 4 7

【**補正方法**】変更

【**補正の内容**】

【0 0 4 7】

【**課題を解決するための手段**】

請求項 1 に記載の半導体装置は、与えられる信号に応じたコマンドを出力するコマンド受信回路と、与えられる信号に応じた行アドレス、列アドレスおよびバンクアドレスを出力するアドレス受信回路と、コマンド受信回路の出力およびアドレス受信回路の出力に応じて動作を行なう第 1 の内部回路とを備え、第 1 の内部回路は、各々が行列状に配置されるメモリセルを有し、コマンドおよびバンクアドレスに応じて活性化される複数のバンクと、各バンクに対応して設けられ、コマンドおよび行アドレスに応じてメモリセルの行の選択に関連する動作をする行系回路と、各バンクに対応して設けられ、コマンドおよび列アドレスに応じてメモリセルの列の選択に関連する動作をする列系回路とを含み、コマンドに応じて動作を行なう第 2 の内部回路をさらに備え、第 2 の内部回路は、第 1 の内部回路に動作電源電位を供給する電源回路を含み、電源回路は、動作電源電位の目標値である参照電位を発生する参照電位発生回路と、コマンドに対応する活性化時間および応答速度を選択し、活性化時間の間応答速度に対応する応答制御信号を活性化する応答速度制御回路と、応答制御信号に応じた応答速度で動作し、外部電源電位を受けて、参照電位まで電圧降下させて動作電源電位を出力する電圧降下回路とを含む。

【**手続補正 4**】

【**補正対象書類名**】明細書

【**補正対象項目名**】0 0 8 6

【**補正方法**】変更

【**補正の内容**】

【0 0 8 6】

電源電位 V d d が S D R A M の周辺回路に供給される場合、コマンド入力に伴う内部回路の動作時の消費電流の増加が非常に大きい。この消費に電圧降下回路が反応よく対応するためにはコンパレータの貫通電流 I c を大きくすればよい。しかし、消費電流が小さい待機時には大きな貫通電流 I c は必要なく、待機時の消費電流削減の観点からは貫通電流 I c は小さくなるように設定すべきである。

【**手続補正 5**】

【**補正対象書類名**】明細書

【**補正対象項目名**】0 0 9 2

【**補正方法**】変更

【**補正の内容**】

【0 0 9 2】

図 4 は、信号 P W R U P を発生する回路構成を説明するための回路図である。

図 4 を参照して、内部バンクアドレス信号 i n t . B A 0、i n t . B A 1 を受けてバンク指定信号 B A D 0 ~ B A D 3 を出力するバンクアドレスデコーダ 9 2 と、内部制御信号 i n t . R A S、i n t . C A S、i n t . W E を受けてデコードし信号 A C T F、P R E F を出力するコマンドデコーダと、バンク指定信号 B A D 0 ~ B A D 3 および内部ア

ドレス信号 $int.A10$ に従って対応するバンクに信号 $ACTF$ 、 $PREF$ を出力する選択回路 96 とは、図 1 におけるブロック 8 の内部のコントロール回路に含まれる回路である。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0093

【補正方法】変更

【補正の内容】

【0093】

選択回路 96 はバンク 0 に対応する信号 $ACTF0$ 、 $PCGF0$ をバンク 0 に対応して設けられるラッチ 100#0 に出力する。ラッチ 100#0 は、信号 $ACTF0$ が入力されるとこのバンクの活性化を示す信号 $ZRASE0$ を L レベルに活性化する。そして、信号 $PCGF0$ が入力されるとラッチ 100#0 は信号 $ZRASE0$ を H レベルに非活性化する。バンク 1 ~ 3 に対しても対応するラッチ 100#1 ~ 100#3 が設けられ同様な動作が行なわれる。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0121

【補正方法】変更

【補正の内容】

【0121】

図 8 を参照して、VDC 制御回路 150 は、制御信号 $int.RAS$ 、 $int.CAS$ を受けて信号 $COLF$ を出力するコマンドデコーダ 152 と、バースト長等の設定を保持しているモードレジスタ設定回路 154 と、モードレジスタ設定回路 154 からバースト長に対応する信号 $ZMBLx$ を受けて制御信号 $int.RAS$ 、 $int.CAS$ が入力されたことを起点としてバースト長に対応する期間をクロック信号 $CLKI$ を基準として内部でカウントするバースト長カウンタ 156 と、信号 $COLF$ とバースト長カウンタ 156 が出力する信号 $ZBLEF$ とを受けて信号 $CP00$ を出力するコマンドデコーダ 158 と、クロック信号 $CLKI$ に同期して信号 $CP00$ から信号 $PWRUP$ を発生しかつバースト長カウンタ 156 に対して信号 $ENCLK$ を出力するコラム活性化回路 160 とを含む。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0145

【補正方法】変更

【補正の内容】

【0145】

図 13 は、図 8 におけるコラム活性化回路 160 の構成を示す回路図である。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0150

【補正方法】変更

【補正の内容】

【0150】

図 15 は、コラム活性化回路 160 の動作を説明するための動作波形図である。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0155

【補正方法】変更

【補正の内容】

【 0 1 5 5 】

つまり、コラム活性化回路 1 6 0 は、信号 C P 0 0 が H レベルから L レベルに立下がるタイミングを 2 . 5 クロックだけ後ろにずらしている。電源電流の消費が大きい期間はコラム系活性期間と一致するので、この回路出力を信号 P W R U P として電圧降下回路 V D C の貫通電流 I_c を制御することに使用することができる。

【 手 続 補 正 1 1 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 1 5 6

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 1 5 6 】

また、コラム活性化回路 1 6 0 からは、バーストカウンタを活性化させる信号 E N C L K も出力される。これは、信号 C P 0 0 が H レベルから L レベルに立下がるタイミングを 1 . 5 クロックだけ後ろにずらしたものである。

【 手 続 補 正 1 2 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 1 5 8

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 1 5 8 】

また、コラム活性化回路 1 6 0 以外の回路は、もともとコラム系の動作自体で必要とされる回路であるので、これらを制御信号 P W R U P を発生するために共用することができる。

【 手 続 補 正 1 3 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 図 1 3

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 図 1 3 】 図 8 におけるコラム活性化回路 1 6 0 の構成を示す回路図である。

【 手 続 補 正 1 4 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 図 1 5

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 図 1 5 】 コラム活性化回路 1 6 0 の動作を説明するための動作波形図である。

【 手 続 補 正 1 5 】

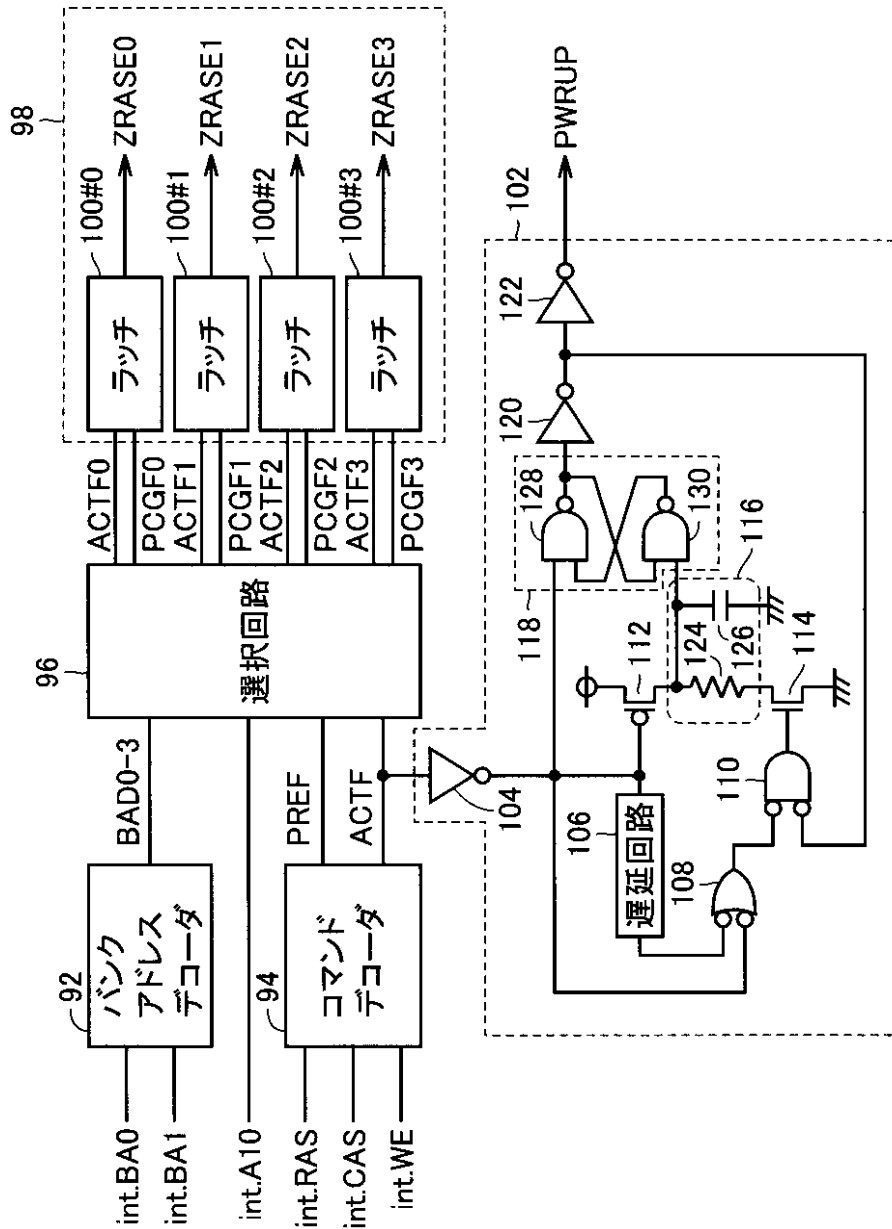
【 補 正 対 象 書 類 名 】 図 面

【 補 正 対 象 項 目 名 】 図 4

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 図 4 】



【 手続 補正 1 6 】

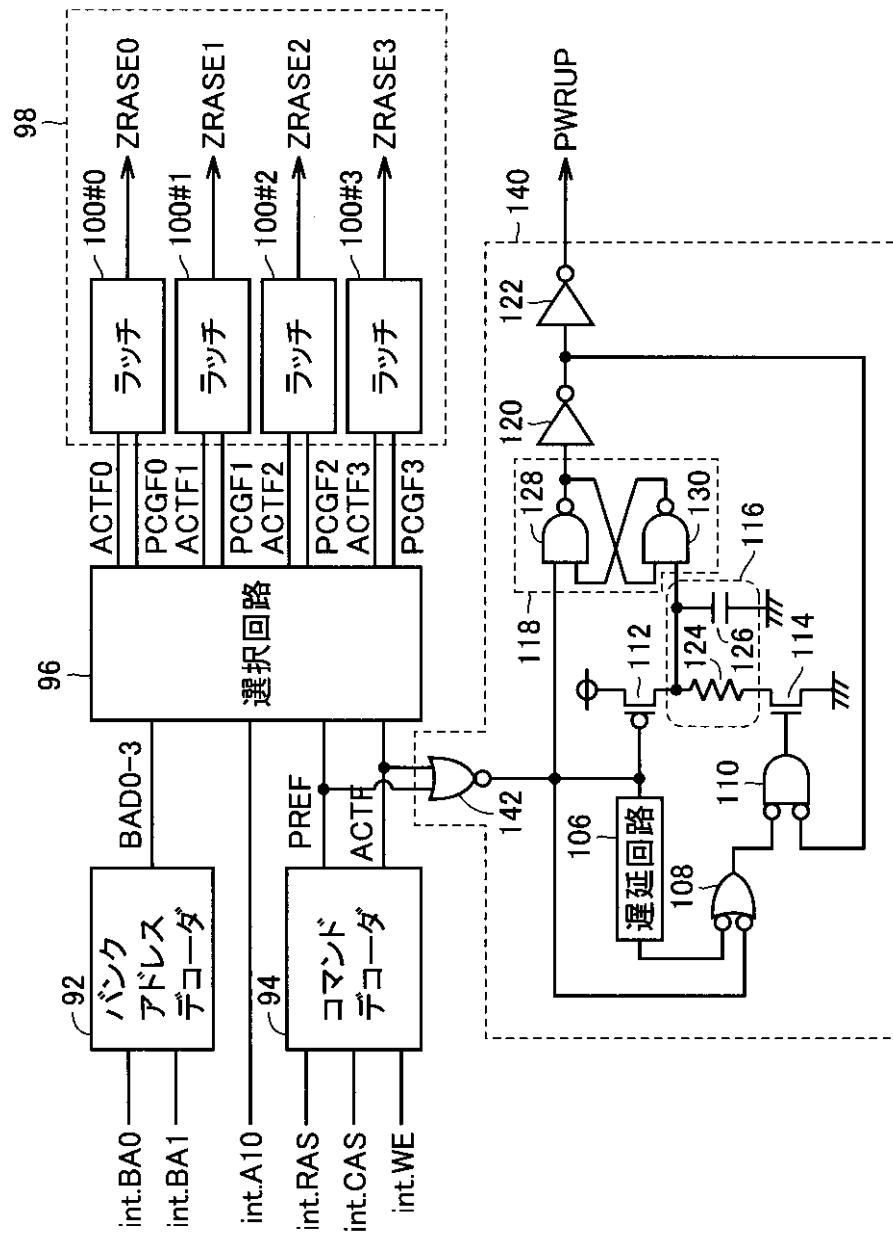
【 補正 対象 書類 名 】 図 面

【 補正 対象 項目 名 】 図 6

【 補正 方法 】 変 更

【 補正 の 内 容 】

【 図 6 】



【 手続補正 17 】

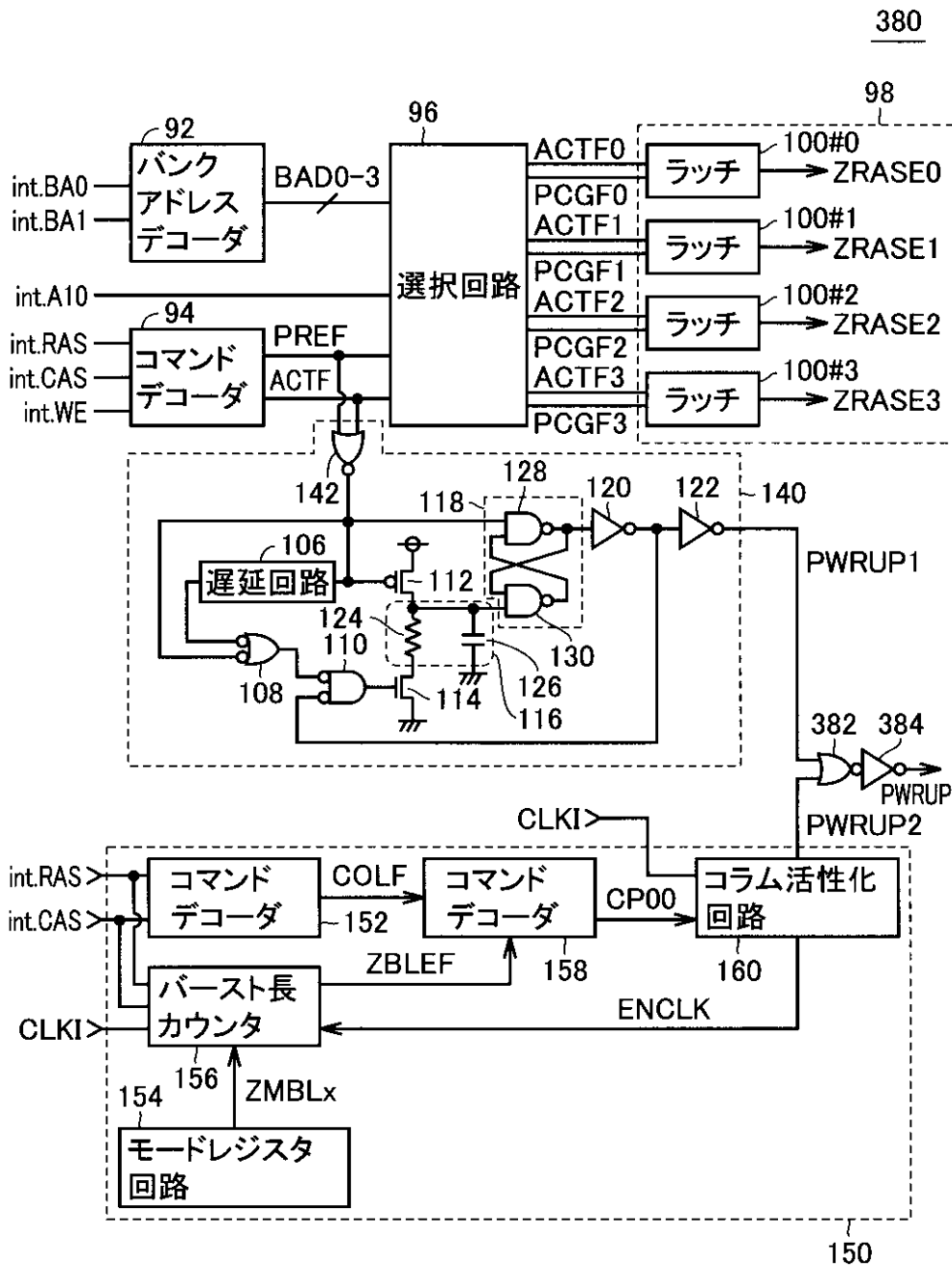
【 補正対象書類名 】 図面

【 補正対象項目名 】 図 16

【 補正方法 】 変更

【 補正の内容 】

【 図 1 6 】



【 手続補正 1 8 】

【 補正対象書類名 】 図面

【 補正対象項目名 】 図 2 1

【 補正方法 】 変更

【 補正の内容 】

【図 2 1】

