

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 10 月 31 日 (31.10.2019)



(10) 国际公布号
WO 2019/205333 A1

- (51) 国际专利分类号:
H01L 21/84 (2006.01) **H01L 27/12** (2006.01)
- (21) 国际申请号: PCT/CN2018/098025
- (22) 国际申请日: 2018 年 8 月 1 日 (01.08.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201810402934.6 2018年4月28日 (28.04.2018) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

- (72) 发明人: 刘广辉 (LIU, Guanghui); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。 张鑫 (ZHANG, Xin); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。 颜源 (YAN, Yuan); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。
- (74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 阵列基板及其制作方法

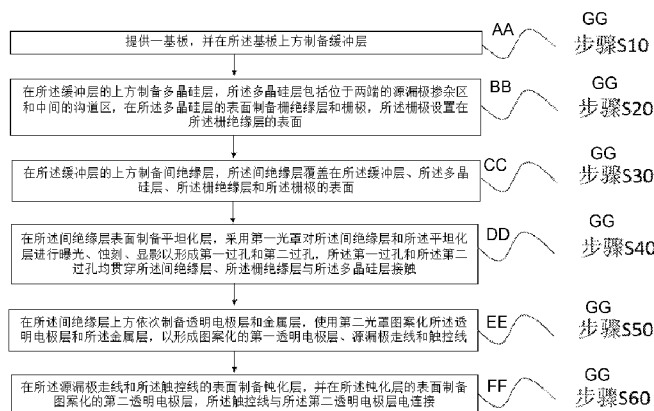


图 3

EE Successively prepare a transparent electrode layer and a metal layer over the interlayer insulating layer, and pattern the transparent electrode layer and the metal layer by means of a second photomask to form a patterned first transparent electrode layer, source and drain wiring and touch wire

AA Provide a substrate, and prepare a buffer layer on the substrate
BB Prepare a polysilicon layer over the buffer layer, wherein the polysilicon layer comprises a source doped region and a drain doped region on each of the two ends and an intermediate channel region, and prepare a gate insulating layer and a gate electrode on the surface of the polysilicon layer, wherein the gate electrode is arranged on the surface of the gate insulating layer
CC Prepare an interlayer insulating layer over the buffer layer, wherein the interlayer insulating layer covers the surfaces of the buffer layer, the polysilicon layer, the gate insulating layer and the gate electrode
DD Prepare a planarization layer on the surface of the interlayer insulating layer, and expose, etch and develop the interlayer insulating layer and the planarization layer by means of a first photomask to form a first via hole and a second via hole, wherein the first via hole and the second via hole both penetrate through the interlayer insulating layer and the gate insulating layer to contact the polysilicon layer
FF Prepare a passivation layer on the surfaces of the source and drain wiring and the touch wire, and prepare a patterned second transparent electrode layer on the surface of the passivation layer, wherein the touch wire is electrically connected to the second transparent electrode layer
GG Step

(57) Abstract: A manufacturing method for an array substrate. The method comprises: providing a substrate; and sequentially preparing a buffer layer, a polysilicon layer, a gate insulating layer, a gate electrode, an interlayer insulating layer, a first transparent electrode layer, source and drain wiring and a touch wire on the substrate, wherein a planarization layer is used as a photoresist layer of the interlayer insulating layer so as to save on the photomask process; and preparing pixel electrodes, the source and drain wiring and the touch wire in the same photomask process, also saves on another photomask process.

(57) 摘要: 一种阵列基板的制作方法, 包括: 提供一基板, 并在该基板上依次制备缓冲层、多晶硅层、栅绝缘层、栅极、间绝缘层、第一透明电极层、源漏极走线和触控线, 其中, 通过将平坦化层作为间绝缘层的光阻层以节省一道光罩制程, 通过将像素电极、源漏极走线和触控线在同一光罩制程中制备又节省一道光罩工艺。

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

阵列基板及其制作方法

技术领域

[0001] 本发明涉及显示技术领域，具体涉及一种阵列基板及其制作方法。

背景技术

[0002] 液晶显示器（Liquid Crystal Display，简称LCD）等平面显示装置因为具有高画质、省电、机身薄及应用范围广泛等优点，而被广泛的应用于手机、电视、个人数字助理、数字相机、笔记本电脑、台式计算机等各种消费性电子产品，成为显示装置的主流。

[0003] LCD中的低温多晶硅（简称LTPS）显示技术具有较高的载流子迁移率，可以使LCD中的晶体管获得更高的开关电流比，在满足要求的充电电流的条件下，可以通过缩小每个像素的薄膜晶体管的尺寸、增加每个像素透光区，提高面板开口率、改善面板亮点和高分辨率，降低面板功率，进而获得更好的视觉体验。

[0004] 鉴于低温多晶硅技术的有源矩阵朝着不断缩小尺寸方向发展，随之而来的光刻技术进步导致了生产设备成本的激增。常见的导入内嵌式触控结构（In Cell Touch）是将具有触控功能的膜层穿插在正常显示的阵列制程中，为了满足显示与触控的功能同时可用，每一层都需要完成光罩、蚀刻形成一定的图案。导入内嵌式触控阵列基板需要使用12道光罩工艺进行制备，这样增加了阵列工艺中曝光机的使用，进而增加了阵列制程的复杂性，致使阵列基板整体的产能降低，为了降低制造成本，本行业内发明了9道光罩工艺进行阵列基板的制备，如图1所示为9道光罩工艺的流程图，但是这还是不能满足对阵列基板日益增加的产能的需求。因此，目前亟需一种能够降低阵列基板生产成本和周期的阵列基板及其制作方法。

发明概述

技术问题

[0005] 现有阵列基板制备过程中所需光罩制程较多导致阵列基板的生

产成本较高的问题。

问题的解决方案

技术解决方案

[0006] 为实现上述目的，本发明提供的技术方案如下：

[0007] 根据本发明的一个方面，提供了一种阵列基板的制作方法，所述阵列基板的制作方法包括：

[0008] 步骤S10、提供一基板，并在所述基板上方制备缓冲层；

[0009] 步骤S20、在所述缓冲层的上方制备多晶硅层，所述多晶硅层包括位于两端的源漏极掺杂区和中间的沟道区，在所述多晶硅层的表面制备栅绝缘层和栅极，所述栅极设置在所述栅绝缘层的表面；

[0010] 步骤S30、在所述缓冲层的上方制备间绝缘层，所述间绝缘层覆盖在所述缓冲层、所述多晶硅层、所述栅绝缘层和所述栅极的表面；

[0011] 步骤S40、在所述间绝缘层表面制备平坦化层，采用第一光罩对所述间绝缘层和所述平坦化层进行曝光、蚀刻、显影以形成第一过孔和第二过孔，所述第一过孔和所述第二过孔均贯穿所述间绝缘层、所述栅绝缘层与所述多晶硅层接触；

[0012] 步骤S50、在所述间绝缘层上方依次制备透明电极层和金属层，使用第二光罩图案化所述透明电极层和所述金属层，以形成图案化的第一透明电极层、源漏极走线和触控线；

[0013] 步骤S60、在所述源漏极走线和所述触控线的表面制备钝化层，并在所述钝化层的表面制备图案化的第二透明电极层，所述触控线与所述第二透明电极层电连接。

[0014] 根据本发明一优选实施例，所述步骤S50具体包括：

[0015] 步骤S501、在所述间绝缘层上方依次沉积所述透明电极层和所述金属层，在所述金属层表面涂布光阻层；

[0016] 步骤S502、采用第二光罩对所述光阻层进行曝光，进而对所述光阻层进行蚀刻，以获取光阻图案；采用第一蚀刻工艺对所述透明电极层进行蚀刻，以获得透明电极图案；采用第二蚀刻工艺对所述金属层进行蚀刻，以获得第一金属图案

，所述第一金属图案包括目标金属图案和待离金属图案；

[0017] 步骤S503、通过灰化工艺，除掉所述待离金属图案上方所对应的光阻，采用所述第二蚀刻工艺除掉所述待离金属图案；

[0018] 步骤S504、剥离所述光阻层剩余的光阻，以形成所述第一透明电极层、所述源漏极走线和所述触控线。

[0019] 根据本发明一优选实施例，所述第一蚀刻工艺为干性蚀刻，所述第二蚀刻工艺为湿性蚀刻。

[0020] 根据本发明一优选实施例，所述目标金属图案包括所述源漏极走线和所述触控线。

[0021] 根据本发明一优选实施例，所述步骤S40具体包括：在所述间绝缘层表面制备平坦化层，采用第一光罩对所述间绝缘层和所述平坦化层进行曝光、蚀刻、显影以形成第一过孔和第二过孔，随后蚀掉剩余的平坦化层图案；其中，所述平坦化层作为所述间绝缘层的光阻层使用，所述第一过孔和所述第二过孔均依次贯穿所述间绝缘层、所述栅绝缘层与所述多晶硅层接触，其中，所述第一过孔与所述源极掺杂区连接，所述第二过孔与所述漏极掺杂区连接。

[0022] 根据本发明一优选实施例，所述步骤S40具体包括：在所述间绝缘层表面制备平坦化层，在所述平坦化层表面涂布光阻层，采用第一光罩对所述间绝缘层和所述平坦化层进行曝光、蚀刻、显影以形成第一过孔和第二过孔，随后蚀掉剩余的光阻层图案；其中，所述平坦化层和所述间绝缘层共用一道光罩工艺，所述第一过孔和所述第二过孔均依次贯穿所述间绝缘层、所述栅绝缘层与所述多晶硅层接触，其中，所述第一过孔与所述源极掺杂区连接，所述第二过孔与所述漏极掺杂区连接。

[0023] 根据本发明的另一个方面，还提供了一种阵列基板，所述阵列基板包括：

[0024] 基板；

[0025] 缓冲层，所述缓冲层形成在所述基板的上方；

[0026] 多晶硅层，所述多晶硅层形成在所述缓冲层的上方，所述多晶硅层包括位于两端的源漏极掺杂区和中间的沟道区；

[0027] 栅绝缘层，所述栅绝缘层形成在所述多晶硅层的上方；

- [0028] 栅极，所述栅极形成在所述栅绝缘层的表面；
- [0029] 图案化的第一透明电极层和图案化的第二电极层，以及位于所述第一透明电极层和所述第二透明电极层之间的钝化层，所述第一透明电极层与所述源漏极掺杂区电连接，所述第一透明电极层上形成有金属层，所述金属层中形成有源漏极走线和触控线，所述源漏极走线与所述源漏极掺杂区电连接，所述触控线与所述第二透明电极层电连接。
- [0030] 根据本发明一优选实施例，所述阵列基板还包括平坦化层，所述平坦化层形成在所述间绝缘层的表面。
- [0031] 根据本发明一优选实施例，所述第一透明电极层经图案化形成像素电极，所述第二透明电极层经过图案化形成公共电极。
- [0032] 根据本发明的又一个方面，提供了一种阵列基板的制作方法，包括：
- [0033] 步骤S10、提供一基板，并在所述基板上方制备缓冲层；
- [0034] 步骤S20、在所述缓冲层的上方制备多晶硅层，所述多晶硅层包括位于两端的源漏极掺杂区和中间的沟道区，在所述多晶硅层的表面制备栅绝缘层和栅极，所述栅极设置在所述栅绝缘层的表面；
- [0035] 步骤S30、在所述缓冲层的上方制备间绝缘层，所述间绝缘层覆盖在所述缓冲层、所述多晶硅层、所述栅绝缘层和所述栅极的表面；
- [0036] 步骤S40、在所述间绝缘层表面制备平坦化层，采用第一光罩对所述间绝缘层和所述平坦化层进行曝光、蚀刻、显影以形成第一过孔和第二过孔，所述第一过孔和所述第二过孔均贯穿所述间绝缘层、所述栅绝缘层与所述多晶硅层接触；
- [0037] 步骤S50、在所述间绝缘层上方依次制备透明电极层和金属层，使用第二光罩图案化所述透明电极层和所述金属层，以形成图案化的第一透明电极层、源漏极走线和触控线；
- [0038] 步骤S60、在所述源漏极走线和所述触控线的表面制备钝化层，并在所述钝化层的表面制备图案化的第二透明电极层，所述触控线与所述第二透明电极层电连接
- [0039] 其中，所述第一光罩为普通光罩，所述第二光罩为半色调光罩，所述第一透明

电极层经过图案化形成像素电极，所述第二透明电极层经过图案化形成公共电极。

[0040] 根据本发明一优选实施例，所述步骤S50具体包括：

[0041] 步骤S501、在所述间绝缘层上方依次沉积所述透明电极层和所述金属层，在所述金属层表面涂布光阻层；

[0042] 步骤S502、采用第二光罩对所述光阻层进行曝光，进而对所述光阻层进行蚀刻，以获取光阻图案；采用第一蚀刻工艺对所述透明电极层进行蚀刻，以获得透明电极图案；采用第二蚀刻工艺对所述金属层进行蚀刻，以获得第一金属图案，所述第一金属图案包括目标金属图案和待离金属图案；

[0043] 步骤S503、通过灰化工艺，除掉所述待离金属图案上方所对应的光阻，采用所述第二蚀刻工艺除掉所述待离金属图案；

[0044] 步骤S504、剥离所述光阻层剩余的光阻，以形成所述第一透明电极层、所述源漏极走线和所述触控线。

[0045] 根据本发明一优选实施例，所述第一蚀刻工艺为干性蚀刻，所述第二蚀刻工艺为湿性蚀刻。

[0046] 根据本发明一优选实施例，所述目标金属图案包括所述源漏极走线和所述触控线。

[0047] 根据本发明一优选实施例，所述步骤S40具体包括：在所述间绝缘层表面制备平坦化层，采用第一光罩对所述间绝缘层和所述平坦化层进行曝光、蚀刻、显影以形成第一过孔和第二过孔，随后蚀掉剩余的平坦化层图案；其中，所述平坦化层作为所述间绝缘层的光阻层使用，所述第一过孔和所述第二过孔均依次贯穿所述间绝缘层、所述栅绝缘层与所述多晶硅层接触，其中，所述第一过孔与所述源极掺杂区连接，所述第二过孔与所述漏极掺杂区连接。

[0048] 根据本发明一优选实施例，所述步骤S40具体包括：在所述间绝缘层表面制备平坦化层，在所述平坦化层表面涂布光阻层，采用第一光罩对所述间绝缘层和所述平坦化层进行曝光、蚀刻、显影以形成第一过孔和第二过孔，随后蚀掉剩余的光阻层图案；其中，所述平坦化层和所述间绝缘层共用一道光罩工艺，所述第一过孔和所述第二过孔均依次贯穿所述间绝缘层、所述栅绝缘层与所述多

晶硅层接触，其中，所述第一过孔与所述源极掺杂区连接，所述第二过孔与所述漏极掺杂区连接。

发明的有益效果

有益效果

[0049] 本发明的优点在于，提供了一种阵列基板及其制作方法，通过将平坦化层和绝缘层共用一道光罩制程制备，通过将像素电极和公共电极位置交换位置，使源漏极、像素电极和触控线共用一道光罩制程制备，进而提出了一种7道光刻工艺技术制备具有内嵌式触控阵列基板，进而缩短了阵列基板的生产周期，节约了制作成本。

对附图的简要说明

附图说明

[0050] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0051] 图1为现有技术中阵列基板的制作方法中9道光罩制程的流程示意图；

[0052] 图2为本发明实施例中阵列基板的制作方法中7道光罩制程的流程示意图；

[0053] 图3为本发明实施例中阵列基板的制作方法的流程示意图；

[0054] 图4为本发明实施例中阵列基板的制作方法步骤S50中主要工艺的流程示意图；

[0055] 图5a-5f为本发明实施例中阵列基板的制作方法的结构示意图；

[0056] 图6a-6d为本发明实施例中步骤S50的结构流程示意图；

[0057] 图7为本发明实施例中阵列基板的结构示意图。

实施该发明的最佳实施例

本发明的最佳实施方式

[0058] 以下各实施例的说明是参考附加的图示，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说

明及理解本发明，而非用以限制本发明。在图中，结构相似的单元是用以相同标号表示。

[0059] 本发明针对现有阵列基板的制作方法中现有阵列基板制备过程中所需光罩制程较多导致阵列基板的生产时间较长，生产成本较高的问题，提出了一种阵列基板的制作方法，本实施例能够改善该缺陷。

[0060] 下面结合附图和具体实施例对本发明做进一步的说明：

[0061] 图2为本发明实施例中阵列基板的制作方法中7道光罩制程的流程示意图；图3为本发明实施例中阵列基板的制作方法的流程示意图图5a-5f为本发明实施例中阵列基板的制作方法的结构示意图；

[0062] 如图2、图3和图5a-5f所示，本发明提供了一种阵列基板的制作方法为实施例1，所述阵列基板的制作方法包括：

[0063] 如图5a所示，步骤S10、提供一基板11，并在所述基板11上方制备缓冲层13；

[0064] 在一实施例中，步骤S10还包括在基板11上方制备遮光层，所述缓冲层13覆盖遮光层12。

[0065] 具体的，遮光层12的材料为钼（Mo），所述缓冲层的材料为氮化硅和氧化硅中的至少一者。

[0066] 如图5b所示，步骤S20、在所述缓冲层13的上方制备多晶硅层14，所述多晶硅层14包括位于两端的源极掺杂区141a、漏极掺杂区141b和中间的沟道区142，在所述多晶硅层14的表面制备栅绝缘层15和栅极16，所述栅极16设置在所述栅绝缘层15的表面；

[0067] 具体的，所述源极掺杂区141a包括源极重掺杂区和源极轻掺杂区，所述漏极掺杂区141b包括漏极重掺杂区和漏极轻掺杂区。

[0068] 所述栅绝缘层15的制备材料为氧化硅和氮化硅，所述栅极的制备材料为钼（Mo）。

[0069] 如图5c所示，步骤S30、在所述缓冲层13的上方制备间绝缘层17，所述间绝缘层17覆盖在所述缓冲层13、所述多晶硅层14、所述栅绝缘层15和所述栅极16的表面。

[0070] 所述间绝缘层17的制备材料为氧化硅和氮化硅中的至少一者。

- [0071] 如图5d所示, 步骤S40、在所述间绝缘层17表面制备平坦化层(为标出), 采用第一光罩对所述间绝缘层17和所述平坦化层进行曝光、蚀刻、显影以形成第一过孔18a和第二过孔18b, 所述第一过孔18a和所述第二过孔18b均依次贯穿所述平坦化层、所述间绝缘层17、所述栅绝缘层15与所述多晶硅层14接触, 随后蚀刻掉剩余的平坦化层图案, 其中, 所述第一过孔18a与所述源极掺杂区141a连接, 所述第二过孔18b与所述漏极掺杂区141a连接。
- [0072] 需要解释的是, 所述第一光罩可以为普通光罩, 现有技术中的间绝缘层17和平坦化层的制备需要采用两道光罩工艺, 但是在本发明实施例中通过将平坦化层作为间绝缘层17的光阻层使用, 在通过曝光、蚀刻、显影后将平坦化层蚀刻掉, 使得仅通过一道光罩工艺便可以完成间绝缘层17的制备, 在本发明实施例中, 间绝缘层17有绝缘和平坦化的双重作用, 进而相对于现有工艺节省了一道光罩制程。
- [0073] 在另一实施例中, 也可以将平坦化层保留, 在进行间绝缘层17和平坦化层的制备过程中, 由于第一过孔18a和第二过孔18b在间绝缘层17和平坦化层的图案相同, 因此可以仅采用一道光罩工艺进行制备, 进而相对现有工艺同样可以节省一道光罩制程, 但是由于在本实施例中需要添加的光阻层进行制备, 因此接下来主要对无平坦化层的阵列基板的制作方法进行介绍。
- [0074] 如图5e所示, 步骤S50、在所述间绝缘层17表面依次制备透明电极层19a和金属层20a, 使用第二光罩对所述透明电极层19a和所述金属层20a进行曝光、蚀刻、显影, 以形成像素电极19、源漏极走线和触控线20(源漏极走线和触控线均用20进行标注)。
- [0075] 进一步, 所述步骤S50的主要工艺的流程示意图如4所示, 所述步骤S50的结构流程示意图如图6a-6d所示。
- [0076] 所述步骤S50的具体步骤包括:
- [0077] 如图6a和6b所示, 步骤S501、在所述间绝缘层17表面依次沉积所述透明电极层19a和所述金属层20a, 在所述金属层20a表面涂布光阻层;
- [0078] 步骤S502、采用第二光罩对所述光阻层进行曝光, 进而对所述光阻层进行蚀刻, 以获取光阻图案21a; 采用第一蚀刻工艺对所述透明电极层19a进行蚀刻, 以获

得透明电极图案19；采用第二蚀刻工艺对所述金属层20a进行蚀刻，以获得第一金属图案20b，所述第一金属图案20b包括目标金属图案和待离金属图案(未标明)；

[0079] 如图6c所示，步骤S503、通过灰化工艺，除掉所述待离金属图案上方所对应的光阻，采用所述第二蚀刻工艺除掉所述待离金属图案，剩下的光阻用21标注；

[0080] 如图6d所示，步骤S504、蚀刻掉所述光阻层剩余的光阻21，以形成所述第一透明电极层19、所述源漏极走线20和所述触控线20。

[0081] 具体的，所述第一透明电极层19经过图案化形成像素电极，所述第二透明电极层23经过图案化形成公共电极。

[0082] 相较于现有工艺，本发明在步骤S50中，将阵列基板中像素电极和公共电极的位置互换，使得具有图案的像素电极设置在整块公共电极的下方，进而可将像素电极、源漏极走线20和触控线20在同一光罩制程中制备，从而又省略了一道光罩制程。

[0083] 其中，所述第一蚀刻工艺为干性蚀刻，所述第二蚀刻工艺为湿性蚀刻。

[0084] 进一步的，为了实现像素电极、源漏极走线20和触控线20在同一光罩制程中制备，所述第二光罩为半色调光罩。

[0085] 如图5f所示，步骤S60、在所述源漏极走线20和所述触控线20的表面制备钝化层22，并在所述钝化层的表面制备公共电极23。

[0086] 根据本发明另一实施例，还提供了一种阵列基板的制作方法为实施例2，所述阵列基板的制作方法包括：

[0087] 步骤S10、提供一基板，并在所述基板上方制备缓冲层；

[0088] 步骤S20、在所述缓冲层的上方制备多晶硅层，所述多晶硅层包括位于两端的源漏极掺杂区和中间的沟道区，在所述多晶硅层的表面制备栅绝缘层和栅极，所述栅极设置在所述栅绝缘层的表面；

[0089] 步骤S30、在所述缓冲层的上方制备间绝缘层，所述间绝缘层覆盖在所述缓冲层、所述多晶硅层、所述栅绝缘层和所述栅极的表面；

[0090] 步骤S40、在所述间绝缘层表面制备平坦化层，在所述平坦化层上涂布光阻层，采用第一光罩对所述间绝缘层和所述平坦化层进行曝光、蚀刻、显影以形成

第一过孔和第二过孔，所述第一过孔和所述第二过孔均依次贯穿所述平坦化层、所述间绝缘层、所述栅绝缘层与所述多晶硅层接触，随后蚀刻掉剩余的光阻层图案，其中，所述第一过孔与所述源极掺杂区连接，所述第二过孔与所述漏极掺杂区连接；

[0091] 步骤S50、在所述平坦化层表面依次制备透明电极层和金属层，使用第二光罩对所述透明电极层和所述金属层进行曝光、蚀刻、显影，以形成第一透明电极层、源漏极走线和触控线；

[0092] 步骤S60、在所述源漏极走线和所述触控线的表面制备钝化层，并在所述钝化层的表面制备第二透明电极层。

[0093] 进一步的，所述步骤S50具体包括：

[0094] 步骤S501、在所述平坦化层表面依次沉积所述透明电极层和所述金属层，在所述金属层表面涂布光阻层；

[0095] 步骤S502、采用第二光罩对所述光阻层进行曝光，进而对所述光阻层进行蚀刻，以获取光阻图案；采用第一蚀刻工艺对所述透明电极层进行蚀刻，以获得透明电极图案；采用第二蚀刻工艺对所述金属层进行蚀刻，以获得第一金属图案，所述第一金属图案包括目标金属图案和待离金属图案；

[0096] 步骤S503、通过灰化工艺，除掉所述待离金属图案上方所对应的光阻，采用所述第二蚀刻工艺除掉所述待离金属图案；

[0097] 步骤S504、蚀刻掉所述光阻层剩余的光阻，以形成所述第一透明电极层、所述源漏极走线和所述触控线。

[0098] 优选的，所述第一蚀刻工艺为干性蚀刻，所述第二蚀刻工艺为湿性蚀刻。

[0099] 优选的，所述目标金属图案包括所述源漏极走线和所述触控线。

[0100] 其中，所述第一光罩为普通光罩，所述第二光罩为半色调光罩。

[0101] 根据本发明的又一个方面，还提供了一种阵列基板，如图7所示，所述阵列基板包括：

[0102] 基板11；

[0103] 金属层12，所述金属层12形成在所述基板11的上方；

[0104] 缓冲层13，所述缓冲层13形成在所述基板11的上方并覆盖所述基板11；

- [0105] 多晶硅层14，所述多晶硅层14形成在所述缓冲层13的表面，所述多晶硅层14包括位于两端的源极掺杂区141a、漏极掺杂区141b和中间的沟道区142；
- [0106] 栅绝缘层15，所述栅绝缘层15形成在所述多晶硅层14的上方；
- [0107] 栅极16，所述栅极16形成在所述栅绝缘层15的上方；
- [0108] 图案化的第一透明电极层19和图案化的第二电极层23，以及位于所述第一透明电极层19和所述第二透明电极层23之间的钝化层22，所述第一透明电极层19与所述源漏极掺杂区141电连接，所述第一透明电极层19上形成有金属层20，所述金属层20中形成有源漏极走线201和触控线202，所述源漏极走线201与所述源漏极掺杂区141电连接，所述触控线202与所述第二透明电极层23电连接。
- [0109] 根据本发明一优选实施例，所述阵列基板还包括平坦化层（未标出），所述平坦化层形成在于所述间绝缘层17的表面。
- [0110] 根据本发明一优选实施例，所述第一过孔18a和所述第二过孔18b均贯穿所述平坦化层、所述间绝缘层17、所述栅绝缘层15与所述多晶硅层14接触。
- [0111] 优选的，所述第一透明电极层19经图案化形成像素电极，所述第二透明电极层23经过图案化形成公共电极。
- [0112] 上述阵列基板的工作原理与所述阵列基板的制作方法原理相同，所述阵列基板的原理请参考阵列基板的制作方法的原理，具体在此不作赘述。
- [0113] 本发明提供了一种阵列基板及其制作方法，通过将平坦化层和间绝缘层共用一道光罩制程制备，通过将像素电极和公共电极位置交换位置，使源漏极、像素电极和触控线共用一道光罩制程制备，进而提出了一种7道光刻工艺技术制备具有内嵌式触控阵列基板，进而缩短了阵列基板的生产周期，节约了制作成本。
- [0114] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1]

一种阵列基板的制作方法，其包括：

步骤S10、提供一基板，并在所述基板上方制备缓冲层；

步骤S20、在所述缓冲层的上方制备多晶硅层，所述多晶硅层包括位于两端的源漏极掺杂区和中间的沟道区，在所述多晶硅层的表面制备栅绝缘层和栅极，所述栅极设置在所述栅绝缘层的表面；

步骤S30、在所述缓冲层的上方制备间绝缘层，所述间绝缘层覆盖在所述缓冲层、所述多晶硅层、所述栅绝缘层和所述栅极的表面；

步骤S40、在所述间绝缘层表面制备平坦化层，采用第一光罩对所述间绝缘层和所述平坦化层进行曝光、蚀刻、显影以形成第一过孔和第二过孔，所述第一过孔和所述第二过孔均贯穿所述间绝缘层、所述栅绝缘层与所述多晶硅层接触；

步骤S50、在所述间绝缘层上方依次制备透明电极层和金属层，使用第二光罩图案化所述透明电极层和所述金属层，以形成图案化的第一透明电极层、源漏极走线和触控线；

步骤S60、在所述源漏极走线和所述触控线的表面制备钝化层，并在所述钝化层的表面制备图案化的第二透明电极层，所述触控线与所述第二透明电极层电连接。

[权利要求 2]

根据权利要求1所述的阵列基板的制作方法，其中，所述步骤S50具体包括：

步骤S501、在所述间绝缘层上方依次沉积所述透明电极层和所述金属层，在所述金属层表面涂布光阻层；

步骤S502、采用第二光罩对所述光阻层进行曝光，进而对所述光阻层进行蚀刻，以获取光阻图案；采用第一蚀刻工艺对所述透明电极层进行蚀刻，以获得透明电极图案；采用第二蚀刻工艺对所述金属层进行蚀刻，以获得第一金属图案，所述第一金属图案包括目标金属图案和待离金属图案；

步骤S503、通过灰化工艺，除掉所述待离金属图案上方所对应的光阻

，采用所述第二蚀刻工艺除掉所述待离金属图案；

步骤S504、剥离所述光阻层剩余的光阻，以形成所述第一透明电极层、所述源漏极走线和所述触控线。

[权利要求 3] 根据权利要求2所述的阵列基板的制作方法，其中，所述第一蚀刻工艺为干性蚀刻，所述第二蚀刻工艺为湿性蚀刻。

[权利要求 4] 根据权利要求2所述的阵列基板的制作方法，其中，所述目标金属图案包括所述源漏极走线和所述触控线。

[权利要求 5] 根据权利要求2所述的阵列基板的制作方法，其中，所述步骤S40具体包括：在所述间绝缘层表面制备平坦化层，采用第一光罩对所述间绝缘层和所述平坦化层进行曝光、蚀刻、显影以形成第一过孔和第二过孔，随后蚀掉剩余的平坦化层图案；其中，所述平坦化层作为所述间绝缘层的光阻层使用，所述第一过孔和所述第二过孔均依次贯穿所述间绝缘层、所述栅绝缘层与所述多晶硅层接触，其中，所述第一过孔与所述源极掺杂区连接，所述第二过孔与所述漏极掺杂区连接。

[权利要求 6] 根据权利要求2所述的阵列基板的制作方法，其中，所述步骤S40具体包括：在所述间绝缘层表面制备平坦化层，在所述平坦化层表面涂布光阻层，采用第一光罩对所述间绝缘层和所述平坦化层进行曝光、蚀刻、显影以形成第一过孔和第二过孔，随后蚀掉剩余的光阻层图案；其中，所述平坦化层和所述间绝缘层共用一道光罩工艺，所述第一过孔和所述第二过孔均依次贯穿所述间绝缘层、所述栅绝缘层与所述多晶硅层接触，其中，所述第一过孔与所述源极掺杂区连接，所述第二过孔与所述漏极掺杂区连接。

[权利要求 7] 一种阵列基板的制作方法，其包括：

步骤S10、提供一基板，并在所述基板上方制备缓冲层；

步骤S20、在所述缓冲层的上方制备多晶硅层，所述多晶硅层包括位于两端的源漏极掺杂区和中间的沟道区，在所述多晶硅层的表面制备栅绝缘层和栅极，所述栅极设置在所述栅绝缘层的表面；

步骤S30、在所述缓冲层的上方制备间绝缘层，所述间绝缘层覆盖在

所述缓冲层、所述多晶硅层、所述栅绝缘层和所述栅极的表面；

步骤S40、在所述间绝缘层表面制备平坦化层，采用第一光罩对所述间绝缘层和所述平坦化层进行曝光、蚀刻、显影以形成第一过孔和第二过孔，所述第一过孔和所述第二过孔均贯穿所述间绝缘层、所述栅绝缘层与所述多晶硅层接触；

步骤S50、在所述间绝缘层上方依次制备透明电极层和金属层，使用第二光罩图案化所述透明电极层和所述金属层，以形成图案化的第一透明电极层、源漏极走线和触控线；

步骤S60、在所述源漏极走线和所述触控线的表面制备钝化层，并在所述钝化层的表面制备图案化的第二透明电极层，所述触控线与所述第二透明电极层电连接；

其中，所述第一光罩为普通光罩，所述第二光罩为半色调光罩，所述第一透明电极层经过图案化形成像素电极，所述第二透明电极层经过图案化形成公共电极。

[权利要求 8]

根据权利要求7所述的阵列基板的制作方法，其中，所述步骤S50具体包括：

步骤S501、在所述间绝缘层上方依次沉积所述透明电极层和所述金属层，在所述金属层表面涂布光阻层；

步骤S502、采用第二光罩对所述光阻层进行曝光，进而对所述光阻层进行蚀刻，以获取光阻图案；采用第一蚀刻工艺对所述透明电极层进行蚀刻，以获得透明电极图案；采用第二蚀刻工艺对所述金属层进行蚀刻，以获得第一金属图案，所述第一金属图案包括目标金属图案和待离金属图案；

步骤S503、通过灰化工艺，除掉所述待离金属图案上方所对应的光阻，采用所述第二蚀刻工艺除掉所述待离金属图案；

步骤S504、剥离所述光阻层剩余的光阻，以形成所述第一透明电极层、所述源漏极走线和所述触控线。

[权利要求 9]

根据权利要求8所述的阵列基板的制作方法，其中，所述第一蚀刻工

艺为干性蚀刻，所述第二蚀刻工艺为湿性蚀刻。

[权利要求 10] 根据权利要求8所述的阵列基板的制作方法，其中，所述目标金属图案包括所述源漏极走线和所述触控线。

[权利要求 11] 根据权利要求8所述的阵列基板的制作方法，其中，所述步骤S40具体包括：在所述间绝缘层表面制备平坦化层，采用第一光罩对所述间绝缘层和所述平坦化层进行曝光、蚀刻、显影以形成第一过孔和第二过孔，随后蚀掉剩余的平坦化层图案；其中，所述平坦化层作为所述间绝缘层的光阻层使用，所述第一过孔和所述第二过孔均依次贯穿所述间绝缘层、所述栅绝缘层与所述多晶硅层接触，其中，所述第一过孔与所述源极掺杂区连接，所述第二过孔与所述漏极掺杂区连接。

[权利要求 12] 根据权利要求8所述的阵列基板的制作方法，其中，所述步骤S40具体包括：在所述间绝缘层表面制备平坦化层，在所述平坦化层表面涂布光阻层，采用第一光罩对所述间绝缘层和所述平坦化层进行曝光、蚀刻、显影以形成第一过孔和第二过孔，随后蚀掉剩余的光阻层图案；其中，所述平坦化层和所述间绝缘层共用一道光罩工艺，所述第一过孔和所述第二过孔均依次贯穿所述间绝缘层、所述栅绝缘层与所述多晶硅层接触，其中，所述第一过孔与所述源极掺杂区连接，所述第二过孔与所述漏极掺杂区连接。

[权利要求 13] 一种阵列基板，其中，所述阵列基板包括：
基板；
缓冲层，所述缓冲层形成在所述基板的上方；
多晶硅层，所述多晶硅层形成在所述缓冲层的上方，所述多晶硅层包括位于两端的源漏极掺杂区和中间的沟道区；
栅绝缘层，所述栅绝缘层形成在所述多晶硅层的上方；
栅极，所述栅极形成在所述栅绝缘层的表面；
图案化的第一透明电极层和图案化的第二电极层，以及位于所述第一透明电极层和所述第二透明电极层之间的钝化层，所述第一透明电极层与所述源漏极掺杂区电连接，所述第一透明电极层上形成有金属层

，所述金属层中形成有源漏极走线和触控线，所述源漏极走线与所述源漏极掺杂区电连接，所述触控线与所述第二透明电极层电连接。

[权利要求 14] 根据权利要求13所述的阵列基板，其中，所述阵列基板还包括平坦化层，所述平坦化层形成在于所述间绝缘层的表面。

[权利要求 15] 根据权利要求14所述的阵列基板，其中，所述第一透明电极层经图案化形成像素电极，所述第二透明电极层经过图案化形成公共电极。

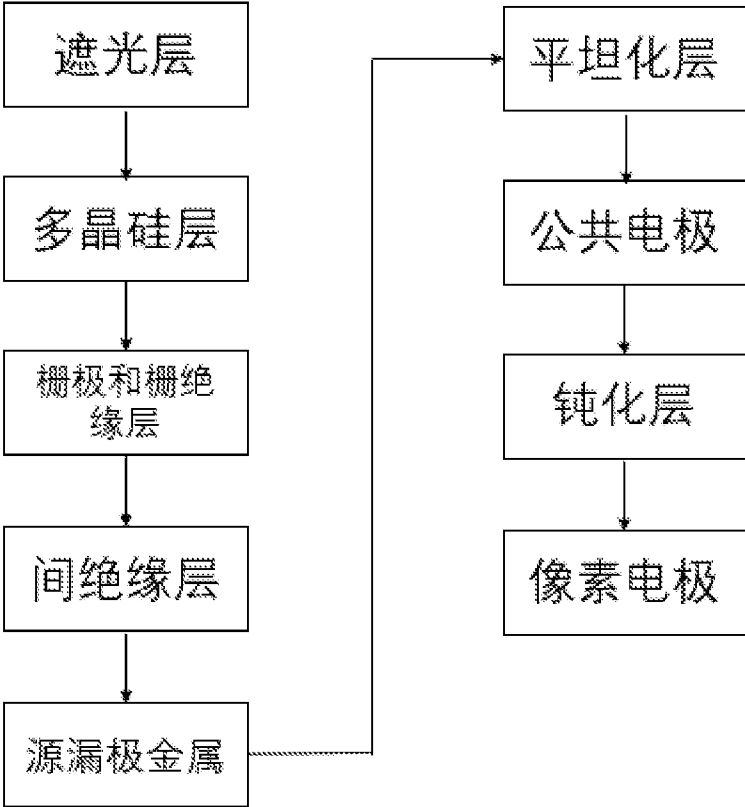


图 1

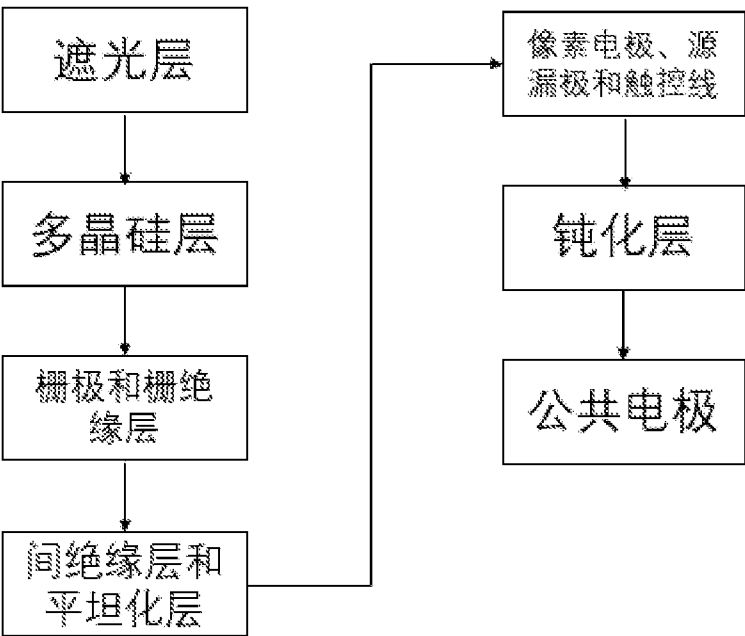


图 2

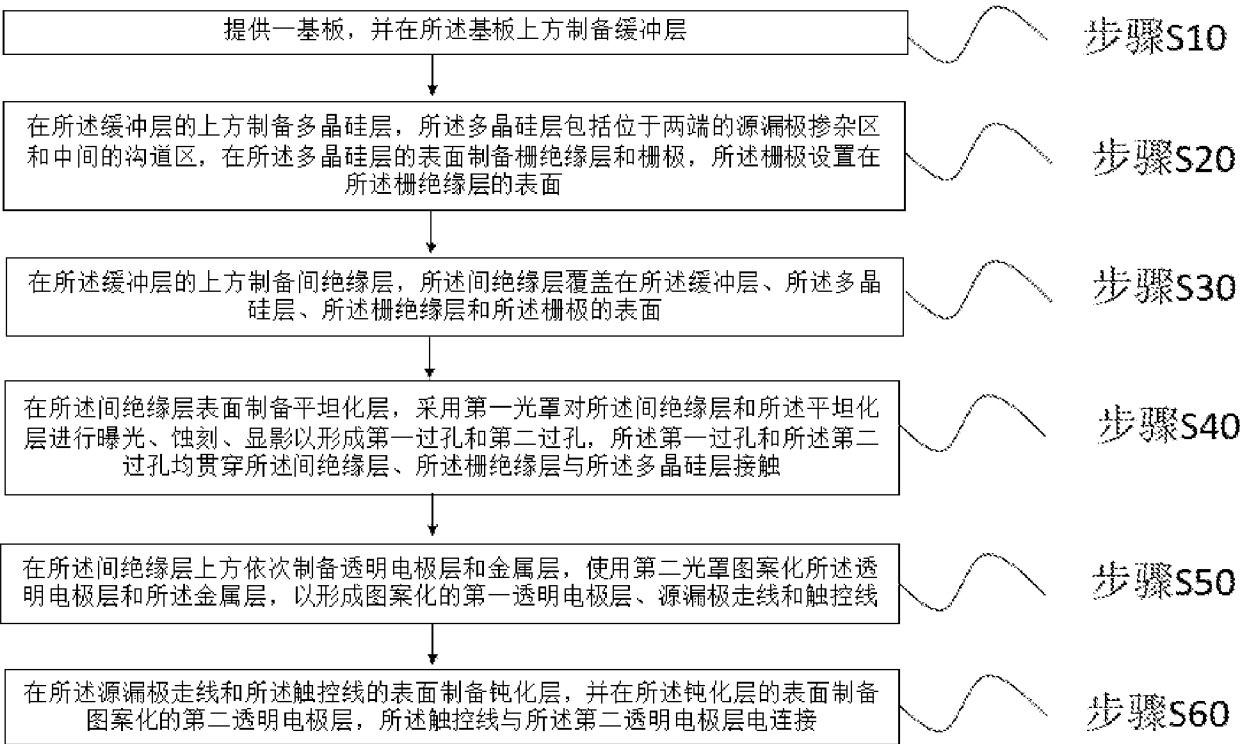


图 3

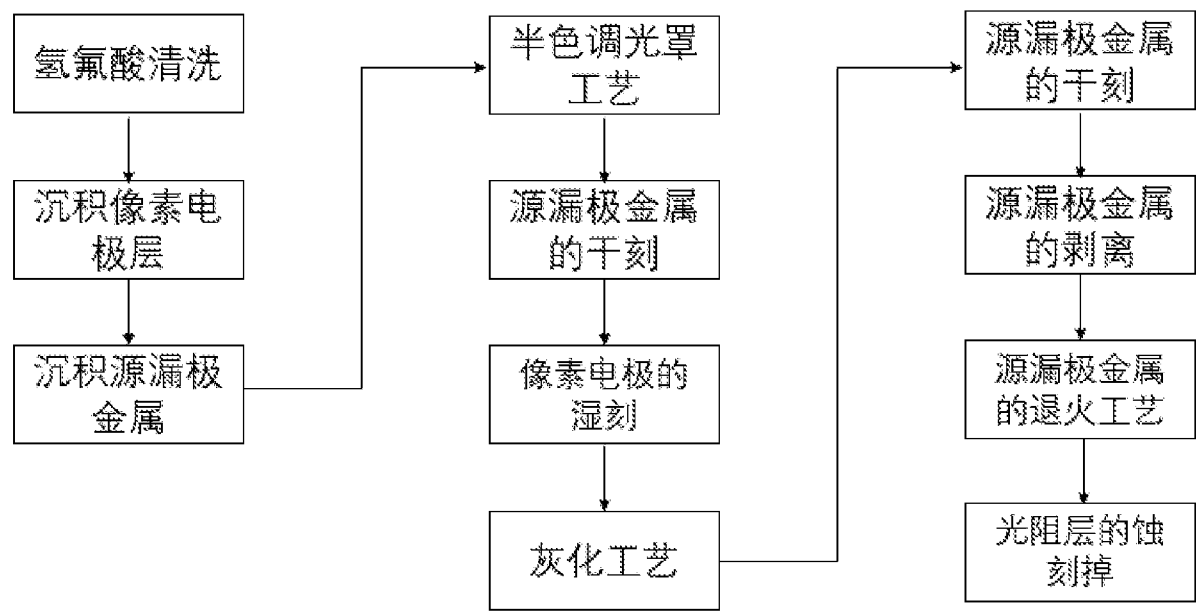


图 4

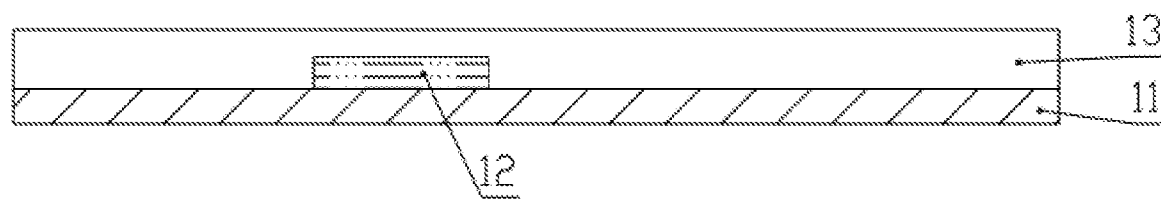


图 5a

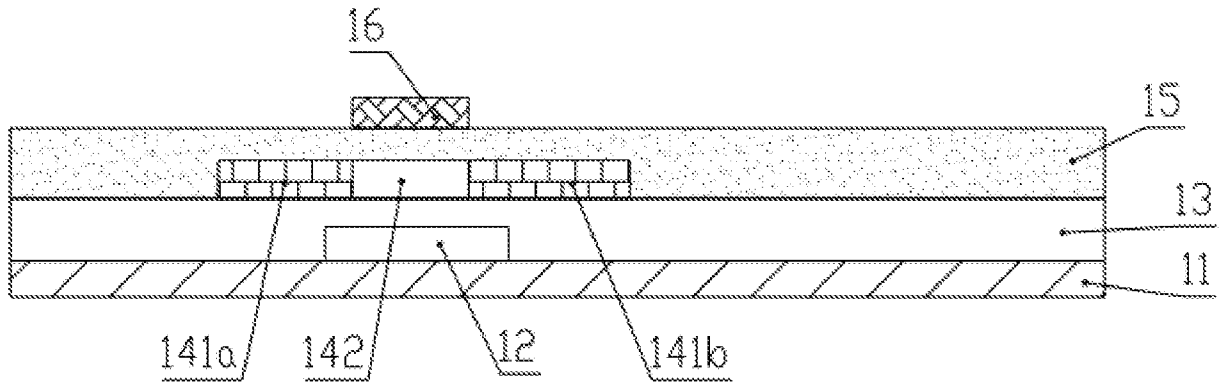


图 5b

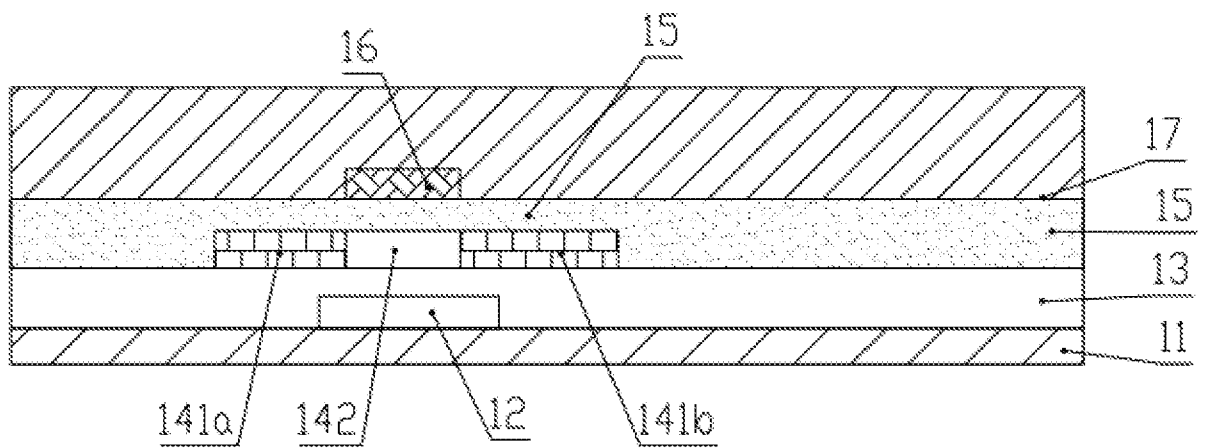


图 5c

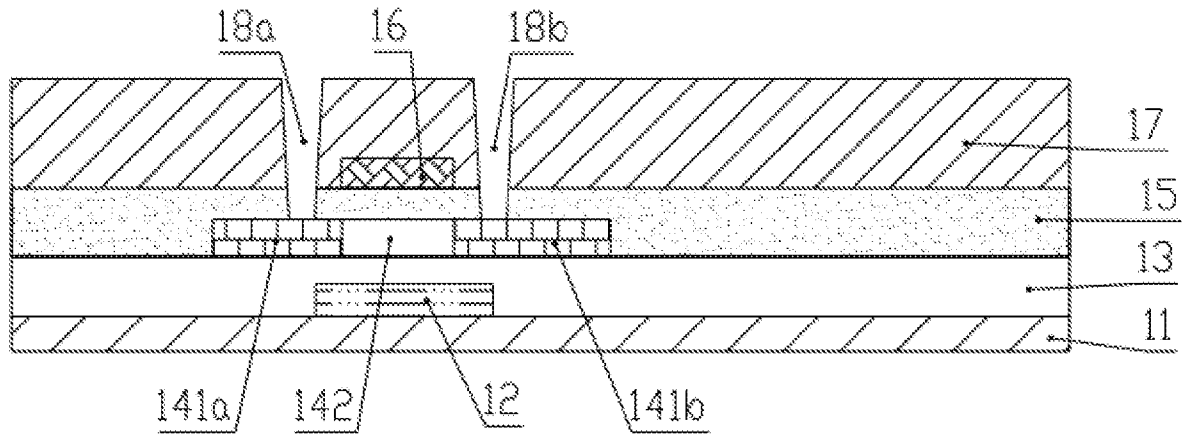


图 5d

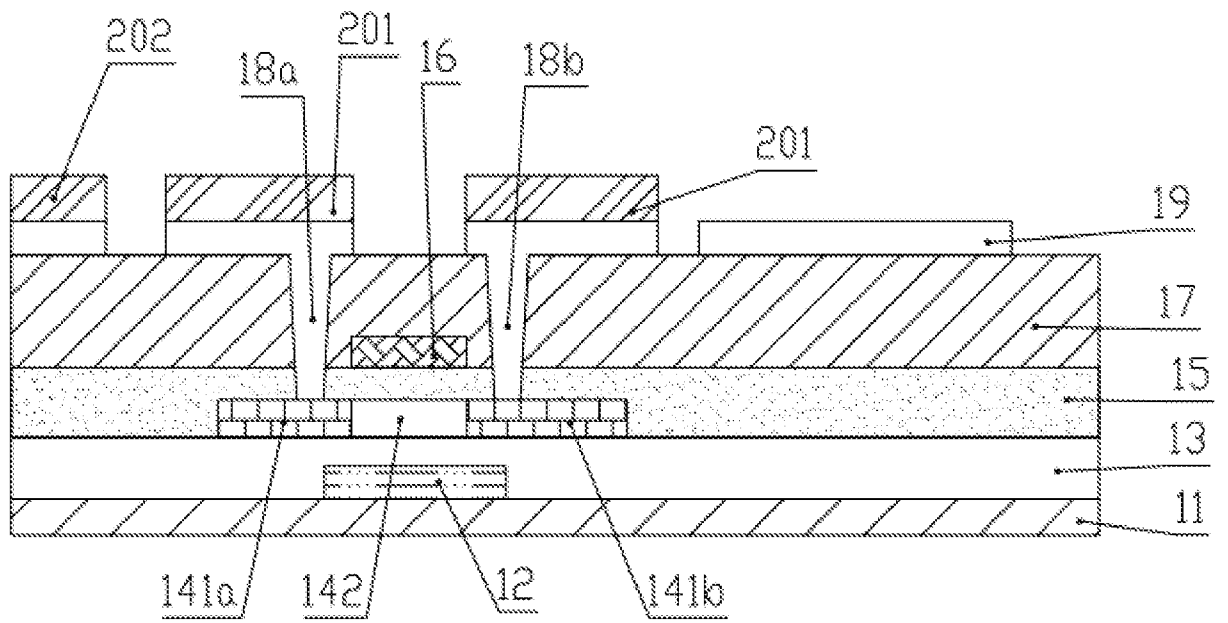


图 5e

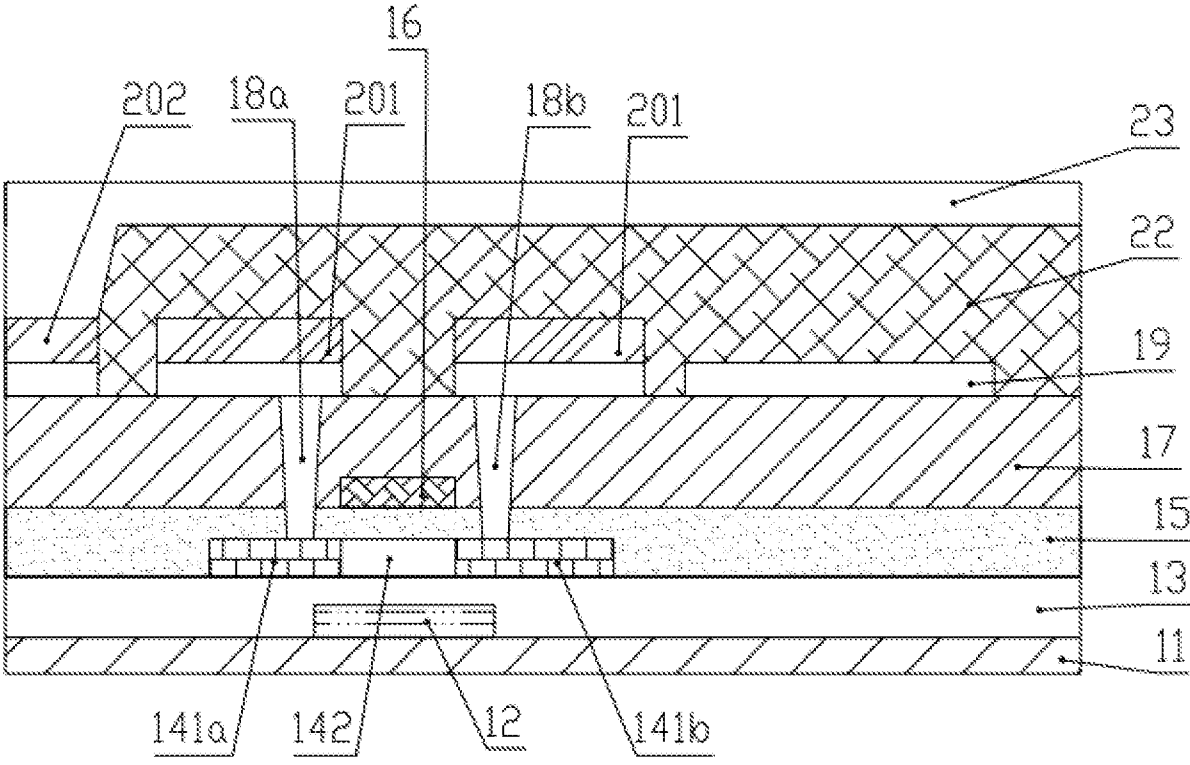


图 5f

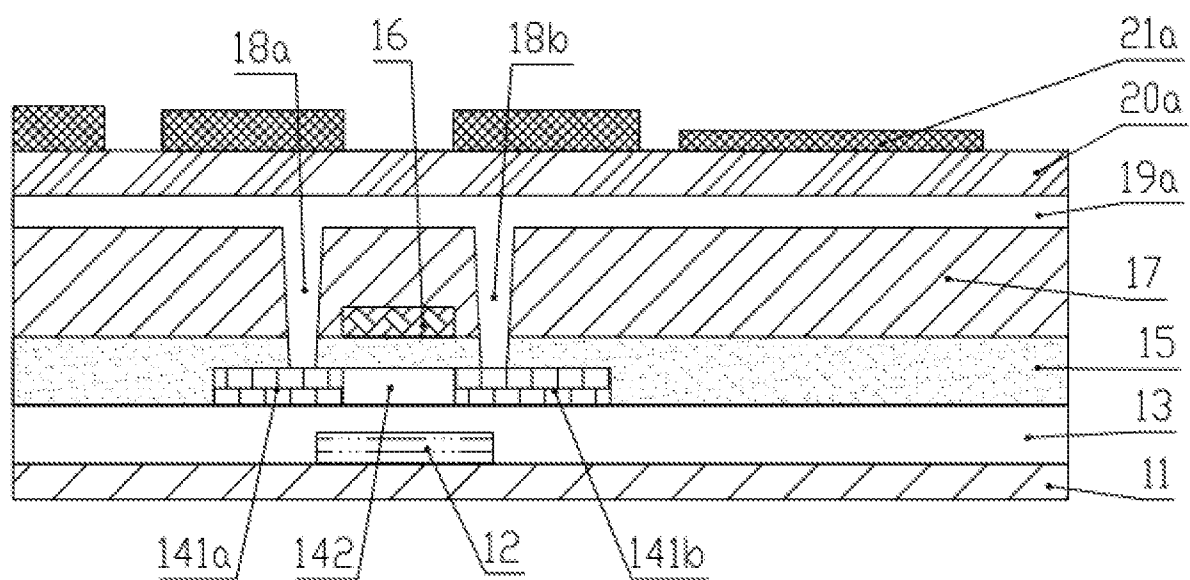


图 6a

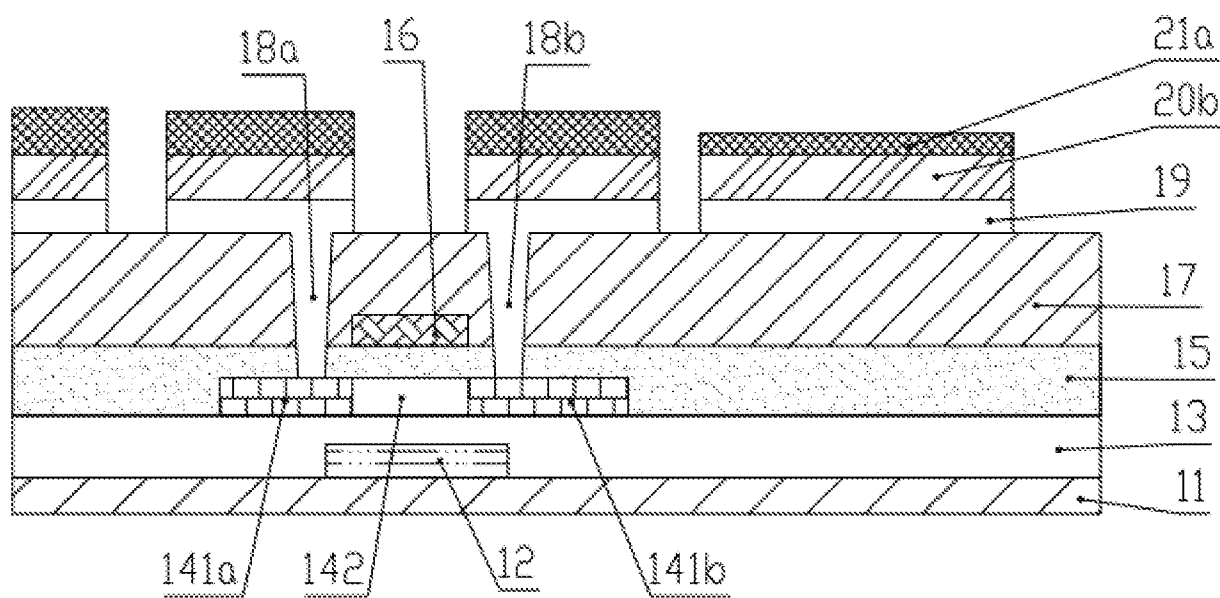


图 6b

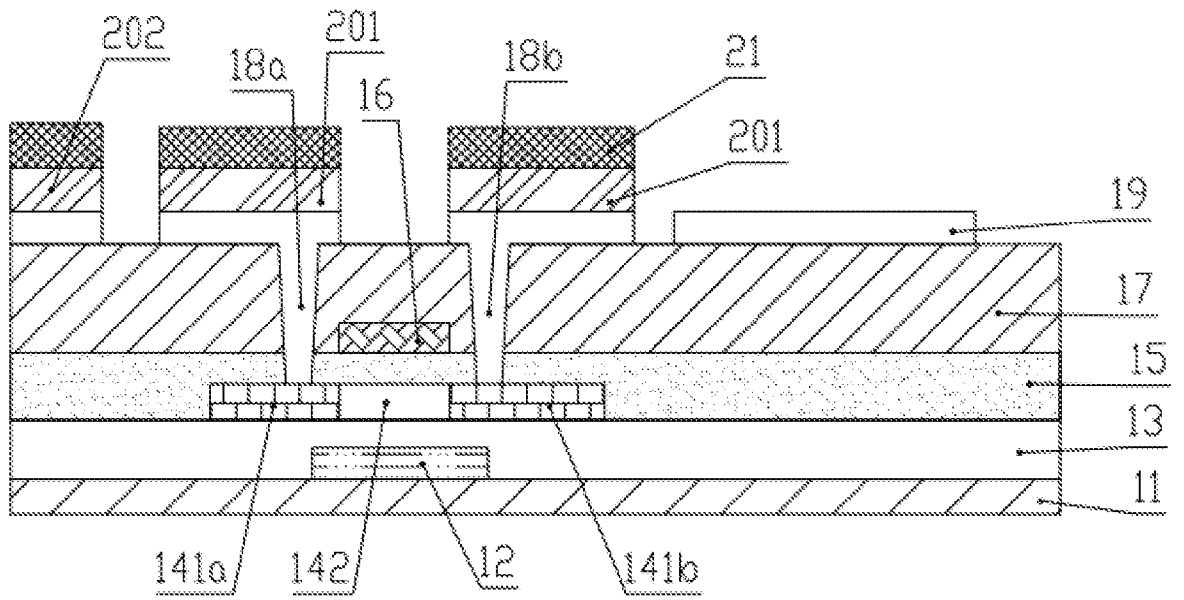


图 6c

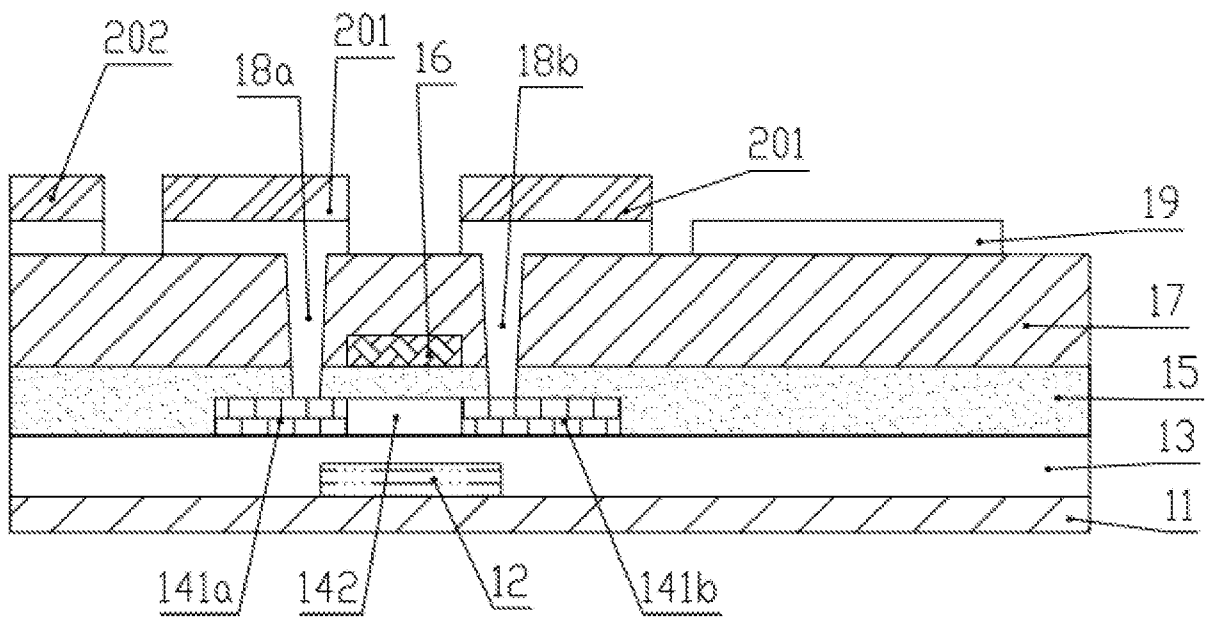


图 6d

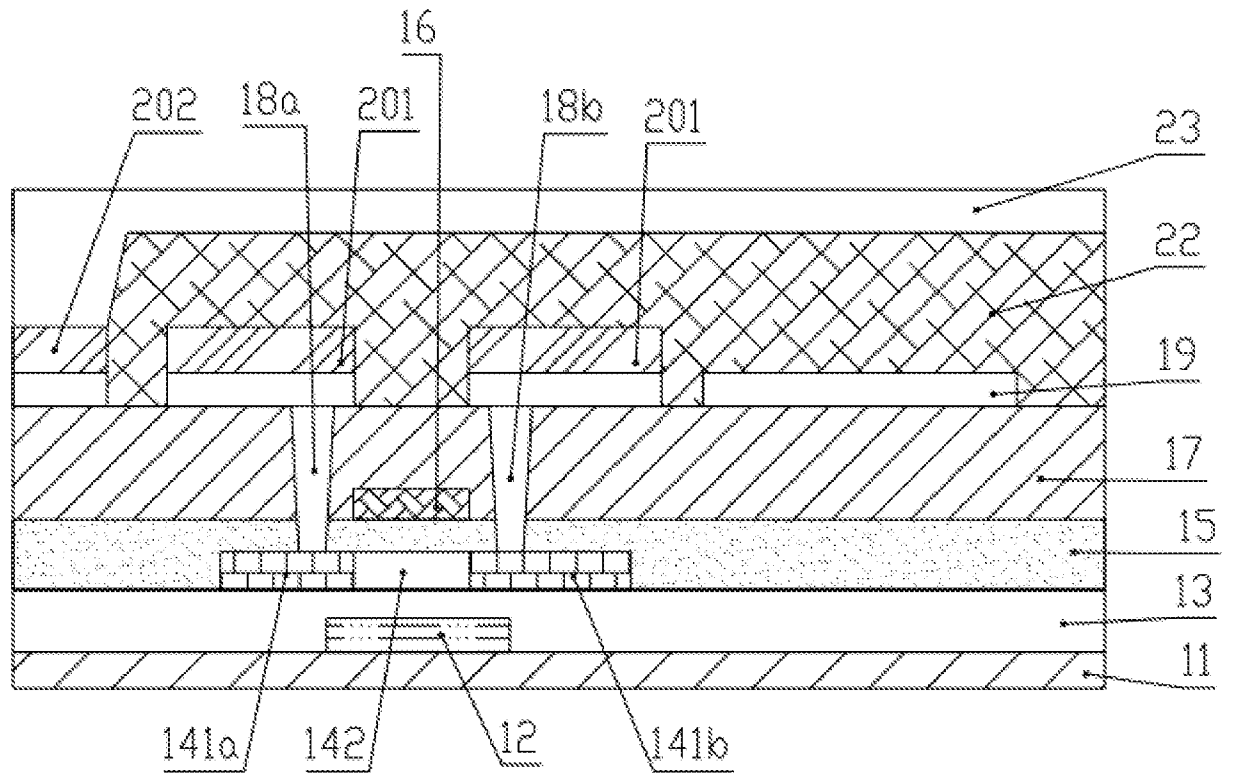


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/098025

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/84(2006.01)i; H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; CNABS; DWPI; SIPOABS; CNKI: 光敏, 光阻, 光致抗蚀剂, 平坦层, 平坦化层, 光罩, 制程, 数量, 一次, 同步, 构图, PR, photo sensitive, photoresist, mask, reduce

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 106601778 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 26 April 2017 (2017-04-26) description, paragraphs [0061]-[0123], and figures 2-15	1-15
Y	CN 105336684 A (BOE TECHNOLOGY GROUP CO., LTD.) 17 February 2016 (2016-02-17) description, paragraphs [0041]-[0057], and figures 7a-7g	1-15
A	CN 103681690 A (SAMSUNG DISPLAY CO., LTD.) 26 March 2014 (2014-03-26) entire document	1-15
A	US 8597427 B2 (SEMICONDUCTOR ENERGY LABORATORIES CO., LTD.) 03 December 2013 (2013-12-03) entire document	1-15

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 November 2018

Date of mailing of the international search report

07 December 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/098025

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106601778	A	26 April 2017	WO	2018120365	A1	05 July 2018
				US	20180226458	A1	09 August 2018
CN	105336684	A	17 February 2016	None			
CN	103681690	A	26 March 2014	EP	2706575	B1	05 April 2017
				JP	2014053590	A	20 March 2014
				US	2014061632	A1	06 March 2014
				EP	2706575	A1	12 March 2014
				KR	20140032155	A	14 March 2014
US	8597427	B2	03 December 2013	US	2009004872	A1	01 January 2009

国际检索报告

国际申请号

PCT/CN2018/098025

A. 主题的分类

H01L 21/84(2006.01)i; H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT;CNABS;DWPI;SIPOABS;CNKI: 光敏, 光阻, 光致抗蚀剂, 平坦层, 平坦化层, 光罩, 制程, 数量, 一次, 同步, 构图, PR, photo sensitive, photoresist, mask, reduce

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 106601778 A (深圳市华星光电技术有限公司) 2017年 4月 26日 (2017 - 04 - 26) 说明书第[0061]-[0123]段, 图2-15	1-15
Y	CN 105336684 A (京东方科技集团股份有限公司) 2016年 2月 17日 (2016 - 02 - 17) 说明书第[0041]-[0057]段, 图7a-7g	1-15
A	CN 103681690 A (三星显示有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-15
A	US 8597427 B2 (SEMICONDUCTOR ENERGY LAB) 2013年 12月 3日 (2013 - 12 - 03) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 11月 13日

国际检索报告邮寄日期

2018年 12月 7日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

张弓

传真号 (86-10)62019451

电话号码 (86-512) 88995669

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/098025

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106601778	A	2017年 4月 26日	WO	2018120365	A1	2018年 7月 5日
				US	20180226458	A1	2018年 8月 9日
CN	105336684	A	2016年 2月 17日	无			
CN	103681690	A	2014年 3月 26日	EP	2706575	B1	2017年 4月 5日
				JP	2014053590	A	2014年 3月 20日
				US	2014061632	A1	2014年 3月 6日
				EP	2706575	A1	2014年 3月 12日
				KR	20140032155	A	2014年 3月 14日
US	8597427	B2	2013年 12月 3日	US	2009004872	A1	2009年 1月 1日