

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022年4月7日 (07.04.2022)

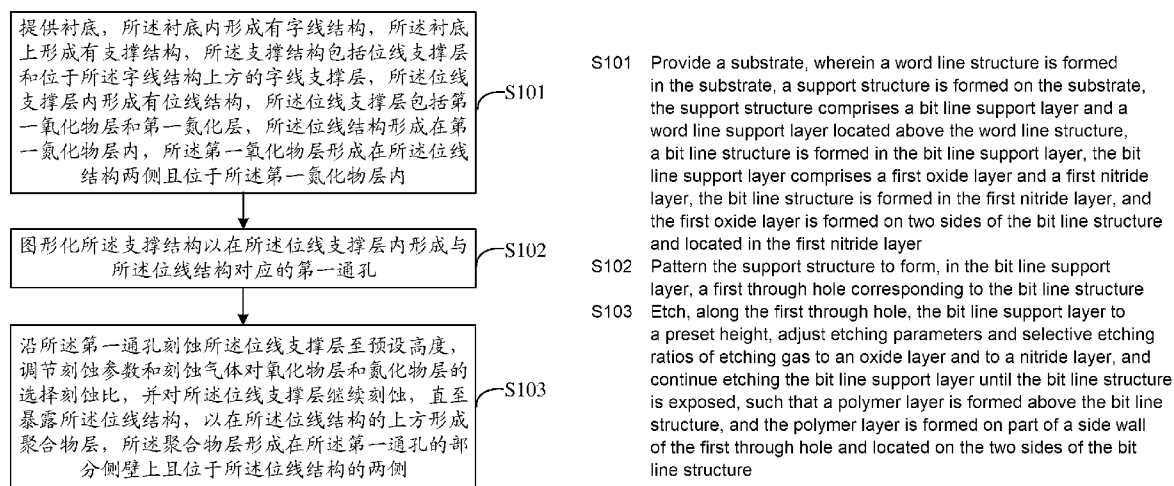


(10) 国际公布号
WO 2022/068266 A1

- (51) 国际专利分类号:
H01L 27/108 (2006.01)
- (21) 国际申请号: PCT/CN2021/100206
- (22) 国际申请日: 2021年6月15日 (15.06.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202011049179.1 2020年9月29日 (29.09.2020) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。
- (72) 发明人: 孙玉乐 (SUN, Yule); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR DEVICE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 半导体器件及其制备方法



(57) Abstract: A semiconductor device and a preparation method therefor. The preparation method comprises: providing a substrate (1), wherein a word line structure (4) is formed in the substrate (1), a bit line support layer (3) comprises a first oxide layer (32) and a first nitride layer (31), a bit line structure (2) is formed in the first nitride layer (31), and the first oxide layer (32) is formed on two sides of the bit line structure (2) and located in the first nitride layer (31); patterning a support structure to form, in the bit line support layer (3), a first through hole (71) corresponding to the bit line structure (2); and etching, along the first through hole (71), the bit line support layer (3) to a preset height, adjusting etching parameters and selective etching ratios of etching gas to the oxide layer and to the nitride layer, and continuing etching the bit line support layer (3) until the bit line structure (2) is exposed, such that a polymer layer (6) is formed above the bit line structure (2), the polymer layer (6) being formed on part of a side wall of the first through hole (71) and located on the two sides of the bit line structure (2).

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种半导体器件及其制备方法, 制备方法包括: 提供衬底(1), 衬底(1)内形成有字线结构(4), 位线支撑层(3)包括第一氧化物层(32)和第一氮化物层(31), 位线结构(2)形成在第一氮化物层(31)内, 第一氧化物层(32)形成在所述位线结构(2)两侧且位于第一氮化物层(31)内; 图形化支撑结构以在位线支撑层(3)内形成与位线结构(2)对应的第一通孔(71); 沿第一通孔(71)刻蚀位线支撑层(3)至预设高度, 调节刻蚀参数和刻蚀气体对氧化物层和氮化物层的选择刻蚀比, 并对位线支撑层(3)继续刻蚀, 直至暴露位线结构(2), 以在位线结构(2)的上方形成聚合物层(6), 聚合物层(6)形成在第一通孔(71)的部分侧壁上且位于位线结构(2)的两侧。

半导体器件及其制备方法

相关申请的交叉引用

本申请基于申请号为 202011049179.1、申请日为 2020 年 09 月 29 日、申请名称为“半导体器件及其制备方法”的中国专利申请提出，并要求该中国专利申请的优先权，
5 该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本申请涉及半导体技术领域，具体涉及一种半导体器件及其制备方法。

背景技术

动态随机存取存储器（Dynamic Random Access Memory，DRAM）结构单元包括
10 逻辑电路区和存储电荷的单元（cell）区。一方面，随着几何尺寸按照摩尔定律不断减小，连接电路的接触电阻也在不断增大，为了保证低连接电阻的同时，还需提高晶体管区与电容区的高电性连接。另一方面，随着电路接触点在不断的减小，以及在蚀刻过程受到副产物的影响，很难控制连接电路的接触处的外形轮廓。

发明内容

15 本申请实施例在于提供一种半导体器件的制备方法，能够控制位线接触点的外形轮廓，提高电连接效果。

为解决上述技术问题，本申请实施例中提供了一种半导体器件的制备方法，包括：
提供衬底，所述衬底内形成有字线结构，所述衬底上形成有支撑结构，所述支撑结构
包括位线支撑层和位于所述字线结构上方的字线支撑层，所述位线支撑层内形成有位
20 线结构，所述位线支撑层包括第一氧化物层和第一氮化物层，所述位线结构形成在第一
氮化物层内，所述第一氧化物层形成在所述位线结构两侧且位于所述第一氮化物层
内；图形化所述支撑结构以在所述位线支撑层内形成与所述位线结构对应的第一通孔；
沿所述第一通孔刻蚀所述位线支撑层至预设高度，调节刻蚀参数和刻蚀气体对氧化物
层和氮化物层的选择刻蚀比，并对所述位线支撑层继续刻蚀，直至暴露所述位线结构，
25 以在所述位线结构的上方形成聚合物层，所述聚合物层形成在所述第一通孔的部分侧

壁上且位于所述位线结构的两侧。

根据本申请的一些实施例，所述字线支撑层包括层叠设置的第二氮化物层、第二氧化物层和第三氮化物层，在图形化所述支撑结构以在所述位线支撑层内形成与所述位线结构对应的第一通孔的步骤中，同时在所述位线支撑层内形成与所述字线结构对应的第二通孔以暴露所述第二氧化物层。

在本申请的一些实施例中，在图形化所述支撑结构以在所述位线支撑层内形成与所述位线结构对应的第一通孔步骤中，采用第一刻蚀气体对所述支撑结构进行刻蚀，所述第一刻蚀气体对氧化物层和氮化物层的刻蚀选择比为 0.1 至 0.5。

在本申请的一些实施例中，在沿所述第一通孔刻蚀所述位线支撑层至预设高度步骤中，包括同时沿所述第二通孔对所述第二氧化物层刻蚀，此步骤中采用第二刻蚀气体对第二氧化物层和所述位线支撑层进行刻蚀。

在本申请的一些实施例中，在调节刻蚀参数和刻蚀气体对氧化物层和氮化物层的选择刻蚀比，并对所述位线支撑层继续刻蚀，直至暴露所述位线结构的步骤中包括：采用第三刻蚀气体并调节刻蚀参数沿所述第一通孔和所述第二通孔继续刻蚀至暴露所述字线结构和所述位线结构。

在本申请的一些实施例中，所述第二刻蚀气体对氮化物层和氧化物层的刻蚀选择比为 0.5 至 0.8。

在本申请的一些实施例中，所述第三刻蚀气体对氮化物层和氧化物层的刻蚀选择比为 1.2 至 1.5。

在本申请的一些实施例中，所述刻蚀参数为刻蚀偏压，所述刻蚀偏压的功率为 700W（瓦）至 1100W。

在本申请的一些实施例中，在图形化所述支撑结构以在所述位线支撑层内形成与所述位线结构对应的第一通孔的步骤进一步包括：在所述支撑结构上形成掩膜层及光阻层；图形化所述光阻层，使得所述第一通孔和所述第二通孔区域的光阻层被去除；将所述光阻层的图案转移到所述掩膜层，形成图形化的掩膜层；以所述掩膜层为掩膜，去除部分所述支撑结构以形成所述第一通孔和所述第二通孔。

在本申请的一些实施例中，还包括以下步骤，于所述第一通孔内填充形成位线接触点，于所述第二通孔内填充形成字线接触点。

在本申请的一些实施例中，在于所述第一通孔内填充形成位线接触点，于所述第二通孔内填充形成字线接触点之后执行以下步骤；去除所述光阻层和所述掩膜层。

本申请实施例还提出了一种半导体器件，包括：衬底；字线结构，所述字线结构形成在所述衬底内；位线结构，所述位线结构形成在所述衬底上且跨越所述字线结构；支撑结构，所述支撑结构形成在所述衬底上且包括位线支撑层和字线支撑层，所述位线支撑层包括第一氧化物层和第一氮化物层，所述位线结构形成在第一氮化物层内，
5 所述第一氧化物层形成在所述位线结构两侧且位于所述第一氮化物层内，所述字线支撑层包括层叠设置的第二氮化物层、第二氧化物层和第三氮化物层，所述第二氧化物层形成在第二氮化物层和第三氮化物层之间，所述位线支撑层内形成有第一通孔以暴露所述位线结构，所述字线支撑层内形成有第二通孔以暴露所述字线结构；聚合物层，
10 所述聚合物层形成在所述第一通孔内且形成在所述第一氧化层上方的所述第一通孔的部分侧壁上。

在本申请的一些实施例中，所述聚合物层的内壁面形成为由所述第一通孔的侧壁朝向所述位线结构的侧壁的倾斜面。

在本申请的一些实施例中，所述倾斜面形成为阶梯状面或弧形面。

在本申请的一些实施例中，所述半导体器件还包括位线接触点和字线接触点，所述位线接触点填充形成在所述第一通孔内，所述字线接触点填充形成在所述第二通孔内。
15

附图说明

图 1 为根据本申请实施例的半导体器件的制备方法的实现流程图；

图 2、图 4、图 6、图 8 以及图 10、图 12 为根据本申请实施例的半导体器件的制备方法的各步骤的沿第一方向的剖面图；
20

图 3、图 5、图 7、图 9 以及图 11、图 13 为根据本申请实施例的半导体器件的制备方法的各步骤的沿第二方向的剖面图。

附图标记：

100：半导体器件；

25 1：衬底；

2：位线结构，21：位线导电层，22：位线多晶硅层；

3：位线支撑层，31：第一氮化物层，32：第一氧化物层；

4：字线结构，

5：字线支撑层，51：第二氮化物层，52：第二氧化物层，53：第三氮化物层；

6: 聚合物层;

71: 第一通孔, 72: 第二通孔, 73: 位线接触点, 74: 字线接触点;

81: 第一掩膜层, 82: 光阻层, 83: 第二掩膜层。

具体实施方式

5 以下结合附图和具体实施方式对本申请实施例提出的一种半导体器件的制备方法作进一步详细说明。

下面参考附图描述根据本申请实施例的半导体器件的制备方法。

如图 1 所示, 本申请实施例的半导体器件的制备方法可以包括以下步骤:

步骤 S101: 提供衬底, 所述衬底内形成有字线结构, 所述衬底上形成有支撑结构,
10 所述支撑结构包括位线支撑层和位于所述字线结构上方的字线支撑层, 所述位线支撑层内形成有位线结构, 所述位线支撑层包括第一氧化物层和第一氮化物层, 所述位线结构形成在第一氮化物层内, 所述第一氧化物层形成在所述位线结构两侧且位于所述第一氮化物层内;

步骤 S102: 图形化所述支撑结构以在所述位线支撑层内形成与所述位线结构对应的
15 的第一通孔;

步骤 S103: 沿所述第一通孔刻蚀所述位线支撑层至预设高度, 调节刻蚀参数和刻蚀气体对氧化物层和氮化物层的选择刻蚀比, 并对所述位线支撑层继续刻蚀, 直至暴露所述位线结构, 以在所述位线结构的上方形成聚合物层, 所述聚合物层形成在所述第一通孔的部分侧壁上且位于所述位线结构的两侧。

20 如图 2 至图 13 所示为根据本发明申请实施例各步骤的半导体器件的剖面图。其中图 2、图 4、图 6、图 8、图 10 以及图 12 为根据本发明申请实施例的半导体器件 100 的制备方法的各步骤的沿第一方向的剖面图, 图 3、图 5、图 7、图 9、图 11 以及图 13 为根据本发明实施例的半导体器件 100 的制备方法的各步骤的沿第二方向的剖面图。

25 如图 2、3 和 10 所示, 提供衬底 1, 所述衬底 1 内形成有字线结构 4, 所述衬底 1 上形成有支撑结构, 所述支撑结构包括位线支撑层 3 和位于字线结构 4 上方的字线支撑层 5, 所述位线支撑层 3 内形成有位线结构 2, 所述位线支撑层 3 包括第一氧化物层 32 和第一氮化物层 31, 所述位线结构 2 形成在第一氮化物层 31 内, 所述第一氧化物层 32 形成在所述位线结构 2 两侧且位于所述第一氮化物层 31 内;

图形化所述支撑结构以在所述位线支撑层 3 内形成与所述位线结构 2 对应的第一通孔 71;

沿所述第一通孔 71 刻蚀所述位线支撑层 3 至预设高度, 调节刻蚀参数和刻蚀气体对氧化物层和氮化物层的选择刻蚀比, 并对所述位线支撑层 3 继续刻蚀, 直至暴露
5 所述位线结构 2, 以在所述位线结构 2 的上方形成聚合物层 6, 所述聚合物层 6 形成在所述第一通孔 71 的部分侧壁上且位于所述位线结构 2 的两侧。

如图 2 和图 3 所示, 提供一衬底 1, 在衬底 1 中形成多个有源区, 并形成多条贯穿有源区的字线沟槽, 对沟槽进行电介质和导线的填充以形成字线结构 4, 位线结构 2 形成在衬底 1 上且跨越字线结构 4。

10 衬底 1 上形成有支撑结构, 支撑结构为由氧化物层和氮化物层堆叠形成的叠层结构, 其中氮化物层可以为氮化硅层, 氧化物层可以为氧化硅层。支撑结构可包括位线支撑层 3 和字线支撑层 5, 位线结构 2 形成在位线支撑层 3, 字线结构 4 形成在衬底 1 内, 字线支撑层 5 形成在字线结构 4 的上方。

如图 2 所示, 位线支撑层 3 可以包括第一氮化物层 31 和第一氧化物层 32, 第一
15 氧化物层 32 和第一氮化物层 31 均形成在衬底 1 上, 位线结构 2 形成在第一氮化物层 31 内, 第一氮化物层 31 包裹位线结构 2, 第一氧化物层 32 形成在第一氮化物层 31 内且形成在位线结构 2 侧面, 其中, 第一氧化物层 32 的上表面高于位线结构 2 的上表面且低于第一氮化物层 31 的上表面。位线结构 2 可以包括位线导电层 21 和位线多晶硅层 22, 位线导电层 21 位于位线多晶硅层 22 的上方, 位线导电层 21 的侧壁与位
20 线多晶硅层 22 的侧壁相平齐。

如图 3 所示, 字线结构 4 包括层叠设置的第二氮化物层 51、第二氧化物层 52 和第三氮化物层 53, 第三氮化物层 53 形成在字线结构 4 的上方。

结合图 2 和图 3 所示, 在支撑结构的上方形成有掩膜层和光阻层 82, 所述掩膜层可以包括第一掩膜层 81 和第二掩膜层 83, 第一掩膜层 81、第二掩膜层 83、光阻层 82
25 依次形成在支撑结构表面, 第一掩膜层 81 可以为碳层, 第二掩膜层 83 可以为硬掩膜层例如氮化物层等, 光阻层 82 为光刻胶层, 可通过旋涂工艺形成在第二掩膜层 83 表面。

如图 4 和图 5 所示, 图形化光阻层 82, 对应使得第一通孔 71 和第二通孔 72 区域的光阻层 82 被去除, 通过光阻层 82 定义出第一通孔 71 和第二通孔 72 的位置, 将光
30 阻层 82 的图案转移到掩膜层内并形成贯穿掩膜层的孔洞以形成图形化的掩膜层, 这

样可以掩膜层为掩膜，对支撑结构进行图形处理以便于在位线支撑层 3 内形成第一通孔 71，于字线支撑层 5 内形成第二通孔 72。

结合图 6 至图 13 所示，图形化支撑结构以用于填充形成接触电路例如位线接触点 73 和字线接触点 74，其中图形化支撑结构的步骤可以分步进行，以使得刻蚀过程中能够同时刻蚀至位线结构 2 和字线结构 4，并能够控制改善形成的位线接触点 73 的外部轮廓，以便于位线接触点 73 的形成和电连接。

其中图形化支撑结构以填充形成接触电路包括以下步骤：

如图 6 和图 7 所示，图形化支撑结构以在位线支撑层 3 内形成与位线结构 2 对应的第一通孔 71，同时在字线支撑层 5 内形成与字线结构 4 位置对应的第二通孔 72 以暴露第二氧化物层 52，在此步骤中可采用第一刻蚀气体对位线支撑层 3 和字线支撑层 5 进行刻蚀。第一刻蚀气体对氧化物层和氮化物层的选择刻蚀比为 0.1 至 0.5。即在同一刻蚀条件下，第一刻蚀气体对氧化物和氮化物的刻蚀速率不同，氧化物层与氮化物层的刻蚀选择比大于等于 0.1 且小于等于 0.5，在此步骤中第一刻蚀气体对氮化物的刻蚀效率比对氧化物的刻蚀效率较快。

在本申请的一些实施例中，第二氮化物层 51 和部分第一氮化物层 31 形成在支撑结构的上部，此步骤刻蚀时主要用于对支撑结构的氮化物层进行刻蚀，因此采用对氮化物刻蚀速率较快的第一刻蚀气体，能够加快对位线支撑层 3 和字线支撑层 5 上部的氮化物层的刻蚀速率，从而能够增加刻蚀效率，减小刻蚀时间，第二氮化物层 51 下方为第二氧化物层 52，由于待刻蚀材料变化，可调节刻蚀气体改变对氧化物和氮化物的刻蚀选择比。

在一些实施例中，在沿所述第一通孔 71 刻蚀所述位线支撑层 3 至预设高度的步骤中，包括同时沿所述第二通孔 72 对所述第二氧化物层 52 刻蚀，此步骤中采用第二刻蚀气体对第二氧化物层 52 和所述位线支撑层 3 进行刻蚀。

在另一些可能的实施方式中，在沿所述第一通孔 71 刻蚀所述位线支撑层 3 至预设高度步骤中，包括采用第二刻蚀气体沿所述第一通孔 71 刻蚀所述位线支撑层 3 至预设高度；同时采用所述第二刻蚀气体沿所述第二通孔 72 对所述第二氧化物层 52 进行刻蚀。

如图 8 和图 9 所示，位线结构 2 的上表面高于字线结构 4 的上表面，为了能够同时刻蚀至位线结构 2 表面和字线结构 4 表面，通过调节刻蚀气体来改变对氧化物层和氮化物层的刻蚀选择比，使得字线结构 4 上方的第二氧化物层 52 刻蚀的更快，加快

字线支撑层 5 的刻蚀效率。

在本申请实施例中，在刻蚀支撑结构至暴露第二氧化物层 52 后，调节刻蚀气体，采用第二刻蚀气体对位线支撑层 3 和字线支撑层 5 进行刻蚀，直至沿第一通孔 71 刻蚀位线支撑层 3 至预设高度位置。其中，第二刻蚀气体对氮化物层和氧化物层的刻蚀选择比为 0.5 至 0.8，此步骤中第二刻蚀气体对氧化物的刻蚀效率大于对氮化物的刻蚀效率。结合图 8 和图 9 所示，当采用第二刻蚀气体将位线支撑层 3 刻蚀至预设高度后，第二刻蚀气体沿第二通孔 72 刻蚀第二氧化物层 52 至一定深度，此时第二通孔 72 的下表面低于第一通孔 71 的下表面，加快了字线支撑层 5 的刻蚀速率。

在一些实施例中，在调节刻蚀参数和刻蚀气体对氧化物层和氮化物层的选择刻蚀比，并对所述位线支撑层 3 继续刻蚀，直至暴露所述位线结构 2 的步骤中包括：采用第三刻蚀气体并调节刻蚀参数沿所述第一通孔 71 和所述第二通孔 72 继续刻蚀至暴露所述字线结构 4 和所述位线结构 2。

在另一些实施方式中，在调节刻蚀参数和刻蚀气体对氧化物层和氮化物层的选择刻蚀比，并对所述位线支撑层 3 继续刻蚀，直至暴露所述位线结构 2 的步骤中包括：调节刻蚀参数和刻蚀气体对氧化物层和氮化物层的选择刻蚀比，采用第三刻蚀气体沿所述第一通孔 71 继续刻蚀所述位线支撑层 3，直至暴露所述位线结构 2，和采用所述第三刻蚀气体沿所述第二通孔 72 继续刻蚀所述字线支撑层 5，直至暴露所述字线结构 4。

如图 10 和图 11 所示，调节刻蚀参数和刻蚀气体对氧化物层和氮化物层的选择刻蚀，继续沿第一通孔 71 和第二通孔 72 向下刻蚀，直至暴露字线结构 4 和位线结构 2，在此步骤中，可采用第三刻蚀气体分别对位线支撑层 3 和字线支撑层 5 进行刻蚀，第三刻蚀气体对氮化物层和氧化物层的选择刻蚀比为 1.2 至 1.5，也就是说，调节后第三刻蚀气体使得对氮化物的刻蚀速率大于氧化物的刻蚀速率，由此在位线支撑层 3 内对第一氮化物层 31 刻蚀速率大于对第一氧化物层 32 刻蚀速率快，从而容易在第一通孔 71 的侧壁上形成一定形状的聚合物层 6，从而可控制位线支撑层 3 内第一通孔 71 的侧壁轮廓，以便于控制并改善后续形成的位线接触点 73 的外形轮廓，提高位线接触点 73 的电连接性能。同时在字线支撑层 5 内刻蚀第二氧化物层 52 不容形成副产物，从而使得第二通孔 72 的侧壁轮廓较为平整，不易弯曲，以有利于后续字线接触点 74 的形成。其中，在此步骤调节刻蚀参数，所述刻蚀参数可以为刻蚀偏压，刻蚀偏压的功率可以为 700W 至 1100W，由此从而容易在第二通孔 72 的侧壁氮化物层形成具有

弯曲内壁面的聚合物层 6。同时在对字线支撑层 5 的氧化物层刻蚀时也不容易形成副产物，进而不容易形成曲面内壁，从而能够控制后续填充的字线接触点 74 的外部轮廓。

5 如图 12 和图 13 所示，于第一通孔 71 内填充形成位线接触点 73，于第二通孔 72 内填充形成字线接触点 74，位线接触点 73 与位线结构 2 电连接，字线接触点 74 与字线结构 4 电连接。在形成位线接触点 73 和字线接触点 74 之前，去除掩膜层和光阻层 82，并对支撑结构上方的掩膜层进行酸洗，以控制形成的位线接触点 73 和字线接触点 74 的外轮廓，提高位线接触点 73 和字线接触点 74 的电连接效果。

10 本申请实施例还提出了一种半导体器件 100，所述半导体器件 100 采用上述实施例的半导体器件 100 的制备方法形成。

如图 13 所示，根据本申请实施例的半导体器件 100 可以包括：衬底 1、字线结构 4、位线结构 2、支撑结构和聚合物层 6。

15 字线结构 4 形成在衬底 1 内，位线结构 2 形成在衬底 1 上且跨越字线结构 4；支撑结构，支撑结构形成在衬底 1 上且包括位线支撑层 3 和字线支撑层 5，位线支撑层 3 包括第一氧化物层 32 和第一氮化物层 31，位线结构 2 形成在第一氮化物层 31 内，第一氧化物层 32 形成在位线结构 2 两侧且位于第一氮化物层 31 内，字线支撑层 5 包括层叠设置的第二氮化物层 51、第二氧化物层 52 和第三氮化物层 53，第二氧化物层 52 形成在第二氮化物层 51 和第三氮化物层 53 之间，位线支撑层 3 内形成有第一通孔 71 以暴露位线结构 2，字线支撑层 5 内形成有第二通孔 72 以暴露字线结构 4；聚合物层 6，聚合物层 6 形成在第一通孔 71 内且形成在第一氧化层上方的第一通孔 71 的部分侧壁上。

在本申请的一些实施例中，聚合物层 6 的内壁面形成为由第一通孔 71 的侧壁朝向位线结构 2 的侧壁的倾斜面，进一步地，倾斜面形成为阶梯状面或弧形面。

25 如图 13 所示，半导体器件 100 还包括位线接触点 73 和字线接触点 74，位线接触点 73 填充形成在第一通孔 71 内，字线接触点 74 填充形成在第二通孔 72 内。

以上所述仅是本申请的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本申请原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本申请的保护范围。

权利要求书

1、一种半导体器件的制备方法，包括：

提供衬底，所述衬底内形成有字线结构，所述衬底上形成有支撑结构，所述支撑结构包括位线支撑层和位于所述字线结构上方的字线支撑层，所述位线支撑层内形成有位线结构，所述位线支撑层包括第一氧化物层和第一氮化物层，所述位线结构形成在第一氮化物层内，所述第一氧化物层形成在所述位线结构两侧且位于所述第一氮化物层内；

图形化所述支撑结构以在所述位线支撑层内形成与所述位线结构对应的第一通孔；

10 沿所述第一通孔刻蚀所述位线支撑层至预设高度，调节刻蚀参数和刻蚀气体对氧化物层和氮化物层的选择刻蚀比，并对所述位线支撑层继续刻蚀，直至暴露所述位线结构，以在所述位线结构的上方形成聚合物层，所述聚合物层形成在所述第一通孔的部分侧壁上且位于所述位线结构的两侧。

15 2、根据权利要求 1 所述的半导体器件的制备方法，其中，所述字线支撑层包括层叠设置的第二氮化物层、第二氧化物层和第三氮化物层，在图形化所述支撑结构以在所述位线支撑层内形成与所述位线结构对应的第一通孔的步骤中，同时在所述位线支撑层内形成与所述字线结构对应的第二通孔以暴露所述第二氧化物层。

20 3、根据权利要求 2 所述的半导体器件的制备方法，其中，在图形化所述支撑结构以在所述位线支撑层内形成与所述位线结构对应的第一通孔步骤中，采用第一刻蚀气体对所述支撑结构进行刻蚀，所述第一刻蚀气体对氧化物层和氮化物层的刻蚀选择比为 0.1 至 0.5。

4、根据权利要求 2 所述的半导体器件的制备方法，其中，在沿所述第一通孔刻蚀所述位线支撑层至预设高度步骤中，包括同时沿所述第二通孔对所述第二氧化物层刻蚀，此步骤中采用第二刻蚀体对第二氧化物层和所述位线支撑层进行刻蚀。

25 5、根据权利要求 2 所述的半导体器件的制备方法，其中，在调节刻蚀参数和刻蚀气体对氧化物层和氮化物层的选择刻蚀比，并对所述位线支撑层继续刻蚀，直至暴露所述位线结构的步骤中包括：采用第三刻蚀气体并调节刻蚀参数沿所述第一通孔和所述第二通孔继续刻蚀至暴露所述字线结构和所述位线结构。

6、根据权利要求 4 所述的半导体器件的制备方法，其中，所述第二刻蚀气体对

氮化物层和氧化物层的刻蚀选择比为 0.5 至 0.8。

7、根据权利要求 5 所述的半导体器件的制备方法，其中，所述第三刻蚀气体对氮化物层和氧化物层的刻蚀选择比为 1.2 至 1.5。

8、根据权利要求 5 所述的半导体器件的制备方法，其中，所述刻蚀参数为刻蚀偏压，所述刻蚀偏压功率为 700 瓦 W 至 1100W。

9、根据权利要求 2 至 8 任一项所述的半导体器件的制备方法，其中，在图形化所述支撑结构以在所述位线支撑层内形成与所述位线结构对应的第一通孔的步骤进一步包括：

在所述支撑结构上形成掩膜层及光阻层；

10 图形化所述光阻层，使得所述第一通孔和所述第二通孔区域的光阻层被去除；

将所述光阻层的图案转移到所述掩膜层，形成图形化的掩膜层；

以所述掩膜层为掩膜，去除部分所述支撑结构以形成所述第一通孔和所述第二通孔。

10、根据权利要求 9 所述的半导体器件的制备方法，其中，还包括以下步骤，于所述第一通孔内填充形成位线接触点，于所述第二通孔内填充形成字线接触点。

11、根据权利要求 9 所述的半导体器件的制备方法，其中，在于所述第一通孔内填充形成位线接触点，于所述第二通孔内填充形成字线接触点之后执行以下步骤；去除所述光阻层和所述掩膜层。

12、一种半导体器件，包括：

20 衬底；

字线结构，所述字线结构形成在所述衬底内；

位线结构，所述位线结构形成在所述衬底上且跨越所述字线结构；

25 支撑结构，所述支撑结构形成在所述衬底上且包括位线支撑层和字线支撑层，所述位线支撑层包括第一氧化物层和第一氮化物层，所述位线结构形成在第一氮化物层内，所述第一氧化物层形成在所述位线结构两侧且位于所述第一氮化物层内，所述字线支撑层包括层叠设置的第二氮化物层、第二氧化物层和第三氮化物层，所述第二氧化物层形成在第二氮化物层和第三氮化物层之间，所述位线支撑层内形成有第一通孔以暴露所述位线结构，所述字线支撑层内形成有第二通孔以暴露所述字线结构；

30 聚合物层，所述聚合物层形成在所述第一通孔内且形成在所述第一氧化层上方的所述第一通孔的部分侧壁上。

13、根据权利要求 12 所述的半导体器件，其中，所述聚合物层的内壁面形成为由所述第一通孔的侧壁朝向所述位线结构的侧壁的倾斜面。

14、根据权利要求 13 所述的半导体器件，其中，所述倾斜面形成为阶梯状面或弧形面。

5 15、根据权利要求 12 所述的半导体器件，其中，还包括位线接触点和字线接触点，所述位线接触点填充形成在所述第一通孔内，所述字线接触点填充形成在所述第二通孔内。

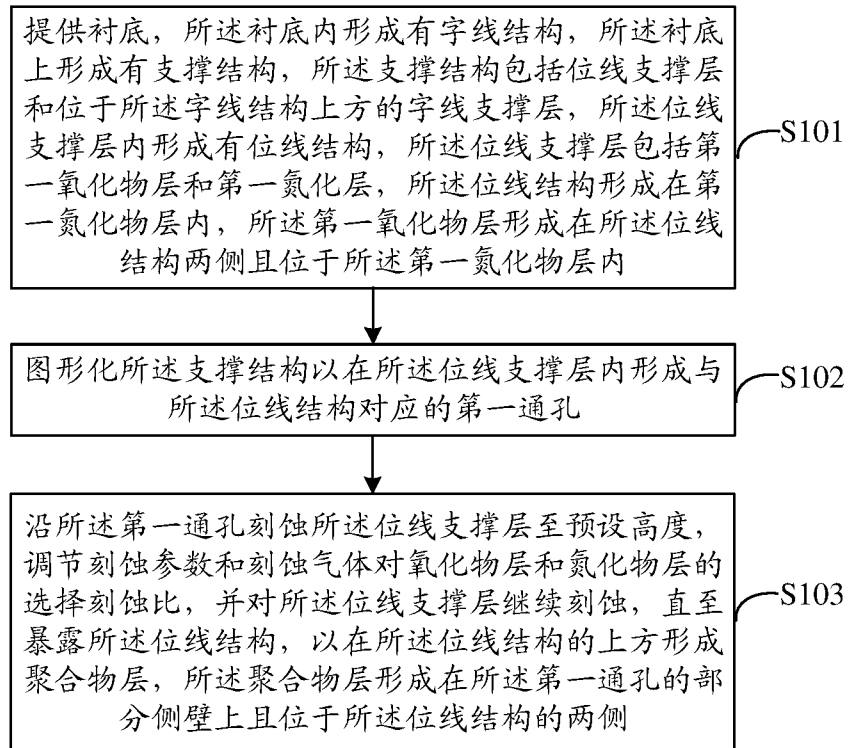


图 1

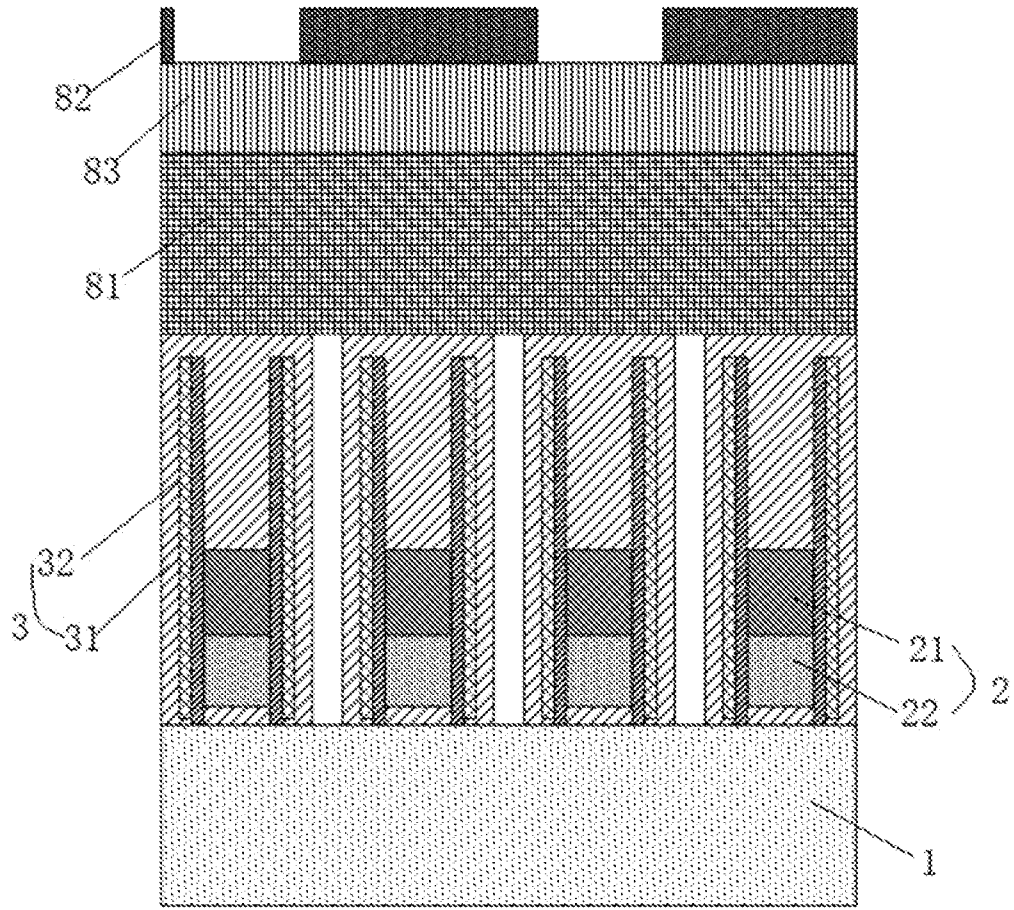


图 2

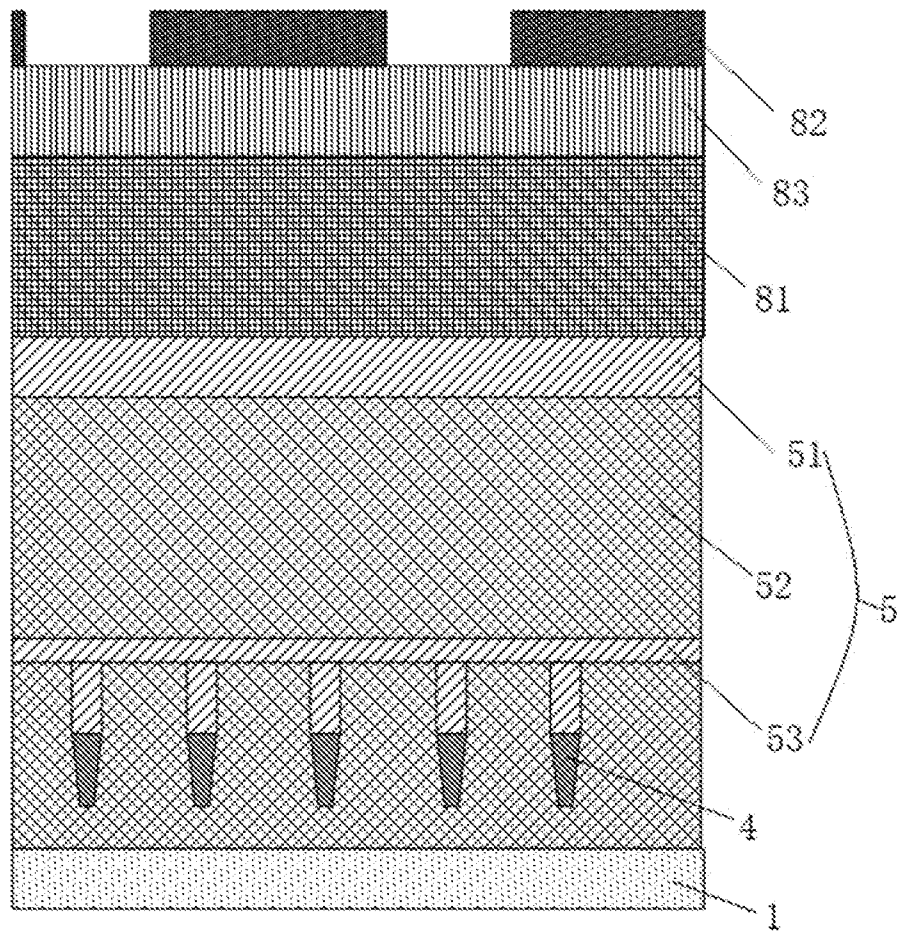


图 3

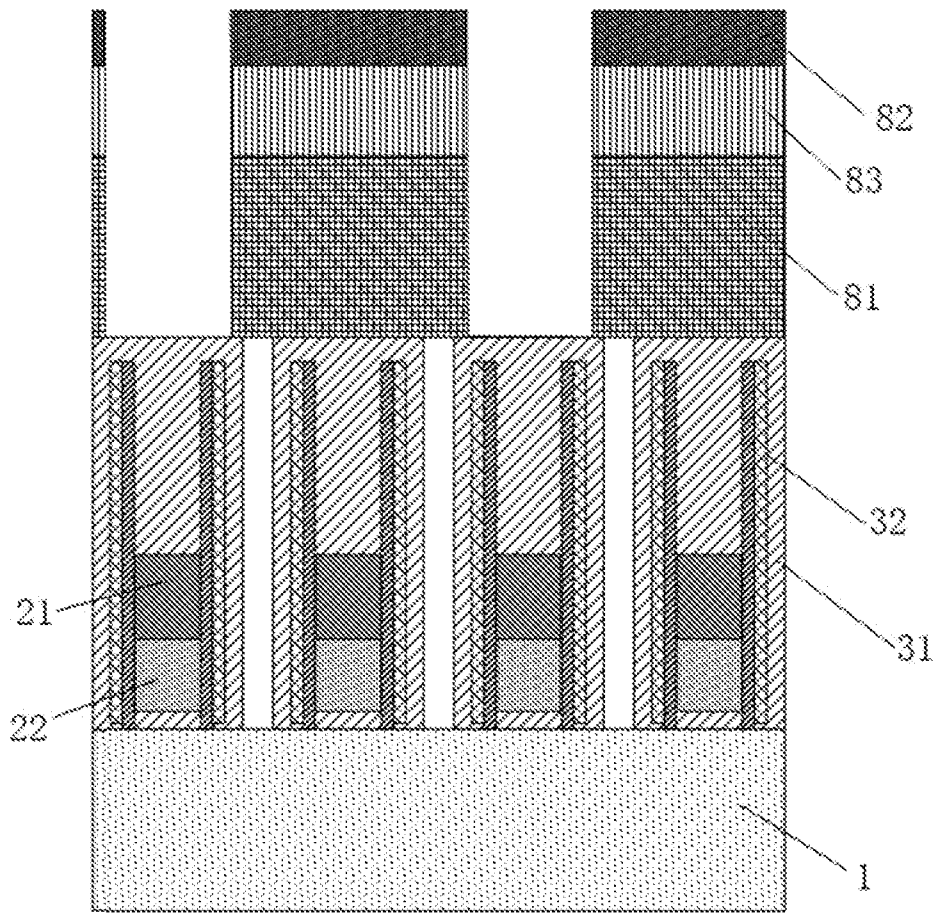


图 4

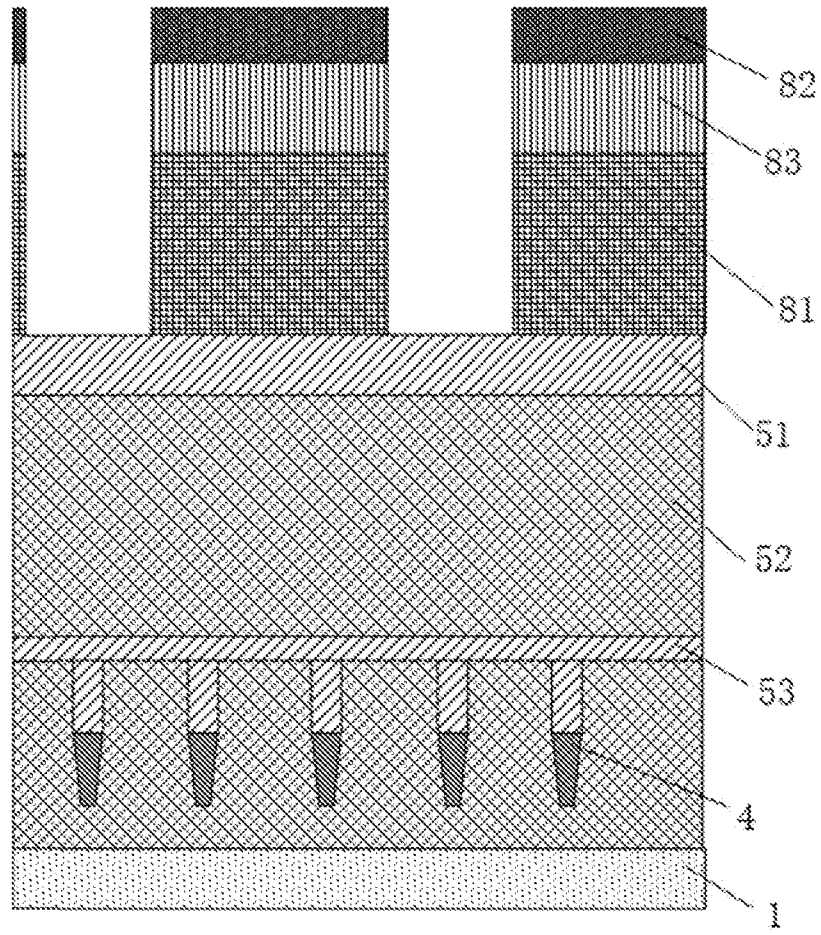


图 5

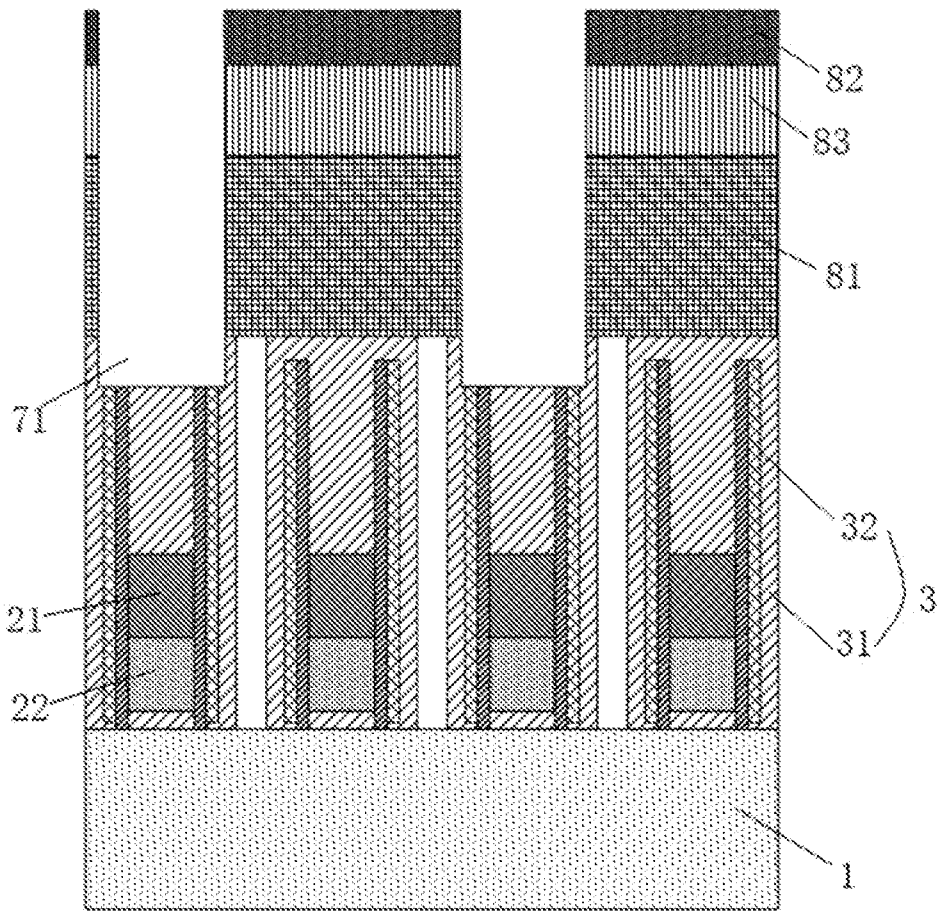


图 6

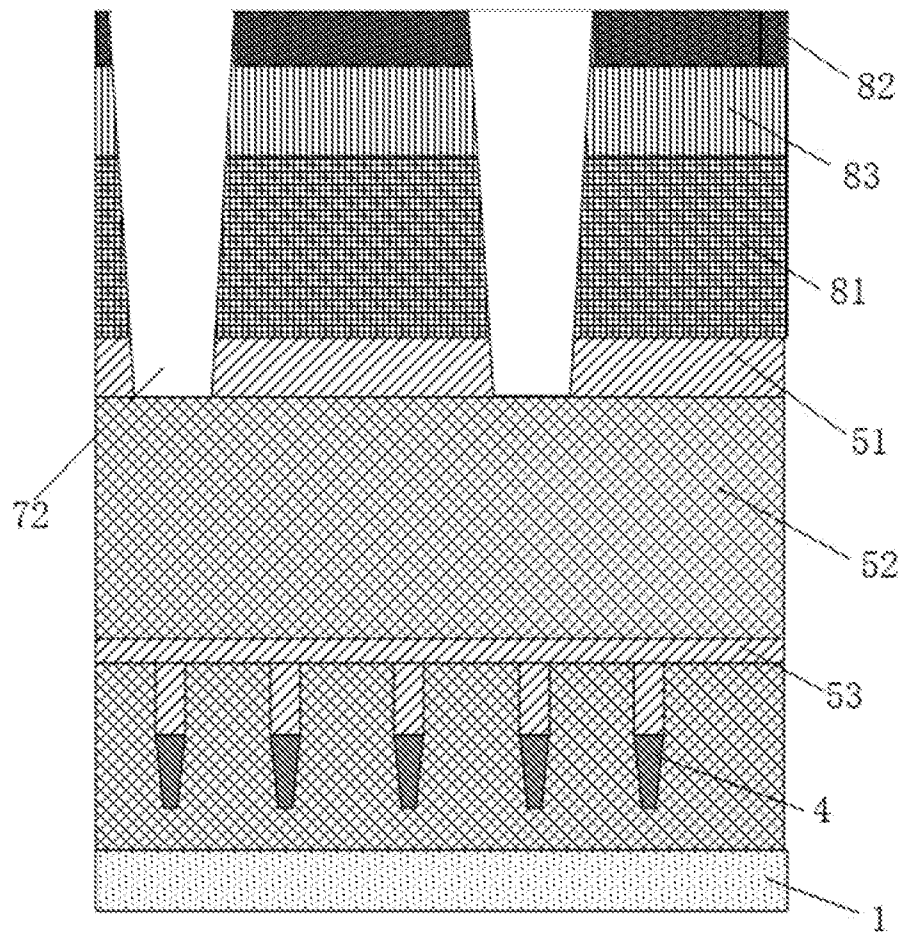


图 7

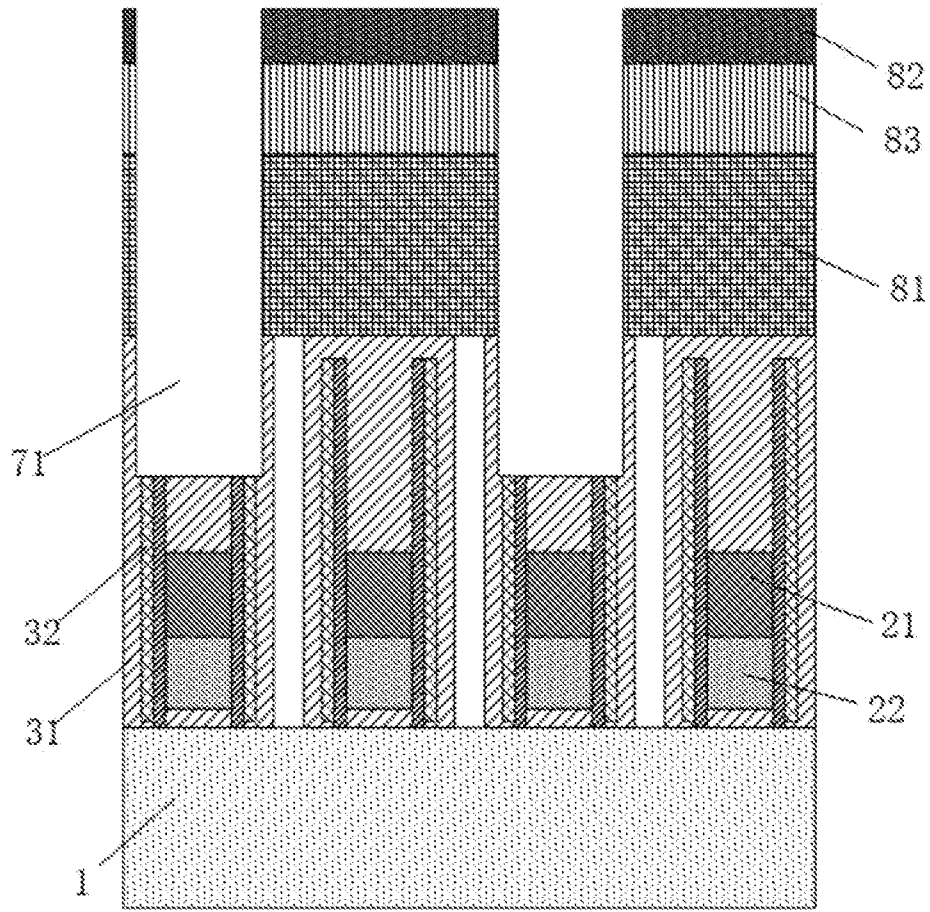


图 8

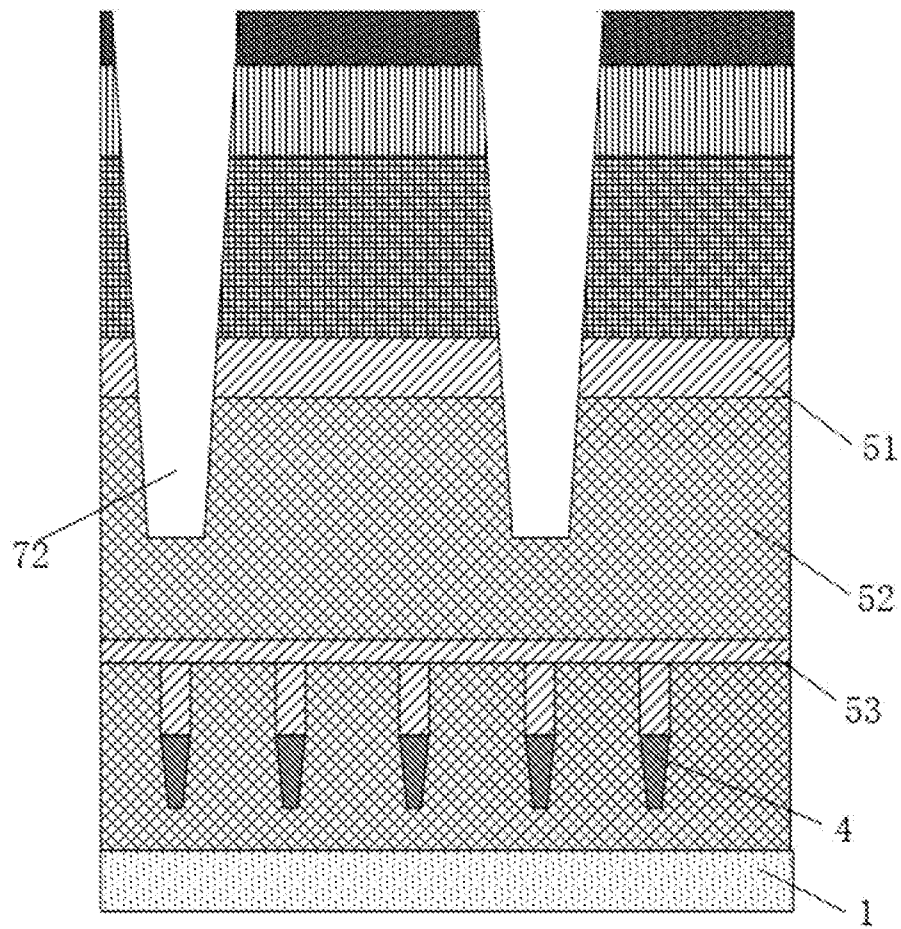


图 9

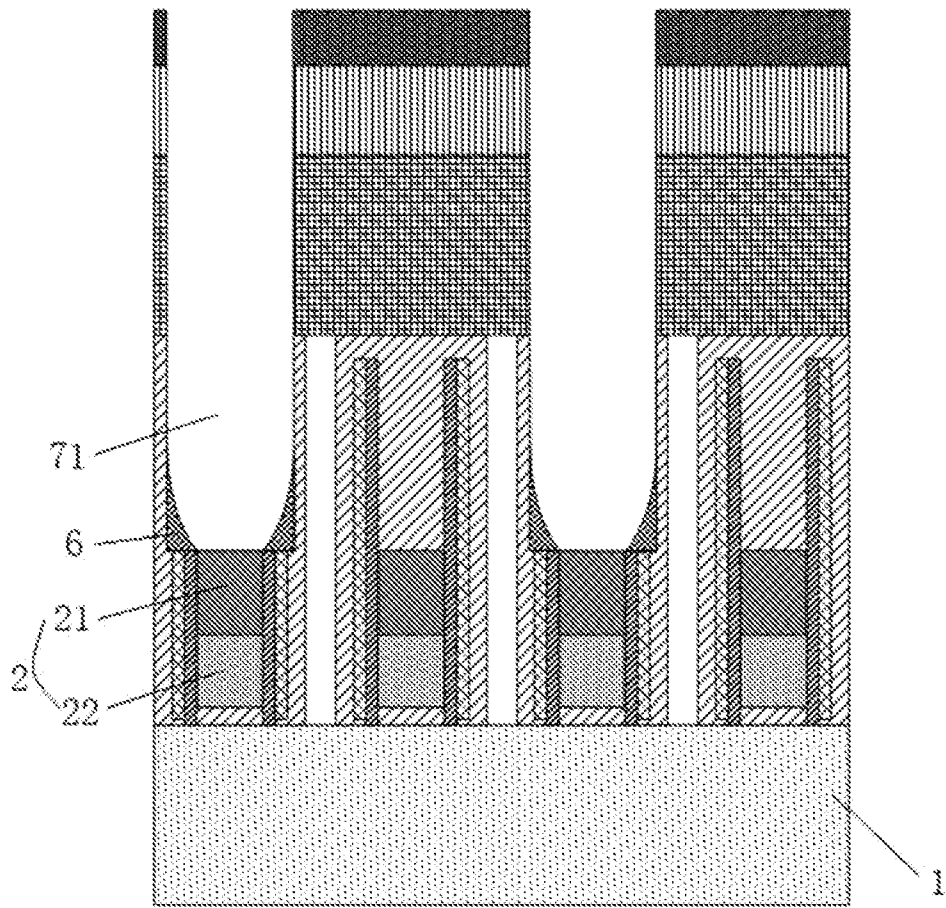


图 10

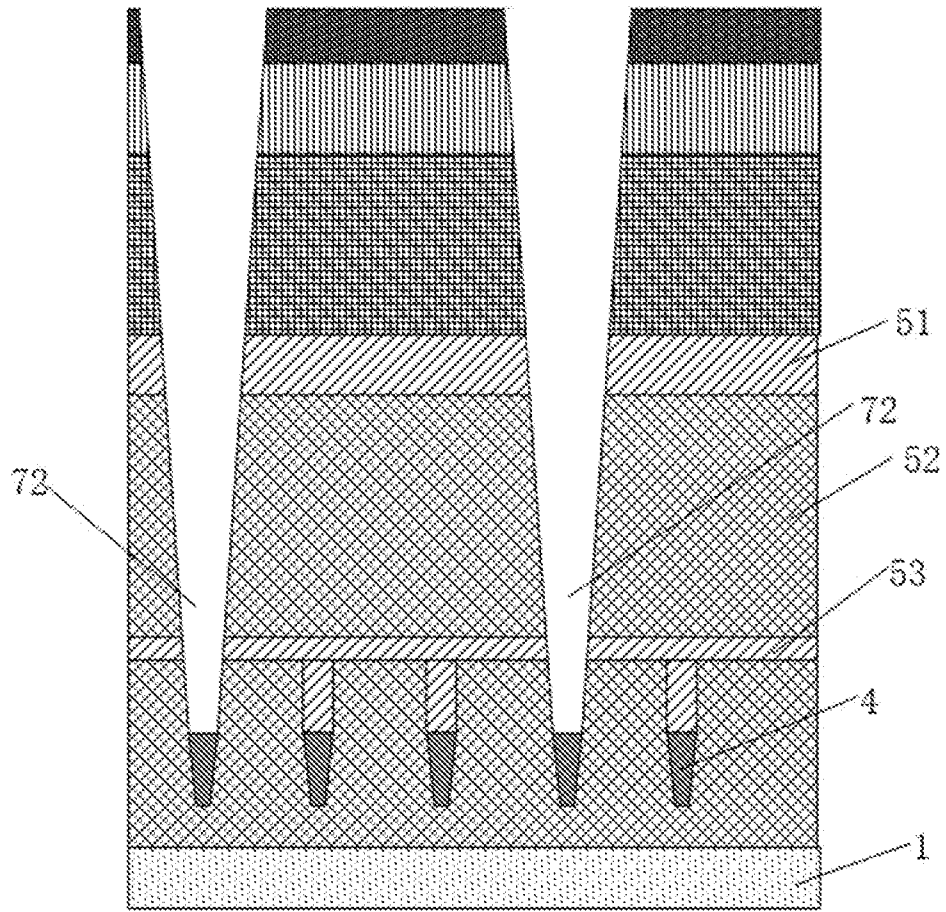


图 11

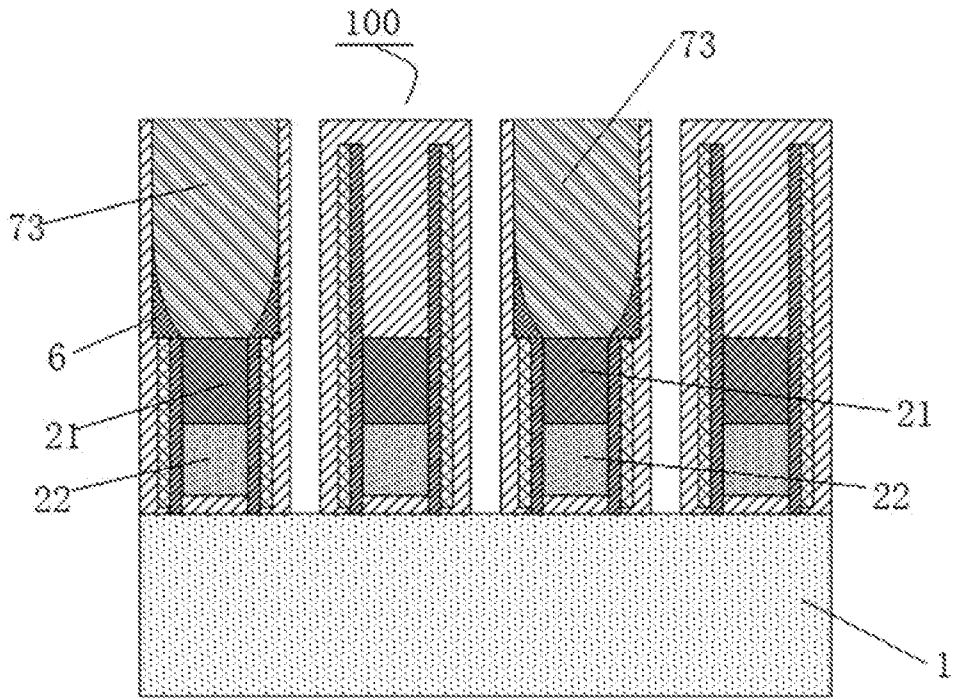


图 12

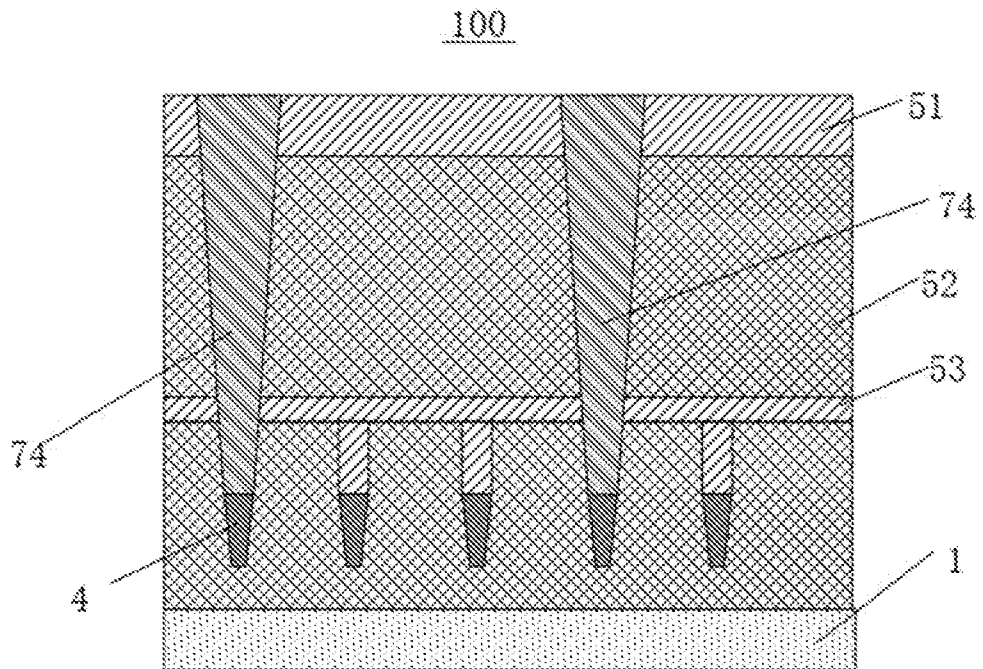


图 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/100206

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 27/108(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNKI, CNPAT, WPI, EPODOC: 字线, 位线, 支撑, 隔离, 间隔, 间隙, 选择性, 刻蚀, 蚀刻, 聚合物, word, bit, line, support, spacer, select+, etch+, polymere		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 109768014 A (SAMSUNG ELECTRONICS CO., LTD.) 17 May 2019 (2019-05-17) description, paragraphs [0025]-[0186], and figures 1-12	1-15
A	CN 109003938 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 14 December 2018 (2018-12-14) entire document	1-15
A	CN 111584489 A (FUJIAN JINHUA INTEGRATED CIRCUIT CO., LTD.) 25 August 2020 (2020-08-25) entire document	1-15
A	US 2016351501 A1 (SK HYNIX INC.) 01 December 2016 (2016-12-01) entire document	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
20 August 2021		22 September 2021
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/ CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/100206

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109768014	A	17 May 2019	KR	20190053056	A	17 May 2019
				DE	102018122648	A1	09 May 2019
				JP	2019087749	A	06 June 2019
				US	10886277	B2	05 January 2021
				US	2019139963	A1	09 May 2019
				US	2021091086	A1	25 March 2021
<hr/>							
CN	109003938	A	14 December 2018	None			
<hr/>							
CN	111584489	A	25 August 2020	CN	212570997	U	19 February 2021
<hr/>							
US	2016351501	A1	01 December 2016	US	9589898	B2	07 March 2017
				KR	20160139190	A	07 December 2016
<hr/>							

国际检索报告

国际申请号

PCT/CN2021/100206

<p>A. 主题的分类</p> <p>H01L 27/108(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNKI, CNPAT, WPI, EPDOC: 字线, 位线, 支撑, 隔离, 间隔, 间隙, 选择性, 刻蚀, 蚀刻, 聚合物, word, bit, line, support, spacer, select+, etch+, polymere</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 109768014 A (三星电子株式会社) 2019年 5月 17日 (2019 - 05 - 17) 说明书[0025]-[0186]段, 附图1-12</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 109003938 A (长鑫存储技术有限公司) 2018年 12月 14日 (2018 - 12 - 14) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 111584489 A (福建省晋华集成电路有限公司) 2020年 8月 25日 (2020 - 08 - 25) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2016351501 A1 (SK HYNIX INC.) 2016年 12月 1日 (2016 - 12 - 01) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 109768014 A (三星电子株式会社) 2019年 5月 17日 (2019 - 05 - 17) 说明书[0025]-[0186]段, 附图1-12	1-15	A	CN 109003938 A (长鑫存储技术有限公司) 2018年 12月 14日 (2018 - 12 - 14) 全文	1-15	A	CN 111584489 A (福建省晋华集成电路有限公司) 2020年 8月 25日 (2020 - 08 - 25) 全文	1-15	A	US 2016351501 A1 (SK HYNIX INC.) 2016年 12月 1日 (2016 - 12 - 01) 全文	1-15
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 109768014 A (三星电子株式会社) 2019年 5月 17日 (2019 - 05 - 17) 说明书[0025]-[0186]段, 附图1-12	1-15															
A	CN 109003938 A (长鑫存储技术有限公司) 2018年 12月 14日 (2018 - 12 - 14) 全文	1-15															
A	CN 111584489 A (福建省晋华集成电路有限公司) 2020年 8月 25日 (2020 - 08 - 25) 全文	1-15															
A	US 2016351501 A1 (SK HYNIX INC.) 2016年 12月 1日 (2016 - 12 - 01) 全文	1-15															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																	
<p>国际检索实际完成的日期</p> <p>2021年 8月 20日</p>		<p>国际检索报告邮寄日期</p> <p>2021年 9月 22日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>赵世欣</p> <p>电话号码 86-(10)-53961201</p>															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/100206

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109768014	A	2019年 5月 17日	KR	20190053056	A	2019年 5月 17日
				DE	102018122648	A1	2019年 5月 9日
				JP	2019087749	A	2019年 6月 6日
				US	10886277	B2	2021年 1月 5日
				US	2019139963	A1	2019年 5月 9日
				US	2021091086	A1	2021年 3月 25日
CN	109003938	A	2018年 12月 14日	无			
CN	111584489	A	2020年 8月 25日	CN	212570997	U	2021年 2月 19日
US	2016351501	A1	2016年 12月 1日	US	9589898	B2	2017年 3月 7日
				KR	20160139190	A	2016年 12月 7日