

Союз Советских
Социалистических
Республик



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е
ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 20.12.77 (21) 2558007/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 25.05.80. Бюллетень № 19

Дата опубликования описания 28.05.80

(11) 736170

(51) М. Кл.²

G 11 C 15/00

(53) УДК 628.327.6
(088.8)

(72) Авторы
изобретения

В.А.Авдеев, О.Б.Макаревич, А.А.Антонишкис, С.С.Булгаков,
С.А.Еремин, Г.В.Сонов и В.С.Хорошунов

(71) Заявитель

(54) ПРОГРАММИРУЕМОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

Изобретение относится к вычислительной технике и может быть использовано в вычислительных системах с аппаратной реализацией мультипрограммного режима обработки информации для быстрой смены программы коммутации решающих блоков.

Известно устройство коммутации выходов и входов решающих блоков цифрового дифференциального анализа, содержащее последовательно соединенные счетчик и дешифратор адреса, накопитель, два регистра числа, блок связи и блок управления [1].

Недостаток этого устройства - низкое быстродействие при смене программы коммутации в накопителе.

Наиболее близким по своему техническому решению к предлагаемому является запоминающее устройство, содержащее блок сопряжения, управляющим выходом подключенный через последовательно соединенные регистр и дешифратор кода операции к блоку управления, информационным выходом - к буферному регистру, информационным входом - к выходу цифровой вычислительной машины (ЦВМ) общего назначения или к выходу внешнего устройства

и управляющей связью - к блоку управления, выход которого соединен с первым регистром числа, подключенным выходом к информационному входу накопителя, а входом - к выходам решающих блоков, со вторым регистром числа, подключенным входом к информационному выходу накопителя, а выходом - ко входам решающих блоков, с буферным регистром, подключенным первым выходом через последовательно соединенные первый регистр и дешифратор адреса к адресному входу накопителя, а вторым выходом через последовательно соединенные второй регистр и дешифратор адреса - к другому адресному входу накопителя [2].

Недостатком известного устройства является низкое быстродействие и ограниченные функциональные возможности, связанные с медленной сменой в блоке памяти программы коммутации решающих блоков при вычислении пакета различных задач.

Цель изобретения - повышение быстродействия и расширение функциональных возможностей запоминающего устройства.

30

Поставленная цель достигается тем, что в него введены дополнительные блоки памяти, коммутатор ввода, соединенный выходом с первыми информационными входами дополнительных блоков памяти, коммутатор вывода, вход которого подключен к информационным выходам дополнительных блоков памяти, последовательно соединенные генератор синусоидального сигнала, формирователь тактовых импульсов и кольцевой регистр, выход которого подключен к первым управляющим входам коммутатора ввода и коммутатора вывода, соединенных соответственно входом и выходом с выходами и входами решающих блоков, последовательно соединенные регистр номера блока памяти и дешифратор номера блока памяти, выход которого подключен к управляющим входам дополнительных блоков памяти и ко вторым управляющим входам коммутатора ввода и коммутатора вывода, последовательно соединенные регистр признака и дешифратор признака, выход которого подключен к третьим управляющим входам коммутатора ввода и коммутатора вывода, буферный блок памяти, информационный и управляющий входы которого соединены соответственно с информационным и управляющим выходами блока сопряжения информационными и первыми управляющими входами регистра признака и регистра номера блока памяти, информационный выход буферного блока памяти соединен с первыми, вторыми и третьими информационными входами дополнительных блоков памяти, другой управляющий вход — с выходом блока управления, подключенного входом к выходу формирователя тактовых импульсов и двусторонней связью к блоку сопряжения, третий вход — со вторыми управляющими входами регистра признака, регистра номера блока памяти и управляющим входом буферного регистра, информационный вход которого подключен к выходу коммутатора вывода, а выход — к блоку сопряжения.

Это позволяет расширить функциональные возможности и повысить быстродействие устройства, так как смена программы коммутации выходов и входов решающих блоков выполняется за такт работы кольцевого регистра. Кроме того, становится возможным одновременное осуществление ввода программы коммутации в какой-либо блок памяти со стороны ЦВМ и циклическое подключение всех остальных блоков памяти через коммутаторы ввода и вывода для смены программ коммутации решающих блоков при мультипрограммном режиме их работы.

На чертеже представлена структурная схема запоминающего устройства.

Она содержит блоки 1_1-1_n памяти, коммутатор 2 ввода, выход которого

подключен к первым информационным входам блоков 1_1-1_n памяти, коммутатор 3 вывода, соединенный входом с информационными выходами блоков 1_1-1_n памяти, кольцевой регистр 4, вход которого подключен через формирователь 5 тактовых импульсов к выходу генератора 6 синусоидального сигнала, а выход — к первым управляющим входам коммутатора 2 ввода и коммутатора 3 вывода, соединенных соответственно входом и выходом с выходами и входами решающих блоков 7_1-7_n , последовательно соединенные регистр 8 номера блока памяти и дешифратор 9 номера блока памяти, выход которого подключен к управляющим входам блоков 1_1-1_n памяти и ко вторым управляющим входам коммутатора 2 ввода и коммутатора 3 вывода, последовательно соединенные регистр 10 признака и дешифратор 11 признака, выход которого подключен к третьим управляющим входам коммутатора ввода и коммутатора вывода, буферный блок 12 памяти, выход которого соединен с первыми, вторыми и третьими информационными входами блоков 1_1-1_n памяти, информационный и управляющий входы соединены соответственно с информационным и управляющим выходами блока 13 сопряжения, информационными и первыми управляющими входами регистра 10 признака и регистра 8 номера блока памяти и другим управляющим входом буферный блок памяти соединен с выходом блока 14 управления, подключенного входом к выходу формирователя 5 тактовых импульсов и двусторонней связью к блоку 13 сопряжения, третий вход — со вторыми управляющими входами регистра 10 признака, регистра 8 номера блока памяти и управляющим входом буферного регистра 15, информационный вход которого подключен к выходу коммутатора 3 вывода, а выход — к блоку 13 сопряжения, имеющего двустороннюю связь с ЦВМ 16.

В состав каждого блока $1_i (i=1, n)$ памяти входит накопитель 17, первый регистр 18 адреса, информационный и управляющий входы которого подключены соответственно ко второму информационному и управляющему входам блока 1_i памяти, а выход — через первый дешифратор 19 адреса к первому адресному входу накопителя 17, информационные выход и вход которого соответственно соединены через первый регистр 20 числа с информационным выходом блока 1_i памяти и через второй регистр 21 числа с третьим информационным входом блока 1_i памяти, второй регистр 22 адреса, информационный и управляющий входы которого подключены соответственно к первому информационному и управляющему входам блока 1_i памяти, а выход —

через второй дешифратор 23 адреса ко второму адресному входу накопителя 17, управляющий вход которого соединен с первым выходом блока 24 местного управления, подключенного вторым выходом к двум регистрам 20 и 21 числа и к двум регистрам 18 и 22 адреса, а входом — через дешифратор 25 кода операции с выходом регистра 26 кода операции информационный и управляющий выходы которого подключены соответственно к четвертому информационному и управляющему входам блока памяти.

Работа запоминающего устройства происходит в двух режимах: в режиме ввода (вывода) программ коммутации в соответствующие блоки 1_1-1_n памяти со стороны ЦВМ 16 и в режиме работы решающих блоков 7_1-7_m , когда происходит последовательное подключение блоков памяти через коммутатор 2 ввода и коммутатор 3 вывода ко входам и выходам решающих блоков 7_1-7_m .

В первом режиме из ЦВМ 16 через блок 13 сопряжения, буферный блок 12 памяти осуществляется ввод в требуемый блок 1_1 памяти кодов, составляющих программу коммутации выходов входов решающих блоков 7_1-7_m . Формат кодов программы коммутации состоит из кода операции и кода адреса. В зависимости от кода операции код адреса может быть использован или для организации продольного, или для организации поперечного обращения к накопителю 17 блока 1_1 памяти. Таким образом, в соответствии с кодом операции, принятым из буферного блока 12 памяти в регистр 26, блок 24 местного управления вырабатывает сигналы, по которым код адреса из буферного блока 12 памяти поступает в первый регистр 18 адреса или во второй регистр 22 адреса. Кроме того, код операции определяет формирование блоком местного управления сигналов для организации одновременного сброса ячеек памяти, сброса продольной или поперечной ячейки памяти и сброса элемента памяти накопителя 17.

Так как матрица программы коммутации, хранящаяся в накопителе 17, имеет разреженный характер (в одной строке или столбце матрицы может находиться только одна единица), связанный с тем, что два или более выходы решающих блоков не могут быть подключены к одному входу какого-либо решающего блока, то в накопителе 17 выполняется с помощью регистра 18, дешифратора 19 и регистра 22, дешифратора 23 поразрядная запись ее единиц (наличие единицы в i, j -элементе этой матрицы означает соединение i -го выхода решающего блока с j -ым входом решающего

блока, а наличие нуля — отсутствие соединения).

Выбор определенного блока памяти 1_1 выполняется сигналом с выхода дешифратора 9 номера блока памяти в соответствии с кодом номера блока памяти, принятым из ЦВМ 16 через блок 13 сопряжения в регистр 8 номера блока памяти.

Для проверки правильности ввода кодов программы коммутации в накопитель 17 осуществляется их вывод через регистр 20 числа, коммутатор 3 вывода, буферный регистр 15, блок 13 сопряжения в ЦВМ 16. При этом подключение требуемого блока памяти через коммутатор 3 вывода к буферному регистру 15 выполняется сигналами, сформированными на выходе дешифратора 11, признака и на входе дешифратора 9 номера блока памяти 9. Код признака аналогично коду номера блока памяти и коду программы коммутации передается из ЦВМ 16 через блок 13 сопряжения в регистр 10 признака при наличии соответствующего сигнала-идентификатора блока 13 сопряжения.

Во втором режиме работа запоминающего устройства происходит таким образом, что на первом шаге решения коммутируются выходы и входы решающих блоков 7_1-7_m , относящихся к первой задаче, на втором шаге — ко второй задаче и т.д. Это достигается благодаря последовательному подключению информационных выходов и входов блоков 1_1-1_n памяти ко входам и выходам решающих блоков 7_1-7_m через коммутатор 3 вывода и коммутатор 2, ввода, управляемые сигналами блока 14 управления и кольцевого регистра 4, циклическое продвижение единицы в котором обеспечивается сигналами формирователя 5 тактовых импульсов 5 и генератора 6. На каждом шаге решения приращения с выходов решающих блоков поступают через коммутатор 2 ввода 2 в регистр 21 числа блока памяти соответствующего шагу решения (номера задачи). С выходов регистра 21 усиленные сигналы единичных значений приращений производят одновременное неразрушаемое считывание информации в поперечных или продольных ячейках памяти накопителя 17, которое становится возможным благодаря тому, что в каждом столбце или строке матрицы накопителя может быть записана только одна единица. В том же шаге решения считываемая из накопителя 17 информация поступает через другой регистр 20 числа и коммутатор 3 вывода на входы только тех решающих блоков 7_1-7_m , для которых в элементах памяти соответствующих строк (столбцах) матрицы накопителя 17 записаны единицы. Каждый шаг решения (такт работы кольце-

вого регистра) состоит из нескольких циклов обращения (считываний) к блоку памяти.

При необходимости подключения только одного блока памяти (однопрограммный режим работы) ко входам и выходам решающих блоков $7_1 - 7_m$. ЦВМ 16 осуществляет ввод соответствующего кода признака в регистр 10 признака и код номера в регистр 9 номера блока памяти.

Так как первый и второй режимы работы запоминающего устройства могут происходить одновременно, то код номера блока памяти через дешифратор номера блока памяти при наличии в регистре 10 соответствующего кода признака производит отключение от коммутаторов 2 и 3 того блока памяти, в который со стороны ЦВМ 16 должен быть ввод кодов программы коммутации.

Использование в запоминающем устройстве n блоков памяти, коммутаторов ввода и вывода, кольцевого регистра, регистра и дешифратора признака и т.д. позволяет значительно увеличить быстродействие и расширить функциональные возможности устройства, благодаря организации быстрой смены программ коммутации решающих блоков, работающих в мультипрограммном режиме, и совмещения процесса ввода кодов программы коммутации в какой-либо блок памяти с процессом подключения других блоков памяти ко входам и выходам решающих блоков.

Формула изобретения

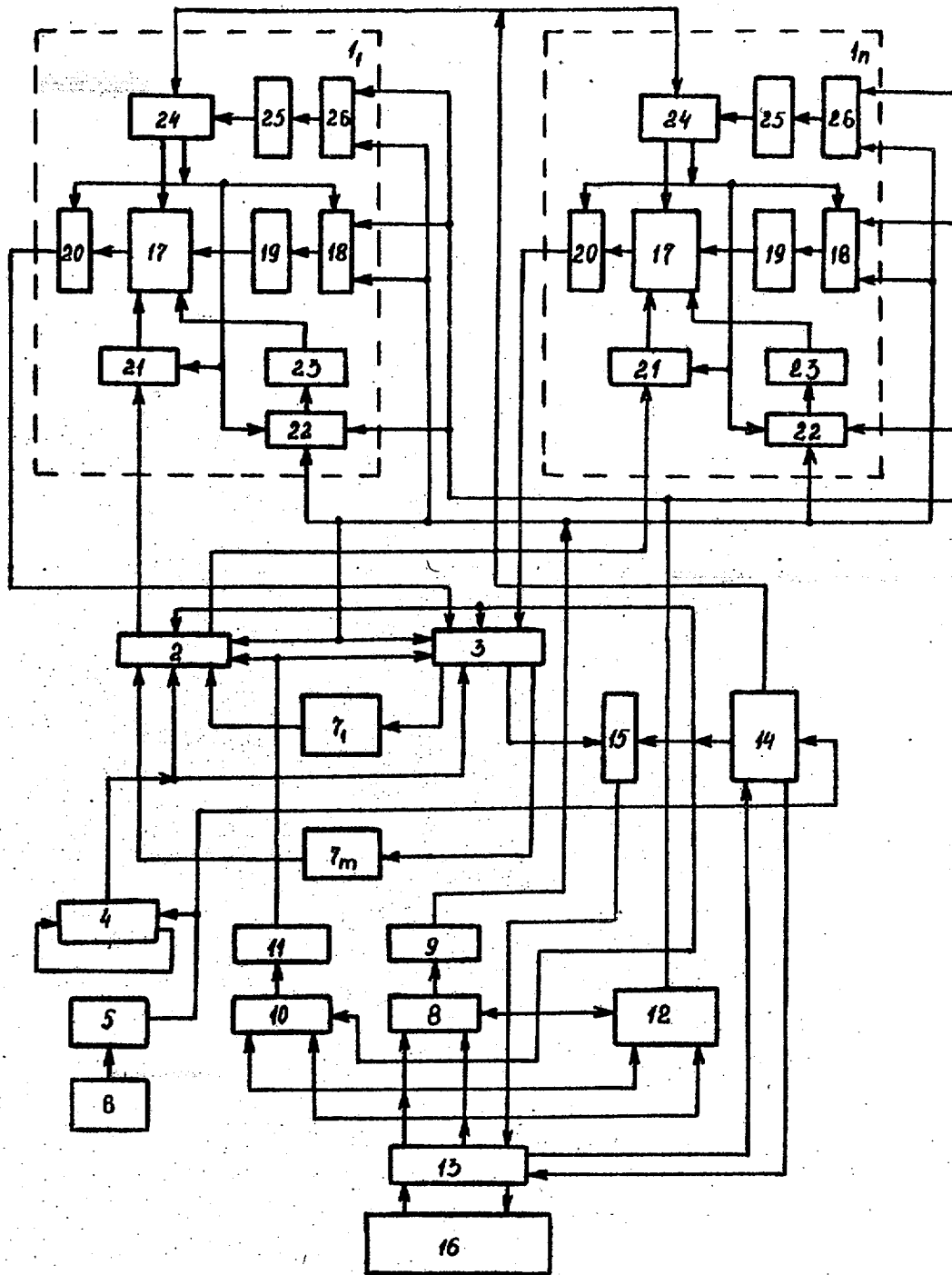
Программируемое запоминающее устройство, содержащее блок сопряжения, подключенный информационными и управляющими входами и выходами ко входу устройства, буферный регистр, блок памяти и блок управления, отличающееся тем, что, с целью повышения быстродействия устройства и расширения его области применения за счет смены программ решающих блоков, в него введены дополнительные блоки памяти, коммутатор ввода, соединенный выходом с первы-

ми информационными входами дополнительных блоков памяти, коммутатор вывода, вход которого подключен к информационным выходам дополнительных блоков памяти, последовательно соединенные генератор синусоидального сигнала, формирователь тактовых импульсов и кольцевой регистр, выход которого подключен к первым управляющим входам коммутатора ввода и коммутатора вывода, решающие блоки, входы - выходы которых подключены к соответствующим входам и выходам коммутаторов ввода и вывода, последовательно соединенные регистр номера блока памяти и дешифратор номера блока памяти, выход которого подключен к управляющим входам дополнительных блоков памяти и ко вторым управляющим входам коммутатора ввода и коммутатора вывода, последовательно соединенные регистр признака и дешифратор признака, выход которого подключен к третьим управляющим входам коммутатора ввода и коммутатора вывода, буферный блок памяти, информационный и управляющий входы которого соединены соответственно с информационным и управляющим выходами блока сопряжения, информационными и первыми управляющими входами регистра признака и регистра номера блока памяти, информационный вывод буферного блока памяти соединен с первыми, вторыми и третьими информационными входами дополнительных блоков памяти, другой управляющий вход - с выходом блока управления, один вход которого подключен к выходу формирователя тактовых импульсов, второй вход и один из выходов - к блоку сопряжения третий вход - со вторыми управляющими входами регистра признака, регистра номера блока памяти и управляющим входом буферного регистра, информационный вход которого подключен к другому выходу коммутатора вывода, а выход - к блоку сопряжения.

Источники информации,

принятые во внимание при экспертизе

1. "IEEE Trans. Comput", 1973, №1, p. 41-46.
- 50 2. Авторское свидетельство СССР по заявке № 2134167/18-24, кл. G 11 C 11/00, 1974 (прототип).



Составитель В.Гордонова
 Редактор В.Зарванская Техред М.Петко Корректор Г.Назарова

Заказ 2278/8 Тираж 662 Подписное

ЦНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д.4/5

Филиал ППП "Патент", г.Ужгород, ул.Проектная, 4