

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4179640号
(P4179640)

(45) 発行日 平成20年11月12日 (2008.11.12)

(24) 登録日 平成20年9月5日 (2008.9.5)

(51) Int.Cl. F I
H03M 7/40 (2006.01) H03M 7/40

請求項の数 27 (全 18 頁)

(21) 出願番号	特願平11-547974	(73) 特許権者	コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
(86) (22) 出願日	平成11年2月22日 (1999.2.22)		オランダ国 5621 ベーアー アイン
(65) 公表番号	特表2002-500849 (P2002-500849A)		ドーフエン フルーネヴァウツウェッハ
(43) 公表日	平成14年1月8日 (2002.1.8)		1
(86) 国際出願番号	PCT/IB1999/000310	(74) 代理人	弁理士 津軽 進
(87) 国際公開番号	W01999/049579		
(87) 国際公開日	平成11年9月30日 (1999.9.30)	(72) 発明者	ファン デア ヴルーテン レナトゥス
審査請求日	平成18年2月21日 (2006.2.21)		ジェイ
(31) 優先権主張番号	98200914.4		オランダ国 5656 アーアー アイン
(32) 優先日	平成10年3月23日 (1998.3.23)		ドーフエン プロフ ホルストラーン 6
(33) 優先権主張国	欧州特許庁 (EP)	審査官	矢頭 尚之
		最終頁に続く	

(54) 【発明の名称】 情報信号の算術符号化及び復号

(57) 【特許請求の範囲】

【請求項 1】

n が $n - 1$ を満たす整数であるような n ビットシンボルの直列系列を有するデジタル情報信号を、A パラメータ及び C パラメータを各々記憶する有限サイズの第 1 及び第 2 のレジスタを用いて算術的に符号化する方法であって、前記 C パラメータが或る値区間の境界と関係を有する一方、前記 A パラメータが該区間のサイズと関係を有し、該方法が、

(a) 符号化のために、前記情報信号のシンボルと、関連するシンボルの少なくとも 1 つの対応する確率値とを入力するステップと、

(b) 前記 A 及び C パラメータに関する値を、前記第 1 及び第 2 のレジスタから各々取り出すステップと、

(c) 前記第 1 のレジスタから取り出された値に対応する前記値区間を前記少なくとも 1 つの確率値に対応する副区間に分割すると共に、これら副区間のうちの 1 つを前記シンボルに応答して選択するステップと、

(d) 少なくとも前記 A パラメータを、該 A パラメータの値が前記選択された副区間のサイズに従うように更新して、前記情報信号における次のシンボルを符号化するための区間の新たなサイズとなるようにするステップと、

(e) 前記 A パラメータに関する前記更新された値を前記第 1 のレジスタに記憶するステップと、

(f) 前記次のシンボルを符号化するために、該方法を前記ステップ (a) で継続するステップと、

10

20

を有するような方法において、

前記ステップ (b) が、前記 A パラメータの値 $0.b_0b_1...b_{i-1}b_i...$ をビット b_{i-1} までで切り捨て、 b_i が ' 1 ' に等しい場合に、前記 A の切り捨て処理された値にビット b_{i-1} の位置で ' 1 ' を加算するような副ステップを更に有していることを特徴とする方法。

【請求項 2】

n が $n - 1$ を満たす整数であるような n ビットシンボルの直列系列を有するデジタル情報信号を、A パラメータ及び C パラメータを各々記憶する有限サイズの第 1 及び第 2 のレジスタを用いて算術的に符号化する方法であって、前記 C パラメータが或る値区間の境界と関係を有する一方、前記 A パラメータが該区間のサイズと関係を有し、該方法が、

(a) 符号化のために、前記情報信号のシンボルと、関連するシンボルの少なくとも 1 つの対応する確率値とを入力するステップと、

(b) 前記 A 及び C パラメータに関する値を、前記第 1 及び第 2 のレジスタから各々取り出すステップと、

(c) 前記第 1 のレジスタから取り出された値に対応する前記値区間を前記少なくとも 1 つの確率値に対応する副区間に分割すると共に、これら副区間のうちの 1 つを前記シンボルに応答して選択するステップと、

(d) 少なくとも前記 A パラメータを、該 A パラメータの値が前記選択された副区間のサイズに従うように更新して、前記情報信号における次のシンボルを符号化するための区間の新たなサイズとなるようにするステップと、

(e) 前記 A パラメータに関する前記更新された値を前記第 1 のレジスタに記憶するステップと、

(f) 前記次のシンボルを符号化するために、該方法を前記ステップ (a) で継続するステップと、

を有するような方法において、

前記ステップ (b) が、前記 A パラメータの値 $0.b_0b_1...b_{i-1}b_i...$ をビット b_{i-1} までで切り捨て、 $b_{i-1} = ' 0 '$ 且つ $b_i = ' 1 '$ の場合に、 b_{i-1} を ' 1 ' に引き上げるような副ステップを更に有していることを特徴とする方法。

【請求項 3】

n が $n - 1$ を満たす整数であるような n ビットシンボルの直列系列を有するデジタル情報信号を、A パラメータ及び C パラメータを各々記憶する有限サイズの第 1 及び第 2 のレジスタを用いて算術的に符号化する方法であって、前記 C パラメータが或る値区間の境界と関係を有する一方、前記 A パラメータが該区間のサイズと関係を有し、該方法が、

(a) 符号化のために、前記情報信号のシンボルと、関連するシンボルの少なくとも 1 つの対応する確率値とを入力するステップと、

(b) 前記 A 及び C パラメータに関する値を、前記第 1 及び第 2 のレジスタから各々取り出すステップと、

(c) 前記第 1 のレジスタから取り出された値に対応する前記値区間を前記少なくとも 1 つの確率値に対応する副区間に分割すると共に、これら副区間のうちの 1 つを前記シンボルに応答して選択するステップと、

(d) 少なくとも前記 A パラメータを、該 A パラメータの値が前記選択された副区間のサイズに従うように更新して、前記情報信号における次のシンボルを符号化するための区間の新たなサイズとなるようにするステップと、

(e) 前記 A パラメータに関する前記更新された値を前記第 1 のレジスタに記憶するステップと、

(f) 前記次のシンボルを符号化するために、該方法を前記ステップ (a) で継続するステップと、

を有するような方法において、

前記ステップ (b) が、前記 A パラメータの値 $0.b_0b_1...b_{i-1}b_i...$ をビット b_{i-1} までで切り捨て、該ビット b_{i-1} を ' 1 ' に等しくするような副ステップを更に有していることを特徴とする方法。

10

20

30

40

50

【請求項 4】

請求項 1、2 又は 3 に記載の方法において、前記更新するステップが、前記 C 値を該 C パラメータの値が前記選択された副区間の境界と対応する関係となるように更新して、前記情報信号における次のシンボルを符号化するための新たな C パラメータとなるようにするステップも有し、前記記憶するステップが前記 C パラメータの前記更新された値を前記第 2 のレジスタに記憶するステップを更に有していることを特徴とする方法。

【請求項 5】

請求項 1、2、3 又は 4 に記載の方法であって、前記更新するステップが前記 A 及び C パラメータに関する再正規化された値を前記第 1 及び第 2 のレジスタに各々記憶するに先立ち、これら A 及び C パラメータに関する値を再正規化する副ステップを有するような方法

10

において、前記再正規化副ステップが、
(g1) 前記 A に関する値と第 1 の 2 進値とを比較し、前記 A に関する値が前記第 1 の 2 進値以上である場合は該再正規化副ステップを離脱し、前記 A に関する値が前記第 1 の 2 進値未満である場合は、次いで、

(g2) 前記 A に関する値を第 1 の整数値で乗算し、

(g3) 前記 (g1) に戻る、

ようなステップを有していることを特徴とする方法。

【請求項 6】

請求項 5 に記載の方法において、前記 (g1) において A が前記第 1 の 2 進値未満である場合に、

20

(g4) 前記 C に関する値を第 2 及び第 3 の 2 進値と比較し、ここで前記第 2 の 2 進値は前記第 3 の 2 進値より大きいものとし、もし、前記 C に関する値が前記第 2 の 2 進値よりは小さいが、前記第 3 の 2 進値より大きい場合は又は該第 3 の 2 進値に等しい場合は、次いで、

(g5) 前記 C に関する値から第 4 の 2 進値を減算して、C に関する中間値を得、

(g6) 前記 C に関する中間値を第 2 の整数で乗算する、

ことを特徴とする方法。

【請求項 7】

請求項 5 に記載の方法において、前記第 1 の 2 進値が 0.100...0 に等しいことを特徴とする方法。

【請求項 8】

30

請求項 5 に記載の方法において、前記第 2 の 2 進値が 1.000...0 に等しいことを特徴とする方法。

【請求項 9】

請求項 5 に記載の方法において、前記第 1 の整数値が 2 に等しいことを特徴とする方法。

【請求項 10】

請求項 6 に記載の方法において、前記第 3 の 2 進値が 0.100...0 に等しいことを特徴とする方法。

【請求項 11】

請求項 6 に記載の方法において、前記第 4 の 2 進値が 0.1000...0 に等しいことを特徴とする方法。

40

【請求項 12】

請求項 6 に記載の方法において、前記第 2 の整数値が 2 に等しいことを特徴とする方法。

【請求項 13】

請求項 1 ないし 12 の何れか一項に記載の方法において、前記符号化された情報信号をチャンネル符号化された信号にチャンネル符号化するステップを更に有していることを特徴とする方法。

【請求項 14】

請求項 13 に記載の方法において、前記チャンネル符号化された信号を記録担体上に記録するステップを更に有していることを特徴とする方法。

【請求項 15】

50

請求項 1 ないし 1 4 の何れか一項に記載の方法を実施する装置。

【請求項 1 6】

n が $n - 1$ を満たす整数である n ビットシンボルの直列系列を有するデジタル情報信号を算術的に符号化するような請求項 1 5 に記載の装置であって、該装置が、

- A パラメータ及び C パラメータを各々記憶するための有限サイズの第 1 及び第 2 のレジスタであって、前記 C パラメータが或る値区間の境界と関係を有する一方、前記 A パラメータが前記区間のサイズと関係を有するようなレジスタと、
- 符号化のために、前記情報信号のシンボルと、関連するシンボル用の少なくとも 1 つの対応する確率値とを入力する入力手段と、
- 前記 A 及び C パラメータに関する値を、前記第 1 及び第 2 のレジスタから各々取り出す取出手段と、
- 前記第 1 のレジスタから取り出された値に対応する前記値区間を前記少なくとも 1 つの確率値に対応する副区間に分割すると共に、これら副区間のうちの 1 つを前記シンボルに応答して選択する手段と、
- 少なくとも前記 A パラメータを、該 A パラメータの値が前記選択された副区間のサイズに従うように更新して、前記情報信号における次のシンボルを符号化するための区間の新たなサイズとなるようにする手段と、
- 前記 A パラメータに関する前記更新された値を前記第 1 のレジスタに記憶する手段と、

を有するような装置において、

前記取出手段が、前記 A パラメータの値 $0.b_0b_1...b_{i-1}b_i...$ をビット b_{i-1} までで切り捨て、 b_i が ' 1 ' に等しい場合に、前記 A の切り捨て処理された値に前記ビット b_{i-1} の位置で ' 1 ' を加算するような手段を更に有していることを特徴とする装置。

【請求項 1 7】

n が $n - 1$ を満たす整数である n ビットシンボルの直列系列を有する情報信号を算術的に符号化するような請求項 1 5 に記載の装置であって、該装置が、

- A パラメータ及び C パラメータを各々記憶するための有限サイズの第 1 及び第 2 のレジスタであって、前記 C パラメータが或る値区間の境界と関係を有する一方、前記 A パラメータが前記区間のサイズと関係を有するようなレジスタと、
- 符号化のために、前記情報信号のシンボルと、関連するシンボル用の少なくとも 1 つの対応する確率値とを入力する入力手段と、
- 前記 A 及び C パラメータに関する値を、前記第 1 及び第 2 のレジスタから各々取り出す取出手段と、
- 前記第 1 のレジスタから取り出された値に対応する前記値区間を前記少なくとも 1 つの確率値に対応する副区間に分割すると共に、これら副区間のうちの 1 つを前記シンボルに応答して選択する手段と、
- 少なくとも前記 A パラメータを、該 A パラメータの値が前記選択された副区間のサイズに従うように更新して、前記情報信号における次のシンボルを符号化するための区間の新たなサイズとなるようにする手段と、
- 前記 A パラメータに関する前記更新された値を前記第 1 のレジスタに記憶する手段と、

を有するような装置において、

前記取出手段が、前記 A パラメータの値 $0.b_0b_1...b_{i-1}b_i...$ をビット b_{i-1} までで切り捨て、 $b_{i-1} = '0'$ 且つ $b_i = '1'$ の場合に、 b_{i-1} を ' 1 ' に引き上げるような手段を更に有していることを特徴とする装置。

【請求項 1 8】

n が $n - 1$ を満たす整数である n ビットシンボルの直列系列を有する情報信号を算術的に符号化するような請求項 1 5 に記載の装置であって、該装置が、

- A パラメータ及び C パラメータを各々記憶するための有限サイズの第 1 及び第 2 のレジスタであって、前記 C パラメータが或る値区間の境界と関係を有する一方、前記 A パラ

メータが前記区間のサイズと関係を有するようなレジスタと、

- 符号化のために、前記情報信号のシンボルと、関連するシンボル用の少なくとも１つの対応する確率値とを入力する入力手段と、

- 前記 A 及び C パラメータに関する値を、前記第 1 及び第 2 のレジスタから各々取り出す取出手段と、

- 前記第 1 のレジスタから取り出された値に対応する前記値区間を前記少なくとも１つの確率値に対応する副区間に分割すると共に、これら副区間のうちの１つを前記シンボルに応答して選択する手段と、

- 少なくとも前記 A パラメータを、該 A パラメータの値が前記選択された副区間のサイズに従うように更新して、前記情報信号における次のシンボルを符号化するための区間の新たなサイズとなるようにする手段と、

- 前記 A パラメータに関する前記更新された値を前記第 1 のレジスタに記憶する手段と、

を有するような装置において、

前記取出手段が、前記 A パラメータの値 $0.b_0b_1 \dots b_{i-1}b_i \dots$ をビット b_{i-1} までで切り捨て、前記ビット b_{i-1} を '1' に等しくするような手段を更に有していることを特徴とする装置。

【請求項 19】

請求項 16、17 又は 18 に記載の装置であって、前記 A 及び C パラメータに関する再正規化された値を前記第 1 及び第 2 のレジスタに各々記憶するに先立ち、これら A 及び C パラメータに関する値を再正規化する手段を更に有するような装置において、前記再正規化する手段が、

(g1) 前記 A に関する値と第 1 の 2 進値とを比較し、前記 A に関する値が前記第 1 の 2 進値以上である場合は該再正規化ステップを離脱し、前記 A に関する値が前記第 1 の 2 進値未満である場合は、次いで、

(g2) 前記 A に関する値を第 1 の整数値で乗算する、
 ような手段を有していることを特徴とする装置。

【請求項 20】

請求項 19 に記載の装置において、前記再正規化手段が、

(g4) 前記 C に関する値を第 2 及び第 3 の 2 進値と比較し、ここで前記第 2 の 2 進値は前記第 3 の 2 進値より大きく、

(g5) 前記 C に関する値から第 4 の 2 進値を減算して、C に関する中間値を得、

(g6) 前記 C に関する中間値を第 2 の整数で乗算する、
 ような手段を更に有していることを特徴とする装置。

【請求項 21】

請求項 15 ないし 20 の何れか一項に記載の装置において、前記符号化された情報信号をチャンネル符号化された信号にチャンネル符号化する手段を更に有していることを特徴とする装置。

【請求項 22】

請求項 21 に記載の装置において、前記チャンネル符号化された信号を記録担体上に記録する記録手段を更に有していることを特徴とする装置。

【請求項 23】

算術的に符号化された情報信号を、 n が $n-1$ を満たす整数である n ビットシンボルの直列系列を有する情報信号に算術的に復号するような装置であって、該装置が、

- 前記算術的に符号化された情報信号を入力する入力手段と、

- 有限サイズの第 1 及び第 2 のレジスタであって、前記第 1 のレジスタは A パラメータを記憶するためのものであり、該 A パラメータは値区間のサイズと関係を有し、前記第 2 のレジスタは C パラメータを記憶するためのものであり、復号ステップ前の該第 2 のレジスタの内容は、前記算術的に符号化された情報信号の m ビットを前記第 2 のレジスタにシフト入力することにより、前の復号ステップにおいて得られた前記第 2 のレジスタの内容

10

20

30

40

50

から得られ、ここで m は $m \geq 0$ を満たすような可変整数であるようなレジスタと、

- 復号されるべき関連するシンボルに関する少なくとも 1 つの確率値を発生する発生手段と、

- 前記 A 及び C パラメータに関する値を、前記第 1 及び第 2 のレジスタから各々取り出す取出手段と、

- 前記少なくとも 1 つの確率値に応答し、且つ、A に関する値及び C に関する値に応答して、シンボルを導出する導出手段と、

- 少なくとも前記 A パラメータを更新して、前記情報信号における次のシンボルを復号するための区間の新たなサイズとなるようにする手段と、

- 前記導出されたシンボルを出力する手段と、

10

- 前記 A パラメータに関する前記更新された値を前記第 1 のレジスタに記憶する手段と、

を有するような装置において、

前記取出手段が、前記 A パラメータの値 $0.b_0b_1 \dots b_{i-1}b_i \dots$ をビット b_{i-1} まです切り捨て、 b_i が '1' に等しい場合に、前記 A の切り捨て処理された値に前記ビット b_{i-1} の位置で '1' を加算するような手段を更に有していることを特徴とする装置。

【請求項 2 4】

算術的に符号化された情報信号を、 n が $n \geq 1$ を満たす整数である n ビットシンボルの直列系列を有する情報信号に算術的に復号するような装置であって、該装置が、

- 前記算術的に符号化された情報信号を入力する入力手段と、

20

- 有限サイズの第 1 及び第 2 のレジスタであって、前記第 1 のレジスタは A パラメータを記憶するためのものであり、該 A パラメータは値区間のサイズと関係を有し、前記第 2 のレジスタは C パラメータを記憶するためのものであり、復号ステップ前の該第 2 のレジスタの内容は、前記算術的に符号化された情報信号の m ビットを前記第 2 のレジスタにシフト入力することにより、前の復号ステップにおいて得られた前記第 2 のレジスタの内容から得られ、ここで m は $m \geq 0$ を満たすような可変整数であるようなレジスタと、

- 復号されるべき関連するシンボルに関する少なくとも 1 つの確率値を発生する発生手段と、

- 前記 A 及び C パラメータに関する値を、前記第 1 及び第 2 のレジスタから各々取り出す取出手段と、

30

- 前記少なくとも 1 つの確率値に応答し、且つ、A に関する値及び C に関する値に応答して、シンボルを導出する導出手段と、

- 少なくとも前記 A パラメータを更新して、前記情報信号における次のシンボルを復号するための区間の新たなサイズとなるようにする手段と、

- 前記導出されたシンボルを出力する手段と、

- 前記 A パラメータに関する前記更新された値を前記第 1 のレジスタに記憶する手段と、

を有するような装置において、

前記取出手段が、前記 A パラメータの値 $0.b_0b_1 \dots b_{i-1}b_i \dots$ をビット b_{i-1} まです切り捨て、 $b_{i-1} = '0'$ 且つ $b_i = '1'$ の場合に、 b_{i-1} を '1' に引き上げるような手段を更に有していることを特徴とする装置。

40

【請求項 2 5】

算術的に符号化された情報信号を、 n が $n \geq 1$ を満たす整数である n ビットシンボルの直列系列を有する情報信号に算術的に復号するような装置であって、該装置が、

- 前記算術的に符号化された情報信号を入力する入力手段と、

- 有限サイズの第 1 及び第 2 のレジスタであって、前記第 1 のレジスタは A パラメータを記憶するためのものであり、該 A パラメータは値区間のサイズと関係を有し、前記第 2 のレジスタは C パラメータを記憶するためのものであり、復号ステップ前の該第 2 のレジスタの内容は、前記算術的に符号化された情報信号の m ビットを前記第 2 のレジスタにシフト入力することにより、前の復号ステップにおいて得られた前記第 2 のレジスタの内容

50

から得られ、ここで m は $m = 0$ を満たすような可変整数であるようなレジスタと、

- 復号されるべき関連するシンボルに関する少なくとも 1 つの確率値を発生する発生手段と、

- 前記 A 及び C パラメータに関する値を、前記第 1 及び第 2 のレジスタから各々取り出す取出手段と、

- 前記少なくとも 1 つの確率値に応答し、且つ、A に関する値及び C に関する値に応答して、シンボルを導出する導出手段と、

- 少なくとも前記 A パラメータを更新して、前記情報信号の次のシンボルを復号するための区間の新たなサイズとなるようにする手段と、

- 前記導出されたシンボルを出力する手段と、

- 前記 A パラメータに関する前記更新された値を前記第 1 のレジスタに記憶する手段と、

を有するような装置において、

前記取出手段が、前記 A パラメータの値 $0.b_0b_1 \dots b_{i-1}b_i \dots$ をビット b_{i-1} まです切り捨て、前記ビット b_{i-1} を ' 1 ' に等しくするような手段を更に有していることを特徴とする装置。

【請求項 26】

請求項 23、24 又は 25 に記載の復号装置において、算術復号の前に、前記算術的に符号化された情報信号をチャンネル復号するチャンネル復号手段を更に有していることを特徴とする装置。

【請求項 27】

請求項 26 に記載の装置において、前記チャンネル符号化された算術的に符号化された情報信号を記録担体から読み取る読取手段を更に有していることを特徴とする装置。

【発明の詳細な説明】

技術分野

本発明は、情報信号を算術符号化する方法、情報信号を算術符号化する装置及び該算術的に符号化された情報信号を復号する装置に関する。

背景技術

算術符号化は無損失符号化用の良く知られた技術であり、概要は現在のどの様なソース符号化ブックにおいても見付けることができる。本件に最も関連のある算術符号化の構成を完全に理解するには、[Lang84] を参照されたい。算術符号化の歴史に関しては、本明細書の巻末付録によく記載されている。更に、[Howard94] は算術符号化の詳細な説明を行っている。

本発明の主題である算術符号化の構成は 2 つの有限サイズのレジスタを使用し、これらレジスタは、通常、C 及び A と呼ばれる。エンコーダの動作のフローチャートは第 1 図に示されている。該区間が副区間に分割され、各副区間は符号化されるべきシンボルに対応し、各副区間のサイズは関連するシンボルの確率に対応する。シンボルを実際に符号化するために、C レジスタは該シンボルに対応する副区間の底を指し示すように調整され、A レジスタは選択された副区間のサイズに設定される。次いで、A レジスタ（及び C）は、次のシンボルが符号化される前に正規化（左シフト）される。通常、再正規化（re-normalization）の後、A の値は値 k と $2k$ との間にある。即ち、 $k \leq A < 2k$ である。本例では、 $k = 1/2$ が用いられるであろう。

例えば、2 進の場合は、符号化されるべきビットが最もありそうなシンボル（MPS）であるか又は最もありそうにないシンボル（LPS）であるかに応じて、2 つの副区間、従って C 及び A レジスタの 2 つの可能性のある更新が存在する。MPS は低い方の区間に割り付けられると仮定する。第 1 図の“A 及び C を更新する”なるブロックは、2 進の場合に関して第 2 図に示されている。入力ビットが LPS である確率は p により示されている（MPS の確率は $1/2$ であるので、 $p \leq 1/2$ であることに注意）。符号化されるべき入力ビットは b により示されている。 b 及び p の値は“...を読み取る”なるブロックにより供給される。さて、MPS が符号化されるべき場合は、C は変化しない。何故なら、低い方

10

20

30

40

50

の区間が選択され、Cが既にこの区間を指し示しているからである。しかしながら、Aは変化し、その更新は $A = A - A \cdot p$ である(MPSの確率が $1 - p$ に等しいという事実を利用する)。LPSが符号化されるべき場合は、C及びAの両方が変化される。即ち、Cは $C = C + A - A \cdot p$ のように更新され、新たな区間サイズは $A = A \cdot p$ となる。更に、前及び後処理により、MPSが常に例えば“0”ビットであり、LPSが常に“1”ビットであることを保証することができることに注意すべきである。最後に、乗算 $A \cdot p$ は僅かな性能損失において低精度で実行することができるので、第2図は“近似乗算”ブロックを示しており、かくしてハードウェアの複雑さを低減する。該近似乗算を行う技術は後述する。

2進でない場合は、第1図の“A及びCを更新する”ブロックは、第3図に示される。ここでは、“...を読み取る”ブロックは、符号化されるべきシンボル、s、並びに2つの確率値、即ちシンボルsの確率 p_s 及びシンボルsより下位の全てのシンボルの累積確率 p_t を供給する。第3図が分かるように、正確にAを“満たす”ために、シンボルMは他のものとは異なるように取り扱われる。[Riss89]には、MPSをシンボルMに割り当てるのが有利であることが示されている。

復号することができるためには、デコーダはCの値を知らなければならない。何故なら、これが、符号化されたシンボルを決定するからである。従って、デコーダに送られるものは、Cレジスタの値である。実際には、Aレジスタが再正規化処理(renormalization process)において左シフトされる毎に、CのMSB(“キャリービット”とも呼ばれる)がデコーダへの伝送のために処理される。Cに対して有限サイズのレジスタを使用することによる問題は、Cから既にシフト出力されたビットが、Cをインクリメントすることにより生ずるキャリーにより、後に調整されねばならないことにある。これを処理するために、キャリーオーバー制御が必要とされる。現状技術は該問題をエンコーダにおいて完全に解決するので、デコーダはこれにより影響されることはない。デコーダの複雑さを最小化するこれらの解決策も、後述する。

デコーダのフローチャートは第4図に示されている。2進の場合に関しては、“シンボルを出力し...”ブロックは第5図に示されている。2進でない場合は、デコーダはもっと複雑である。何故なら、sの値を知ることなしに、“ $C = C + D$ ”の逆数を見付けなければならないからである。

発明の開示

本発明は、上述した算術コードに関する改善を提供することを目指すものである。本発明によれば、当該符号化方法は、nがn-1を満たす整数であるようなnビットシンボルの直列系列を有し、Aパラメータ及びCパラメータを各々記憶する有限サイズの第1及び第2のレジスタを用い、前記Cパラメータが或る値区間の境界と関係を有する一方、前記Aパラメータが該区間のサイズと関係を有し、該方法が、

(a) 符号化のために、前記情報信号のシンボルと、関連するシンボルの少なくとも1つの対応する確率値とを入力するステップと、

(b) 前記A及びCパラメータに関する値を、前記第1及び第2のレジスタから各々取り出すステップと、

(c) 前記第1のレジスタから取り出された値に対応する前記値区間を前記少なくとも1つの確率値に対応する副区間に分割すると共に、これら副区間のうちの1つを前記シンボルに応答して選択するステップと、

(d) 少なくとも前記Aパラメータを、該Aパラメータの値が前記選択された副区間のサイズに従うように更新して、前記情報信号における次のシンボルを符号化するための区間の新たなサイズとなるようにするステップと、

(e) 前記Aパラメータに関する前記更新された値を前記第1のレジスタに記憶するステップと、

(f) 前記次のシンボルを符号化するために、該方法を前記ステップ(a)で継続するステップと、

を有するような方法において、

10

20

30

40

50

前記ステップ (b) が、前記 A パラメータの値 $0.b_0b_1...b_{i-1}b_i...$ をビット b_{i-1} までで切り捨て、 b_i が ' 1 ' に等しい場合に、前記 A の切り捨て処理された値にビット b_{i-1} の位置で ' 1 ' を加算するような副ステップを更に有していることを特徴とする。他の入念例においては、当該符号化方法は、 n が $n-1$ を満たす整数であるような n ビットシンボルの直列系列を有し、A パラメータ及び C パラメータを各々記憶する有限サイズの第 1 及び第 2 のレジスタを用い、前記 C パラメータが或る値区間の境界と関係を有する一方、前記 A パラメータが該区間のサイズと関係を有し、該方法が、

(a) 符号化のために、前記情報信号のシンボルと、関連するシンボルの少なくとも 1 つの対応する確率値とを入力するステップと、

(b) 前記 A 及び C パラメータに関する値を、前記第 1 及び第 2 のレジスタから各々取り出すステップと、

(c) 前記第 1 のレジスタから取り出された値に対応する前記値区間を前記少なくとも 1 つの確率値に対応する副区間に分割すると共に、これら副区間のうちの 1 つを前記シンボルに応答して選択するステップと、

(d) 少なくとも前記 A パラメータを、該 A パラメータの値が前記選択された副区間のサイズに従うように更新して、前記情報信号における次のシンボルを符号化するための区間の新たなサイズとなるようにするステップと、

(e) 前記 A パラメータに関する前記更新された値を前記第 1 のレジスタに記憶するステップと、

(f) 前記次のシンボルを符号化するために、該方法を前記ステップ (a) で継続するステップと、

を有するような方法において、

前記ステップ (b) が、前記 A パラメータの値 $0.b_0b_1...b_{i-1}b_i...$ をビット b_{i-1} までで切り捨て、 $b_{i-1} = '0'$ 且つ $b_i = '1'$ の場合に、 b_{i-1} を ' 1 ' に引き上げるような副ステップを更に有していることを特徴とする。また、他の入念例においては、当該符号化方法は、 n が $n-1$ を満たす整数であるような n ビットシンボルの直列系列を有し、A パラメータ及び C パラメータを各々記憶する有限サイズの第 1 及び第 2 のレジスタを用い、前記 C パラメータが或る値区間の境界と関係を有する一方、前記 A パラメータが該区間のサイズと関係を有し、

該方法が、

(a) 符号化のために、前記情報信号のシンボルと、関連するシンボルの少なくとも 1 つの対応する確率値とを入力するステップと、

(b) 前記 A 及び C パラメータに関する値を、前記第 1 及び第 2 のレジスタから各々取り出すステップと、

(c) 前記第 1 のレジスタから取り出された値に対応する前記値区間を前記少なくとも 1 つの確率値に対応する副区間に分割すると共に、これら副区間のうちの 1 つを前記シンボルに応答して選択するステップと、

(d) 少なくとも前記 A パラメータを、該 A パラメータの値が前記選択された副区間のサイズに従うように更新して、前記情報信号における次のシンボルを符号化するための区間の新たなサイズとなるようにするステップと、

(e) 前記 A パラメータに関する前記更新された値を前記第 1 のレジスタに記憶するステップと、

(f) 前記次のシンボルを符号化するために、該方法を前記ステップ (a) で継続するステップと、

を有するような方法において、

前記ステップ (b) が、前記 A パラメータの値 $0.b_0b_1...b_{i-1}b_i...$ をビット b_{i-1} までで切り捨て、該ビット b_{i-1} を ' 1 ' に等しくするような副ステップを更に有していることを特徴とする。

本発明において提示される改善は、近似乗算ブロック (これは、エンコーダ及びデコーダの両方において使用される)、及びエンコーダ内のみで "... 再正規化し ..." ブロックにお

10

20

30

40

50

いて生じるキャリーオーバー制御に関するものである。

【図面の簡単な説明】

以下、本発明の、これら及び他の特徴を詳細に説明するが、添付図面において、

第 1 図は、算術エンコーダのフローチャートを示し、

第 2 図は、第 1 図のエンコーダブロック “ A 及び C を更新する ” の 2 進の場合に関するフローチャートを示し、ここで L P S 確率は p であり、符号化されるべきビットの値は b により示されており、

第 3 図は、第 1 図のエンコーダブロック “ A 及び C を更新する ” の 2 進でない場合に関するフローチャートを示し、ここで符号化されるべきシンボルの値は s により示され、その確率は p_s により示され、 $M + 1$ のシンボルは 0 , ... M の番号が付され、 $p_t = p_0 + p_1 + \dots + p_{s-1}$ はシンボル s より下位の全シンボルの累積確率であり、

第 4 図は、デコーダのフローチャートを示し、

第 5 図は、第 4 図におけるデコーダブロック “ シンボルを出力し...” の 2 進の場合に関するフローチャートを示し、ここで L P S の確率は p であり、復号されるべきビットの値は b で示されており、

第 6 図は、第 1 図における “ ...再正規化し...” で示されるエンコーダブロックのフローチャートを示し、

第 7 図は、第 1 図における “ 初期化する ” で示されるエンコーダブロックのフローチャートを示し、

第 8 図は、第 1 図における “ 終了 ” で示されるエンコーダブロックのフローチャートを示し、

第 9 図は、第 4 図における “ 初期化する ” で示されるデコーダブロックのフローチャートを示し、

第 10 図は、第 4 図における “ ...再正規化し...” で示されるデコーダブロックのフローチャートを示し、

第 11 図は、エンコーダ装置の実施例を示し、

第 12 図は、デコーダ装置の実施例を示す。

発明を実施するための最良の形態

乗算の改善に関しては、次のことが言える。乗算 $A \cdot p$ を “ 避ける ” という問題は、[Lang81] においては、 $2 \exp\{-Q\}$ により p を近似することにより解決されており、ここで Q は整数である。この場合、 p による乗算は、単純に、 Q 位置だけの右シフトに対応する。 Q はスキュー値 (skew number) と呼ばれる。後に、[Riss89] におけるように、A レジスタは $0.75 \leq A < 1.5$ のように正規化される。この場合、

$$A \approx 1$$

と仮定され、従って、

$$A \cdot p \approx p$$

となる。

もっと良好な性能は、[Chev91a] 及び [Chev91b] で得られた。これらは、所定の 2 進 1 桁より重要でない全ての 2 進桁を削除することにより A を近似することを主張しており、それらの好ましい実施例は 2 番目の最も重要な 2 進 1 桁を使用することである。このように、該好ましい実施例では、 A の値は 2 つの零でないビットを含む 2 進数により近似され、これは、乗算が単一のシフト及び加算演算を用いて実行することができることを意味している。最後に、[Feyg93] は、これも単一のシフト及び加算演算により実施することが可能な A の改善された近似を説明している。

乗算を近似するために本発明において実際に使用される方法 (又は複数の方法) は、以下の通りである。確率 (p) が、 $N P$ ビットを用いて記載されるとする。例えば、 $N P = 8$ なら、 $p = 1/4 = 2 \exp\{-2\} = 0.01$ (2 進) は 2 進 01000000 により表される。即ち、“0.1” は含まれない。何故なら、これは全ての確率に対して同一であるからである。A レジスタのサイズは $N A = N P + N X$ ビットに選定され、ここで $N X$ は乗算に用いられる A の値を近似するために使用されるビット数を表す。例えば、 $N X = 3$ 及び $A = 3/4 = 0.11$ とする

10

20

30

40

50

と、Aは11000000000を含む $8 + 3 = 11$ ビットのレジスタである（ここでも、“0.1”は除去されている。何故ならAを常に1より小となるように正規化するからである）。乗算に関しては、Aを3ビットの数で近似する。この場合、最良の近似は110であることは明らかである。かくして、近似乗算 $A \cdot p$ の結果は00110000000、即ち、ここでも11ビットの数となる。このような近似乗算の構成は、なかでも、[Feyg93]で提案されている。

以下では、NAビット数AがどのようにしてNXビットにより近似されるべきかを説明する。

Aを近似する最初の方法（方法P1）は、Aを切り捨てる（truncate）代わりにNXビットに丸める（round）手段を有する。丸めるとは、Aの(NX+1)番目のビットが0であればAをNXビットまでで切り捨て、(N+1)番目のビットが1である場合は該切り捨て処理された表現に1が加算されることを意味する。例えば、 $A = 1101\dots$ であれば、3ビット近似は111となる。適用される丸めは複雑さを増加させる。何故なら、約半分の場合において、切り捨て処理された表現に1が加算されねばならず、これは加算演算又はテーブルのルックアップの何れかがなされなければならないことを意味するからである。

代替え例（方法P2）として、“部分的丸め”と呼ばれるものを採用することが提案される。部分的丸めによれば、(NX+1)番目のビットが‘1’であり、且つ、NX番目のビットが‘0’である場合にのみ、1が上記の切り捨て処理された表現に加算される。実施化においては、これは、Aの近似のNX番目のビットは、元のAのNX番目のビットと(NX+1)番目のビットとの論理和に等しいことを意味する。例えば、 $A = 1011\dots$ は101により近似され、 $A = 1001\dots$ も同様に101により近似されるが、 $A = 1000\dots$ は100により近似される。部分的丸めは、約75%の場合において、“完全な丸め”と同一の近似になることに注意されたい。

他の代替え例（方法P3）においては、AをNXビットまでで切り捨てると共に該近似のNX番目のビットを常に1に設定することによりAを近似することが提案される。これは、Aに対する可能性のある近似値の半分を除くので、該例はハードウェアによる実施化の複雑さを更に減少させるという考えに基づいている。

幾つかの既知の方法の性能が、上述した3つの新たな方法と比較された。種々の方法の性能が表に掲載されている。該表に上述した3つの近似方法（P1、P2及びP3）に加えて示されている方法は、‘基準’により示された、完全なNA x NPビットの乗算を計算し、AをNAビットまでで切り捨てるのみの基準方法、[Moff95]の方法、[Chev91a]の方法、Feyg93(1)により示されるFeyg93の第3節に記載された方法、Feyg93(2)により示されるFeyg93の第4節に記載された方法である。

方法	NX = 2	NX = 3	NX = 4
基準	100	100	100
Moff95	101.25	100.33	100.09
Chev91a	101.24	100.57	100.45
Feyg93(1)	101.22	100.32	100.19
Feyg93(2)	100.52	100.12	100.04
P1	100.33	100.12	100.03
P2	100.57	100.19	100.05
P3	101.66	100.44	100.10

掲載された数値は圧縮されたファイルの相対サイズであり、100は乗算の不完全な近似による“損失無し”に相当する。例えば、100.57なる数値は、圧縮されたファイルのサイズ

が近似乗算のため0.57%だけ増加されたことを意味する。

予期したように、方法 P 2 の性能はMoff95の方法のものよりは良好であるが、方法 P 1 のもののようには良好ではない。

方法 P 2 は良い妥協点である。即ち、 $N \times = 3$ 及び $N \times = 4$ に対する P 2 は、性能と複雑さとの間の良い取り引きをもたらしている。何故なら、その性能は少ない複雑さで方法 P 1 のものと実際上同じであるからである（上記表参照）。 $N \times = 2$ に対しては、方法 P 1 は好ましい方法である一方、方法 P 3 は $N \times = 5$ 及びそれより大きいものに対して使用することができる。

2 進でない場合は、A の値を丸めにより近似することができる方法は、アルファベットサイズが増加する場合に、MPS に対して残される“余剰”がないという潜在的な問題がある [Feyg93]。Feyg93(2)の方法に関しては、アルファベットサイズに対する最悪の限界は、11 である [Feyg93]。ここで提案されている新たな近似方法は、A が丸めにより増加され得る量が、 $N \times$ が増加されるにつれて減少するという利点を有している。従って、確率の分布がアルファベットサイズが制限される（及び切り捨てのみ又は切り下げのみが可能な方法の性能では不十分である）ようなアプリケーションが存在するなら、 $N \times$ を増加させることにより大きなアルファベットを扱うことができる。

エンコーダにおける再正規化ステップでのキャリーオーバー制御の問題は、元々、“ビット詰め込み (bit stuffing)” と呼ばれる技術により解決されていた [Lang81]。この技術は、一連の 1 ビットに出会った場合、符号化されたストリームに 0 詰め込みビットを挿入することによりキャリーを“捕捉”する。この技術の欠点は、余分な詰め込みビットにより圧縮効率を低減してしまい、デコーダにおいて特別な処理を必要とする点にある。圧縮性能に影響を与えることなくキャリーオーバーを防止する方法が [Witt87] に記載されている。この方法は、デコーダの複雑さが幾らか増加するという欠点を有している。[Witt87] のアイデアは [Cham90] に、デコーダの複雑さを増加させることなく使用することができるように適用された。

ここでは、デコーダの複雑さを増加させることのない別の解決策を提案する。本発明によるエンコーダ再正規化処理のフローチャートが第 6 図に示されている。主な改良点は、 $C < 0.10...0?$ なるブロックである。この同じブロックに関して、従来技術は $C + A < 1.0...?$ を使用し、従って本提案に較べて余分な加算演算を必要とする。

エンコーダについての説明を完全にするために、初期化及び終了ブロックが第 7 図及び第 8 図に各々示されている。カウンタ変数は、第 6 図に示したエンコーダの再正規化ブロックで使用されるものと同じである。C のサイズは $(NA+1)$ ビットであるので（エンコーダにおいて）、C は NA の分数ビット（“小数点以降のビット”）を有し、これらは第 8 図に示されるように終了時に出力される。

デコーダの初期化は第 9 図に示されている。C レジスタは、ストリームから $(NA+1)$ ビットを読み取ることにより満たされる。読み取られる最初のビットは“ダミー”である。何故なら、該ビットは常に“0”ビットであるからである。デコーダにおける C レジスタのサイズは NA ビットのみであり、従ってエンコーダにおけるより 1 だけ少ない。デコーダにおいては、特別な終了は存在しない（第 4 図の“終了”ブロックは空である）。デコーダにおける再正規化（第 4 図における“...を再正規化し...”ブロック）は第 10 図に示されている。

第 11 図は、本発明によるエンコーダ装置の一実施例を示している。該装置は、情報信号及び確率信号を各々入力する入力端子 100 及び 102 を有している。上記情報信号は b ビットシンボルの直列系列を有し、 n は $n - 1$ が成り立つ整数である。入力端子 102 に供給される確率信号は、上記情報信号における各シンボルに対し 1 以上の確率を有している。2 進シンボルに対しては、該確率信号は各シンボルに対して 1 つの確率を有する。A パラメータ及び C パラメータを記録するために、有限のサイズの第 1 及び第 2 のレジスタ 104 及び 106 が存在する。

上記情報信号に対して算術符号化を実行するために、処理ユニット 108 が利用可能である。該処理ユニット 108 についての詳細に立ち入ることなく、このユニットは、A 及び C パ

10

20

30

40

50

ラメータに関する値を上記第 1 及び第 2 のレジスタから取り出す回路、並びにシンボルを符号化した後、A 及び C に関する更新され且つ再正規化された値を第 1 及び第 2 のレジスタ 104 及び 106 に各々記憶する回路を有すると理解されたい。更に、ユニット 108 は、第 1 のレジスタ 104 から取り出された値に対応する値の区間を、入力端子 102 に供給された前記の少なくとも 1 つの確率値に対応する副区間に分割する回路、及び入力端子 100 に供給された前記シンボルに応答して上記副区間のうちの 1 つを選択する回路を有している。

A 及び C パラメータを更新する回路は、斯かる回路が、A 値を上記の選択された副区間のサイズに従がわせ、且つ、C 値を該副区間の境界に従わせるために必要な場合は、存在する。

出力端子 110 は、符号化されたシンボルに応答して符号化されたビットを出力するために利用可能である。

10

A 及び C パラメータを、それらの対応するレジスタから取り出す取出手段は、計算 $A \cdot p$ を実行するに先立ち、該 A パラメータの値を切り捨てる手段を更に有している。即ち、この切り捨ては以下のものであり得る。A の値が $0.b_0b_1 \dots b_{i-1}b_i \dots$ のように表されると仮定する。この値はビット b_{i-1} ままで切り捨てられ、 b_i が '1' に等しい場合は、A の該切り捨て処理された値にビット b_{i-1} の位置で '1' が加算される。

他の入念例では、A パラメータの値はビット b_{i-1} ままで切り捨てられ、 $b_{i-1} = '0'$ 且つ $b_i = '1'$ の場合はビット b_{i-1} は '1' に増加される。更に他の入念例では、A パラメータはビット b_{i-1} ままで切り捨てられ、ビット b_{i-1} は '1' に等しくされる。

処理ユニット 108 が第 1、2、3、6、7 及び 8 図に示された方法を実行することができることは分かるであろう。

20

好ましくは、該エンコーダ装置には更に、上記符号化された情報信号をチャンネル符号化された情報信号にチャンネル符号化する（必要なら、及び誤り訂正符号化する）既知のチャンネル符号化ユニット 112、及び該チャンネル符号化された信号を磁気記録担体 116 又は光学記録担体 118 のような記録担体上に書き込む書込ユニット 114 が設けられる。

第 12 図は、本発明によるデコーダ装置の一実施例を示している。該デコーダ装置は、符号化された情報信号を入力するための入力端子 120 を有している。A パラメータ及び C パラメータを各々記憶するために、有限のサイズの第 1 及び第 2 のレジスタ 122 及び 124 が存在する。

処理ユニット 126 が設けられ、該処理ユニットは、入力端子 134 を介して該処理ユニット 126 に供給される確率信号に응答して、入力端子 120 を介して入力される上記符号化された情報信号に算術復号を実施する。上記確率信号は既知の方法で得ることができる。1 ビットオーディオ信号に対する確率を導出する一例が、[Bruek97] に示されている。本例では、確率は、出力端子 128 に供給される復号された出力信号から、即ち予測フィルタ 136 において該復号された出力信号に予測フィルタ処理を実行すると共に、確率決定ユニット 138 において該予測フィルタ 136 の出力信号に응答して確率信号を発生することにより、導出される。処理ユニット 126 の詳細に立ち入ることなく、このユニットは、第 1 及び第 2 のレジスタから A 及び C パラメータに関する値を取り出す回路、並びにシンボルを復号した後 A 及び C に関する更新され且つ再正規化された値を第 1 及び第 2 のレジスタ 122 及び 124 に各々記憶する回路を有していると理解されたい。更に、上記ユニット 126 は第 4、5、9 及び 10 図に示されるステップを実行する回路も有している。

30

40

A パラメータの値をレジスタ 122 から取り出す上記回路は、更に、計算 $A \cdot p$ を実行するに先立ち A パラメータの値を切り捨てる手段も有している。この切り捨てはエンコーダに関して前述したのと同じ方法であるので、これ以上の説明は行わない。

好ましくは、上記デコーダ装置には、更に、前記チャンネル符号化された情報信号を算術デコーダ 126 用の算術的に符号化された情報信号にチャンネル復号する（必要なら、及び誤りを訂正する）既知のチャンネル復号ユニット 132、及び上記チャンネル符号化された信号を磁気記録担体 116 又は光学記録担体 118 のような記録担体から読み取る読取ユニット 130 が設けられる。

算術符号化は、ビデオ及びオーディオ用の極最近の無損失及び損失のある符号化方法に適

50

用される。該符号化は、コンピュータデータ（例えば、テキストファイルのような）の圧縮にも適用することができる。ここで目論まれた応用例は、1ビットオーディオ信号の無損失符号化である。この点に関しては、ヨーロッパ特許出願第97201680.2号（出願人整理番号：PHN16405）に対応する米国特許出願第08/966375号、及び国際特許出願第IB97/01156号（出願人整理番号：PHN16452）に対応する米国特許出願第08/937435号を参照されたい。

本発明は、その好ましい実施例に関して説明したが、これらは限定するような例ではないと理解されたい。従って、当業者にとっては、請求項に記載される本発明の範囲から逸脱することなく、種々の変形が明らかであろう。

更に、本発明は各々の及び全ての新規な特徴又は特徴の組合せにも存在する。

10

参考文献：

[Lang81] 1981年6月のIEEE Trans. on Com., 第COM-29巻、第858～67頁、G.G. Langdon他による“算術符号化による白黒画像の圧縮”

[Witt87] 1987年6月のCommunications ACM, 第30巻、第520～540頁、I.H. Witten他による“データ圧縮用の算術符号化”

[Lang84] 1984年3月のIBM J. Res. Develop., 第28巻、第135～149頁、G. Langdonによる“算術符号化の概説”

[Penn88] 1988年11月のIBM J. Res. Develop., 第32巻、第717～26頁、W. B. Pennebaker他による“Qコード適応型2進算術コードの基本原則の概要”

[Riss89] 1989年2月のIEEE Trans. on Com., 第37巻、第93～8頁、J. Rissanen他による“乗算無し多重アルファベット算術コード”

20

[Cham90] 米国特許第4973961号

[Chev91a] 1991年のデータ圧縮会議(DCC'91)、第43～52頁、D. Cheviotn他による“算術符号化の高効率乗算無し近似”

[Chev91b] 米国特許第4989000号

[Feyg93] 1993年3月30日～4月1日のデータ圧縮会議(DCC'93)、第118～127頁、G. Feygin他による“算術符号化の乗算無し近似における誤り及びVLSI複雑さの最小化”

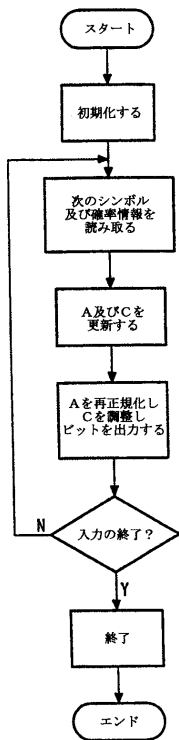
[Howard94] 1994年6月のProc. IEEE, 第82巻、第6号、第857～65頁、P.G. Howard他による“データ圧縮用の算術符号化”

30

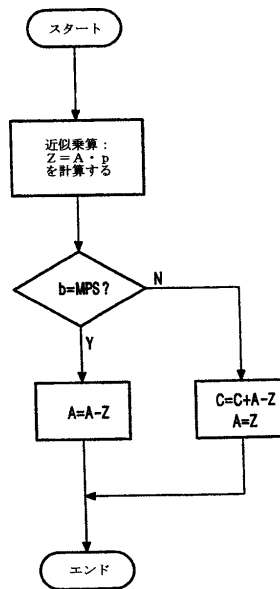
[Moff95] 1995年のデータ圧縮会議(DCC'95)、第202～11頁、A. Moffatt他による“算術符号化再訪問”

[Bruek97] 1997年9月26～29日のAES第103回会議で提示された、F. Buekers他による“1ビットオーディオ信号の改善された無損失符号化”、予稿4563(I-6)

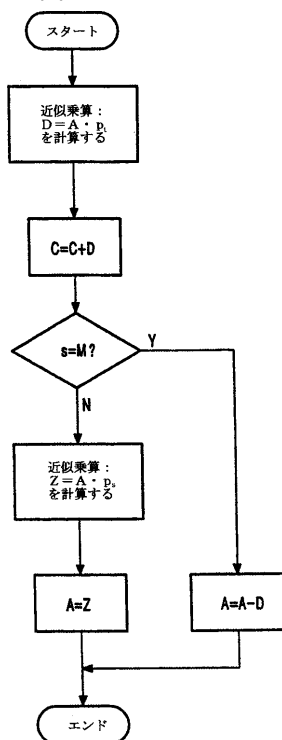
【図 1】



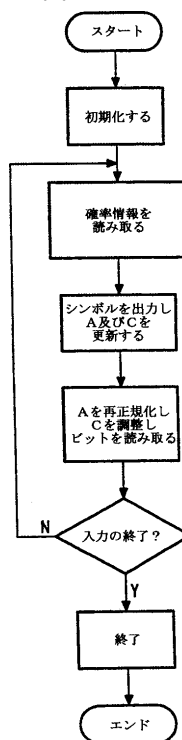
【図 2】



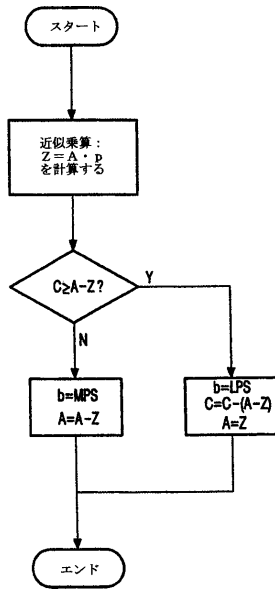
【図 3】



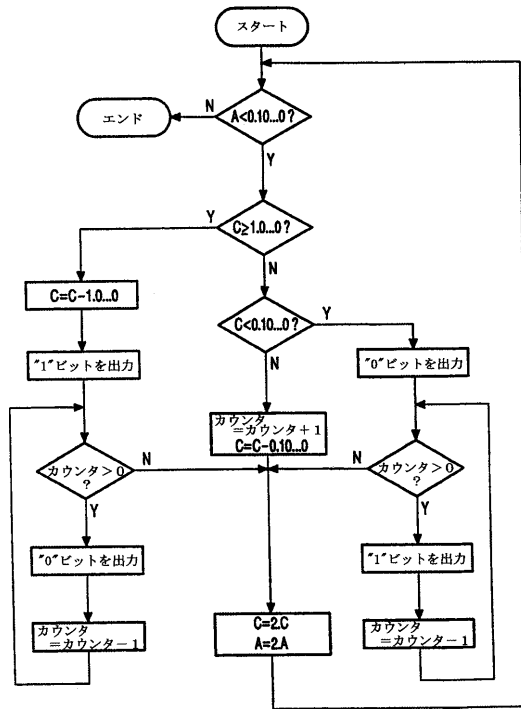
【図 4】



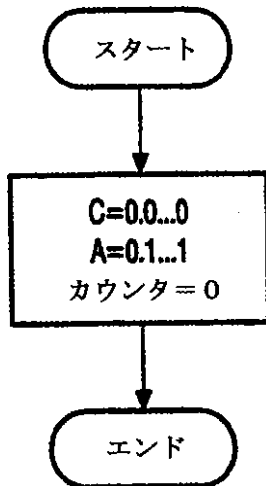
【図 5】



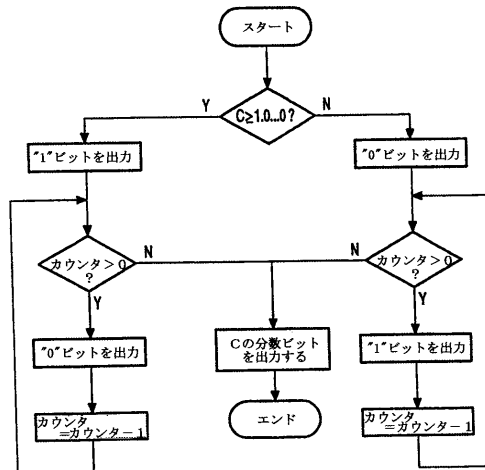
【図 6】



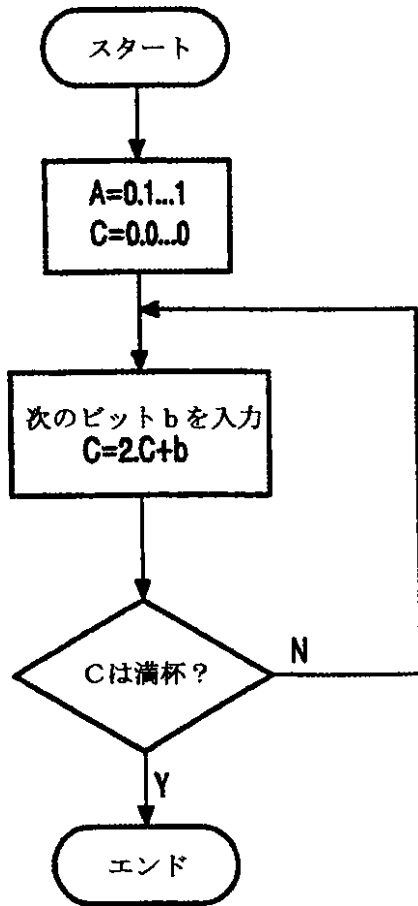
【図 7】



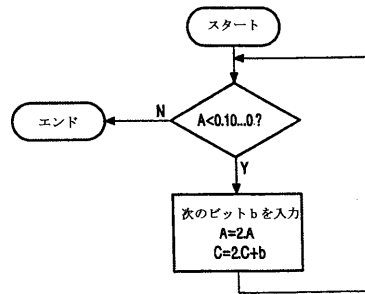
【図 8】



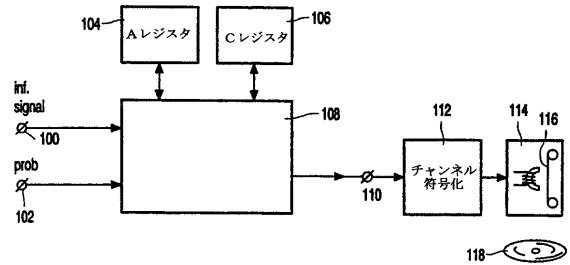
【図 9】



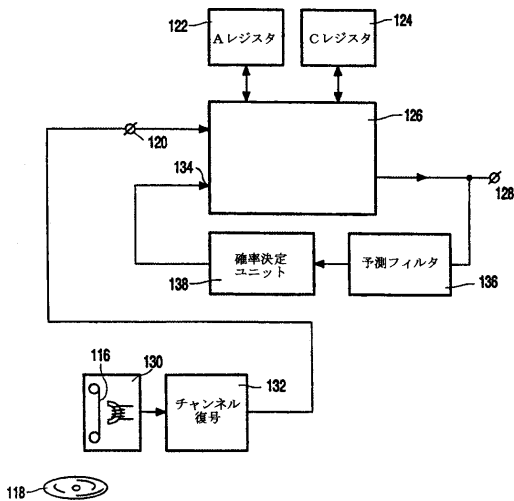
【図 10】



【図 11】



【図 12】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H03M 7/40