



(12) 发明专利申请

(10) 申请公布号 CN 104471549 A

(43) 申请公布日 2015. 03. 25

(21) 申请号 201280074337. 6

(51) Int. Cl.

(22) 申请日 2012. 06. 28

G06F 12/16(2006. 01)

G06F 12/02(2006. 01)

(85) PCT国际申请进入国家阶段日

2014. 12. 26

(86) PCT国际申请的申请数据

PCT/JP2012/066494 2012. 06. 28

(87) PCT国际申请的公布数据

W02014/002222 JA 2014. 01. 03

(71) 申请人 三菱电机株式会社

地址 日本东京

(72) 发明人 迹部浩士

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 何立波 张天舒

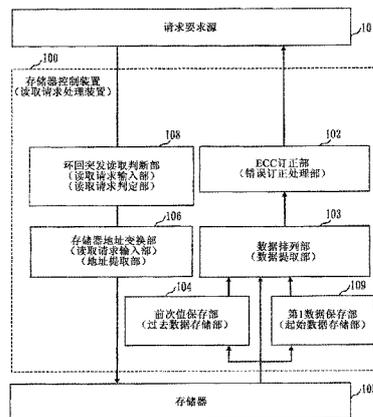
权利要求书3页 说明书11页 附图13页

(54) 发明名称

读取请求处理装置

(57) 摘要

环回突发读取判定部 (108) 判定读取请求是否是环回读取的请求。在是环回读取的请求的情况下,存储器地址变换部 (106) 对包含存储有由读取请求所要求的有效载荷数据的地址在内的多个地址进行提取,并指定来自提取出的多个地址的数据的读出顺序。在是环回读取的请求的情况下,第1数据保存部 (109) 将从所述多个地址中的被指定为起始读出顺序的地址读出的第1数据输入,并存储第1数据。在是环回读取的请求的情况下,数据排列部 (103) 将从被指定为末尾读出顺序的地址读出的末尾数据输入,并且从第1数据和末尾数据中,提取存在对应关系的有效载荷数据和ECC。



1. 一种读取请求处理装置,其处理要求从存储器读出有效载荷数据的读取请求,在该存储器中,具有分别对规定的的数据宽度值的数据进行存储的 n 个地址,所述 n 个地址以环回读取的单位即 m 个地址为单位进行划分,存在对应关系的有效载荷数据和错误订正数据横跨相邻的 2 个地址而存储,以地址单位进行数据的读出,其中, m 是 2 以上的整数, n 是 m 的 2 以上整数倍的整数,

该读取请求处理装置的特征在于,具有:

读取请求输入部,其输入读取请求;

读取请求判定部,其判定由所述读取请求输入部输入的读取请求是否是环回读取的请求;

地址提取部,其在由所述读取请求判定部判定出所述读取请求是环回读取的请求的情况下,从所述 n 个地址中提取出包含存储有由所述读取请求所要求的有效载荷数据的地址在内的 m 个地址而作为环回读取的对象,基于提取出的 m 个地址的顺序,指定来自 m 个地址的数据的读出顺序,并且,将来自各地址的数据的读出次数限定为 1 次;

起始数据存储部,其在由所述读取请求判定部判定出所述读取请求是环回读取的请求的情况下,当从由所述地址提取部提取出的 m 个地址中的被指定为起始读出顺序的起始地址读出数据时,将从所述起始地址读出的起始数据输入,并存储所述起始数据;以及

数据提取部,其在由所述读取请求判定部判定出所述读取请求是环回读取的请求的情况下,当从由所述地址提取部提取出的 m 个地址中的被指定为末尾读出顺序的末尾地址读出数据时,将从所述末尾地址读出的末尾数据输入,并且,从所述起始数据存储部输入所述起始数据,从所述起始数据和所述末尾数据中提取存在对应关系的有效载荷数据和错误订正数据。

2. 根据权利要求 1 所述的读取请求处理装置,其特征在于,

所述读取请求处理装置还具有过去数据存储部,该过去数据存储部在由所述读取请求判定部判定出所述读取请求是环回读取的请求的情况下,按照由所述地址提取部指定出的读出顺序,在每次从所述 m 个地址的各地址读出数据时,将读出的数据输入,并将所输入的数据作为过去数据而存储,

所述数据提取部在由所述读取请求判定部判定出所述读取请求是环回读取的请求的情况下,直至从所述末尾地址读出数据为止,按照由所述地址提取部指定出的读出顺序,在每次从所述 m 个地址的各地址读出数据时,将读出的数据输入,并且,将所输入的输入数据之前一次读出的过去数据从所述过去数据存储部输入,从所述输入数据和所述过去数据中,提取存在对应关系的有效载荷数据和错误订正数据。

3. 根据权利要求 1 或 2 所述的读取请求处理装置,其特征在于,

所述读取请求处理装置还具有错误订正处理部,该错误订正处理部使用由所述数据提取部提取出的错误订正数据,对存在对应关系的有效载荷数据进行错误订正处理,并将错误订正处理之后的有效载荷数据向所述读取请求的输出源输出。

4. 根据权利要求 1 至 3 中任一项所述的读取请求处理装置,其特征在于,

所述地址提取部在由所述读取请求判定部判定出所述读取请求是环回读取的请求的情况下,对存储有由所述读取请求所要求的有效载荷数据的地址即要求目标地址指定起始读出顺序,对所述要求目标地址的前 1 个地址指定末尾读出顺序。

5. 根据权利要求 1 至 4 中任一项所述的请求处理装置,其特征在于,
所述读取请求判定部、所述地址提取部、所述起始数据存储部以及所述数据提取部对多个读取请求进行流水线处理。

6. 根据权利要求 5 所述的请求处理装置,其特征在于,
所述读取请求处理装置还具有数据冲突控制部,该数据冲突控制部以下述方式对从所述存储器读出的数据的定时进行控制,即,在所述数据提取部从所述起始数据存储部输入所述起始数据,从所述起始数据和所述末尾数据中提取出存在对应关系的有效载荷数据和错误订正数据之后,向所述数据提取部输入与紧接着环回读取的请求之后的读取请求相对地对应地从所述存储器读出的数据。

7. 一种读取请求处理装置,其处理要求从存储器读出有效载荷数据的读取请求,在该存储器中,具有分别对规定的的数据宽度值的数据进行存储的 n 个地址,存在对应关系的有效载荷数据和错误订正数据横跨相邻的 2 个地址而存储,以地址单位进行数据的读出,其中, n 是 2 以上的整数,

该读取请求处理装置的特征在于,具有:

读取请求输入部,其输入读取请求;

地址提取部,其从所述 n 个地址中,提取出存储有由所述读取请求输入部输入的读取请求所要求的有效载荷数据和与该有效载荷数据存在对应关系的错误订正数据的 p 个地址而作为读出的对象,基于提取出的 p 个地址的顺序,指定来自 p 个地址的数据的读出顺序,其中, p 是 2 以上且 n 以下的整数;

过去数据存储部,其按照由所述地址提取部指定出的读出顺序,在每次从所述 p 个地址的各地址读出数据时,将读出的数据输入,并将所输入的数据作为过去数据而存储;以及

数据提取部,其按照由所述地址提取部指定出的读出顺序,在每次从所述 p 个地址的各地址读出数据时,将读出的数据输入,并且将所输入的输入数据之前一次读出的过去数据从所述过去数据存储部输入,从所述输入数据和所述过去数据中提取存在对应关系的有效载荷数据和错误订正数据。

8. 根据权利要求 7 所述的读取请求处理装置,其特征在于,
所述读取请求处理装置处理要求从存储器读出有效载荷数据的读取请求,在该存储器中,所述 n 个地址以环回读取的单位即 m 个地址为单位进行划分,其中, m 是 2 以上的整数, n 是 m 的 2 以上整数倍的整数,

所述读取请求处理装置还具有读取请求判定部,该读取请求判定部判定由所述读取请求输入部输入的读取请求是否是环回读取的请求,

所述地址提取部在由所述读取请求判定部判定出所述读取请求是环回读取的请求的情况下,从所述 n 个地址中提取出包含存储有由所述读取请求所要求的有效载荷数据的地址在内的 m 个地址而作为环回读取的对象,基于提取出的 m 个地址的顺序,指定来自 m 个地址的数据的读出顺序,并且,将来自各地址的数据的读出次数限定为 1 次,

所述读取请求处理装置还具有起始数据存储部,该起始数据存储部在由所述读取请求判定部判定出所述读取请求是环回读取的请求的情况下,当从由所述地址提取部提取出的 m 个地址中的被指定为起始读出顺序的起始地址读出数据时,将从所述起始地址读出的起始数据输入,并存储所述起始数据,

所述数据提取部在由所述读取请求判定部判定出所述读取请求是环回读取的请求的情况下,当从由所述地址提取部提取出的 m 个地址中的被指定为末尾读出顺序的末尾地址读出数据时,将从所述末尾地址读出的末尾数据输入,并且从所述起始数据存储部输入所述起始数据,从所述起始数据和所述末尾数据中提取存在对应关系的有效载荷数据和错误订正数据。

9. 根据权利要求 8 所述的读取请求处理装置,其特征在于,

所述过去数据存储部在由所述读取请求判定部判定出所述读取请求是环回读取的请求的情况下,按照由所述地址提取部指定出的读出顺序,在每次从所述 m 个地址的各地址读出数据时,将读出的数据输入,并将所输入的数据作为过去数据而存储,

所述数据提取部在由所述读取请求判定部判定出所述读取请求是环回读取的请求的情况下,直至从所述末尾地址读出数据为止,按照由所述地址提取部指定出的读出顺序,在每次从所述 m 个地址的各地址读出数据时,将读出的数据输入,并且将所输入的输入数据之前一次读出的过去数据从所述过去数据存储部输入,从所述输入数据和所述过去数据中,提取存在对应关系的有效载荷数据和错误订正数据。

10. 根据权利要求 7 至 9 中任一项所述的读取请求处理装置,其特征在于,

所述读取请求处理装置还具有错误订正处理部,该错误订正处理部使用由所述数据提取部提取出的错误订正数据,对存在对应关系的有效载荷数据进行错误订正处理,并将错误订正处理之后的有效载荷数据向所述读取请求的输出源输出。

11. 根据权利要求 7 所述的读取请求处理装置,其特征在于,

所述地址提取部、所述过去数据存储部以及所述数据提取部对多个读取请求进行流水线处理。

12. 根据权利要求 8 所述的读取请求处理装置,其特征在于,

所述读取请求判定部、所述地址提取部、所述过去数据存储部、所述起始数据存储部以及所述数据提取部对多个读取请求进行流水线处理。

13. 根据权利要求 12 所述的读取请求处理装置,其特征在于,

所述读取请求处理装置还具有数据冲突控制部,该数据冲突控制部以下述方式对从所述存储器读出的数据的定时进行控制,即,在所述数据提取部从所述起始数据存储部输入所述起始数据,从所述起始数据和所述末尾数据中提取出存在对应关系的有效载荷数据和错误订正数据之后,向所述数据提取部输入与紧接着环回读取的请求之后的读取请求相对应地从所述存储器读出的数据。

读取请求处理装置

技术领域

[0001] 本发明涉及一种对要求读取来自存储器的有效载荷数据的读取请求进行处理的技术。

背景技术

[0002] 为了提高存储器的可靠性,有时在有效载荷数据中附加 ECC(Error Correcting Code)、奇偶校验位。通常,在宽度方向上追加存储器元件,而专用于所附加的 ECC、奇偶校验位(水平 ECC、水平奇偶校验)。

[0003] 例如,不是 $\times 8$ 位结构的存储器,而考虑使用特殊的 $\times 9$ 位结构的存储器。

[0004] 但是,存储器元件的追加、特殊存储器的采用,大多在成本方面是不利的,或者难于得到部件。

[0005] 作为其解决对策之一,有时通过不在宽度方向上保存 ECC 而在深度方向上保存 ECC,从而不需要在宽度方向上增加存储器,而采用垂直 ECC、垂直奇偶校验。

[0006] 下面,将垂直 ECC 作为例子进行说明,但下面的说明也能够适用于垂直奇偶校验。

[0007] 例如,考虑在如图 1 所示的存储器结构中通过垂直 ECC 方式,附加 ECC 的情况。

[0008] 在图 1 中,在 1 个地址处,存储有 4 个各自的数据宽度是 1 字节的有效载荷数据。

[0009] 在图 1 的存储器结构中,如果通过垂直 ECC,对每 4 字节的有效载荷数据附加 1 字节的 ECC,则形成如图 2 所示的数据的配置。

[0010] 对采用了垂直 ECC 的存储器进行环回读取,最初从存储器进行读取的地址的数据(第 1 数据)如果包含 ECC,则该数据在最初和最后这 2 次被利用。

[0011] 环回读取是下述方法,即,在通过缓存的读取填充(read fill)动作等,读取一个线宽的数据的情况下,如果将最初需要进行访问的地址置于起始处,并且,从起始地址开始使地址单调地增加而到达至环回边界处,则环回绕向(Wrapping around)低位地址并返送数据。

[0012] 在图 1 的例子中,以每 4 个地址(例如,0000h 地址、0004h 地址、0008h 地址、000Ch 地址这 4 个地址)划分出环回读取的单位。

[0013] 在图 2 的例子中,以每 5 个地址(例如,0000h 地址、0004h 地址、0008h 地址、000Ch 地址、0010h 地址这 5 个地址)划分出环回读取的单位。

[0014] 在图 2 的例子中,例如,在将 0004h 地址作为起始地址的情况下,读出 0004h 地址的数据(ECC0 ~ D6)、0008h 地址的数据(D7 ~ D9)、000Ch 地址的数据(Da ~ Dc)、0010h 地址的数据(Dd ~ ECC3)。

[0015] 而且,在 0010h 地址处到达环回边界,因此,环回绕向低位地址,读出 0000h 地址的数据(D0 ~ D3)。

[0016] 0000h 地址的数据(D0 ~ D3)的 ECC 是“ECC0”而存在于 0004h 地址处,因此,需要再次读出 0004h 地址的数据(ECC0 ~ D6)。

[0017] 如上所述,对采用了垂直 ECC 的存储器进行环回读取,最初从存储器读取的地址

的数据（第 1 数据）如果包含 ECC，则该数据在最初和最后这 2 次被读出。

[0018] 在存储器访问中存在额外开销（overhead）的情况较多（例如，在 DRAM(Dynamic Random Access Memory) 中，如果对同一个存储体进行 ACT，则产生无法访问的期间），如果将第 1 数据读取 2 次，则发生性能损耗，效率不高。

[0019] 另外，由于每次存储器访问都会消耗电力，因此，如果将第 1 数据读取 2 次，则电力消耗变多。

[0020] 在实现垂直 ECC 时，存在下述方法，即，根据存储器的特征，通过针对有效载荷数据和 ECC 的存储器上的配置进行设计，从而快速地访问有效载荷数据和 ECC（例如，专利文献 1）。

[0021] 专利文献 1：日本特开平 11 - 098462 号公报

发明内容

[0022] 专利文献 1 的方式，能够利用垂直 ECC、和具有页面模式以及存储体切换的 DRAM 高速访问技术，但仅能够适合递增访问而无法对应环回读取访问。

[0023] 本发明就是鉴于上述的情况而提出的，其主要目的在于避免重复的数据的读出，高效地利用有限的存储器区域，另外，抑制存储器访问中的电力消耗。

[0024] 本发明所涉及的读取请求处理装置是对要求从存储器读出有效载荷数据的读取请求进行处理的读取请求处理装置，在该存储器中，具有分别对规定的地址宽度值的数据进行存储的 n 个地址，所述 n 个地址以环回读取的单位即 m 个地址为单位进行划分，存在对应关系的有效载荷数据和错误订正数据横跨相邻的 2 个地址而存储，以地址单位进行数据的读出，其中， m 是 2 以上的整数， n 是 m 的 2 以上整数倍的整数，

[0025] 该读取请求处理装置的特征在于，具有：

[0026] 读取请求输入部，其输入读取请求；

[0027] 读取请求判定部，其判定由所述读取请求输入部输入的读取请求是否是环回读取的请求；

[0028] 地址提取部，其在由所述读取请求判定部判定出所述读取请求是环回读取的请求的情况下，从所述 n 个地址中提取出包含存储有由所述读取请求所要求的有效载荷数据的地址在内的 m 个地址而作为环回读取的对象，基于提取出的 m 个地址的顺序，指定来自 m 个地址的数据的读出顺序，并且，将来自各地址的数据的读出次数限定为 1 次；

[0029] 起始数据存储部，其在由所述读取请求判定部判定出所述读取请求是环回读取的请求的情况下，当从由所述地址提取部提取出的 m 个地址中的被指定为起始读出顺序的起始地址读出数据时，将从所述起始地址读出的起始数据输入，并存储所述起始数据；以及

[0030] 数据提取部，其在由所述读取请求判定部判定出所述读取请求是环回读取的请求的情况下，当从由所述地址提取部提取出的 m 个地址中的被指定为末尾读出顺序的末尾地址读出数据时，将从所述末尾地址读出的末尾数据输入，并且，从所述起始数据存储部输入所述起始数据，从所述起始数据和所述末尾数据中提取存在对应关系的有效载荷数据和错误订正数据。

[0031] 发明的效果

[0032] 根据本发明，将来自各地址的数据的读出次数限定为 1 次，并且，存储起始数据，

针对末尾数据利用所存储的起始数据,因此,能够避免重复数据的读出,高效地利用有限的存储器区域,另外,抑制在存储器访问中的电力消耗。

附图说明

- [0033] 图 1 是表示实施方式 1 所涉及的不包含 ECC 的数据的配置例的图。
- [0034] 图 2 是表示实施方式 1 所涉及的附加有垂直 ECC 的数据的配置例的图。
- [0035] 图 3 是表示实施方式 1 所涉及的存储器控制装置、请求要求源以及存储器的图。
- [0036] 图 4 是表示实施方式 1 所涉及的存储器控制装置、请求要求源以及请求要求目标的图。
- [0037] 图 5 是表示实施方式 1 所涉及的存储器控制装置的动作例的流程图。
- [0038] 图 6 是表示实施方式 2 所涉及的存储器控制装置、请求要求源以及存储器的图。
- [0039] 图 7 是表示实施方式 2 所涉及的存储器控制装置的动作例的流程图。
- [0040] 图 8 是表示实施方式 2 所涉及的存储器控制装置的动作例的图。
- [0041] 图 9 是表示实施方式 3 所涉及的存储器控制装置、请求要求源以及存储器的图。
- [0042] 图 10 是表示实施方式 3 所涉及的存储器控制装置的动作例的流程图。
- [0043] 图 11 是表示实施方式 4 所涉及的存储器控制装置、请求要求源以及存储器的图。
- [0044] 图 12 是表示实施方式 4 所涉及的存储器控制装置的动作例的流程图。
- [0045] 图 13 是表示实施方式 4 所涉及的存储器控制装置、请求要求源以及存储器的图。

具体实施方式

- [0046] 实施方式 1
- [0047] 图 3 示出实施方式 1 所涉及的存储器控制装置 100、请求要求源 101 以及存储器 105。
- [0048] 在本实施方式中,在对与环回读取相对应的结构进行说明时,说明作为前提的结构。
- [0049] 与环回读取相对应的结构在实施方式 2 中进行说明。
- [0050] 在图 3 中,请求要求源 101 向存储器 105 发出读取·写入请求。
- [0051] 下面,限定于请求要求源 101 发出要求从存储器 105 读出有效载荷数据的读取请求的情况而进行说明。
- [0052] 请求要求源 101 例如是 CPU(Central Processing Unit)。
- [0053] 此外,请求要求源 101 例如按照图 1 所示的形式,识别出有效载荷数据的配置。
- [0054] 另外,请求要求源 101 针对每 4 个地址识别出环回读取的单位。
- [0055] 另外,在存储器 105 中,例如按照图 2 所示的形式,配置有有效载荷数据和错误订正数据即 ECC。
- [0056] 在存储器 105 中,设定有 n 个地址。
- [0057] 在图 2 中,作为一个例子,在存储器 105 中设定有 20 个地址 ($n = 20$)。
- [0058] 如前述所示,在图 2 中,通过垂直 ECC,针对每 4 字节的有效载荷数据附加有 1 字节的 ECC。
- [0059] 垂直 ECC 如前述所示,是在地址的深度方向上配置 ECC,实现 ECC、奇偶校验而不增

加存储器的数据宽度的 ECC 的存储器配置方法。

[0060] 从存储器 105 按照地址单位进行数据的读出。

[0061] 另外,存储器 105 的 n 个地址按照环回读取的单位即 m 个地址进行了划分(此外, m 是 2 以上的整数, n 是 m 的 2 以上整数倍的整数)。

[0062] 在图 2 中,作为一个例子,以每 5 个地址设定出环回读取的单位 ($m = 5$)。

[0063] 此外,在存储器 105 的环回读取的单位(例如,0000h 地址、0004h 地址、0008h 地址、000Ch 地址、0010h 地址)和请求要求源 101 的环回读取的单位(例如,0000h 地址、0004h 地址、0008h 地址、000Ch 地址)中包含有相同的有效载荷数据 (D0 ~ Df)。

[0064] 另外,在图 2 中,形成在有效载荷数据之后配置 ECC 的顺序,但这只是一个例子,ECC 的配置方法只要是横跨相邻的 2 个地址而配置有存在对应关系的有效载荷数据和 ECC 即可。

[0065] 例如,“ECC0”也可以配置在有效载荷数据“D0”之前

[0066] 另外,分配至相同地址的数据能够扩展,例如在 0000h 地址处可以将数据宽度扩展为 D0 ~ D3、ECC0、D4 ~ D6,在下面的 0008h 地址处可以将数据宽度扩展为 D7、ECC1、D8 ~ Db、ECC2、Dc。进行数据扩展的原因在于,在该情况下,一部分有效载荷数据和 ECC 横跨相邻的 2 个地址而存在对应关系。

[0067] 此外,存储器 105 是存储器控制装置 100 的控制对象的存储器。

[0068] 存储器控制装置 100 由存储器地址变换部 106、前次值保存部 104、数据排列部 103 以及 ECC 订正部 102 构成。

[0069] 存储器控制装置 100 的各结构要素例如是元件、器件、电路这样的硬件。

[0070] 存储器控制装置 100 的各结构要素例如是芯片组内的半导体电路组。

[0071] 另外,例如,存储器地址变换部 106、数据排列部 103 以及 ECC 订正部 102 也可以使用程序而实现。

[0072] 此外,存储器控制装置 100 相当于读取请求处理装置的例子。

[0073] 存储器地址变换部 106 接收来自请求要求源 101 的读取请求。

[0074] 另外,存储器地址变换部 106 将接收到的读取请求的地址变换为配置有垂直 ECC 的存储器 105 上的地址。

[0075] 即,存储器地址变换部 106 提取出存储有由来自请求要求源 101 的读取请求所要求的有效载荷数据和与该有效载荷数据存在对应关系的 ECC 的 p 个 (p 是 2 以上且 n 以下的整数) 地址而作为读出的对象。

[0076] 存储器地址变换部 106 相当于读取请求输入部和地址提取部的例子。

[0077] 前次值保存部 104 是保存从存储器 105 接收到的前次的读取数据 (4 字节) 的寄存器。

[0078] 即,前次值保存部 104 在每次从由存储器地址变换部 106 指定出的各地址读出 4 字节的数据时,将读出的 4 字节的数据输入,并将所输入的数据作为前次值 (过去数据) 进行存储。

[0079] 前次值保存部 104 相当于过去数据存储部的例子。

[0080] 数据排列部 103 将从存储器 105 接收到的本次的读取数据 (4 字节) 和前次值保存部 104 的数据 (4 字节) 分离成有效载荷数据和与其对应的 ECC,将数据排列为能够进行

ECC 订正的配置。

[0081] 即,数据排列部 103 在每次从由存储器地址变换部 106 指定出的各地址读出 4 字节的数据时,将读出的 4 字节的数据输入。

[0082] 另外,数据排列部 103 将所输入的 4 字节的数据的之前一次读出的 4 字节的数据(前次值)从前次值保存部 104 输入,根据来自存储器 105 的数据和作为前次值的数据,提取存在对应关系的有效载荷数据和 ECC。

[0083] 数据排列部 103 相当于数据提取部的例子。

[0084] ECC 订正部 102 对从数据排列部 103 接收到的读取数据进行 ECC 订正,并向请求要求源 101 返送读取数据。

[0085] 即,ECC 订正部 102 使用由数据排列部 103 提取出的 ECC,对存在对应关系的有效载荷数据进行错误订正处理,将错误订正处理之后的有效载荷数据向请求要求源 101 输出。

[0086] ECC 订正部 102 相当于错误订正处理部的例子。

[0087] 在图 3 中示出了存储器控制装置 100 直接与存储器 105 连接的结构,但也可以如图 4 所示,存储器控制装置 100 与请求要求目标 200 连接。

[0088] 在图 4 中,虽然省略了图示,但请求要求目标 200 与存储器 105 连接,进行存储器 105 的数据的读出,并将读出的数据输出至存储器控制装置 100。

[0089] 下面,参照图 5,对本实施方式所涉及的存储器控制装置 100 的动作例进行说明。

[0090] 在这里,说明请求要求源 101 要求读取图 1 的 0000h 地址的 4 字节(D0 ~ D3)的情况。

[0091] 首先,存储器地址变换部 106 受理来自请求要求源 101 的读取请求(S201)。

[0092] 存储器地址变换部 106 对包含 4 字节的数据(D0 ~ D3)和与其对应的 ECC(ECC0)的存储器 105 上的区域进行计算。

[0093] 参照图 2,上述数据横跨配置在 0000h 地址和 0004h 地址中,因此,存储器地址变换部 106 变换为从 0000h 地址读取 8 字节的请求(S202)。

[0094] 而且,存储器地址变换部 106 指示存储器 105 按照 0000h 地址的数据(D0 ~ D3)、0004h 地址的数据(ECC0 ~ D6)的顺序进行读出。

[0095] 存储器 105 按照顺序返送 0000h 地址的数据(D0 ~ D3)和 0004h 地址的数据(ECC0 ~ D6)。

[0096] 前次值保存部 104 接收 0000h 地址的数据(D0 ~ D3),并保存接收到的 0000h 地址的数据(D0 ~ D3)(S203)。

[0097] 数据排列部 103 接收 0000h 地址的数据(D0 ~ D3),但由于仅利用 0000h 地址的数据无法进行数据排列(S204 为 NO),因此,等待 0004h 地址的数据的接收。

[0098] 数据排列部 103 在从存储器 105 接收到 0004h 地址的数据(ECC0 ~ D6)时,通过前次值保存部 104 保存的 0000h 地址的数据(D0 ~ D3)和从存储器 105 接收到的 0004h 地址的数据(ECC0 ~ D6),判断出能够进行数据排列(S204 为 YES)。

[0099] 即,数据排列部 103 从 0000h 地址的数据(D0 ~ D3)和 0004h 地址的数据(ECC0 ~ D6),判断出能够提取存在对应关系的有效载荷数据(D0 ~ D3)和 ECC(ECC0)。

[0100] 然后,数据排列部 103 切割出与有效载荷数据部分 D0 ~ D3 相对应的 ECC0,使数据

进行排列 (S205)。

[0101] ECC 订正部 102 接受排列有有效载荷数据和 ECC 而成的数据 (D0 ~ D3 和 ECC0), 在进行 ECC 订正之后, 向请求要求源 101 返送读取数据 (D0 ~ D3) (S206)。

[0102] 通过以上流程, 由于已完成对由读取请求所要求的全部数据的返送, 因此, 处理结束 (S207)。

[0103] 在上面的例子中, 例举了从 0000h 地址读取 4 字节的情况, 但如果是从 0004h 地址读取 8 字节等使地址单调增加的读取访问, 则存储器控制装置 100 也能够通过图 5 所示的动作, 适当地返送 ECC 订正之后的读取数据。

[0104] 上面, 在本实施方式中, 说明了具有下述单元的存储器控制装置。

[0105] (a) 将来自请求要求源的请求变换为存储器的请求, 并传输数据的单元

[0106] (b) 对数据进行 ECC 错误订正的单元

[0107] (c) 将来自采用了垂直 ECC 的存储器的接收数据再配置为能够进行 ECC 错误订正的数据 (分离为数据和与其对应的 ECC) 的单元

[0108] (d) 将来自请求要求源的地址和长度变换为针对采用了垂直 ECC 的存储器的地址和长度的单元

[0109] (e) 用于保存从存储器接收到的前一次数据的单元。

[0110] 另外, 在本实施方式中, 还说明了具有下述单元的存储器控制装置, 该单元将来自请求要求源的请求变换为针对后段的请求要求目标的请求。

[0111] 实施方式 2

[0112] 在本实施方式中, 说明在对采用了垂直 ECC 的存储器进行环回读取时, 避免将第 1 数据读取 2 次的结构。

[0113] 更具体地说, 本实施方式所涉及的存储器控制装置 100 具有保存第 1 数据的缓冲器, 进行 1 次第 1 数据的读取即可。

[0114] 根据本实施方式所涉及的存储器控制装置 100, 能够高效地利用有限的存储器区域, 能够抑制存储器访问中的电力消耗。

[0115] 并且, 本实施方式所涉及的存储器控制装置 100 能够有助于存储器访问的高速化。

[0116] 在这里, 再次说明在对采用了垂直 ECC 的存储器进行环回读取时, 第 1 数据的读取发生 2 次的原因。

[0117] 例如, 在从图 1 的 0004h 地址环回读取 16 字节的情况下, 存储器控制装置 100 向请求要求源 101 按照 0004h → 0008h → 000Ch → 0000h 地址的顺序返送合计 16 字节的读取数据。

[0118] 如果利用图 2 所示的附加了垂直 ECC 的存储器配置进行该读取动作, 则按照 0004h → 0008h → 000Ch → 0010h → 0000h → 0004h 地址的顺序从存储器读取合计 24 字节的读取数据, 发生对 0004h 地址的 2 次读取。

[0119] 即, 在图 2 的存储器配置中, 需要将 0000h 地址的有效载荷数据“D0 ~ D3”的 ECC 即“ECC0”从 0004h 地址读取, 因此, 需要再次读出第 1 数据 (0004h 地址的数据)。

[0120] 将解决上面的环回读取中的课题的存储器控制装置 100 在图 6 中示出。

[0121] 图 6 的存储器控制装置 100 在图 3 所示的结构中追加有环回突发读取判定部 108

和第 1 数据保存部 109。

[0122] 环回突发读取判定部 108 从请求要求源 101 接收读取请求,并且,判定接收到的读取请求是否是环回突发的读取请求,将该结果通知存储器地址变换部 106。

[0123] 环回突发读取判定部 108 相当于读取请求输入部和读取请求判定部的例子。

[0124] 第 1 数据保存部 109 是对根据由存储器地址变换部 106 变换出的请求,最初从存储器 105 返回来的读取数据进行保存的寄存器。

[0125] 即,第 1 数据保存部 109 在由环回突发读取判定部 108 判定出读取请求是环回突发的读取请求的情况下,在按照起始读出顺序即从起始地址(在上面的例子中是 0004h 地址)读出数据时,将从起始地址读出的起始数据输入,并存储起始数据。

[0126] 第 1 数据保存部 109 相当于起始数据存储部的例子。

[0127] 另外,在本实施方式中,存储器地址变换部 106 在由环回突发读取判定部 108 判定出读取请求是环回突发的读取请求的情况下,提取出包含对由读取请求所要求的有效载荷数据进行存储的地址在内的 5 个地址而作为环回读取的对象。

[0128] 另外,存储器地址变换部 106 基于提取出的 5 个地址的顺序,指定来自 5 个地址的数据的读出顺序,并且,将来自各地址的数据的读出次数限定为 1 次。

[0129] 例如,假设发出了将图 1 的 0004h 地址 (D4 ~ D7) 作为起始地址的环回读取的读取请求的情况。

[0130] 存储器地址变换部 106 提取出图 2 中包含 0004h 地址和 0008h 地址在内的 5 个地址 (0004h 地址、0008h 地址、000Ch 地址、0000h 地址、) 而作为环回读取的对象,其中,0004h 地址和 0008h 地址中含有有效载荷数据“D4 ~ D7”。

[0131] 而且,存储器地址变换部 106 将数据读出顺序指定为 0004h → 0008h → 000Ch → 0000h。

[0132] 如上所述,本实施方式所涉及的存储器地址变换部 106 将来自各地址的数据的读出次数限定为 1 次,因此,不会对第 1 数据即 0004h 地址的数据进行 2 次读出。

[0133] 此外,在接收到通常的读取请求的情况下的存储器地址变换部 106 的动作与实施方式 1 所示的情况相同。

[0134] 另外,图 6 所示的其他要素的动作由于与通过实施方式 1 所说明的情况相同,因此,省略说明。

[0135] 下面,参照图 7,对本实施方式所涉及的存储器控制装置 100 的动作例进行说明。

[0136] 在这里,说明请求要求源 101 要求将图 1 的 0004h 地址 (D4 ~ D7) 作为起始地址而进行环回读取的情况。

[0137] 另外,图 8 对在存储器控制装置 100 的各部中,如何处理数据进行了说明。

[0138] 首先,环回突发读取判定部 108 受理来自请求要求源 101 的读取请求 (S201)。

[0139] 环回突发读取判定部 108 判定读取请求是否是环回突发读取的请求 (S301)。

[0140] 在是环回突发读取的请求的情况下 (S301 为 YES),环回突发读取判定部 108 将读取请求输出至存储器地址变换部 106,存储器地址变换部 106 变换为环回突发读取的存储器地址 (S302)。

[0141] 存储器地址变换部 106 对包含 16 字节的数据 (D4 ~ Df 和 D0 ~ D3) 和与其相对应的 ECC (ECC1 ~ ECC3 和 ECC0) 的区域进行计算。

[0142] 参照图 2,上述数据配置在从 0004h 地址到 0010h 地址和 0000h 地址,因此,变换为从 0004h 地址读取 16 字节,从 0000h 地址读取 4 字节的请求 (S302)。

[0143] 而且,存储器地址变换部 106 按照 0004h → 0008h → 000Ch → 0000h 的顺序,向存储器 105 指示数据的读出。

[0144] 存储器 105 从 0004h 地址的数据 (ECC0 ~ D6) 开始依次进行返回。

[0145] 第 1 数据保存部 109 接收起始数据即 0004h 地址的数据 (ECC0 ~ D6) (图 8 的第 1 数据 A),并将接收到的 0004h 地址的数据作为第 1 数据 (图 8 的第 1 数据 E) 而进行保存 (S303)。

[0146] 数据排列部 103 也接收 0004h 地址的数据 (ECC0 ~ D6) (图 8 的第 1 数据 A),但由于仅利用 0004h 地址的数据无法进行数据排列 (S305 为 NO),因此,等待接收 0008h 地址的数据。

[0147] 另外,此时,前次值保存部 104 也接收 0004h 地址的数据 (ECC0 ~ D6) (图 8 的第 1 数据 A),并将接收到的 0004h 地址的数据作为前次值 (图 8 的第 1 数据 B) 而进行保存 (S203)。

[0148] 此外,直至接收到 0000h 地址的数据为止的动作与实施方式 1 相同。

[0149] 即,当从存储器 105 读出 0008h 地址的数据 (D7 ~ D9) (图 8 的第 2 数据 A) 时,前次值保存部 104 将 0008h 地址的数据作为前次值 (图 8 的第 2 数据 B) 而进行保存 (S203),数据排列部 103 也接收 0008h 地址的数据 (D7 ~ D9) (图 8 的第 2 数据 A)。

[0150] 数据排列部 103 如图 8 所示,从接收到的 0008h 地址的数据 (第 2 数据 A) 和前次值 (第 1 数据 B) 中,提取“D4 ~ D7”和“ECC1”,生成第 1 数据 C (S305、S205)。

[0151] 而且,ECC 订正部 102 进行 ECC 订正,并将第 1 数据 D 发送至请求要求源 101 (S206)。

[0152] 此外,在该时刻,没有返送全部的读取数据,因此,S207 为 NO。

[0153] 然后,当从存储器 105 读出 000Ch 地址的数据 (Da ~ Dc) (图 8 的第 3 数据 A) 时,前次值保存部 104 将 000Ch 地址的数据作为前次值 (图 8 的第 3 数据 B) 而进行保存 (S203),数据排列部 103 也接收 000Ch 地址的数据 (Da ~ Dc) (图 8 的第 3 数据 A)。

[0154] 数据排列部 103 如图 8 所示,从接收到的 000Ch 地址的数据 (第 3 数据 A) 和前次值 (第 2 数据 B) 中,提取“D8 ~ Db”和“ECC2”,生成第 2 数据 C (S305、S205)。

[0155] 而且,ECC 订正部 102 进行 ECC 订正,并将第 2 数据 D 发送至请求要求源 101 (S206)。

[0156] 此外,在该时刻,没有返送全部的读取数据,因此,S207 为 NO。

[0157] 然后,当从存储器 105 读出 0010h 地址的数据 (Dd ~ ECC3) (图 8 的第 4 数据 A) 时,前次值保存部 104 将 0010h 地址的数据作为前次值 (图 8 的第 4 数据 B) 而进行保存 (S203),数据排列部 103 也接收 0010h 地址的数据 (Dd ~ ECC3) (图 8 的第 4 数据 A)。

[0158] 数据排列部 103 如图 8 所示,从接收到的 0010h 地址的数据 (第 4 数据 A) 和前次值 (第 3 数据 B) 中,提取“Dc ~ Df”和“ECC3”,生成第 3 数据 C (S305、S205)。

[0159] 而且,ECC 订正部 102 进行 ECC 订正,并将第 3 数据 D 发送至请求要求源 101 (S206)。

[0160] 此外,在该时刻,没有返送全部的读取数据,因此,S207 为 NO。

[0161] 然后,当从存储器 105 读出 0000h 地址的数据 (D0 ~ D3) (图 8 的第 5 数据 A) 时,前次值保存部 104 将 0000h 地址的数据作为前次值 (图 8 的第 5 数据 B) 而进行保存 (S203),数据排列部 103 也接收 0000h 地址的数据 (D0 ~ D3) (图 8 的第 5 数据 A)。

[0162] 数据排列部 103 接收 0000h 地址的数据 (D0 ~ D3) (图 8 的第 5 数据 A),但无法利用其与 0010h 地址的数据 (第 4 数据 B) 进行数据排列 (S305 为 NO),因此,等待 0000h 地址的数据 (第 5 数据 B)。

[0163] 数据排列部 103 如图 8 所示,从接收到的 0000h 地址的数据 (第 5 数据 B) 和第 1 数据保存部 109 内的第 1 数据 (第 1 数据 E) 中,提取“D0 ~ D3”和“ECC0”,生成第 4 数据 C (S305、S205)。

[0164] 而且,ECC 订正部 102 进行 ECC 订正,并将第 4 数据 D 发送至请求要求源 101 (S206)。

[0165] 在该时刻,返送了全部的读取数据,因此,S207 为 YES。

[0166] 此外,在上面的例子中,前次值保存部 104 存储有第 4 数据 B 以及第 5 数据 B,但由于该第 4 数据 B 以及第 5 数据 B 在数据排列部 103 中未被使用,因此,前次值保存部 104 可以不存储第 4 数据 B 以及第 5 数据 B。

[0167] 如上所述,根据本实施方式,将来自各地址的数据的读出次数限定为 1 次,并且存储第 1 数据,对末尾的数据使用所存储的第 1 数据,因此,能够避免重复数据的读出,高效地利用有限的存储器区域,另外,抑制存储器访问中的电力消耗。

[0168] 上面,在本实施方式中,说明了在实施方式 1 所示的结构的基础上具有下述单元的存储器控制装置。

[0169] (a) 对根据来自请求要求源的请求而最初接收的数据进行保存的单元。

[0170] (b) 判定环回读取的单元。

[0171] 实施方式 3

[0172] 在实施方式 1 中,接受来自请求要求源 101 的 1 个读取请求,直至完成返送该读取数据为止,无法接受下一次的读取请求。

[0173] 例如在 DRAM 中,从发出读取请求开始直至读取数据返回为止的期间较长,但能够在发出读取请求的读取数据返回之前,连续发出下一次的读取请求。

[0174] 为了提高处理能力,该流水线处理是不可缺少的。

[0175] 将以实施方式 1 的结构为基础,进行流水线处理的存储器控制装置 100 在图 9 中示出。

[0176] 图 9 所示的存储器控制装置 100 是在图 3 所示的结构中追加有 FIFO (First-In First-Out) 110。

[0177] FIFO 110 存储向存储器 105 发出的请求,并在读取数据从存储器 105 返回的定时,向数据排列部 103 传输该信息。

[0178] 另外,图 9 所示的其他要素的动作与实施方式 1 所说明的情况相同,因此,省略说明。

[0179] 下面,参照图 10,对本实施方式所涉及的存储器控制装置 100 的动作例进行说明。

[0180] 存储器地址变换部 106 直至将由读取请求所要求的地址变换为图 2 的存储器地址的处理 (S202) 为止,与实施方式 1 的处理相同。

[0181] 然后,在 FIFO110 中保存变换为存储器地址的命令信息 (S401)。

[0182] 在已进行 ECC 订正的读取数据的返送完成之前,在从请求要求源 101 接受新的读取请求的情况下,在 FIFO110 中连续保存命令信息。

[0183] 在这里,在 FIFO110 中保存有信息而不为空 (S402 为 YES),因此,数据排列部 103 以及前次值保存部 104 接受来自存储器 105 的读取数据 (S203)。

[0184] 在已进行 ECC 订正的读取数据的返送完成之后,在 FIFO110 中存在命令信息的情况下 (S402 为 YES),数据排列部 103 以及前次值保存部 104 从存储器 105 接受与下一次请求相对应的读取数据 (S203)。

[0185] 在 FIFO110 中不存在命令信息的情况下 (S402 为 NO),由于已完成对全部请求的数据的返送,因此处理结束 (S207)。

[0186] 上面,在本实施方式中,说明了在实施方式 1 所示的结构的基础上具有将来自请求要求源的请求储存的单元的存储器控制装置。

[0187] 实施方式 4

[0188] 即使在实施方式 2 所说明的结构中,也能够与实施方式 3 同样地进行流水线处理。

[0189] 但是,在图 6 所示的结构中单纯地仅追加 FIFO110,会发生故障。

[0190] 如果针对环回读取的下一读取请求,通过流水线处理连续地进行存储器读取,则有时在环回读取的末尾地址的数据从存储器 105 刚向数据排列部 103 输出之后,与下一个读取请求相对应地读出的数据从存储器 105 向数据排列部 103 输出。

[0191] 在环回读取中,在末尾地址的数据从存储器 105 向数据排列部 103 输出之后,由数据排列部 103 使用来自第 1 数据保存部 109 的第 1 数据和在前次值保存部 104 中存储的末尾地址的数据进行数据排列。

[0192] 如果在该数据排列完成之前,与下一个读取请求相对应地从存储器 105 读出的数据输入至数据排列部 103,则在数据排列部 103 中发生数据冲突。

[0193] 因此,在本实施方式中,在图 6 所示的结构中设置 FIFO110 和控制数据冲突的单元,实现流水线处理。

[0194] 将以实施方式 2 的结构为基础,进行流水线处理的存储器控制装置 100 在图 11 中示出。

[0195] 图 9 所示的存储器控制装置 100 在图 6 所示的结构中追加有 FIFO110 和数据冲突控制部 111。

[0196] 数据冲突控制部 111 在数据排列部 103 在来自第 1 数据保存部 109 的第 1 数据的定时,使得数据排列部 103 不被输入与后续的读取请求相对应地从存储器 105 读出的数据。

[0197] 即,数据冲突控制部 111 以下述方式对从存储器 105 读出的数据的定时进行控制,即,在数据排列部 103 输入来自第 1 数据保存部 109 的第 1 数据,从第 1 数据和末尾地址的数据中提取出存在对应关系的有效载荷数据和 ECC 之后,向数据排列部 103 被输入与后续的读取请求相对应地从存储器 105 读出的数据。

[0198] 例如,如图 11 所示,考虑将数据冲突控制部 111 配置在存储器 105 与数据排列部 103 之间,数据冲突控制部 111 对与后续的读取请求相对应地从存储器 105 读出的数据进行缓冲,从而控制冲突。

[0199] 另外,如图 13 所示,考虑将数据冲突控制部 111 配置在存储器 105 与存储器地址

变换部 106 之间,数据冲突控制部 111 在环回读取中对后续的读取请求向存储器 105 发出的请求隔开间隔,从而进行冲突控制。

[0200] 下面,参照图 12,对本实施方式所涉及的存储器控制装置 100 的动作例进行说明。

[0201] 此外,图 12 表示出图 11 的结构中的动作例。

[0202] 直至在 FIFO110 中保存命令信息的处理 (S401) 为止,与实施方式 2 以及实施方式 3 相同。

[0203] 在 FIFO110 中保存的起始的命令信息不是环回读取的命令信息的情况下 (S501 为 NO) 的处理与实施方式 3 相同。

[0204] 在 FIFO110 中保存的起始的命令信息是环回读取的命令信息的情况下 (S501 为 YES),直至数据排列部 103 使用第 1 数据进行数据排列的处理为止与实施方式 2 相同。

[0205] 然后,数据冲突控制部 111 在数据排列部 103 使用第 1 数据完成数据排列为止,判定是否接收到从存储器 105 读出的数据 (S502)。

[0206] 在完成数据排列为止接收到来自存储器 105 的数据的情况下 (S502 为 YES),数据冲突控制部 111 使数据排列部 103 接收来自存储器 105 的读取数据的定时延迟 (S503)。

[0207] 具体地说,数据冲突控制部 111 对来自存储器 105 的读取数据进行缓冲。

[0208] 以后的动作与实施方式 3 相同。

[0209] 以上,在本实施方式中,说明了在实施方式 2 所示的结构的基础上具有下述单元的存储器控制装置。

[0210] (a) 对来自请求要求源的请求进行储存的单元

[0211] (b) 对实施方式 2 所记载的最初的接收数据和来自存储器的接收数据之间的冲突进行控制的单元。

[0212] 标号的说明

[0213] 100 存储器控制装置,101 请求要求源,102ECC 订正部,103 数据排列部,104 前次值保存部,105 存储器,106 存储器地址变换部,108 环回突发读取判定部,109 第 1 数据保存部,110FIFO,111 数据冲突控制部,200 请求要求目标。

address	3	2	1	0
0000h	D3	D2	D1	D0
0004h	D7	D6	D5	D4
0008h	Db	Da	D9	D8
000Ch	Df	De	Dd	Dc
0010h	D13	D12	D11	D10
0014h	D17	D16	D15	D14
0018h	D1b	D1a	D19	D18
001Ch	D1f	D1e	D1d	D1c
0020h	D23	D22	D21	D20
0024h	D27	D26	D25	D24
0028h	D2b	D2a	D29	D28
002Ch	D2f	D2e	D2d	D2c
0030h	D33	D32	D31	D30
0034h	D37	D36	D35	D34
0038h	D3b	D3a	D39	D38
003Ch	D3f	D3e	D3d	D3c

图 1

address	3	2	1	0
0000h	D3	D2	D1	D0
0004h	D6	D5	D4	ECC0
0008h	D9	D8	ECC1	D7
000Ch	Dc	ECC2	Db	Da
0010h	ECC3	Df	De	Dd
0014h	D13	D12	D11	D10
0018h	D16	D15	D14	ECC4
001Ch	D19	D18	ECC5	D17
0020h	D1c	ECC6	D1b	D1a
0024h	ECC7	D1f	D1e	D1d
0028h	D23	D22	D21	D20
002Ch	D26	D25	D24	ECC8
0030h	D29	D28	ECC9	D27
0034h	D2c	ECCa	D2b	D2a
0038h	ECCb	D2f	D2e	D2d
003Ch	D33	D32	D31	D30
0040h	D36	D35	D34	ECCd
0044h	D39	D38	ECCe	D37
0048h	D3c	ECCf	D3b	D3a
004Ch	ECC10	D3f	D3e	D3d

图 2

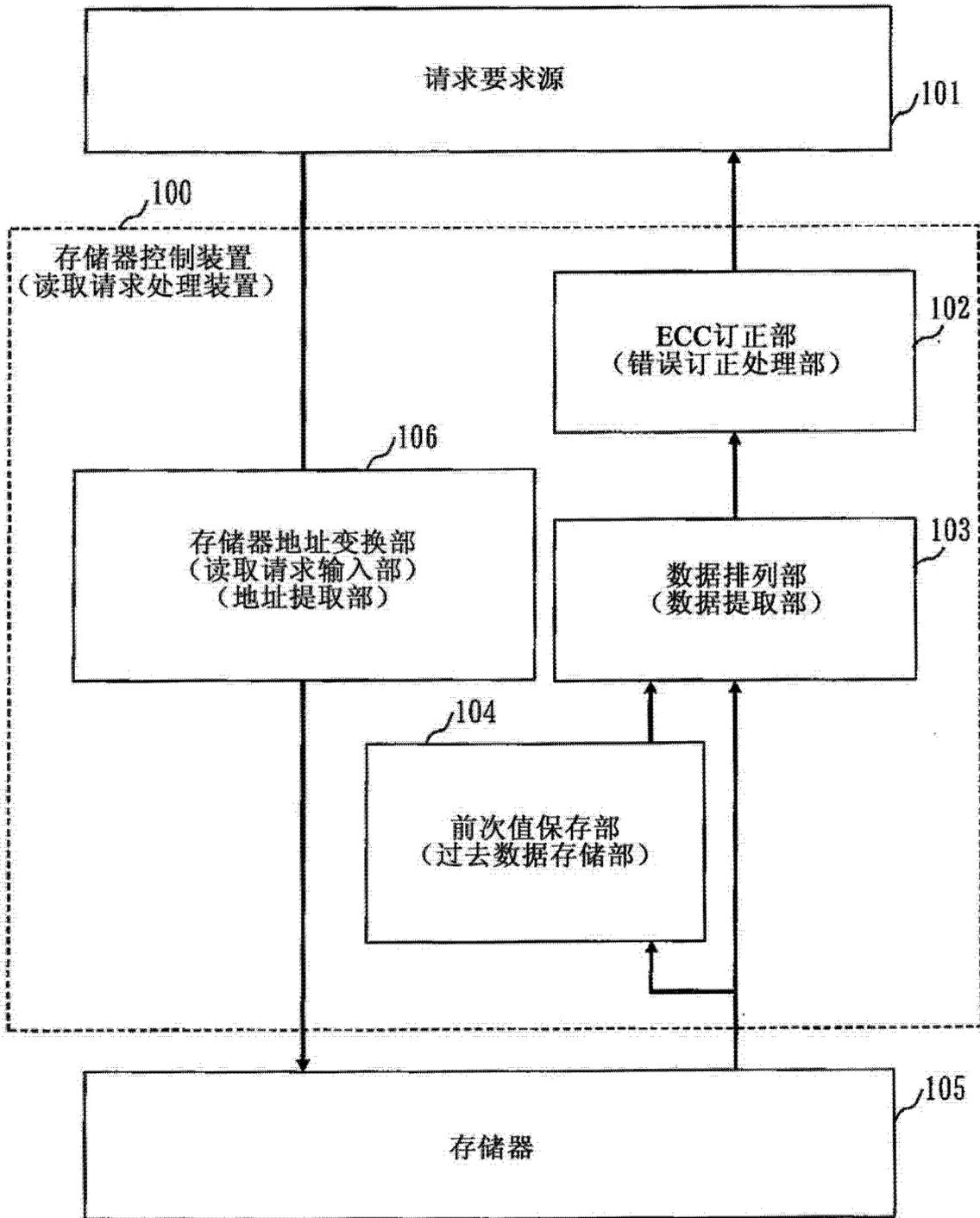


图 3

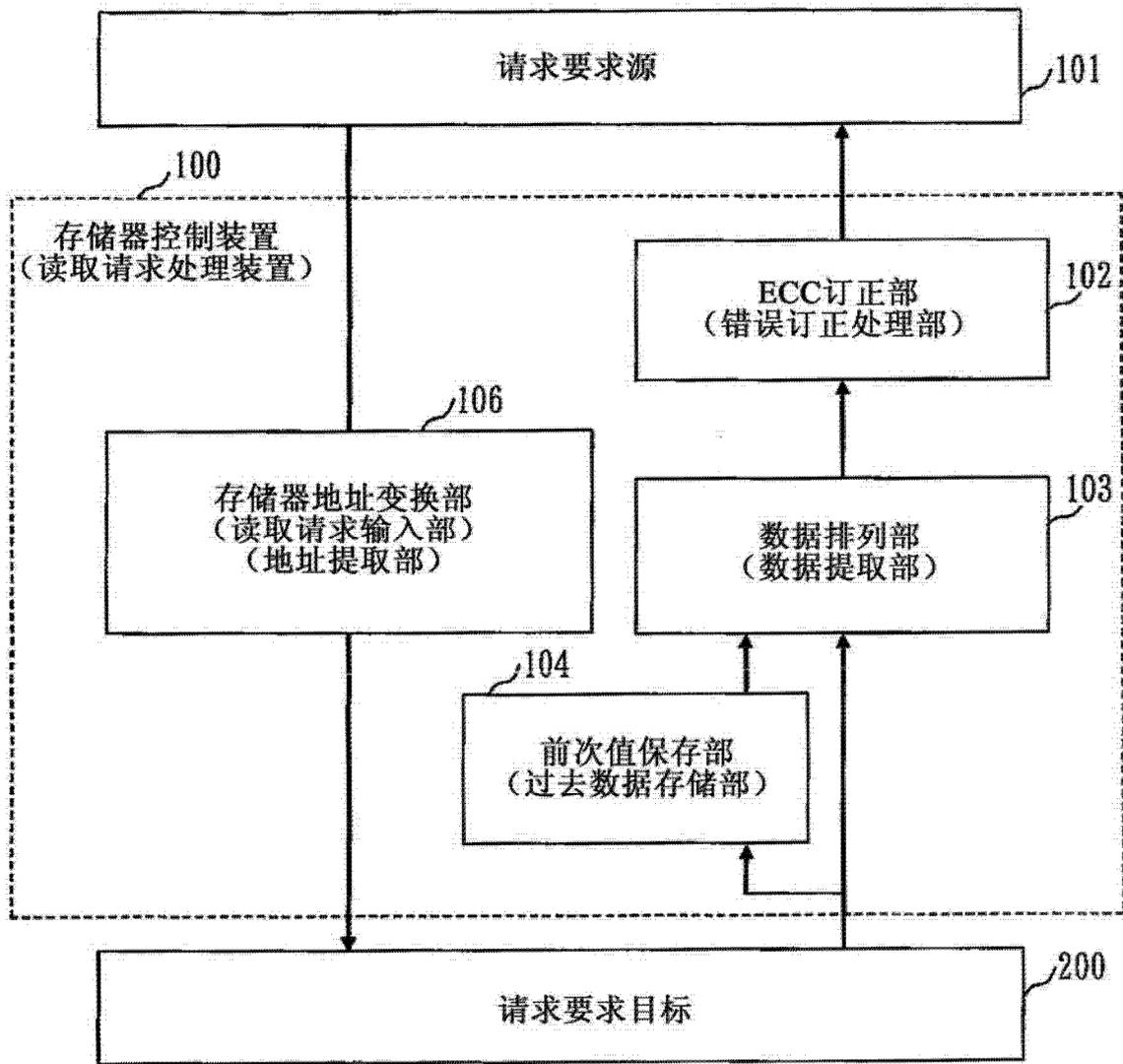


图 4

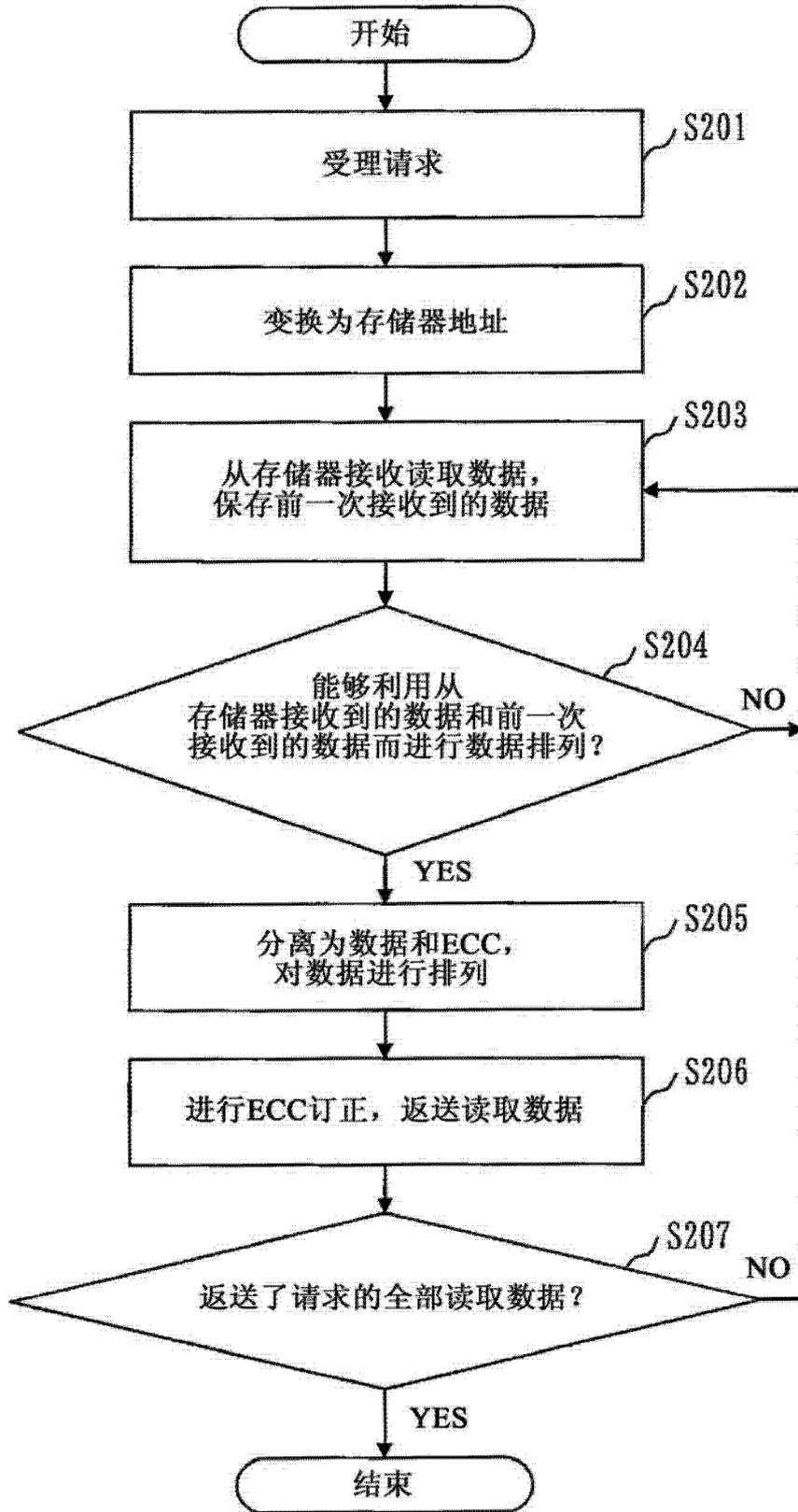


图 5

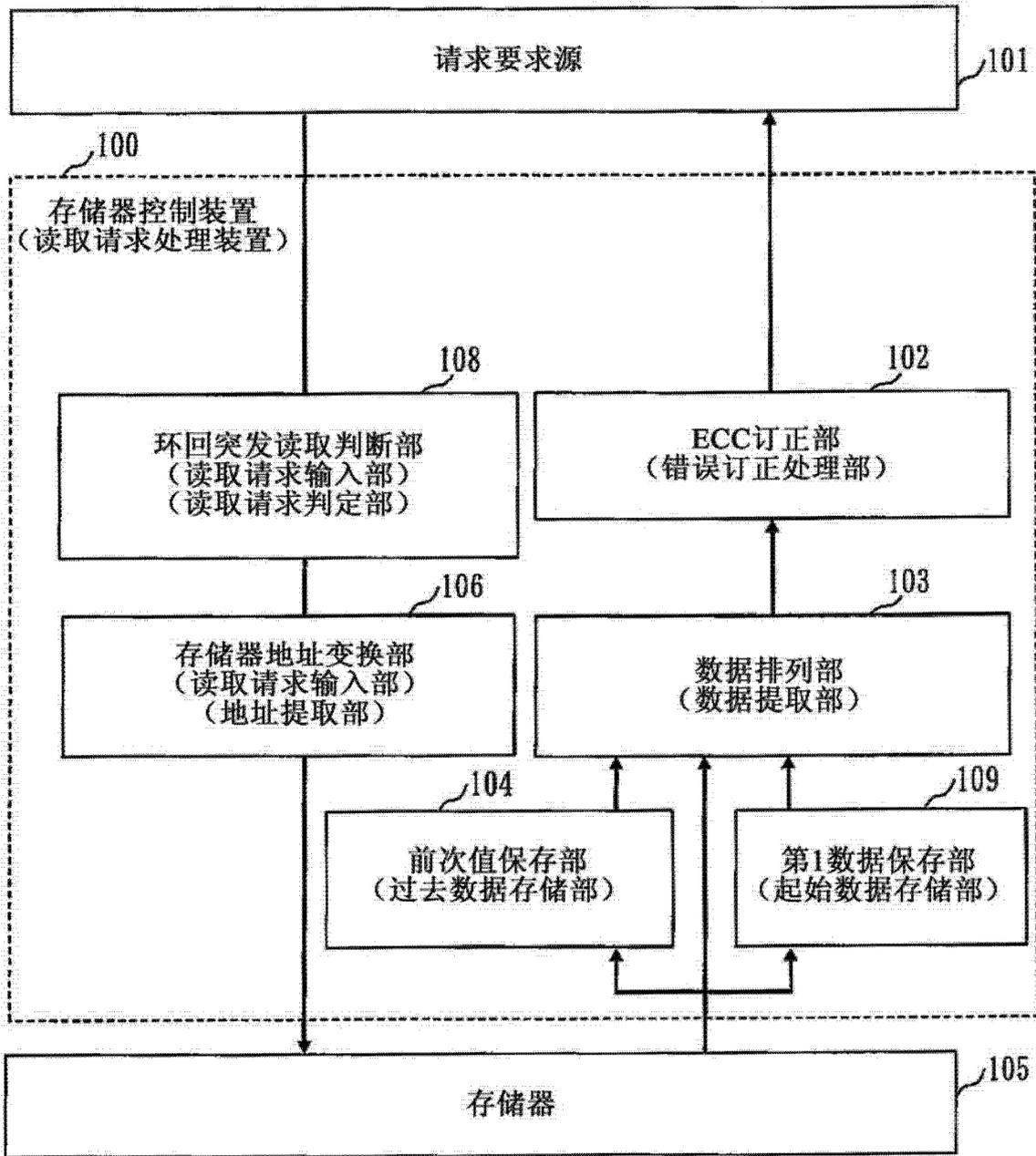


图 6

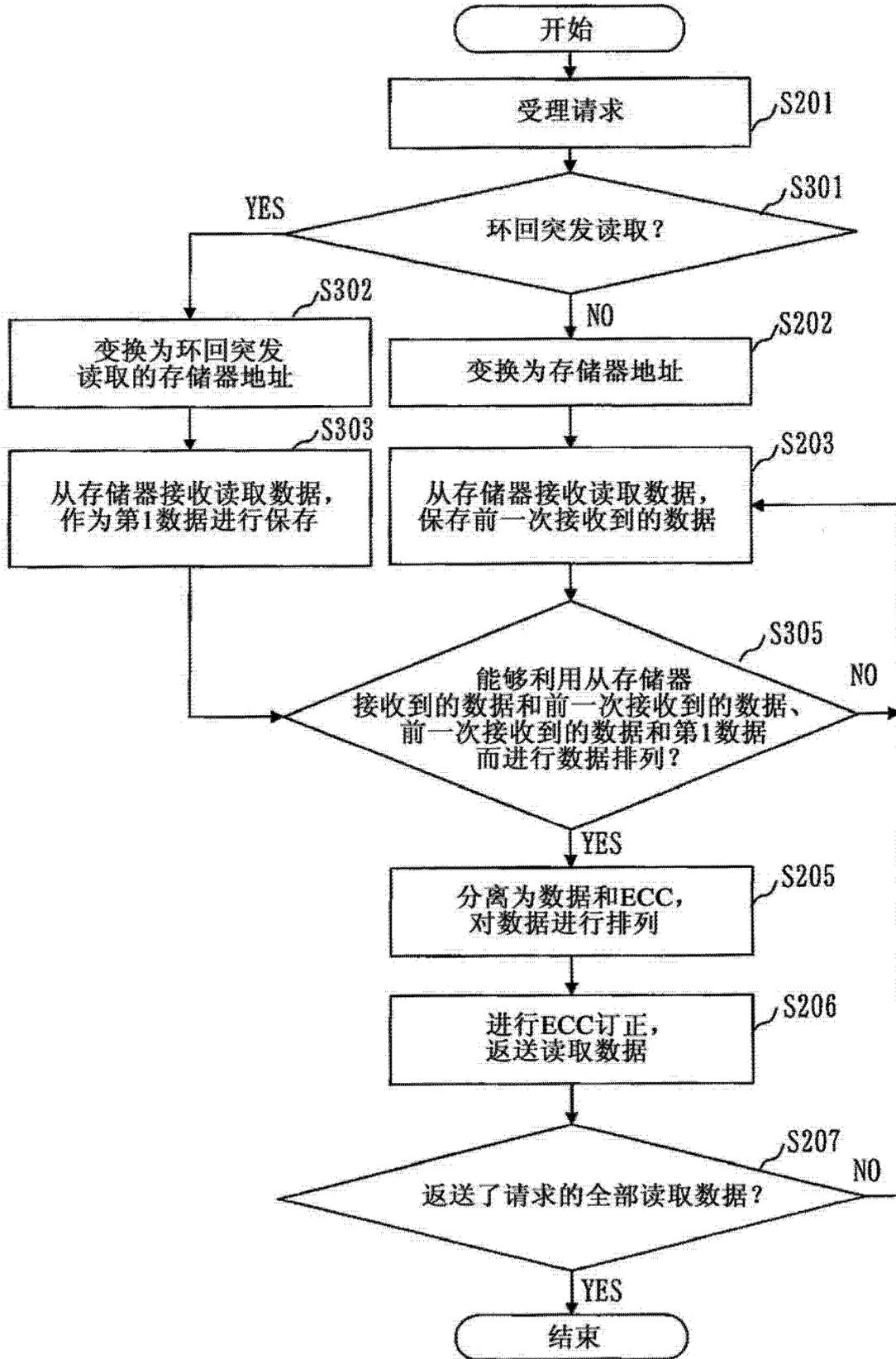


图 7

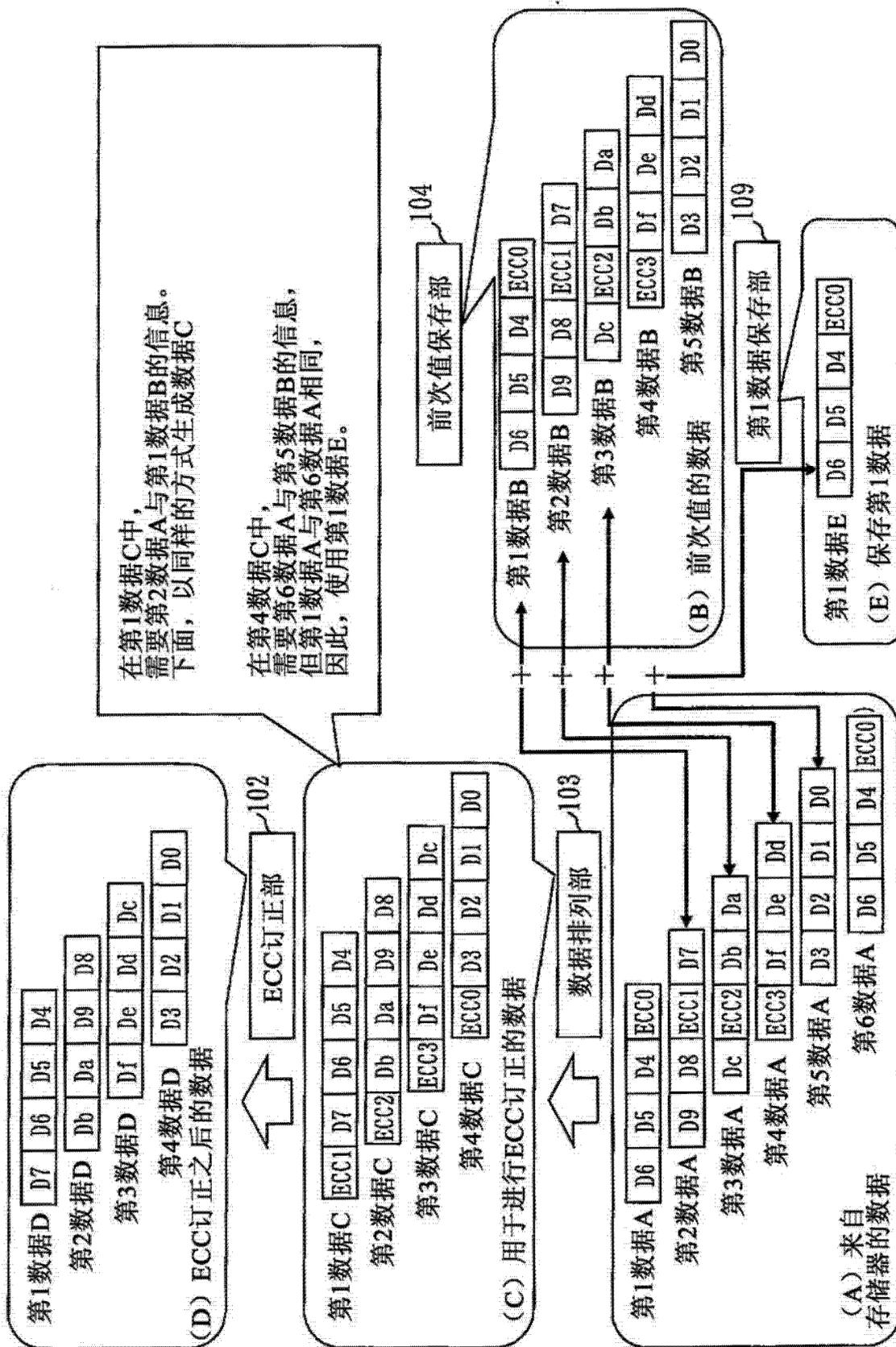


图 8

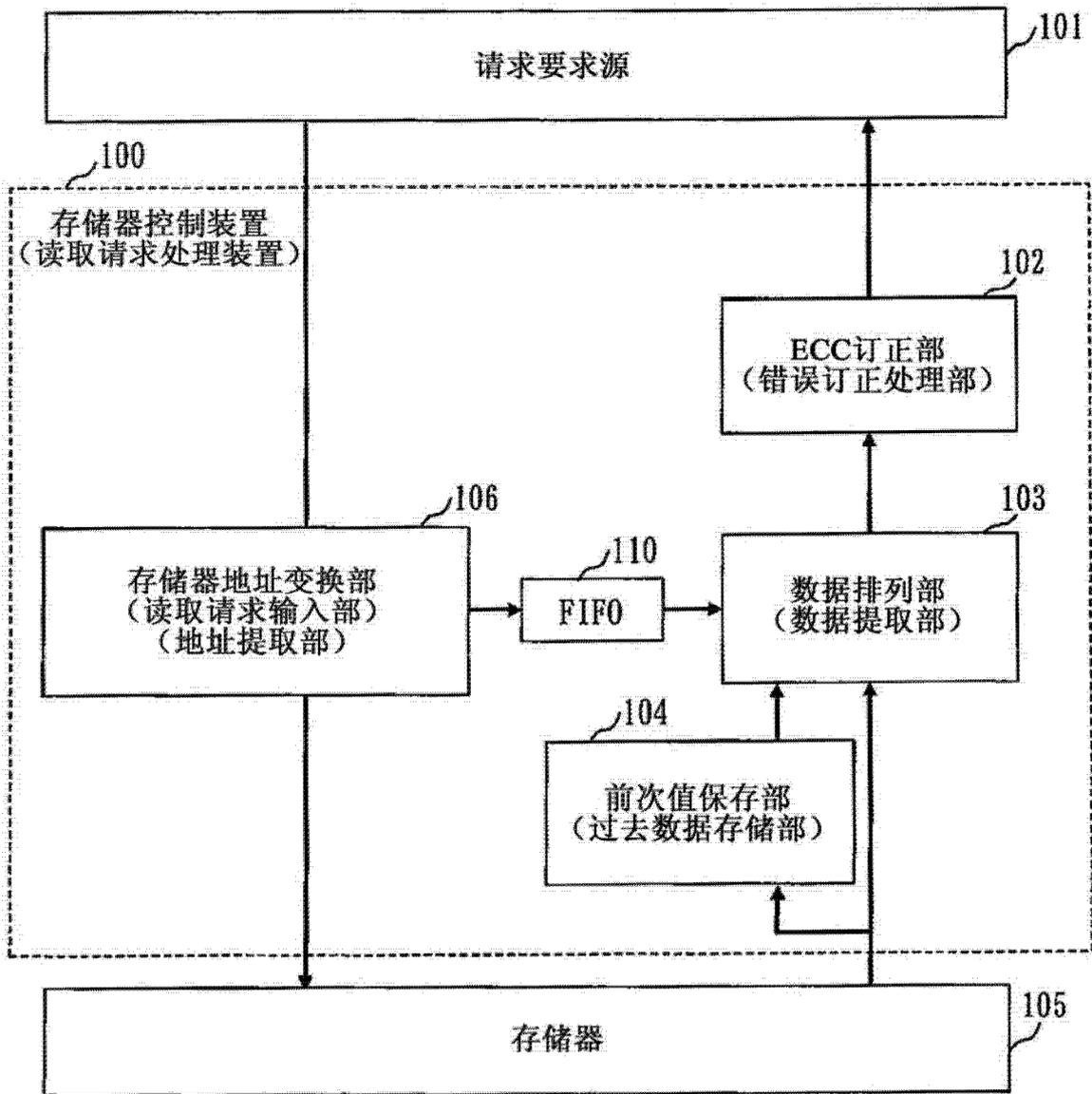


图 9

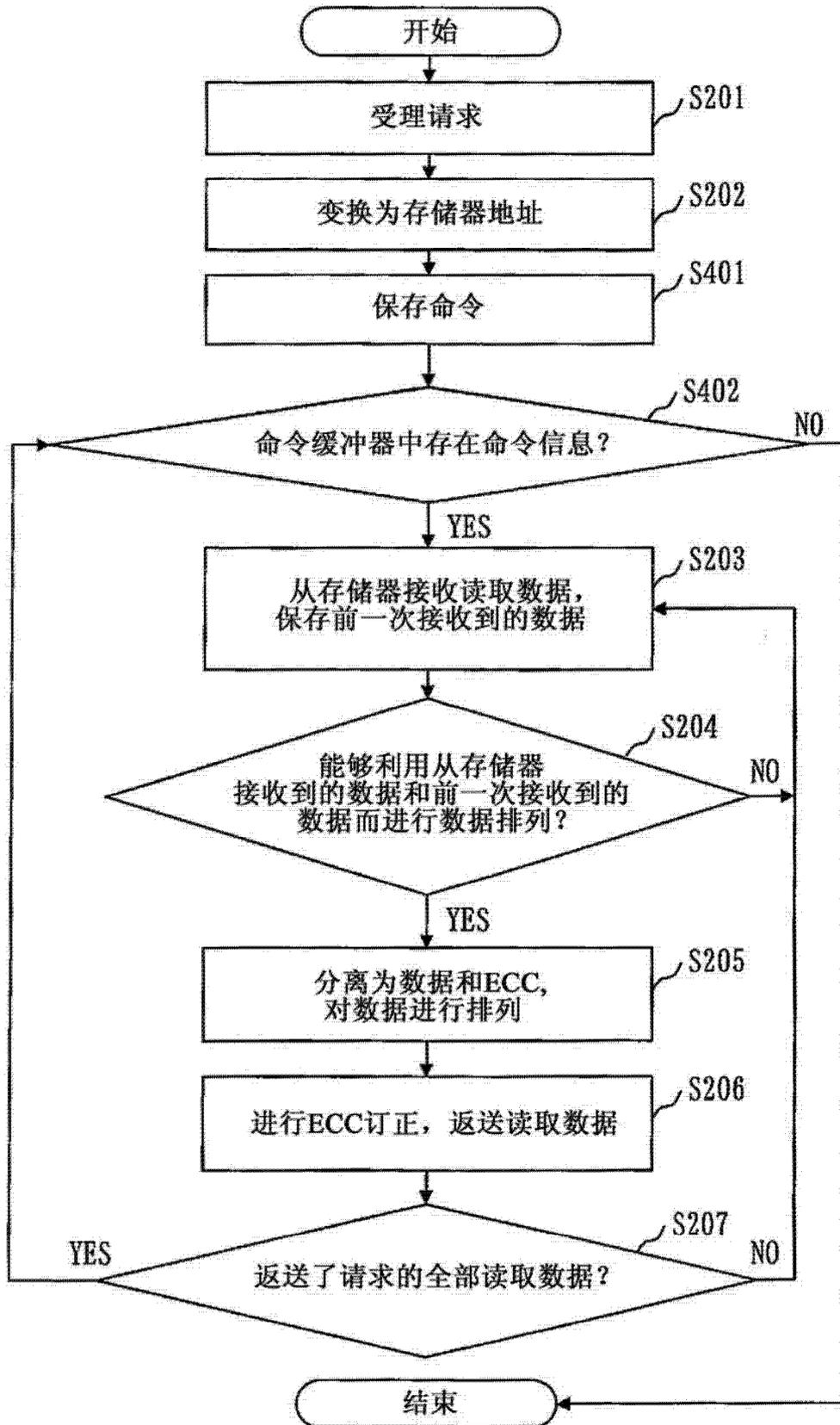


图 10

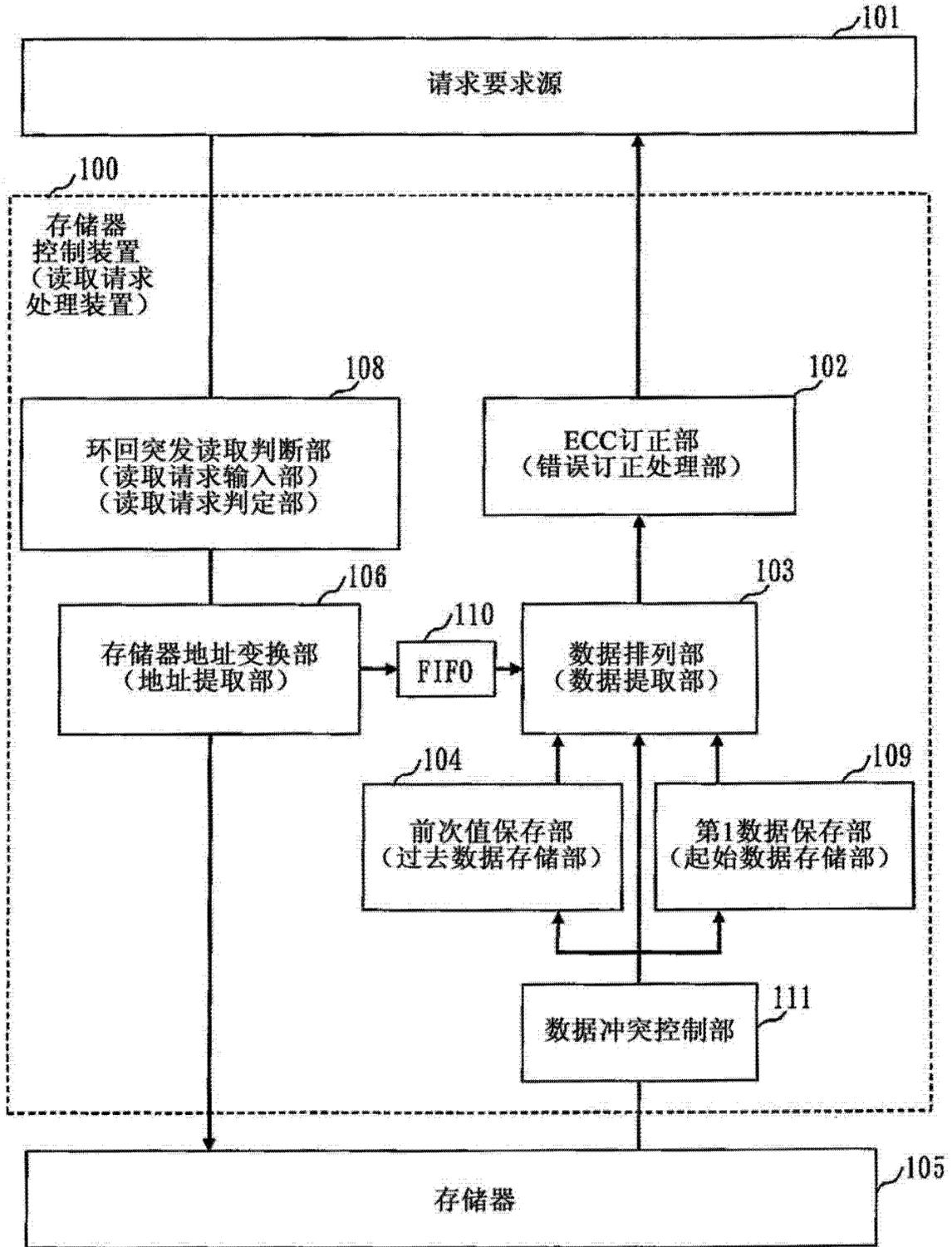


图 11

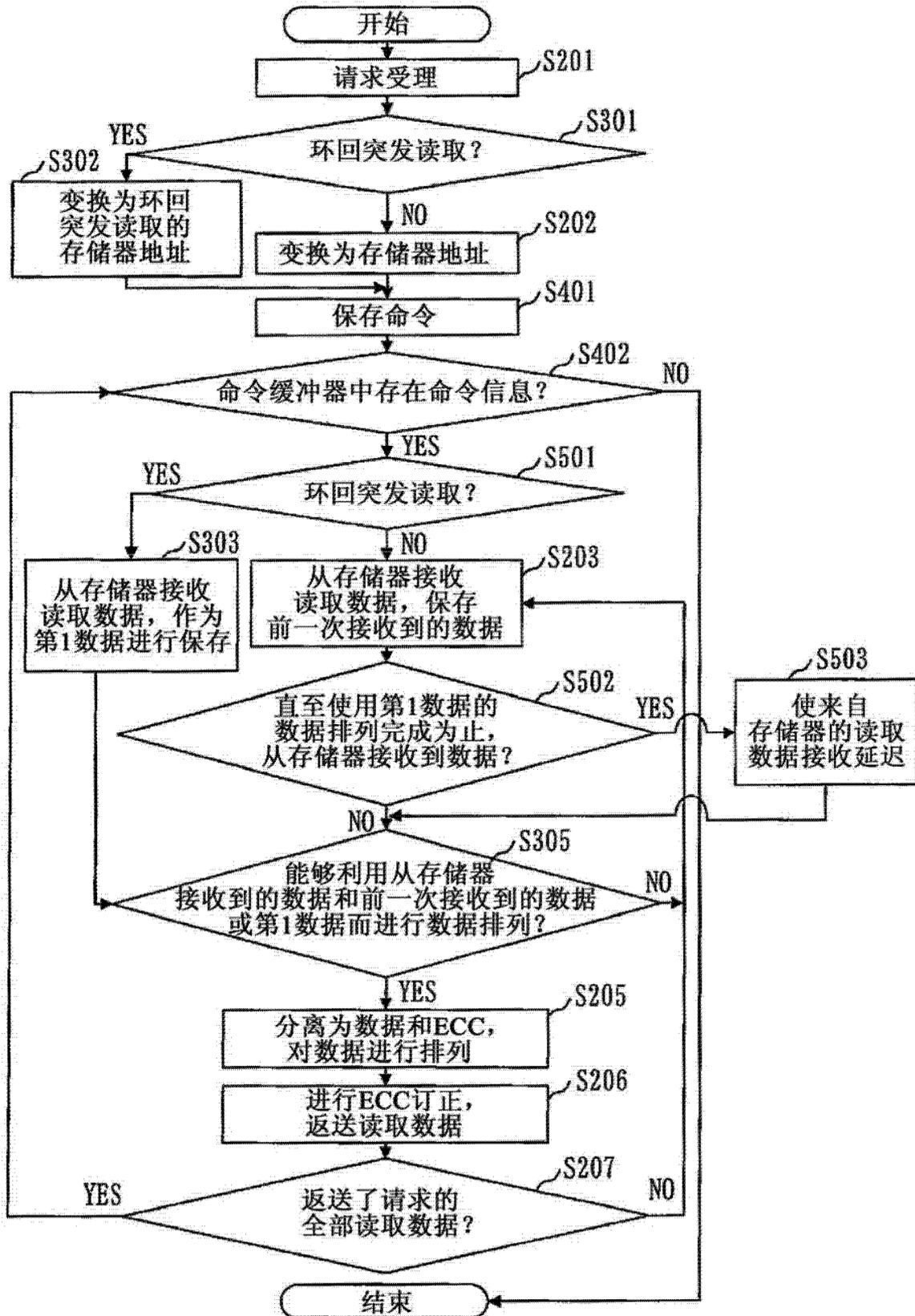


图 12

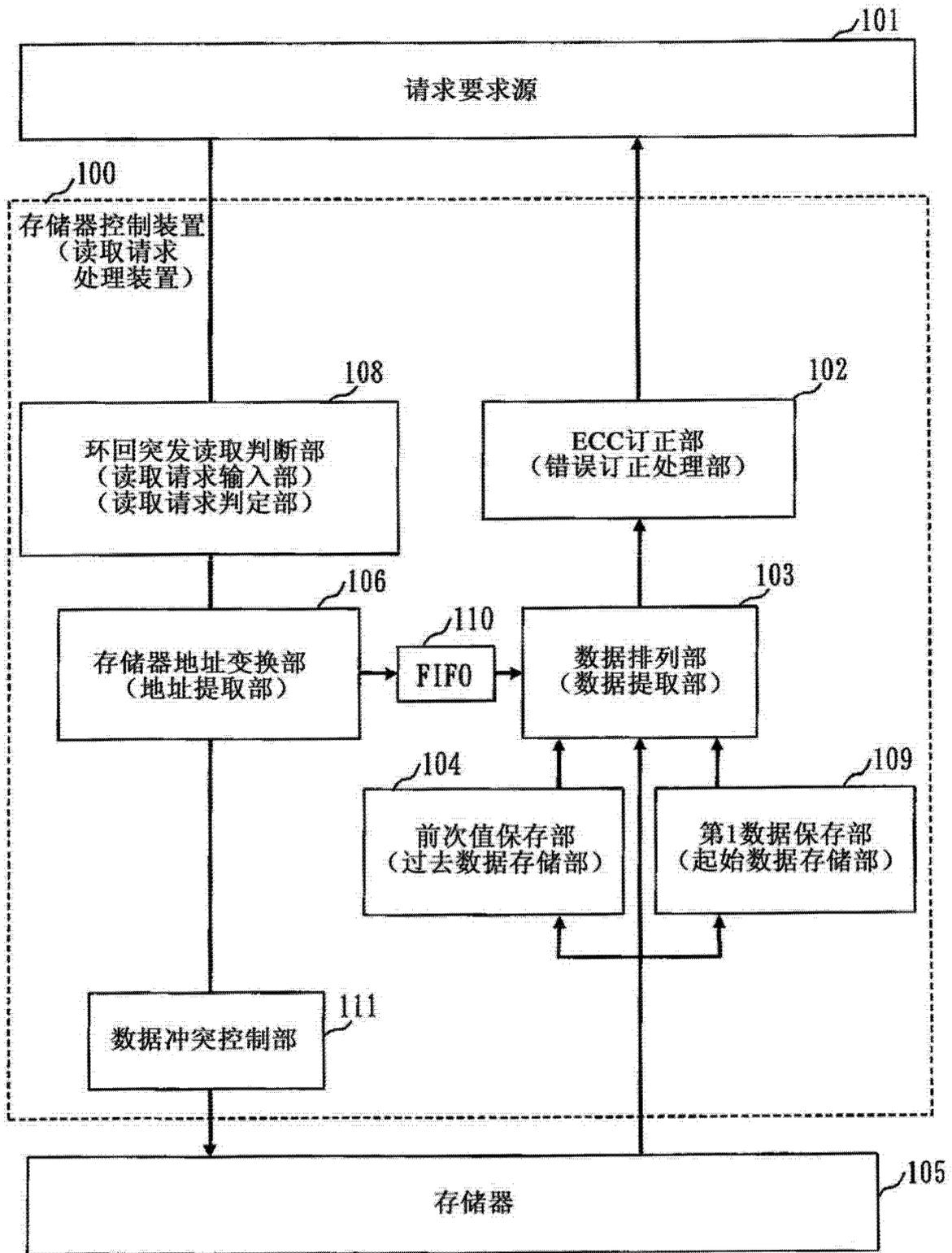


图 13