



(12) 发明专利申请

(10) 申请公布号 CN 103546240 A

(43) 申请公布日 2014. 01. 29

(21) 申请号 201310438378. 5

(22) 申请日 2013. 09. 24

(71) 申请人 许继集团有限公司

地址 461000 河南省许昌市许继大道 1298 号

申请人 许继电气股份有限公司
许昌许继软件技术有限公司

(72) 发明人 郑拓夫 周水斌 闫志辉 宋彦峰
马仪成

(74) 专利代理机构 郑州睿信知识产权代理有限公司 41119

代理人 胡泳棋

(51) Int. Cl.

H04L 1/00 (2006. 01)

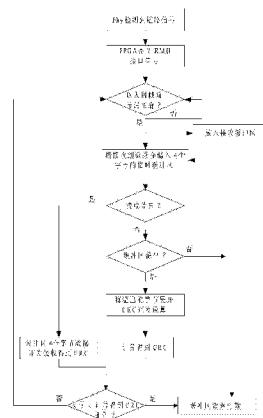
权利要求书1页 说明书3页 附图2页

(54) 发明名称

以太网 CRC 校验方法

(57) 摘要

本发明涉及以太网 CRC 校验方法,在接收以太网一帧数据的同时对接收到的数据逐一字节进行 CRC 运算,记录运算得到的 CRC 并存储,将该运算得到的 CRC 与最后接收数据中的 CRC 进行比对,实现 CRC 校验;本发明的整个 CRC 计算过程与编解码过程是同步的,不占用额外的时钟周期,极大提高了数据处理的速度和效率。



1. 以太网 CRC 校验方法,其特征在于,在接收以太网一帧数据的同时对接收到的数据逐一字节进行 CRC 运算,记录运算得到的 CRC 并存储,将该运算得到的 CRC 与最后接收数据中的 CRC 进行比对,实现 CRC 校验。

2. 根据权利要求 1 所述的以太网 CRC 校验方法,其特征在於:将接收到的数据依次存入一个 FIFO 的四字节 CRC 待校验缓冲区,对溢出的每一个字节数据进行查表,得到该字节的 CRC 并存储带入下一次运算,直到接收数据完成,将最后 CRC 待校验缓冲区接收到的 CRC 与计算得到的 CRC 进行比对,完成 CRC 校验。

3. 根据权利要求 2 所述的以太网 CRC 校验方法,其特征在於:所述每接收到一个字节的数,在存入 CRC 待校验缓冲区的同时存入数据缓冲区。

4. 根据权利要求 3 所述的以太网 CRC 校验方法,其特征在於:所述运算得到的 CRC 与最后接收数据中的 CRC 进行比对,若是两 CRC 不同,则传输过程中出现了误码,数据缓冲区存储的数据无效。

5. 根据权利要求 1 所述的以太网 CRC 校验方法,其特征在於:所述直到接收数据完成是当最后一个字节传输完成,存入 CRC 待校验缓存区后,CRC 待校验缓存区内储存的四个字节数据为待校验的 CRC 码;同时待校验的 CRC 码前一字节的最后一个有效数据的 CRC 校验计算完成,将 CRC 待校验缓存区内存储的待校验 CRC 与计算得到的 CRC 进行比对便可得知该帧数据是否在传输过程中出现了误码。

6. 根据权利要求 1-5 中任一项所述的以太网 CRC 校验方法,在发送数据过程中,每发送一个字节的数,就查表得到该字节的 CRC,并带入下一次运算,直到数据发送结束,形成最终的 CRC 数据包发送到链路上。

7. 根据权利要求 6 所述的以太网 CRC 校验方法,其特征在於:所述数据的发送或接收通过 PHY 芯片的 RMI I 接口完成,FPGA 与 PHY 芯片通过 RMI I 接口连接。

以太网 CRC 校验方法

技术领域

[0001] 本发明属于以太网通信的快速编解码技术领域,涉及一种以太网 CRC 校验方法。

背景技术

[0002] 随着以太网技术在工业领域应用的日益广泛,网络数据通信成为工业数据交互的主要方式,然而工业以太网中很多通讯协议都是该领域独有的,因此,即便主流的网络芯片可以提供数据通信上的帮助,但具体到业务领域还是存在很大的缺陷,比如无法过滤业务数据,无法精确定时发送数据等。

[0003] 百兆以太网数据包在结尾处都会附带一个 32 位的 CRC 校验码。CRC 即循环冗余校验码,是数据通信领域中最常用的一种差错校验码,信息字段和校验字段的长度可以任意选定,在以太网通信中,它跟在有效报文后面发送。CRC 校验的实质是将 CRC 多项式与待校验字节做移位异或运算,由于一个字节共有 256 种结果,故运算结果也有 256 种,CRC 查表法就是将此 256 种结果提前储存在常量数组中,在计算时,只需根据待校验字节所代表的数组位置直接查找结果即可。CRC 校验的算法分为两种:串行位算法、并行字节算法。串行位算法是将接收到的每一位数据与 CRC 生成多项式作一次逻辑运算,直到接收完毕,该方法效率较低,一个时钟周期仅能计算一位数据;并行字节算法效率较高,它以一个字节为单位,将每个字节共 256 种结果存储在常量数组中,计算时直接查表即可,一个时钟周期可以计算 8 位数据,但该算法一般都在接收完整一帧数据才开始,当网络数据量较大的时候,依然不能满足要求,因此需要一种效率更高的技术来支撑以太网越来越高速的数据量。

发明内容

[0004] 本发明的目的是提供一种以太网 CRC 校验方法,以解决现有校验方法无法满足以太网数据量越来越大的问题。

[0005] 为实现上述目的,本发明的以太网 CRC 校验方法技术方案如下:在接收以太网一帧数据的同时对接收到的数据逐一字节进行 CRC 运算,记录运算得到的 CRC 并存储,将该运算得到的 CRC 与最后接收数据中的 CRC 进行比对,实现 CRC 校验。

[0006] 进一步的,将接收到的数据依次存入一个 FIFO 的四字节 CRC 待校验缓冲区,对溢出的每一个字节数据进行查表,得到该字节的 CRC 并存储带入下一次运算,直到接收数据完成,将最后 CRC 待校验缓冲区接收到的 CRC 与计算得到的 CRC 进行比对,完成 CRC 校验。

[0007] 所述每接收到一个字节的的数据,在存入 CRC 待校验缓冲区的同时存入数据缓冲区。

[0008] 所述运算得到的 CRC 与最后接收数据中的 CRC 进行比对,若是两 CRC 不同,则传输过程中出现了误码,数据缓冲区存储的数据无效。

[0009] 所述直到接收数据完成是当最后一个字节传输完成,存入 CRC 待校验缓存区后,CRC 待校验缓存区内储存的四个字节数据为待校验的 CRC 码;同时待校验的 CRC 码前一字节的最后一个有效数据的 CRC 校验计算完成,将 CRC 待校验缓存区内存储的待校验 CRC 与

计算得到的 CRC 进行比对便可知该帧数据是否在传输过程中出现了误码。

[0010] 进一步的,在发送数据过程中,每发送一个字节的的数据,就查表得到该字节的 CRC,并带入下一次运算,直到数据发送结束,形成最终的 CRC 数据包发送到链路上。

[0011] 所述数据的发送或接收通过 PHY 芯片的 RMI I 接口完成,FPGA 与 PHY 芯片通过 RMI I 接口连接。

[0012] 本发明的以太网 CRC 校验方法,在收发以太网报文的过程中以查表法为基础,在接收数据、发送数据的同时进行 CRC 运算,整个计算过程与编解码过程是同步的,不占用额外的时钟周期,极大提高了数据处理的速度和效率 ;FPGA 与 PHY 芯片通过 RMI I 接口连接,RMI I 接口在每个时钟周期仅传输两位数据,传输一个字节需要四个周期,而将待校验字节查表,则需要两个时钟周期,因此,从时间效率上分析,可实现接收数据或发送数据的同时进行 CRC 校验 ;采用 FPGA+PHY 的硬件架构,利用 FPGA 丰富的 I/O 资源与多个 PHY 芯片的收发管脚直接相连,并利用 FPGA 并行处理数据的特性,可同时对多个网口数据进行编解码和 CRC 校验。

附图说明

[0013] 图 1 是 CRC 接收校验流程图 ;

[0014] 图 2 是 CRC 发送校验流程图 ;

[0015] 图 3 是实施例的硬件架构图。

具体实施方式

[0016] 以太网 CRC 校验如图 1、2、3 所示,在发送数据编码过程中,每发送一个字节的的数据,就查表得到该字节的 CRC,并带入下一次运算,直到数据发送结束,形成最终的 CRC 数据包通过 PHY 发送到链路上 ;FPGA 接收从 PHY 发送的数据,在接收数据解码过程中,每接收一个字节的的数据,就查表得到该字节的 CRC,并带入下一次运算,直到接收解码完成,将接收到的 CRC 与计算得到的 CRC 进行比对,完成 CRC 校验 ;整个计算过程与编解码过程是同步的,不占用额外的时钟周期,效率更高。

[0017] 如图 3 所示为硬件架构图,FPGA 与 CPU 相连,与多个 PHY 芯片通过 RMI I 接口连接,FPGA 是硬件编程设计,能实现对各种需求的定制服务,它没有指令周期,完全靠硬件电路的重构来执行所需功能,时序控制精度也很高,另外并行处理的优势,也能实现同时对多个 PHY 的数据收发。RMI I 称为媒体独立接口,它是 IEEE-802.3 定义的以太网行业标准,包括一个数据管理接口,以及一个 MAC 和 PHY 之间的管理接口。

[0018] 以太网 CRC 校验方法在 FPGA 内部实现,利用 FPGA 丰富的 I/O 资源与多个 PHY 芯片的收发管脚直接相连,并利用其自身并行处理数据的优势,可同时对这多个网口数据进行编解码和 CRC 校验 ;另外,FPGA 可通过软件进行配置和编程,从而可对特定报文进行解析过滤,因此,可为 FPGA 后端的 CPU 释放大量的资源,缩短数据处理的时间,从而防止网络风暴对 CPU 的稳定运行造成负面影响。

[0019] 本以太网 CRC 校验方法是建立在 CRC 查表算法的基础之上,在计算时,只需根据待校验字节所代表的数组位置直接查找结果即可。据此效率上的优势,FPGA 可在以太网数据收发的过程中,完成 CRC 校验。在接收解码过程中,每接收一个字节的的数据,即可根据算法

得到该字节的 CRC, 并带入下一次运算, 直到接收解码完成; 在发送编码过程中, 亦采用同样的方式, 每发送一个字节的的数据, 计算一次 CRC, 直到发送完成, 并将计算得到的 CRC 发送到链路上。

[0020] 1、接收数据过程

[0021] 如图 1 所示, FPGA 对来自 PHY 芯片的 RMI I 接口的数据进行实时解码, 开辟一个 32 位的变量用来存储每次查表得到的 CRC 校验码, 另外, 除了开辟一个储存所有以太网数据的缓冲区以外, 还需定义一个可储存四个字节的 CRC 待校验缓冲区。

[0022] 每收到一个字节在存入数据缓冲区后, 同时存入 CRC 待校验缓冲区。此缓冲区保证先进先出的原则, 直到第五个字节压入, 第一个字节从缓冲区弹出, 方可参与 CRC 校验运算。

[0023] RMI I 接口在每个时钟周期仅传输两位数据, 传输一个字节需要四个周期, 而将待校验字节查表, 则需要两个时钟周期, 因此, 从时间效率上分析, 在解码过程中是完全可以完成 CRC 查表校验。

[0024] 当最后一个字节解码完成, 存入 CRC 待校验缓存区后, 缓冲区内储存的四个字节数据正好为待校验的 CRC 码; 同时, 最后一个有效数据(即待校验的 CRC 码前一字节的最后一个有效数据)的 CRC 校验计算也正好完成, 将两者比较便可得知该帧数据是否在传输过程中出现了误码。

[0025] 2、发送数据过程

[0026] 如图 2 所示, RMI I 接口发送的时序与接收近似, 每个时钟周期只能发送两位数据, 因此, 可在其编码发送过程中, 对该字节数据进行 CRC 查表计算, 待最后一个字节发送结束, 便可将计算得到的 CRC 校验码发送到链路上。

[0027] 发送数据编码过程和接收数据解码过程在 FPGA 内部可同时进行, 互不影响, 并且可共用一个 CRC 表。此项专利受国家高技术研究发展技术(863 计划)课题资助, 课题编号: 2012AA050206。

[0028] 最后所应说明的是: 以上实施例仅用以说明而非限定本发明的技术方案, 尽管参照上述实施例对本发明进行了详细说明, 本领域的普通技术人员应当理解; 依然可以对本发明进行修改或者等同替换, 而不脱离本发明的精神和范围的任何修改或局部替换, 其均应涵盖在本发明的权利要求范围当中。

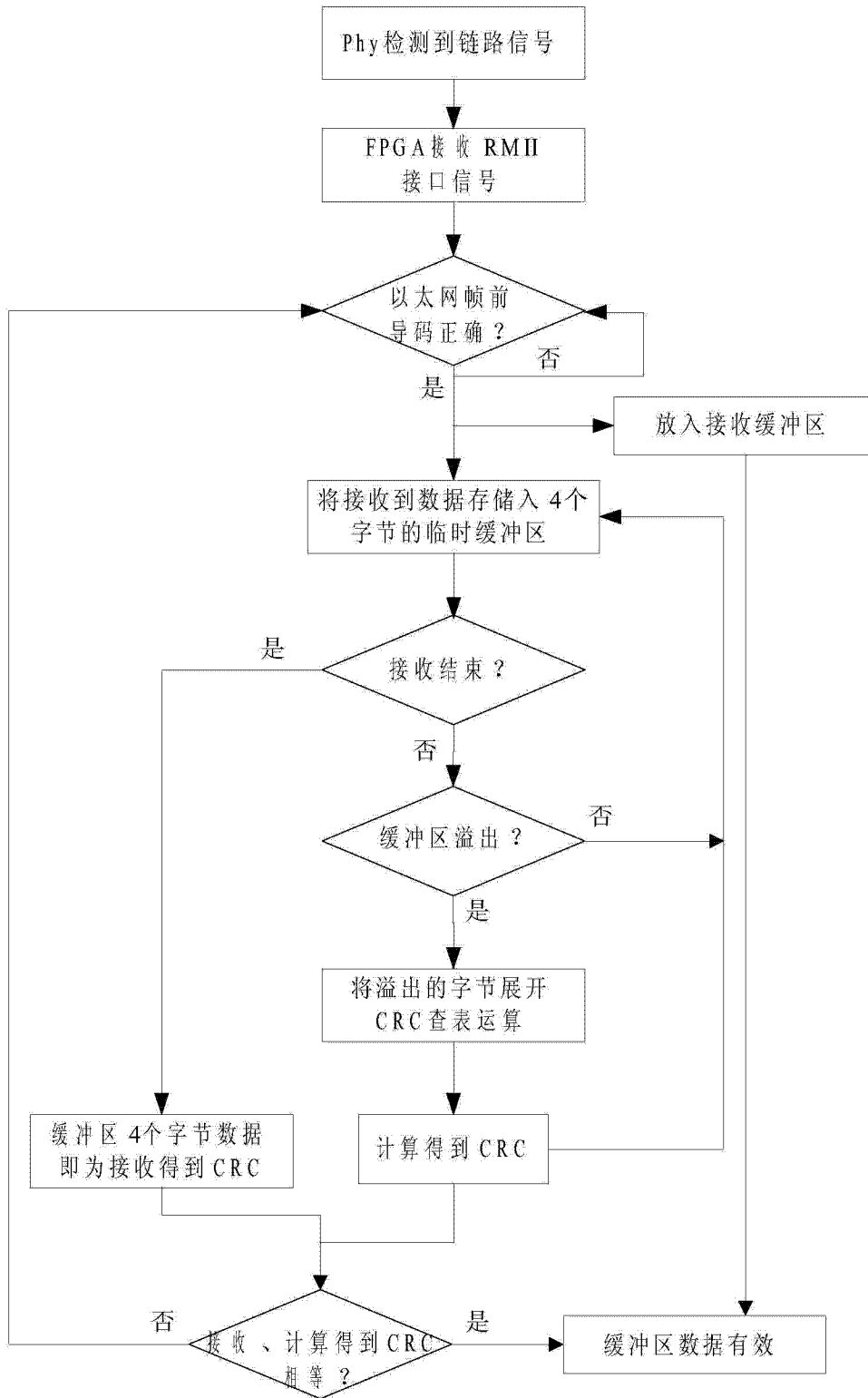


图 1

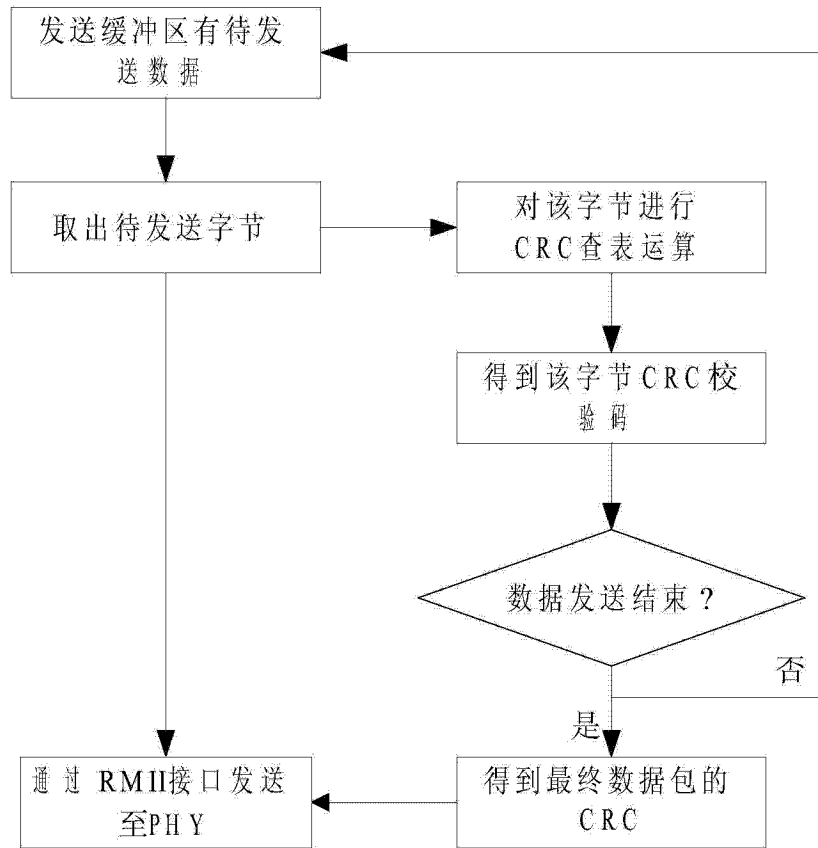


图 2

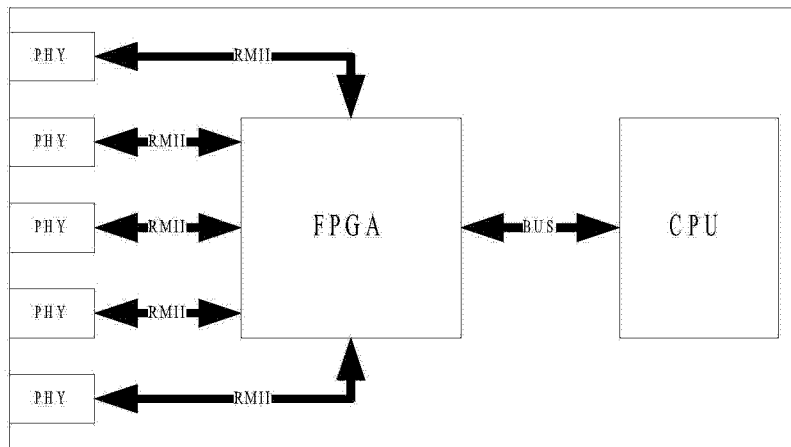


图 3