



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0117982  
(43) 공개일자 2009년11월17일

(51) Int. Cl.

H01L 27/146 (2006.01)

(21) 출원번호 10-2009-0037075

(22) 출원일자 2009년04월28일

심사청구일자 없음

(30) 우선권주장

JP-P-2008-125189 2008년05월12일 일본(JP)

(71) 출원인

소니 가부시끼 가이샤

일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자

아키야마 겐타로

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시  
끼 가이샤내

(74) 대리인

유미특허법인

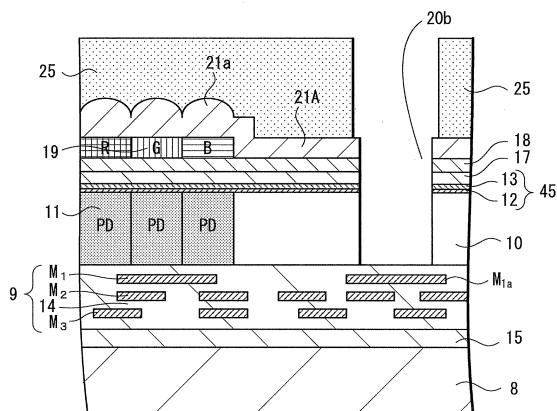
전체 청구항 수 : 총 10 항

(54) 고체 활상 장치의 제조 방법 및 전자 기기의 제조 방법

### (57) 요 약

광전 변환부를 형성한 반도체 기판의 제1 면 측에 층간 절연막을 통하여 신호 회로가 형성되고, 반도체 기판의 제2 면 측으로부터 광전 변환부에 광이 입사되는 고체 활상 장치의 제조 방법으로서, 광이 입사하는 제2 면 측에 온-칩 컬러 필터 및 온-칩 마이크로 렌즈를 형성하는 단계와 광이 입사하는 제2 면 측 상의 패드부에 개구부를 형성하는 단계를 포함하는 고체 활상 장치의 제조 방법을 제공한다

**대 표 도** - 도10j



## 특허청구의 범위

### 청구항 1

광전 변환부를 형성한 반도체 기판의 제1 면 측에 충간 절연막을 통하여 신호 회로가 형성되고, 상기 반도체 기판의 제2 면 측으로부터 상기 광전 변환부에 광이 입사되는 고체 활상 장치의 제조 방법으로서, 광이 입사하는 상기 제2 면 측에 온-칩 컬러 필터 및 온-칩 마이크로 렌즈를 형성하는 단계; 및 상기 온-칩 컬러 필터 및 상기 온-칩 마이크로 렌즈를 형성한 후, 광이 입사하는 상기 제2 면 측 상의 패드부에 개구부를 형성하는 단계

를 포함하는 것을 특징으로 하는 고체 활상 장치의 제조 방법.

### 청구항 2

제1항에 있어서,

상기 온-칩 컬러 필터 및 상기 온-칩 마이크로 렌즈는 각각 유기 막을 도포하여 형성된 것인, 고체 활상 장치의 제조 방법.

### 청구항 3

제2항에 있어서,

상기 온-칩 마이크로 렌즈를 형성하는 단계는,

상기 온-칩 컬러 필터가 형성된 면 상에, 상기 패드부가 형성되는 부분에 개구부를 갖는 유기 막으로 이루어진 온-칩 마이크로 렌즈 부재를 형성하는 단계;

상기 온-칩 마이크로 렌즈 부재 상의 부분에 렌즈 형상 부재를 형성하는 단계; 및

상기 온-칩 마이크로 렌즈 부재에 1차 온-칩 마이크로 렌즈를 전사하고, 동시에 상기 온-칩 마이크로 렌즈 부재의 개구부를 통하여 상면으로부터 상기 반도체 기판까지 에칭하여 1차 개구부를 형성하기 위해 전체 면을 에치백하는 단계

를 더 포함하는, 고체 활상 장치의 제조 방법.

### 청구항 4

제3항에 있어서,

상기 1차 개구부를 형성한 후, 상기 1차 개구부를 제외한, 상기 1차 온-칩 마이크로 렌즈의 표면과 상기 온-칩 마이크로 렌즈 부재의 표면상에, 레지스트 마스크를 형성하는 단계; 및

상기 레지스트 마스크를 통하여, 상기 1차 개구부 내의 상기 반도체 기판만을 선택적으로 드라이 에칭에 의해 제거하여 2차 개구부를 형성하는 단계

를 더 포함하는 고체 활상 장치의 제조 방법.

### 청구항 5

제4항에 있어서,

상기 2차 개구부를 형성한 후, 상기 레지스트 마스크를 제거하는 단계를 더 포함하는 고체 활상 장치의 제조 방법.

### 청구항 6

제5항에 있어서,

상기 레지스트 마스크를 제거한 후, 전체 면을 에치백하여 최종적인 온-칩 마이크로 렌즈를 형성하는 단계; 및 이와 동시에 상기 2차 개구부의 바닥면의 상기 충간 절연막을 제거하여 와이어 본딩되는 상기 신호 회로를 노출

시키는 최종적인 개구부를 형성하는 단계  
를 더 포함하는 고체 활상 장치의 제조 방법.

#### 청구항 7

제6항에 있어서,  
상기 1차 개구부 내의 반도체 기판의 에칭을, SF<sub>6</sub>와 O<sub>2</sub>의 가스 혼합물을 사용하여 행하고, 상기 레지스트 마스크의 제거를, 유기용제 또는 애싱 처리와 유기용제를 함께 사용하여 행하는, 고체 활상 장치의 제조 방법.

#### 청구항 8

제2항에 있어서,  
상기 온-칩 마이크로 렌즈 상에 형성한 레지스트 마스크를 통하여, 상기 패드부에 대응하는 부분의 상기 반도체 기판을 바닥부까지 선택적으로 드라이 에칭으로 제거하여 1차 개구부를 형성하는 단계; 및  
상기 레지스트 마스크를, 유기용제 또는 애싱 처리와 유기용제를 함께 사용하여 제거하는 단계  
를 더 포함하는 고체 활상 장치의 제조 방법.

#### 청구항 9

제8항에 있어서,  
상기 레지스트 마스크를 제거한 후, 전체 면을 에치백 처리하여 최종적인 온-칩 마이크로 렌즈를 형성하는 단계; 및  
이와 동시에 상기 1차 개구부의 바닥면의 상기 충간 절연막을 제거하여 와이어 본딩되는 상기 신호 회로를 노출시켜 최종적인 개구부를 형성하는 단계  
를 더 포함하는 고체 활상 장치의 제조 방법.

#### 청구항 10

광전 변환부를 형성한 반도체 기판의 제1 면 측에 충간 절연막을 통하여 신호 회로가 형성되고, 상기 반도체 기판의 제2 면 측으로부터 상기 광전 변환부에 광이 입사되는 전자 기기의 제조 방법으로서,  
광이 입사하는 상기 제2 면 측에 온-칩 컬러 필터 및 온-칩 마이크로 렌즈를 형성하는 단계; 및  
상기 온-칩 컬러 필터 및 상기 온-칩 마이크로 렌즈를 형성한 후, 광이 입사하는 상기 제2 면 측 상의 패드부에 개구부를 형성하는 단계  
를 포함하는 것을 특징으로 하는 전자 기기의 제조 방법.

### 명세서

#### 발명의 상세한 설명

##### 기술 분야

<1> 본 발명은, 고체 활상 장치의 제조 방법, 특히 고체 활상 장치 내의 전극 인출을 위한 패드부의 형성 방법에 관한 것이다. 또한, 본 발명은 이러한 고체 활상 장치를 사용하는 전자 기기를 제조하는 방법에 관한 것이다.

##### 배경 기술

<2> 고체 활상 장치, 예를 들면 CMOS형의 고체 활상 장치에서는, 입사 광에 대한 광전 변환 효율이나 감도의 향상을 도모하기 위해, 배면 조사형 고체 활상 장치가 제안되어 있다[일본 특허출원 공개번호 2005-353631호, 일본 특허출원 공개번호 2005-347707호, 일본 특허출원 공개번호 2005-363955호 참조]. 이 배면 조사형 고체 활상 장치는, 반도체 기판에 광전 변환부로 기능하는 포토 다이오드를 포함하며, 반도체 기판의 표면 측에 화소 트랜지스터, 또한 신호 회로를 구성하는 다중 배선층 등을 형성하여, 배면 측으로부터 광을 입사시킨다.

- <3> 배면 조사형 고체 활상 장치에서는, 반도체 기판의 표면 측에 형성된 다중 배선에 필요한 전위를 공급하기 위한 패드부를, 배면 측에 설치하도록 하고 있다. 도 1에, 배면 조사형 고체 활상 장치의 주요부에서의 개략 단면 구성을 나타낸다. 도 1에 나타낸 단면 구성은, 특히 배면 조사형 고체 활상 장치의 배면 측에서, 주변 영역에 형성한 패드부(60)를 포함하는 영역에 위치하는 것이다.
- <4> 배면 조사형 고체 활상 장치(70)는, 반도체 기판(예를 들면, 단결정 실리콘층)(53)에 광전 변환부로 되는 포토 다이오드(PD)(54)와 복수의 화소 트랜지스터(MOS 트랜지스터)로 이루어지는 복수의 화소가 형성된 활상 영역과, 주변 회로를 포함한다. 또한, 배면 측의 주변 영역에는, 다중 배선층의 필요한 배선에 접속되는 패드부, 이른바 전극 인출을 위한 패드부(60)가 형성된다. 화소를 구성하는 화소 트랜지스터는, 도시하지 않지만, 반도체 기판(53)의 표면에 형성된다.
- <5> 또한, 반도체 기판(53)의 표면 측에는, 충간 절연막(50)을 통하여 다중의 배선(52: 521, 522, 523)을 형성하는 다중 배선층(51)이 형성된다. 이 예에서는 제1 층 배선(521), 제2 층 배선(522), 및 제3 층 배선(523)이 형성되고, 이들 배선은 Cu 배선이나 Al 배선 등으로 형성되고, 적어도 패드부(60)에 노출되는 배선(521a)은 Al 배선으로 형성된다. 이 다중 배선층(51)의 표면 측에, 예를 들면 실리콘 기판에 의한 지지 기판(61)이 접착층(63)을 통해 접합된다.
- <6> 한편, 반도체 기판(53)의 배면 측에는, 반사 방지막이 되는 절연막(55), 온-칩 컬러 필터의 베이스부 접착층을 겹치는 평탄화층(57)이 차례로 적층된다. 반사 방지막이 되는 절연막(55)은, 예를 들면 SiN 막과  $\text{SiO}_2$  막이 차례로 적층된 2층막으로 형성된다. 평탄화층(57) 상에, 활상 영역의 화소, 즉 포토 다이오드(PD)(54)에 대응하여, 예를 들면 적색(R), 녹색(G), 및 청색(B)의 온-칩 컬러 필터(59)가 형성되고, 그 위에 온-칩 마이크로 렌즈(58)가 형성된다.
- <7> 활상 영역에서는, 유효 화소 영역(effective pixel area)의 외측에 화소의 흑 레벨(black level)을 규정하기 위한 옵티컬 블랙 영역(optical black area)이 형성된다. 옵티컬 블랙 영역에서는, 유효 화소 영역에서의 화소와 마찬가지의 화소 및 컬러 필터가 형성된다. 도시하지 않지만, 차광막(light-shielding film)이, 유효 화소 영역의 각 수광부, 즉 포토 다이오드(PD)(54) 및 패드부(60)를 제외하고, 다른 화소 트랜지스터와 주변 회로부를 포함하는 전체 면에 형성된다. 패드부(60)에는, 다중 배선층(51)의 원하는 배선, 이 예에서는 배선(521a)을 노출시키는 개구부(62)가 형성된다.
- <8> 도 2a 및 2b는 패드부(60)의 형성 방법의 일례를 나타낸다. 먼저, 도 2a에 나타낸 바와 같이, 반도체 기판(53)에 포토 다이오드(PD)(54) 및 화소 트랜지스터(도시하지 않음)로 이루어지는 화소를 형성하고, 반도체 기판(53)의 표면 측에 다중 배선층(51)을 형성하고, 다중 배선층(51) 상에 접착층(63)을 통하여 지지 기판(61)을 접합한다. 또한, 반도체 기판(53)의 배면 측에 반사 방지막이 되는 절연막(55), 패시베이션막(56), 온-칩 컬러 필터의 베이스부 접착층을 겹치는 평탄화층(57)을 차례로 적층한다. 그 후, 패드부(60)에 대응하는 부분의 평탄화층(57), 패시베이션막(56), 절연막(55), 반도체 기판(53) 및 다중 배선층(51)의 제1 층 배선(521a)에 이르는 충간 절연막(50)을 애칭 제거하여 개구부(62)를 형성한다.
- <9> 다음에, 도 2b에 나타낸 바와 같이, 온-칩 컬러 필터 부재가 되는 유기 막(organic film), 예를 들면 레지스트 막(resist film)을 형성하고, 패터닝함으로써, 예를 들면 적색(R), 녹색(G), 및 청색(B)의 온-칩 컬러 필터(59)를 형성한다. 또한, 온-칩 마이크로 렌즈 부재(58A)가 되는 유기 막, 예를 들면 레지스트막을 형성하고, 에치백 프로세스를 포함하는 전사법(transfer method)에 의해 온-칩 마이크로 렌즈(58)를 형성한다.

### 발명의 내용

- <10> 그런데, 도 2a 및 도 2b에 나타낸 제조 방법에서는, 패드부(60)의 개구부(62)를 형성한 후에, 온-칩 컬러 필터(59) 및 온-칩 마이크로 렌즈(58)를 형성하고 있지만, 온-칩 컬러 필터 부재와 온-칩 마이크로 렌즈 부재가 되는 유기막, 예를 들면 레지스트막을 도포했을 때, 스트라이에이션(striation), 즉 도포 불균일이 발생한다. 즉, 기판 배면 측의 평탄화막(57)으로부터 반도체 기판(53)을 통해 배선(521a)에 이르는 개구부(62)를 형성하기 때문에, 개구부(62)에  $3\mu\text{m}$  이상, 예를 들면 대략  $6\mu\text{m}$  정도의 단차가 생긴다. 그러므로, 스펀 코팅으로 레지스트막을 도포할 때, 이 단차를 기점으로 스트라이에이션이 발생한다. 이 스트라이에이션에 의해, 완성한 온-칩 컬러 필터(59)과 온-칩 마이크로 렌즈(58)에 불균일이 생긴다. 그 결과, 활상 특성에 불균일이 발생하고, 고체 활상 장치의 신뢰성을 떨어뜨리게 된다.
- <11> 본 발명은, 전술한 점에 감안하여, 광 입사측의 배면에 패드부의 개구부를 포함하면서, 활상 특성에 불균일이

생기지 않는 신뢰성이 높은 배면 조사형의 고체 활상 장치의 제조 방법을 제공하는 것을 목적으로 한다. 또한, 이러한 고체 활상 장치를 구비하는 전자 기기를 제조하는 방법을 제공하는 것을 목적으로 한다.

<12> 본 발명의 실시예에 의하면, 고체 활상 장치의 제조 방법과 전자 기기의 제조 방법이 제공된다. 이들 방법은, 광전 변환부를 형성한 반도체 기판의 한쪽 면 측에 충간 절연막을 통하여 신호 회로가 형성되고, 다른 쪽 면 측으로부터 광전 변환부에 광이 입사된다. 이들 방법은, 광 입사면 측에 온-칩 컬러 필터 및 온-칩 마이크로 렌즈를 형성한 후에, 광 입사면 측에 패드부의 개구부를 형성하는 프로세스를 포함하는 것을 특징으로 한다.

<13> 본 발명의 방법에서는, 온-칩 컬러 필터 및 온-칩 마이크로 렌즈를 형성한 후, 패드부에 개구부를 형성하므로, 온-칩 컬러 필터 및 온-칩 마이크로 렌즈를 형성할 때의 유기 막을, 실질적인 단차가 없는 상태의 베이스 면에 형성할 수 있다. 이로써, 유기 도포막에 대하여 단차에 기인한 스트라이에이션이 발생하는 것을 방지할 수 있다.

<14> 본 발명에 관한 고체 활상 장치의 제조 방법과 전자 기기의 제조 방법에 의하면, 유기계 도막에 스트라이에이션의 발생을 방지할 수 있으므로, 활상 특성에 불균일이 발생하지 않는, 신뢰성이 높은 배면 조사형의 고체 활상 장치와 전자 기기를 제조할 수 있다.

### 발명의 실시를 위한 구체적인 내용

<15> 이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

<16> 도 3~도 5에, 본 발명의 실시예에 의한 고체 활상 장치의 개략 구성을 나타낸다. 이러한 구성은 본 발명의 다른 실시예에 의한 전자 기기에도 적용할 수 있다. 본 발명의 실시예에서, 고체 활상 장치와 전자 기기는 배면 조사형이다. 본 실시형태에 관한 고체 활상 장치(1)는, 도 3에 나타낸 바와 같이, 활상 영역(3), 주변 회로(6, 7), 및 주변 위치한 복수의 패드부(5)를 포함하여 구성된다.

<17> 활상 영역(3)은, 복수의 단위 화소가 행렬로 배열되고, 행 단위로 어드레스 라인 등이 형성되어 있고, 열 단위로 신호선 등이 설치되어 있다. 활상 영역(3)은, 유효 화소 영역(3a)과 화소의 흑 레벨을 규정하는 옵티컬 블랙 영역(3b)을 구비하여 형성된다. 옵티컬 블랙 영역(3b)은, 유효 화소 영역(3a)을 구성하는 화소와 동일한 구성을 가지는 화소로 구성된다. 옵티컬 블랙 영역(3b)을 구성하는 화소는 유효 화소 영역(3a)의 외측에 배열된다. 유효 화소 영역(3a)의 각 화소의 광전 변환부(수광부)와 패드부(5)를 제외한 다른 전체 면은 차광막에 의해 덮여 있다.

<18> 활상 영역(3)에서의 각 화소는, 광전 변환부로 되는, 예를 들면 포토 다이오드(PD)와 복수의 화소 트랜지스터(MOS 트랜지스터)를 포함하여 구성된다. 화소 트랜지스터는, 예를 들면 전송 트랜지스터, 리셋 트랜지스터, 증폭 트랜지스터, 및 선택 트랜지스터의 4개의 트랜지스터를 포함하여 구성될 수 있다. 이와 달리, 전송 트랜지스터, 리셋 트랜지스터, 및 증폭 트랜지스터의 3개의 트랜지스터로 구성할 수도 있다. 그 외의 트랜지스터 구성으로 할 수도 있다.

<19> 도 4에, 단위 화소의 단면 구조의 일례를 나타낸다. 이 예에서는, 제1 도전형, 예를 들면 n형의 반도체 기판에 상당하는 실리콘 반도체층(10)에 제2 도전형이 되는, 예를 들면 p형의 화소 분리 영역(32)을 형성하고, 각 화소 영역에 광전 변환부로 되는 포토 다이오드(PD)(11)와 복수의 화소 트랜지스터(Tr1, Tr2)를 형성하여 단위 화소(31)가 구성된다. 포토 다이오드(11)는, p형 화소 분리 영역(32)과 복수의 화소 트랜지스터(Tr1, Tr2)가 형성되는 비교적 깊은 p형 반도체 웰 영역(35)에 둘러싸인 n형의 반도체층(10)과, 정면 및 배면 측의 암 전류를 억제하기 위한 p+ 축적층(33, 34)을 포함한다. 포토 다이오드(11)를 구성하는 n형의 반도체층(10)은, 정면 측의 고농도의 n+ 전하 축적 영역(10a)과 반도체층(10)으로 형성되는 저농도의 n-형 영역(10b)을 포함한다. 반도체층(10)의 배면 측으로 연장되는 n-형 영역(10b)은, 화소 트랜지스터(Tr1, Tr2)가 형성된 p형 반도체 웰 영역(35)의 아래까지 연장되어 형성된다.

<20> 복수의 화소 트랜지스터(Tr1, Tr2)는, 전술한 바와 마찬가지로, 예를 들면 4개의 트랜지스터로 형성할 수 있다. 도 4에서, 전송 트랜지스터를 Tr1로 나타내고, 그 외의 리셋 트랜지스터, 증폭 트랜지스터 및 선택 트랜지스터를 Tr2로 나타낸다. 화소 트랜지스터 Tr1은, 부동 확산(FD)부가 되는 n+소스/드레인 영역(37), 포토 다이오드(11)의 n+ 전하 축적 영역(10a), 및 게이트 절연막을 사이에 두고 형성한 게이트 전극(41)을 포함하여 형성된다. 화소 트랜지스터 Tr2는, 한 쌍의 소스/드레인 영역(38, 39)과 게이트 절연막을 사이에 두고 형성된 게이트 전극(42)을 포함한다.

<21> 반도체층(10)의 표면 측에는, 충간 절연막(14)을 통하여 다층의 배선(M1~M3)을 형성한 다중 배선층(9)이 형성되

고, 또한 다중 배선층(9) 상에, 예를 들면 실리콘 기판에 의한 지지 기판(8)이 접착층(15)을 통하여 접합된다. 제1 층~제3 층의 배선(M1~M3)은, 신호 회로를 구성하는 것으로, 예를 들면 다마신 프로세스(damascene process)에 의해 Cu 배선 또는 Al 배선으로 형성되지만, 후술하는 바와 같이 와이어 본딩 과정에서, Au 배선에 접속되고 제1 배선층(M1)에 대응하는 적어도 패드부에 대면하는 배선이 Al 배선으로 이루어진다. 프로세스 관점에서 봤을 때, 제1 층 배선(M1)은 모두 Al로 형성하는 것이 바람직하다.

<22> 또한, 반도체층(10)의 배면에는, 반사 방지막(45)이 되는 절연막이 형성된다. 이 반사 방지막(45)은, 예를 들면 실리콘 질화(SiN)막(12)과 실리콘 산화(SiO<sub>2</sub>)막(13)이 적층된 적층막으로 형성된다. 이 반사 방지막(45) 상에, 포토 다이오드(11)의 수광부에 대응하는 부분을 제외하고, 차광막(16)이 형성되고, 또한 패시베이션막(17)과, 온-칩 컬러 필터의 베이스부 접착층을 겸하는 평탄화막(18)이 차례로 형성된다. 패시베이션막(17)이 평탄화막으로 기능하도록 구성하는 것도 가능하다. 차광막(16)은 금속막으로 형성된다. 또한, 평탄화막(18) 상에, 예를 들면 원색의 적색(R), 녹색(G), 및 청색(B)의 온-칩 컬러 필터(19)가 형성되고, 그 위에 온-칩 마이크로 렌즈(21)가 형성된다.

<23> 한편, 주변 회로(6, 7)는, 도시하지 않지만, 수직 구동 회로, 컬럼 신호 처리 회로, 수평 구동 회로, 출력 회로, 제어 회로 등을 포함하여 구성된다. 제어 회로는, 수직 동기 신호, 수평 동기 신호 및 마스터 클록에 따라, 수직 구동 회로, 컬럼 신호 처리 회로 및 수평 구동 회로 등의 동작의 기준으로 되는 클록 신호나 제어 신호 등을 생성해서, 수직 구동 회로, 컬럼 신호 처리 회로 및 수평 구동 회로 등에 입력한다. 수직 구동 회로는, 예를 들면 시프트 레지스터 등에 의해 구성되며, 활상 영역의 각 화소를 행 단위로 차례로 수직 방향으로 선택적으로 주사하고, 수직 신호선을 통해, 각 화소의 광전 변환부에서의 수광량에 따라 생성한 신호 전하에 따른 화소 신호를 컬럼 신호 처리 회로에 공급한다. 컬럼 신호 처리 회로는, 예를 들면 화소의 열마다 배치되고, 1행의 화소로부터 출력되는 신호를 화소 열마다 옵티컬 블랙 영역의 블랙 기준 화소로부터의 신호에 의해 노이즈 제거나 신호 증폭 등의 신호 처리를 행한다. 컬럼 신호 처리 회로의 출력단에는, 수평 선택 스위치가 수평 신호 선과 컬럼 신호 처리 회로 사이에 접속되어 설치된다. 수평 구동 회로는, 예를 들면 시프트 레지스터 등에 의해 구성되며, 수평 주사 필스를 차례로 출력함으로써, 컬럼 신호 처리 회로의 각각을 차례로 선택하고, 컬럼 신호 처리 회로로부터 각각의 화소 신호를 수평 신호선에 출력시킨다. 출력 회로는, 각 컬럼 신호 처리 회로로부터 수평 신호선을 통해 차례로 공급되는 신호에 대하여, 신호 처리를 행하여 출력한다.

<24> 도 5(도 3의 라인 A-A를 따라 절취한 단면)에 나타낸 바와 같이, 패드부(5)에는, 온-칩 마이크로 렌즈(21a)가 형성된 배면 측의 주변부에, 온-칩 마이크로 렌즈 부재(21A)의 표면으로부터 Al 배선에 이르는 개구부(20)가 형성된다. Al 배선의 표면과 배면에는, 도시하지 않지만, TiN 막, TiN/Ti 막, TiN/Ti/TiN 막, Ti/TiN/Ti 막 등이 페복된다. 이 개구부(20)에는, Au 배선에 의한 와이어 본딩 시에 Au 배선이 반도체층(10)에 전기적으로 단락되는 단점을 피할 수 있으므로, 개구부를 에워싸도록, 반도체층(10) 내에, 예를 들면 절연 분리층(27)을 형성할 수도 있다.

<25> 다음에, 도 6~도 11을 사용하여, 본 발명에 관한 고체 활상 장치의 제조 방법의 제1 실시예를 설명한다. 이들 도면은, 도 3의 라인 A-A를 따라 절취한 단면 구조이다.

<26> 먼저, 도 6a에 나타낸 바와 같이, 반도체 기판에 상당하는 반도체층, 예를 들면 실리콘 반도체층(10), 실리콘 반도체층(10)의 표면 측에 형성한 다중 배선층(9), 및 다중 배선층(9)의 표면 측에 접착층(15)을 통하여 접합한 지지 기판(8)을 포함하여 이루어지는 구조를 제작한다. 실리콘 반도체층(10)의 활상 영역에는, 광전 변환부로 되는 포토 다이오드(PD)(11)와 복수의 화소 트랜지스터로 이루어지는 복수의 화소가 평면 상에 배열 형태로 형성되어 있다. 이러한 구조를 형성하는 방법으로서는, 예를 들면 실리콘 반도체 기판의 하나의 면 측에 복수의 화소를 형성하고, 그 하나의 면 측 상에 다중 배선층(9)을 형성하며, 또한 접착층(15)을 통하여 실리콘 기판 등에 의한 지지 기판(8)을 접착해서, 실리콘 반도체 기판의 다른 쪽 면 측으로부터 실리콘 반도체층(10)으로서 남은 두께까지 제거하는 방법이 있다.

<27> 다중 배선층(9)에는, 신호 회로나 그 외의 배선을 포함하는 복수 층의 배선(M1~M3)이 층간 절연막(14)을 사이에 두고 형성되어 있고, 층간 절연막(14)에는, 예를 들면 실리콘 산화(SiO<sub>2</sub>)막이 사용된다. 도 6a에 있어서의 다중 배선층(9)은, 제1 층 배선 M1, 제2 층 배선 M2, 및 제3 층 배선 M3의 총 3층의 배선을 구성하는 예이다. 배선 M1, M2, 및 M3은 Cu, Al 등으로 형성할 수 있다. 배선 M1의 배선(M1a)은, 후술하는 전극 인출을 위한 패드부에서, Au 배선이 와이어 본딩될 수 있고 Au 배선과 유사한 Al 배선으로 형성된다. Al 배선의 표면과 배면은, 도시하지 않지만, 전술한 바와 같이 배리어 금속막이 형성된다.

- <28> 다음에, 도 6b에 나타낸 바와 같이, 실리콘 반도체층(10)의 배면 상에 반사 방지막(45)이 되는 절연막을 형성한다. 이 반사 방지막(45)은, 실리콘 반도체층(10) 측으로부터, 실리콘 질화(SiN)막(12)과 실리콘 산화(SiO<sub>2</sub>)막(13)이 차례로 적층되어 구성된다.
- <29> 다음에, 도 7c에 나타낸 바와 같이, 반사 방지막(45) 상에 패시베이션막(17)을 형성하고, 또한 도 7d에 나타낸 바와 같이, 패시베이션막(17) 상에, 온-칩 컬러 필터와의 접착을 향상시키기 위한 베이스부 접착층을 겹한 평탄화막(18)을 형성한다.
- <30> 다음에, 도 8e에 나타낸 바와 같이, 평탄화막(18) 상에 컬러 필터(19)를 형성한다. 본 예에서의 온-칩 컬러 필터(19)는, 예를 들면 원색의 적색(R), 녹색(G) 및 청색(B)으로 이루어진다. 온-칩 컬러 필터(19)는 다음과 같이 형성할 수 있다. 단차가 없는 평탄화막(18) 상에 제1 컬러의 컬러 필터용 유기 막, 예를 들면 레지스트막을 도포 현상 장치(coater developer)에 의해 도포한 후, 패터닝함으로써, 제1 컬러 필터를 형성한다. 다음에, 제2 컬러의 컬러 필터용 레지스트막을 도포해서 패터닝함으로써, 제2 컬러 필터를 형성하고, 마찬가지로 제3 컬러 필터를 형성한다. 단차(step portion)가 없는 상태로 평탄화막(18) 상에 컬러 필터용의 레지스트막을 형성하기 때문에, 도포된 레지스트막에는 스트라이에이션(striation)이 발생하지 않는다.
- <31> 다음에, 도 8f에 나타낸 바와 같이, 온-칩 컬러 필터(19)의 표면을 포함하는 전체 면에, 온-칩 마이크로 렌즈 부재(21A)를 도포 현상 장치에 의해 도포 형성한다. 이 온-칩 마이크로 렌즈 부재(21A)로서는, 유기 막 등의 네거티브형 레지스트막이 사용된다. 온-칩 마이크로 렌즈 부재(21A)를 도포한 후, 리소그라피 기술 및 에칭 기술을 이용하여, 패드부를 형성해야 할 부분의 온-칩 마이크로 렌즈 부재(21A)를 선택적으로 제거하여 개구부(23)를 형성한다. 레지스트막으로 된 온-칩 마이크로 렌즈 부재(21A)는, 패드부의 개구부와 같이 큰 단차가 형성되기 전의 상태, 즉 실질적으로 단차가 없는 상태로, 베이스면에 도포되기 때문에, 도포된 온-칩 마이크로 렌즈 부재(21A)에는 스트라이에이션이 발생하지 않는다.
- <32> 다음에, 도 9g에 나타낸 바와 같이, 온-칩 마이크로 렌즈 부재(21A) 상, 즉 온-칩 마이크로 렌즈 부재(21A)의 온-칩 컬러 필터(19)에 대응하는 상면에, 각 화소마다 온-칩 마이크로 렌즈에 상당하는 필요한 곡률을 가지는 렌즈 형상 부재(24)를 형성한다. 이 렌즈 형상 부재(24)는 포지티브형 레지스트막을 사용하고, 포지티브형 레지스트막을 도포하고, 각 화소에 대응하도록 패터닝한 후, 리플로우 처리(reflow process)하여 형성한다.
- <33> 다음에, 도 9h에 나타낸 바와 같이, 전체 면에 대해 에치백(etch-back) 처리를 행한다. 이 에치백 처리 과정에서, 렌즈 형상 부재(24)의 렌즈 형상을 온-칩 마이크로 렌즈 부재(21A)에 전사한다. 이러한 전사에 의해, 1차 온-칩 마이크로 렌즈(21a)가 형성되지만, 최종적인 온-칩 마이크로 렌즈(21)는 아니다. 동시에, 이 전체 면에 에치백 처리에 의해, 온-칩 마이크로 렌즈 부재(21A)의 개구부(23)를 통해 평탄화막(18), 패시베이션막(17), 반사 방지막(45) 및 실리콘 반도체층(10)의 일부까지를 에칭 제거하여, 1차 개구부(20a)를 형성한다. 이 에치백 처리에 의해, 전사된 1차 온-칩 마이크로 렌즈(21a) 및 다른 부분의 온-칩 마이크로 렌즈 부재(21A)의 표면이 경화된다.
- <34> 다음에, 도 10i에 나타낸 바와 같이, 개구부(23)를 제외한 온-칩 마이크로 렌즈 부재(21A) 및 1차 온-칩 마이크로 렌즈(21a) 상에, 레지스트 마스크(25)를 형성한다.
- <35> 다음에, 도 10j에 나타낸 바와 같이, 레지스트 마스크(25)를 통하여 드라이 에칭 프로세스에 의해, 1차 개구부(20a)의 바닥부로부터 실리콘 반도체층(10)을 모두 에칭 제거하고, 2차 개구부(20b)를 형성한다. 즉, 다중 배선층(9)부터 중간 절연막(14)에 이르는 모든 실리콘 반도체층(10)을 에칭 제거한다. 이 경우의 레지스트 마스크(25)는, 통상의 반도체 프로세스에서 사용되는 것이면 어떤 레지스트도 가능하다.
- <36> 다음에, 도 11k에 나타낸 바와 같이, 레지스트 마스크(25)를 박리해서 제거한다. 온-칩 마이크로 렌즈 부재(21A)의 레지스트와 레지스트 마스크(25)의 레지스트는 서로 재질이 상이하고, 또한 에치백 처리에 의해, 온-칩 마이크로 렌즈 부재(21A) 및 1차 온-칩 마이크로 렌즈(21a)의 표면이 경화되어 있기 때문에, 레지스트 마스크(25)의 박리가 용이하게 된다.
- <37> 또한, 도 10j의 에칭 프로세스에서는, SF<sub>6</sub> 및 O<sub>2</sub>계의 가스를 사용하여 실리콘 반도체층을 드라이 에칭함으로써, 반응 생성물의 발생을 방지할 수 있다. 따라서, 반응 생성물의 발생을 극도로 억제할 수 있고, 레지스트 마스크(25)의 표면에 대한 반응 생성물의 부착을 최대로 감소시킬 수 있다. 이로써, 유기 용제(organic solvent), 예를 들면 시너(thinner)에 의해, 또는 시너와 함께 애싱 처리(ashing)에 의해, 1차 온-칩 마이크로 렌즈(21a)에 결함이 생기지 않도록 하고, 레지스트 마스크(25)만을 용이하게 박리해서 제거할 수 있다.

- <38> 비교를 위해, 도 12는, 레지스트 마스크(101)를 통하여, 실리콘 반도체층(102)과 와이어 본딩을 행하는 다중 배선층(103A)의 A1 배선(104) 사이의 충간 절연막(105)까지 에칭하는 예를 나타낸다. 이 경우, A1 배선(104)이 노출되도록 에칭이 이루어지기 때문에, 레지스트 마스크(101)의 표면에, 바람직하지 않은 반응 생성물(106)이 다량으로 부착될 수 있다. 이 바람직하지 않은 반응 생성물(106)의 주된 것은, A1 배선(104)의 표면의 배리어 금 속막(예컨대, 전술한 TiN막)(107)이 에칭되어 발생한 반응 생성물이다. 이 바람직하지 않은 반응 생성물(106)이 다량으로 부착되면, 시너, 애싱 처리 등에 의한 레지스트 마스크(101)의 박리가 곤란하게 된다.
- <39> 제1 실시예의 도 10j의 공정에서는, SF<sub>6</sub> 및 O<sub>2</sub>계의 가스 혼합물을 사용하여 실리콘 반도체층(10)만을 에칭했지만, A1 배선(M1a)을 노출시키는 것까지는 에칭하지 않으므로, 그 후의 레지스트 마스크(25)의 박리가 용이하게 된다.
- <40> 다음에, 도 111에 나타낸 바와 같이, 1차 온-칩 마이크로 렌즈(21a)를 형성하기 위해 행한 에치백 조건과 마찬 가지의 조건으로, 2회째의 전체 면 에치백 처리를 행한다. 동시에, 전체 면 에치백 처리에 의해, 2차 개구부(20b) 내에서, 실리콘 반도체층(10)과 와이어 본딩하는 A1 배선(M1a) 사이의 충간 절연막(14)을 에칭 제거하여, A1 배선이 노출되는 최종적인 개구부(20)를 형성한다. 이 개구부(20)의 형성으로, 목적으로 하는 패드부(5)를 형성할 수 있다.
- <41> 그리고, 개구부(20)의 주위에 상당하는 실리콘 반도체층(10)의 일부에 미리 절연 분리층(27)을 형성함으로써, 개구부(20) 내에 Au 배선 등의 본딩 와이어를 접착했을 때, 본딩 와이어에 의해, 다른 부분의 실리콘 반도체층(10)이 전기적으로 단락되는 것을 방지할 수 있다.
- <42> 제1 실시예에 관한 고체 활상 장치의 제조 방법과 이러한 장치를 사용하는 전자 기기의 제조 방법은, 패드부(5)에 개구부(20)를 형성하기 전에, 기판 표면(베이스면)에 실질적인 단차가 없는 상태로, 온-칩 컬러 필터 및 온-칩 마이크로 렌즈를 형성하기 위한 유기 막인 레지스트막을 도포하는 과정을 포함할 수 있다. 이 레지스트 도포 작업에서, 베이스면에는 단차가 없기 때문에, 레지스트막에 대하여, 패드부의 개구부 주변의 단차에 기인한 스트라이에이션의 발생을 방지할 수 있다. 스트라이에이션을 방지하는 것에 의해, 균일성이 좋은 온-칩 컬러 필터(19) 및 온-칩 마이크로 렌즈(21)를 형성할 수 있어서, 활상 특성에 불균일이 없는 신뢰성이 높은 고체 활상 장치와 이러한 장치를 갖는 전자 기기를 제조할 수 있다.
- <43> 1차 온-칩 마이크로 렌즈(21a)를 전사하기 위한 에치백 처리에 의해, 평탄화막(18), 패시베이션막(17), 반사 방지막(45) 및 실리콘 반도체층(10)의 일부까지 동시에 에칭하여, 1차 개구부(20a)를 형성함으로써, 최종적인 개구부(20)를 형성하기 위한 에칭 공정이 간소화된다. 또한, 온-칩 마이크로 렌즈 부재(21A)에 개구부(23)를 형성하지 않고, 나중에 일괄하여 패드부에 개구부(20b)를 형성하는 경우, 통상의 드라이 에칭 기술을 사용하는 에칭 공정이 복잡하게 될 수 있다. 이는, 온-칩 마이크로 렌즈 부재(21A)의 에칭과, 평탄화막(18), 패시베이션막(17) 및 반사 방지막(45)까지의 에칭과, 실리콘 반도체층(10)의 에칭이, 각각의 에칭 가스를 선택하여 행해지기 때문이다.
- <44> 본 실시예에서는, 1회째의 전체 면 에치백 처리 후에, 실리콘 반도체층(10)만을 선택적으로 에칭 제거하여 2차 개구부(20b)를 형성하고 있다. 실리콘 반도체층(10)의 드라이 에칭은 SF<sub>6</sub>와 O<sub>2</sub>의 가스 혼합물을 사용하여 행하므로, 바람직하지 않은 반응 생성물의 발생을 방지하여, 그 후에 제거되는 레지스트 마스크(25)의 제거 효율을 높일 수 있다. 또한, 1차 온-칩 마이크로 렌즈(21a)의 표면 및 온-칩 마이크로 렌즈 부재(21A)의 표면이, 에치백 처리에 의해 경화되므로, 레지스트 마스크 제거 공정에서, 레지스트 마스크(25)만을 용이하게 박리할 수 있다. 이 레지스트 마스크(25)의 제거 공정에서는, 시너 등의 유기 용제, 또는 애싱 처리와 서너 등의 유기 용제를 함께 사용해서, 온-칩 마이크로 렌즈(21a)에 결함을 발생시키지 않으면서 레지스트 마스크(25)만을 제거할 수 있다.
- <45> 또한, 2회째의 전체 면 에치백 처리에 의해, 최종적인 온-칩 마이크로 렌즈(21)의 형성과 함께, 신호 회로 층의 제1 층의 A1 배선(M1a)과 실리콘 반도체층(10) 사이의 얇은 충간 절연막(14)을 제거하여, 전극 인출부가 되는 A1 배선(M1a)을 노출시키므로, A1 배선(M1a)의 에칭량을 줄일 수 있다.
- <46> 도 13~도 16에, 본 발명에 관한 고체 활상 장치의 제조 방법과 이러한 장치를 사용하는 전자 기기의 제조 방법의 제2 실시예를 나타낸다. 이들 도면은, 도 3의 라인 A-A를 따라 절취한 단면에 상당한다.
- <47> 도 13a의 이전 단계까지의 공정은, 전술한 도 6a~도 8까지의 공정과 동일하다. 본 실시형태에서, 도 13a에 나타낸 바와 같이, 온-칩 컬러 필터(19)를 형성한 후, 온-칩 컬러 필터(19)의 표면을 포함하는 전체 면에 온-칩 마

이크로 렌즈 부재(21A)가 되는 유기 막, 예를 들면 네거티브형 레지스트막을 도포 현상 장치에 의해 도포한다. 온-칩 마이크로 렌즈 부재(21A)는, 제1 실시예와 마찬가지로, 실질적으로 단차가 없는 베이스면에 도포되므로, 도포된 온-칩 마이크로 렌즈 부재(21A)에 스트라이에이션이 생기지 않는다.

<48> 다음에, 도 13b에 나타낸 바와 같이, 온-칩 마이크로 렌즈 부재(21A)의 위, 즉 온-칩 마이크로 렌즈 부재(21A)의 온-칩 컬러 필터(19)에 대응하는 상면에, 각 화소마다 온-칩 마이크로 렌즈에 대응하는 필요한 곡률을 가지는 렌즈 형상 부재(24)를 형성한다. 이 렌즈 형상 부재(24)는, 포지티브형 레지스트막을 도포하고, 각 화소에 대응하도록 패터닝한 후, 리플로우 처리하여 형성한다.

<49> 다음에, 도 14c에 나타낸 바와 같이, 전체 면 에치백 처리를 행한다. 이 에치백 처리에 의해, 렌즈 형상 부재(24)의 렌즈 형상을 온-칩 마이크로 렌즈 부재(21A)에 전사한다. 이 전사에 의해, 1차 온-칩 마이크로 렌즈(21a)가 형성되지만, 최종적인 온-칩 마이크로 렌즈(21)는 아니다. 이 에치백 처리에 의해, 전사된 1차 온-칩 마이크로 렌즈(21a) 및 온-칩 마이크로 렌즈 부재(21A)의 표면이 경화된다.

<50> 다음에, 도 14d에 나타낸 바와 같이, 패드부를 형성하는 위치에 개구부(25a)를 가지는 레지스트 마스크(25)를, 1차 온-칩 마이크로 렌즈(21a)의 위 및 온-칩 마이크로 렌즈 부재(21A) 상의 전체 면에 형성한다. 이 경우의 레지스트 마스크(25)는, 전술한 것과 마찬가지로, 통상의 반도체 프로세스에서 사용되는 것이라면 어떤 레지스트라도 가능하다.

<51> 다음에, 도 15e에 나타낸 바와 같이, 레지스트 마스크(25)를 통하여 온-칩 마이크로 렌즈 부재(21A)의 표면부터 모든 실리콘 반도체층(10)까지를 드라이 에칭하여 1차 개구부(20d)를 형성한다. 이 경우의 드라이 에칭에서는, 온-칩 마이크로 렌즈 부재(21A)의 에칭파, 평탄화막(18), 패시베이션막(17) 및 반사 방지막(45)의 에칭파, 실리콘 반도체층(10)의 에칭에서, 각각 사용하는 에칭 가스가 상이하다.

<52> 다음에, 도 15f에 나타낸 바와 같이, 레지스트 마스크(25)를 유기용제, 예를 들면 시너, 또는 애싱 처리와 시너를 함께 사용해서 박리하여 제거한다. 이전 공정에서의 에칭은, 실리콘 반도체층(10)까지이며, A1 배선(M1a)이 노출되기 전까지 행하므로, 반응 생성물의 발생을 방지할 수 있거나, 반응 생성물의 발생을 극히 적게 억제하여 레지스트 마스크 표면에의 반응 생성물의 부착을 최소로 억제할 수 있다. 이로써, 유기용제, 예를 들면 시너 또는 애싱 처리와 시너를 함께 사용해서, 1차 온-칩 마이크로 렌즈(21a)에 불균일이 생기지 않도록 하고, 레지스트 마스크(25)만을 용이하게 박리해서 제거할 수 있다.

<53> 다음에, 도 16에 나타낸 바와 같이, 1차 온-칩 마이크로 렌즈(21a)를 형성하기 위해 행한 에치백 조건과 마찬가지의 조건으로, 2회째의 전체 면 에치백 처리를 행하여, 최종적인 온-칩 마이크로 렌즈(21)를 형성한다. 이와 동시에, 전체 면 에치백에 의해, 실리콘 반도체층(10)과 와이어 본딩하는 A1 배선(M1a) 사이의 충간 절연막(14)이 에치백 제거되어, A1 배선이 노출되는 최종적인 개구부(20)를 형성한다. 이 개구부(20)의 형성으로, 목적 으로 하는 패드부(5)가 형성된다.

<54> 개구부(20)의 주위에 상당하는, 실리콘 반도체층(10)의 일부에 미리 절연 분리층(27)을 형성함으로써, 개구부(20) 내에 Au 배선 등의 본딩 와이어를 본딩했을 때, 본딩 와이어와 실리콘 반도체층(10)이 접촉해도, 다른 부분의 실리콘 반도체층(10)과의 전기적 단락을 방지할 수 있다.

<55> 제2 실시형태에 관한 고체 활상 장치의 제조 방법과 이러한 장치를 이용하는 전자 기기의 제조 방법에 의하면, 패드부의 개구부를 형성하기 전에, 기판 표면(베이스면)에 실질적인 단차가 없는 상태로, 온-칩 컬러 필터 및 온-칩 마이크로 렌즈를 형성하기 위한 레지스트막 등의 유기 막을 도포한다. 이러한 레지스트 도포 작업에서는, 베이스면에 단차가 없기 때문에, 레지스트막에 대하여, 패드부에서의 개구부 단차에 기인한 스트라이에이션의 발생을 방지할 수 있다. 스트라이에이션을 방지함으로써, 불균일이 없는 온-칩 컬러 필터(19) 및 온-칩 마이크로 렌즈(21)를 형성할 수 있어, 활상 특성에 불균일이 없는 신뢰성이 높은 고체 활상 장치와 이러한 장치를 갖는 전자 기기를 제조할 수 있다.

<56> 또한, 레지스트 마스크(25)를 통한 선택 에칭에서는, 표면의 온-칩 마이크로 렌즈 부재(21A)로부터 A1 배선(M1a)이 노출되지 않는 실리콘 반도체층(10)까지를 드라이 에칭하여, 1차 개구부(20d)를 형성한다. 이에 의해, 반응 생성물의 발생을 방지하여, 레지스트 마스크(25)의 제거 특성을 높일 수 있다. 또한, 1차 온-칩 마이크로 렌즈(21a) 및 온-칩 마이크로 렌즈 부재(21A)의 표면이 에치백 처리에 의해 경화되어 있기 때문에, 레지스트 마스크(25)만을 용이하게 박리하여 제거할 수 있다. 즉, 1차 온-칩 마이크로 렌즈(21a)에 영향을 주지 않고 레지스트 마스크만을 박리해서 제거할 수 있다.

<57> 또한, 2회째의 전체 면 에치백 처리에 의해, 최종적인 온-칩 마이크로 렌즈(21)의 형성과 함께, 패드부(5)의 A1

배선(M1a)을 노출시킴으로써, A1 배선(M1a)의 예칭량을 감소시킬 수 있다.

<58> 상기 언급한 특징을 갖는 고체 활상 장치는, 디지털 카메라, 캡코드 등의 전자 기기 내의 활상 장치로 사용할 수 있다.

<59> 도 17은 본 발명의 실시예에 따른 고체 활상 장치를 포함하는 전자 기기의 구성의 예를 나타낸다.

<60> 도 17에 의하면, 전자 기기는 본 실시예에 따른 고체 활상 장치를 활상 장치로서 포함한다. 전자 기기는 또한, 활상 장치의 화소 영역으로 입사 광을 유도하기 위한 광학계(목표 이미지를 형성), 광 조리개(1011), 활상 장치를 구동시키기 위한 구동 회로(DRV)(1012), 및 활상 장치로부터 출력되는 신호를 처리하는 신호 처리 회로(PRC)(1013)를 포함한다. 광학계로는 활상 면상에 입사 광(이미지 광)을 집광하기 위한 렌즈(1001) 등이 있다.

<61> 구동 회로(1012)는, 활상 장치 내의 회로를 구동시키기 위한 개시 펄스와 클록 펄스 등과 같은 여러 종류의 타이밍 신호를 생성하는 타이밍 생성기(도시하지 않음)를 포함하기 때문에, 미리 정해진 타이밍 신호에 의해 활상 장치를 구동시킨다.

<62> 또한, 신호 처리 회로(1013)는 활상 장치로부터 출력되는 신호에 대해 CDS(Correlated Double Sampling) 및 ADC(Analog to Digital Conversion) 등의 신호 처리를 수행한다.

<63> 신호 처리 회로(1013)에 의해 처리되는 이미지 신호는 메모리 등의 기록 매체에 기억된다. 기록 매체에 기억된 이미지 데이터는 프린터 등에 의해 하드카피로 출력될 수 있다. 또한, 신호 처리 회로(1013)에 의해 처리되는 이미지 신호는 액정 디스플레이 등과 같은 모니터상에 영상으로서 투영될 수 있다.

<64> 앞서 설명한 바와 같이, 활상 장치로서의 고체 활상 장치(1)를, 디지털 스틸 카메라 등의 활상 장치에 설치함으로써, 고정밀의 카메라를 구현할 수 있다.

<65> 본 발명은 상기 언급한 실시예에 한정되지 않는다.

<66> 예를 들어, 상기 실시예에서 언급한 수치 값이나 재료는 예시적인 것이며, 본 발명을 제한하기 위한 것이 아니고, 본 발명의 범위를 벗어남이 없이 다양한 변경이 가능하다.

<67> 본 출원은 2008년 5월 12일 일본 특허청에 출원된 일본 특허출원 JP 2008-125189호의 우선권을 주장하며, 그 전체 내용을 본 명세서에서 참조에 의해 원용하다.

<68> 당업자라면, 청구범위 및 그 등가 범위 내에서 설계 요건이나 다른 요소에 따라 다양한 변경, 조합, 부분 조합이 가능하다는 것을 이해하여야 한다.

<69>

### 도면의 간단한 설명

<70> 도 1은 배면 조사형 고체 활상 장치의 주요부의 단면도이다.

<71> 도 2a 및 도 2b는 종래의 배면 조사형 고체 활상 장치의 패드부의 형성 방법의 일례를 나타낸 서로 다른 제조 공정도이다.

<72> 도 3은 배면 조사형의 CMOS 고체 활상 장치의 개략 구성도이다.

<73> 도 4는 단위 화소의 단면도이다.

<74> 도 5는 패드 부분을 나타낸 도 3의 라인 A-A에 따라 절취한 단면도이다.

<75> 도 6a 및 도 6b는 본 발명에 관한 고체 활상 장치의 제조 방법의 제1 실시예를 나타낸 제조 공정도(부분 I)이다.

<76> 도 7c 및 도 7d는 본 발명에 관한 고체 활상 장치의 제조 방법의 제1 실시예를 나타낸 제조 공정도(부분 II)이다.

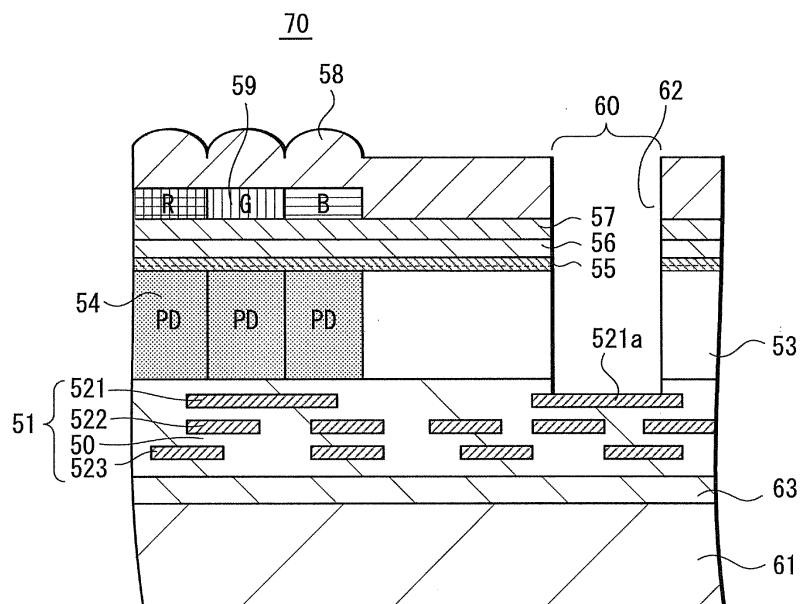
<77> 도 8e 및 도 8f는 본 발명에 관한 고체 활상 장치의 제조 방법의 제1 실시예를 나타낸 제조 공정도(부분 III)이다.

<78> 도 9g 및 도 9h는 본 발명에 관한 고체 활상 장치의 제조 방법의 제1 실시예를 나타낸 제조 공정도(부분 IV)이다.

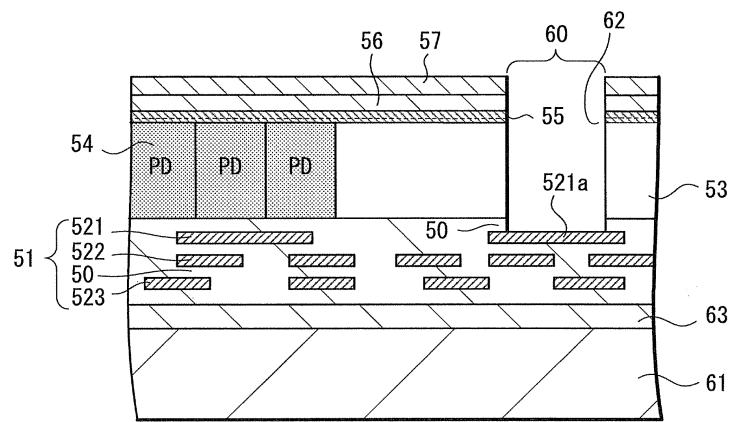
- <79> 도 10i 및 도 10j는 본 발명에 관한 고체 콜상 장치의 제조 방법의 제1 실시예를 나타낸 제조 공정도(부분 V)이다.
- <80> 도 11k 및 도 11l은 본 발명에 관한 고체 콜상 장치의 제조 방법의 제1 실시예를 나타낸 제조 공정도(부분 VI)이다.
- <81> 도 12는 본 발명의 실시예를 설명하는 데에 사용되는 설명도이다.
- <82> 도 13a 및 도 13b는 본 발명에 관한 고체 콜상 장치의 제조 방법의 제2 실시예를 나타낸 제조 공정도(부분 I)이다.
- <83> 도 14c 및 도 14d는 본 발명에 관한 고체 콜상 장치의 제조 방법의 제2 실시예를 나타낸 제조 공정도(부분 II)이다.
- <84> 도 15e 및 도 15f는 본 발명에 관한 고체 콜상 장치의 제조 방법의 제2 실시예를 나타낸 제조 공정도(부분 II I)이다.
- <85> 도 16은 본 발명에 관한 고체 콜상 장치의 제조 방법의 제2 실시예를 나타낸 제조 공정도(부분 IV)이다.
- <86> 도 17은 본 발명의 실시예에 따른 전자 기기의 구성을 나타내는 개략도이다.
- <87>

## 도면

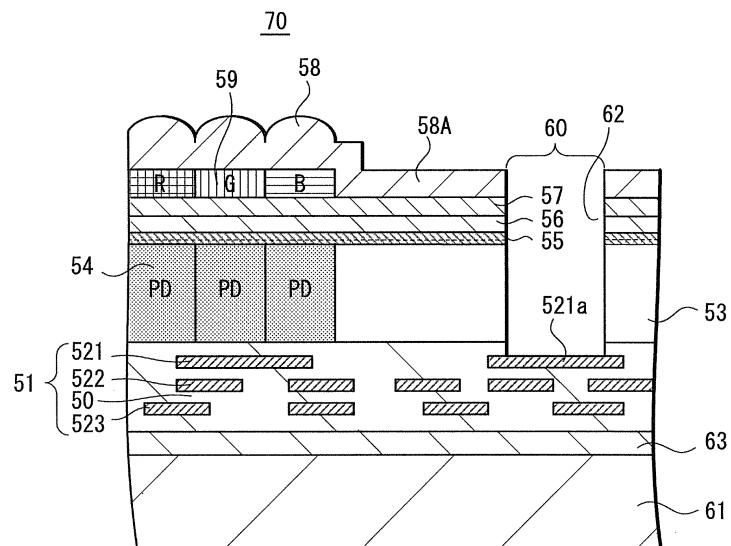
### 도면1



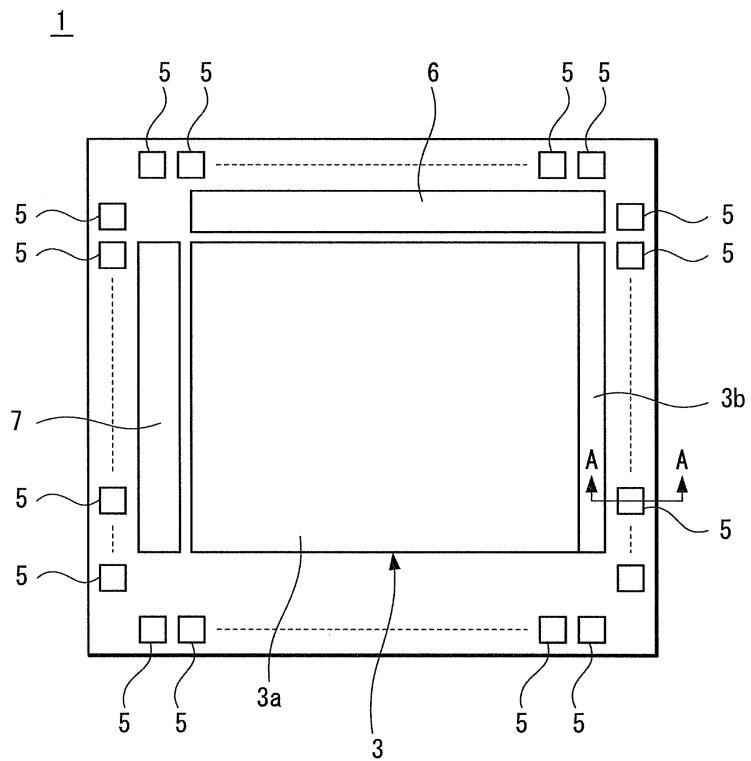
도면2a



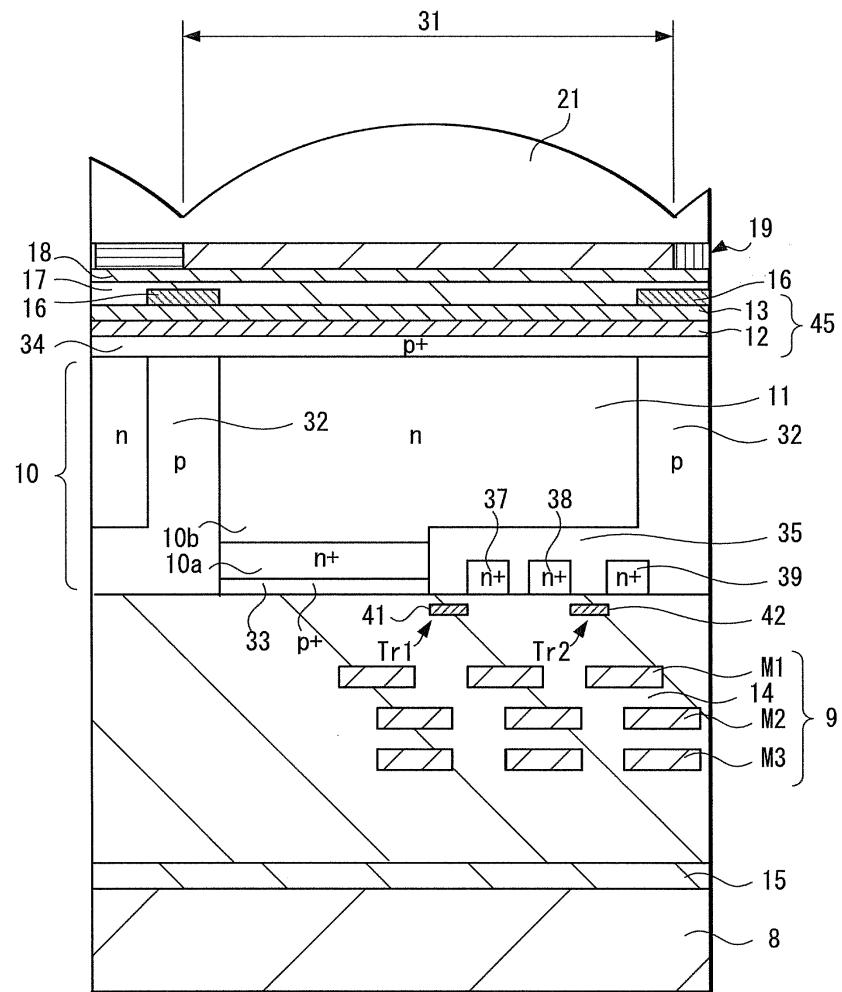
도면2b



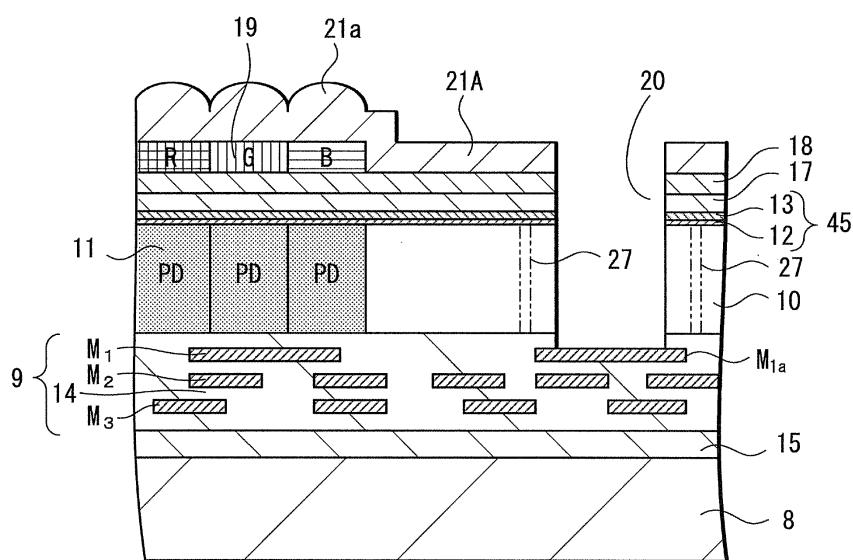
## 도면3



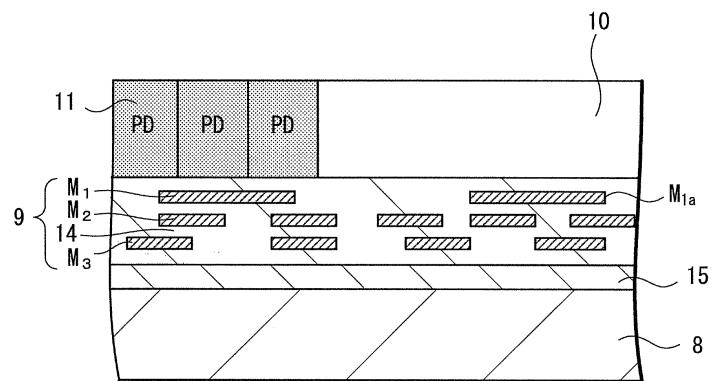
도면4



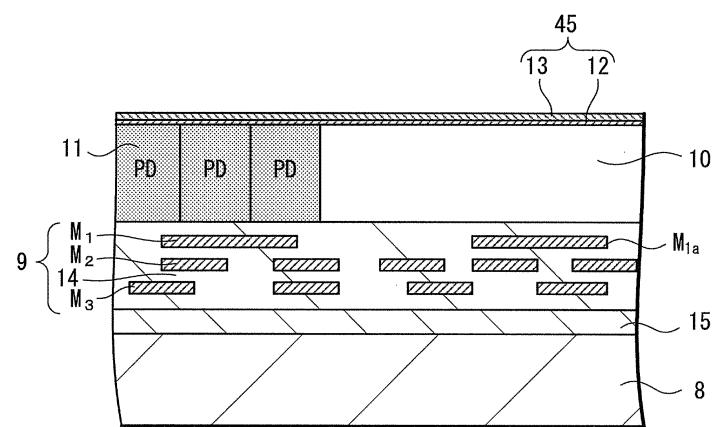
도면5



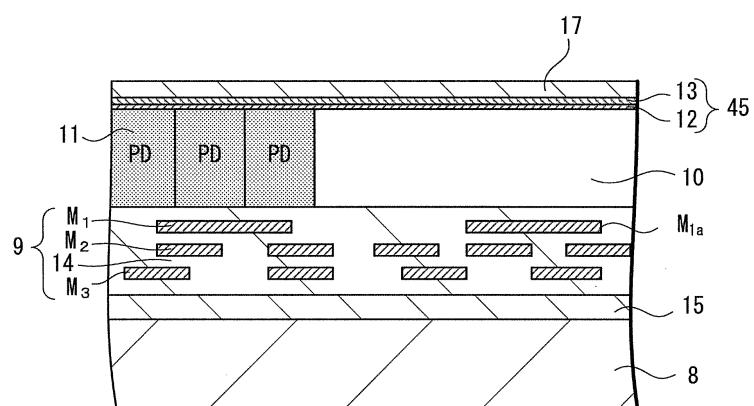
도면6a



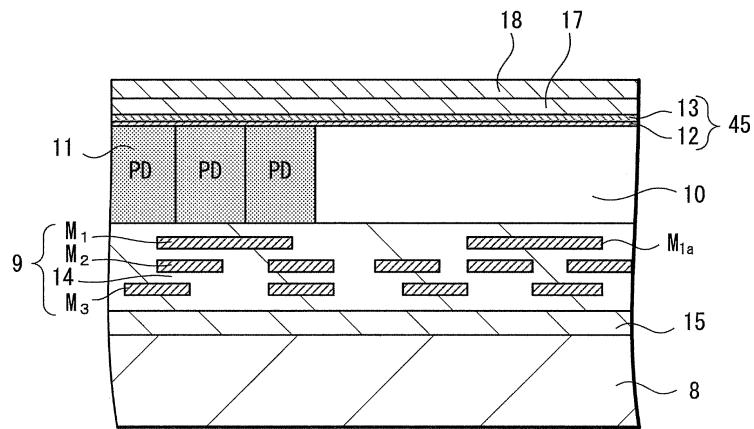
도면6b



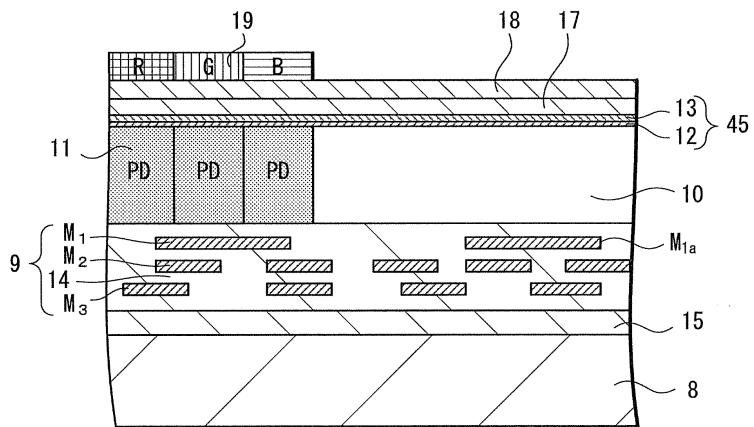
도면7c



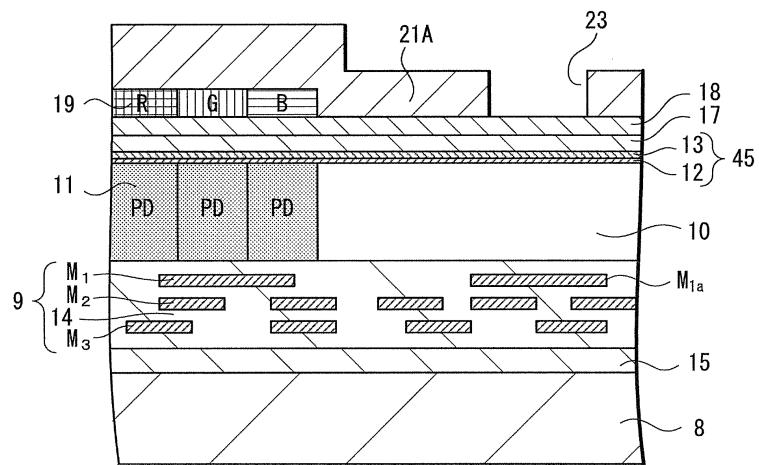
도면7d



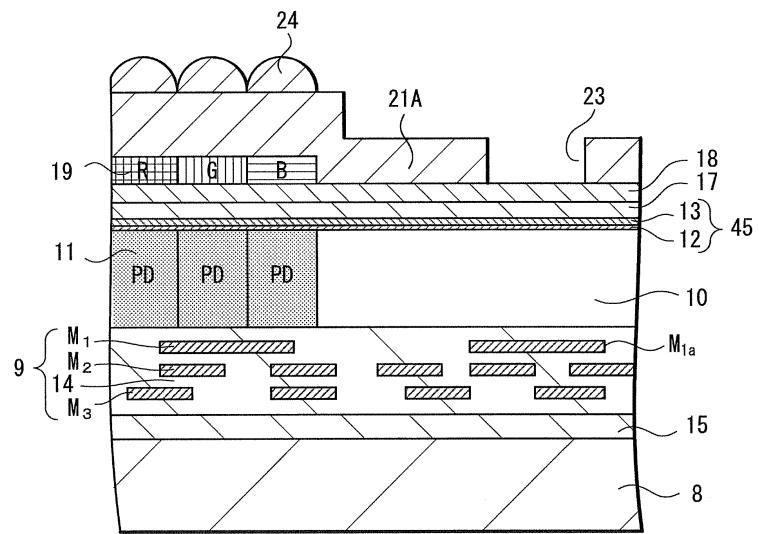
도면8e



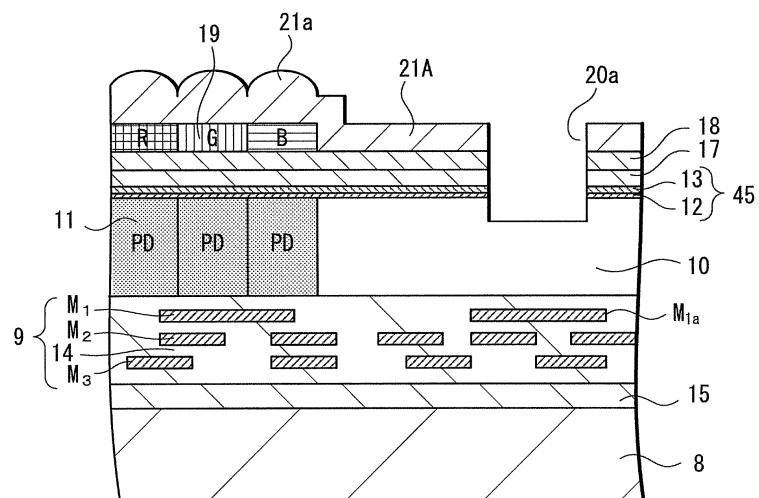
도면8f



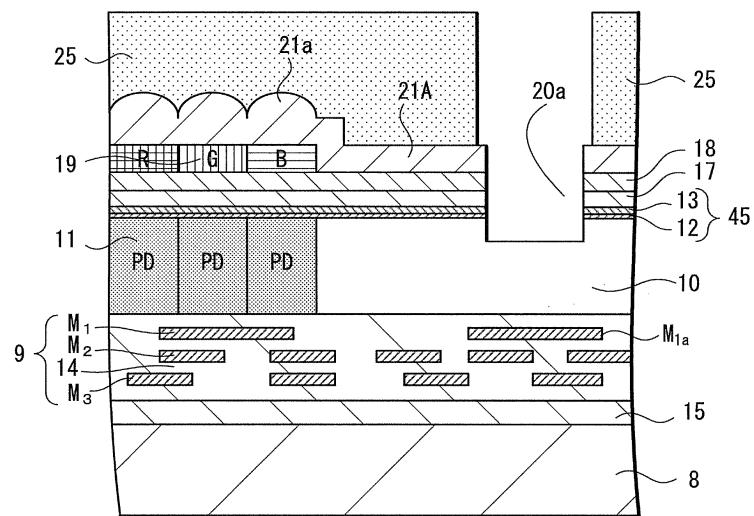
도면9g



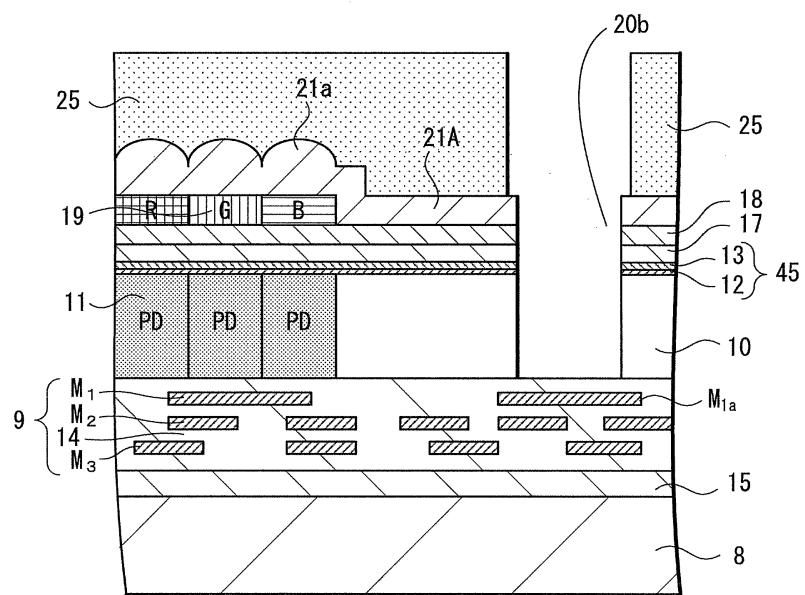
도면9h



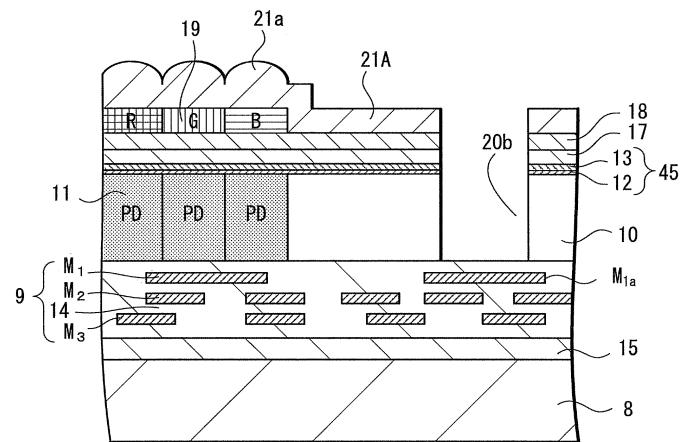
도면10i



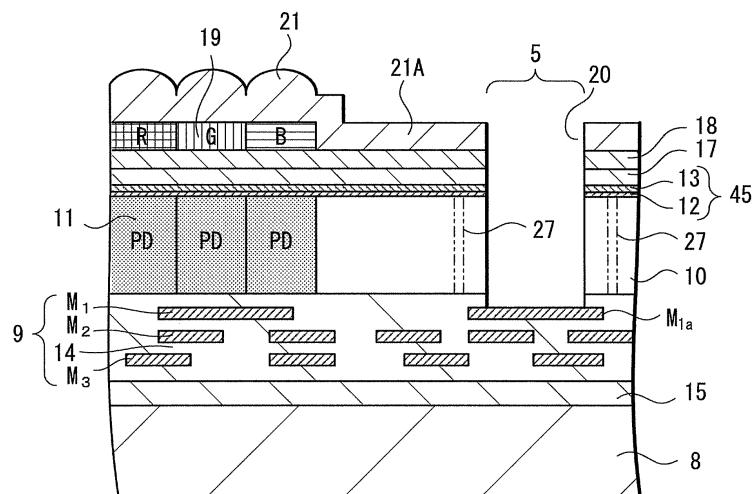
도면10j



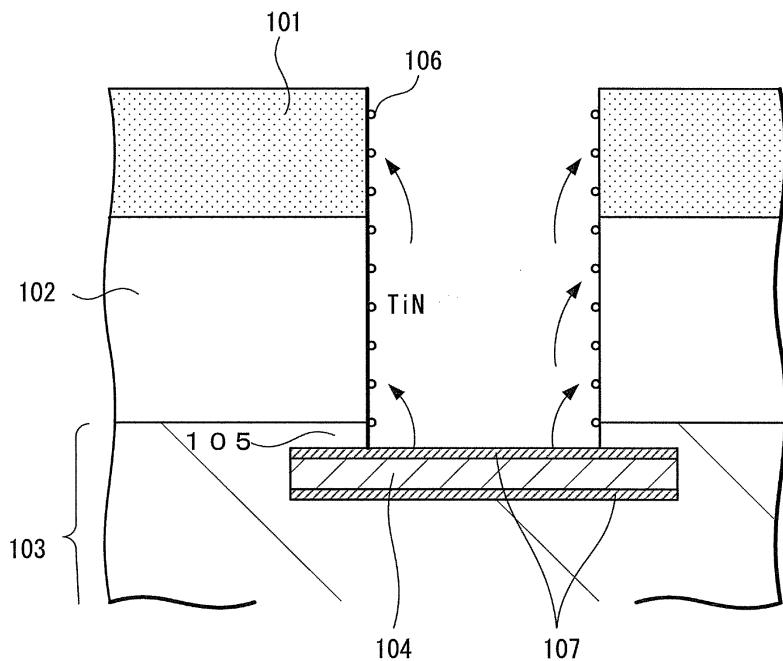
도면11k



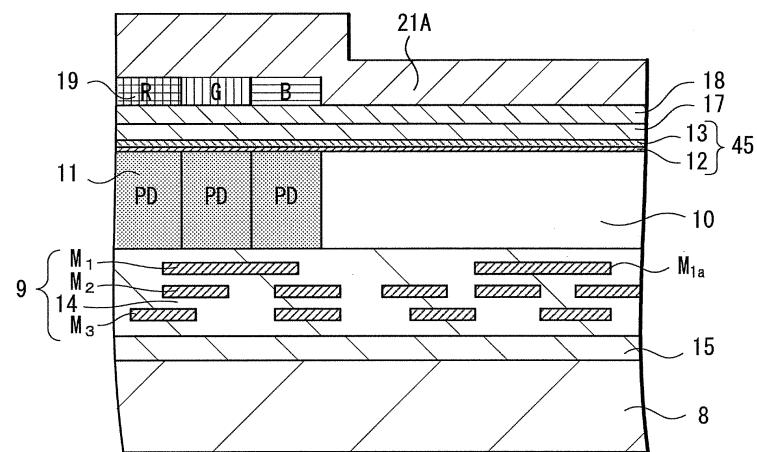
도면11l



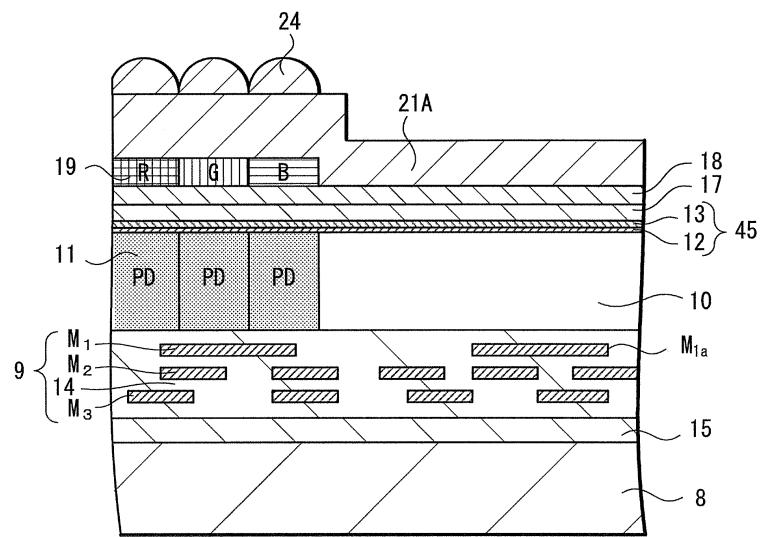
도면12



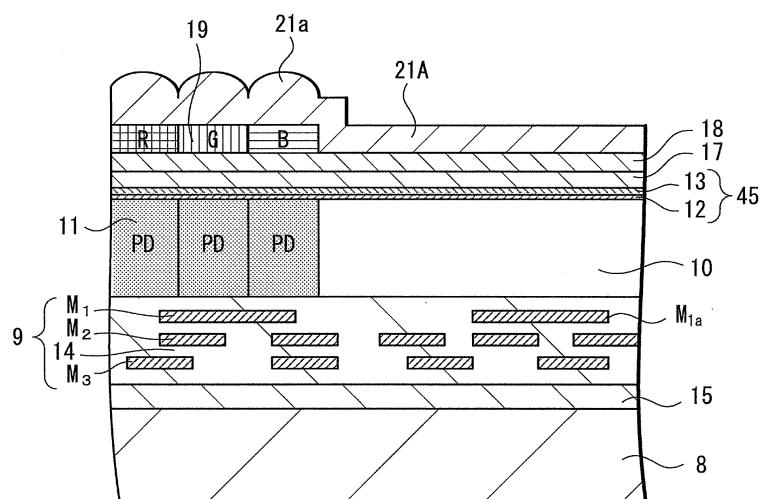
도면13a



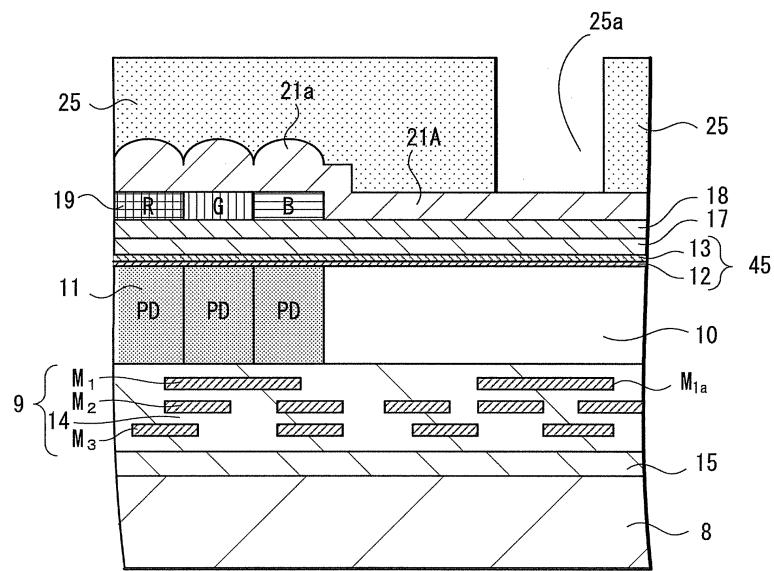
도면13b



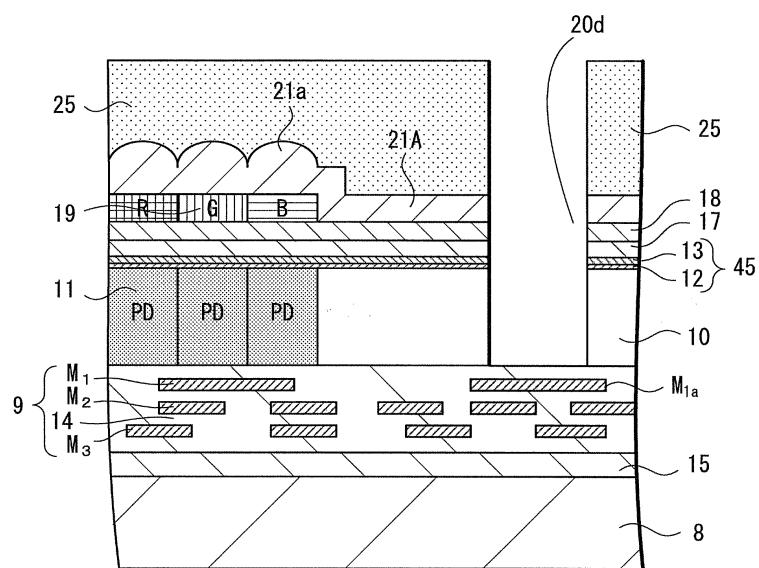
도면14c



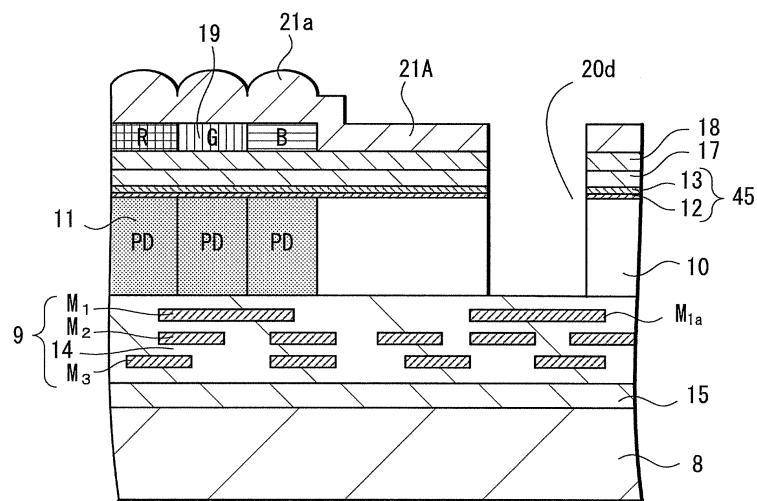
도면14d



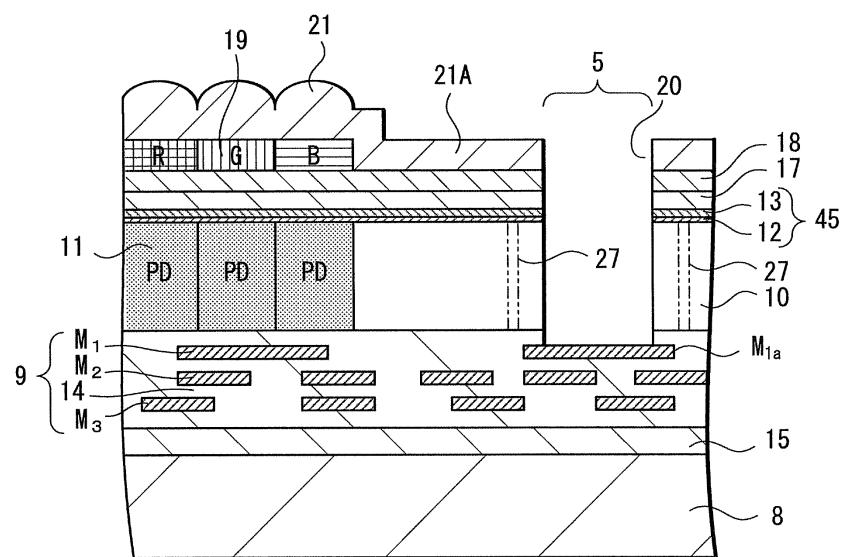
도면15e



도면15f



도면16



도면17

