(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 112310060 A
(43)申请公布日 2021.02.02

(21)申请号 202010760016.8

(22)申请日 2020.07.31

(30)优先权数据
62/881,434 2019.08.01 US
62/881,441 2019.08.01 US
16/903,458 2020.06.17 US

(71)申请人 联发科技股份有限公司
地址 中国台湾新竹市新竹科学工业园区笃行一路一号

(72)发明人 齐彦尧 刘乃玮 于达人 林子闳 许文松 林世钦

(74)专利代理机构 深圳市威世博知识产权代理事务所(普通合伙) 44280
代理人 黎坚怡

(51)Int.Cl.
H01L 25/16(2006.01)
H01L 23/31(2006.01)
H01L 21/56(2006.01)
H01L 23/488(2006.01)
H01L 21/60(2006.01)

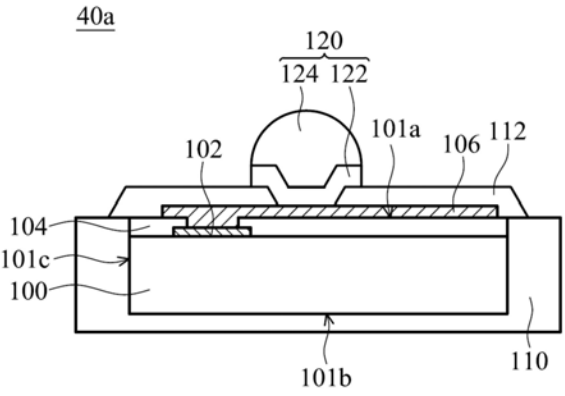
权利要求书2页 说明书17页 附图33页

(54)发明名称

半导体封装结构

(57)摘要

本发明公开一种半导体封装结构，包括：半导体晶粒，具有第一表面、与该第一表面相对的第二表面、以及邻接在该第一表面和该第二表面之间的第三表面；重分布层结构，在该半导体晶粒的该第一表面上的并电耦接到该半导体晶粒；保护绝缘层，覆盖该重分布层结构、该半导体晶粒的该第二表面和该第三表面；以及导电结构，穿过该保护绝缘层并电耦接到该重分布层结构。本发明可以保护半导体晶粒，提高半导体封装结构的稳定性。



CN 112310060 A

1.一种半导体封装结构,其特征在于,包括:

半导体晶粒,具有第一表面、与该第一表面相对的第二表面、以及邻接在该第一表面和该第二表面之间的第三表面;

重分布层结构,在该半导体晶粒的该第一表面上的并电耦接到该半导体晶粒;

保护绝缘层,覆盖该重分布层结构、该半导体晶粒的该第二表面和该第三表面;以及

导电结构,穿过该保护绝缘层并电耦接到该重分布层结构。

2.如权利要求1所述的半导体封装结构,其特征在于,还包括钝化层,该钝化层位于该重分布层结构与该保护绝缘层之间,并由该保护绝缘层覆盖,其中,该导电结构穿过该钝化层。

3.如权利要求1所述的半导体封装结构,其特征在于,还包括位于该半导体晶粒的该第一表面与该重分布层结构之间的钝化层,其中,该重分布层结构穿过该钝化层。

4.如权利要求1所述的半导体封装结构,其特征在于,还包括:

第一钝化层,在该半导体晶粒的第一表面和该重分布层结构之间,其中该重分布层结构穿过该第一钝化层;以及

第二钝化层,位于该重分布层结构与该保护绝缘层之间,并由该保护绝缘层覆盖,其中,该导电结构穿过该第二钝化层。

5.如权利要求4所述的半导体封装结构,其特征在于,该第一钝化层包括与该第二钝化层的材料相同并且与该保护绝缘层的材料不同的材料。

6.如权利要求1所述的半导体封装结构,其特征在于,该导电结构包括凸块下金属层和该凸块下金属层上的焊料凸块,或该第一钝化层上的焊料凸块。

7.一种半导体封装结构,其特征在于,包括:

半导体晶粒,具有第一表面、与该第一表面相对的第二表面以及邻接在该第一表面和该第二表面之间的第三表面;

第一保护绝缘层,覆盖该半导体晶粒的该第一表面和该第三表面;

第一重分布层结构,在该半导体晶粒的该第一表面上并电耦接到该半导体晶粒,并延伸到该第一保护绝缘层的正上方;

第一钝化层,覆盖该第一保护绝缘层和该第一该重分布层结构;以及

导电结构,穿过该第一钝化层并电耦接到该第一该重分布层结构。

8.如权利要求7所述的半导体封装结构,其特征在于,还包括在该第一该重分布层结构与该半导体晶粒的该第一表面之间并且电耦接至该半导体晶粒的第二该重分布层结构。

9.如权利要求8所述的半导体封装结构,其特征在于,该第二该重分布层结构由该半导体晶粒的该第一表面上的该第一保护绝缘层围绕。

10.如权利要求8所述的半导体封装结构,其特征在于,该第一该重分布层结构通过该第二该重分布层结构电耦接至该半导体晶粒。

11.如权利要求8所述的半导体封装结构,其特征在于,还包括在该第二该重分布层结构与该半导体晶粒的该第一表面之间的第二钝化层,其中该第二该重分布层结构穿过该第二钝化层。

12.如权利要求11所述的半导体封装结构,其特征在于,该第二钝化层由在该半导体晶粒的该第一表面上的该第一保护绝缘层围绕。

13.如权利要求7所述的半导体封装结构，其特征在于，还包括位于该第一该重分布层结构和该第一保护绝缘层之间的第二钝化层，其中，该第一该重分布层结构穿过该第二钝化层。

14.如权利要求7所述的半导体封装结构，其特征在于，还包括覆盖该半导体晶粒的第二表面的第二保护绝缘层。

15.如权利要求14所述的半导体封装结构，其特征在于，该第一保护绝缘层和该第二保护绝缘层包括相同的材料。

16.一种半导体封装结构，其特征在于，包括：

半导体晶粒，具有第一表面、与该第一表面相对的第二表面以及邻接在该第一表面和该第二表面之间的第三表面；

第一重分布层结构，在该半导体晶粒的该第一表面上并电耦接到该半导体晶粒；

第一保护绝缘层，覆盖该半导体晶粒的该第一表面和该第三表面并围绕该第一该重分布层结构；

第一钝化层，覆盖该第一保护绝缘层和该第一该重分布层结构；

第二该重分布层结构，通过该第一该重分布层结构电连接至该半导体晶粒，其中该第二该重分布层结构从该第一该重分布层结构延伸至该第一保护绝缘层上方；

第二钝化层，覆盖该第二该重分布层结构；以及

导电结构，穿过该第二钝化层并电耦接到该第二该重分布层结构。

17.如权利要求16所述的半导体封装结构，其特征在于，还包括覆盖该半导体晶粒的该第二表面的第二保护绝缘层。

18.如权利要求16所述的半导体封装结构，其特征在于，还包括在该半导体晶粒的该第一表面与该第一该重分布层结构之间的第三钝化层，其中，该第一该重分布层结构穿过该第三钝化层。

19.如权利要求18所述的半导体封装结构，其特征在于，该第三钝化层由该第一保护绝缘层围绕并覆盖。

20.一种半导体封装结构，其特征在于，包括：

半导体晶粒，具有第一表面、与该第一表面相对的第二表面、以及邻接在该第一表面和该第二表面之间的第三表面；

重分布层结构，在该半导体晶粒的该第一表面上的并电耦接到该半导体晶粒；

保护绝缘层，覆盖该半导体晶粒的该第二表面和该第三表面；

第一钝化层，覆盖该重分布层结构，并且与该保护绝缘层直接接触；以及

导电结构，穿过该第一钝化层并电耦接到该重分布层结构。

半导体封装结构

技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及一种半导体封装。

背景技术

[0002] 集成电路(Integrated Circuit,IC)器件在半导体晶圆中制造并分割成单独的芯片。然后,这些芯片以封装形式组装以用于电子产品。该封装提供了支持芯片并保护芯片免受环境影响的结构。该封装还提供与芯片的电连接。

[0003] 近年来,随着电子产品变得越来越多功能并且尺寸逐渐缩小,业界期望半导体器件的制造商在单个半导体晶圆上制造更多的器件,使得包括这些器件的电子产品可以做得更紧凑。这导致对封装的结构和电气设计的许多新挑战。

[0004] 因此,目前已经开发了芯片级封装(chip scale package,CSP)技术以满足产业的需求(例如,更小的芯片尺寸和形状因子(form factor))。此外,还引入了晶圆级封装(wafer level package,WLP)技术,用于成本效益好的(cost-effective)制造封装。这种技术称为晶圆级芯片级封装(wafer-level chip scale package,WLCSP)。

[0005] 然而,在使用WLCSP制程时,在封装与封装晶圆分离之后,相应封装中的每个芯片的表面暴露于环境。结果,可能发生芯片损坏,从而降低半导体封装的可靠性。因此,期望一种新颖的半导体封装结构及其形成方法。

发明内容

[0006] 有鉴于此,本发明提供一种半导体封装结构,以解决上述问题。

[0007] 根据本发明的第一方面,公开一种半导体封装结构,包括:

[0008] 半导体晶粒,具有第一表面、与该第一表面相对的第二表面、以及邻接在该第一表面和该第二表面之间的第三表面;

[0009] 重分布层结构,在该半导体晶粒的该第一表面上的并电耦接到该半导体晶粒;

[0010] 保护绝缘层,覆盖该重分布层结构、该半导体晶粒的该第二表面和该第三表面;以及

[0011] 导电结构,穿过该保护绝缘层并电耦接到该重分布层结构。

[0012] 根据本发明的第二方面,公开一种半导体封装结构,包括:

[0013] 半导体晶粒,具有第一表面、与该第一表面相对的第二表面以及邻接在该第一表面和该第二表面之间的第三表面;

[0014] 第一保护绝缘层,覆盖该半导体晶粒的该第一表面和该第三表面;

[0015] 第一重分布层结构,在该半导体晶粒的该第一表面上并电耦接到该半导体晶粒,并延伸到该第一保护绝缘层的正上方;

[0016] 第一钝化层,覆盖该第一保护绝缘层和该第一该重分布层结构;以及

[0017] 导电结构,穿过该第一钝化层并电耦接到该第一该重分布层结构。

[0018] 根据本发明的第三方面,公开一种半导体封装结构,包括:

[0019] 半导体晶粒，具有第一表面、与该第一表面相对的第二表面以及邻接在该第一表面和该第二表面之间的第三表面；

[0020] 第一重分布层结构，在该半导体晶粒的该第一表面上并电耦接到该半导体晶粒；

[0021] 第一保护绝缘层，覆盖该半导体晶粒的该第一表面和该第三表面并围绕该第一该重分布层结构；

[0022] 第一钝化层，覆盖该第一保护绝缘层和该第一该重分布层结构；

[0023] 第二该重分布层结构，通过该第一该重分布层结构电连接至该半导体晶粒，其中该第二该重分布层结构从该第一该重分布层结构延伸至该第一保护绝缘层上方；

[0024] 第二钝化层，覆盖该第二该重分布层结构；以及

[0025] 导电结构，穿过该第二钝化层并电耦接到该第二该重分布层结构。

[0026] 根据本发明的第四方面，公开一种半导体封装结构，包括：

[0027] 半导体晶粒，具有第一表面、与该第一表面相对的第二表面、以及邻接在该第一表面和该第二表面之间的第三表面；

[0028] 重分布层结构，在该半导体晶粒的该第一表面上的并电耦接到该半导体晶粒；

[0029] 保护绝缘层，覆盖该半导体晶粒的该第二表面和该第三表面；

[0030] 第一钝化层，覆盖该重分布层结构，并且与该保护绝缘层直接接触；以及

[0031] 导电结构，穿过该第一钝化层并电耦接到该重分布层结构。

[0032] 本发明的半导体封装结构由于使用保护绝缘层覆盖该重分布层结构、该半导体晶粒的该第二表面和该第三表面，因此可以保护半导体晶粒，提高半导体封装结构的稳定性。

附图说明

[0033] 图1A至1F是根据一些实施例的形成半导体封装结构的示例性方法的截面图。

[0034] 图2A是根据一些实施例的示例性半导体封装结构的截面图。

[0035] 图2B是根据一些实施例的示例性半导体封装结构的截面图。

[0036] 图3A是根据一些实施例的示例性半导体封装结构的剖视图。

[0037] 图3B是根据一些实施例的示例性半导体封装结构的截面图。

[0038] 图4A至4E是根据一些实施例的形成半导体封装结构的示例性方法的截面图。

[0039] 图5A是根据一些实施例的示例性半导体封装结构的剖视图。

[0040] 图5B是根据一些实施例的示例性半导体封装结构的剖视图。

[0041] 图6A至6E是根据一些实施例的形成半导体封装结构的示例性方法的截面图。

[0042] 图7A是根据一些实施例的示例性半导体封装结构的剖视图。

[0043] 图7B是根据一些实施例的示例性半导体封装结构的截面图。

[0044] 图8A是根据一些实施例的示例性半导体封装结构的截面图。

[0045] 图8B是根据一些实施例的示例性半导体封装结构的截面图。

[0046] 图9A是根据一些实施例的示例性半导体封装结构的截面图。

[0047] 图9B是根据一些实施例的示例性半导体封装结构的截面图。

[0048] 图10A至图10E是根据一些实施例的形成半导体封装结构的示例性方法的截面图。

[0049] 图10F是根据一些实施例的示例性半导体封装结构的截面图。

[0050] 图11A是根据一些实施例的示例性半导体封装结构的截面图。

[0051] 图11B是根据一些实施例的示例性半导体封装结构的截面图。

[0052] 图12A是根据一些实施例的示例性半导体封装结构的截面图。

[0053] 图12B是根据一些实施例的示例性半导体封装结构的截面图。

[0054] 图13A是根据一些实施例的示例性半导体封装结构的截面图。

[0055] 图13B是根据一些实施例的示例性半导体封装结构的截面图。

具体实施方式

[0056] 以下描述为本发明实施的较佳实施例。以下实施例仅用来例举阐释本发明的技术特征，并非用来限制本发明的范畴。本发明的范围应当参考后附的权利要求来确定。

[0057] 下面将参考特定实施例并且参考某些附图来描述本发明，但是本发明不限于此，并且仅由权利要求限制。所描述的附图仅是示意性的而并非限制性的。在附图中，为了说明的目的，一些元件的尺寸可能被夸大，而不是按比例绘制。在本发明的实践中，尺寸和相对尺寸不对应于实际尺寸。

[0058] 图1A至1F是根据本发明的一些实施例的形成半导体封装结构的示例性方法的截面图。如图1A所示，提供基板100。在一些实施例中，基板100可以包括多个芯片区域和划线区域，划线区域围绕多个芯片区域并且将相邻的芯片区域彼此分隔开。为了简化该图，这里仅描绘了两个完整且相邻的芯片区域C和分隔这两个芯片区域C的划线区域S。基板100可以是硅晶圆，以便于晶圆级封装制程。例如，基板100可以是硅基板或另一半导体基板。

[0059] 在一些实施例中，基板100的芯片区域C包括位于芯片区域C中的集成电路(图未示)。在一些实施例中，绝缘层104形成在基板100上。绝缘层104可以用作层间介电(inter-layer dielectric，ILD)层，金属间介电(inter-metal dielectric，IMD)层，钝化层或其组合。为了简化该图，这里仅示出为平坦的层。在一些实施例中，绝缘层104由无机材料制成，例如氧化硅(SiOx)、氮化硅(SiNx)、氮氧化硅(SiON)或这些的组合，或其他合适的绝缘材料。

[0060] 此外，绝缘层104包括在绝缘层104中的一个或多个导电焊盘102。导电焊盘102对应于基板100的芯片区域C(即位于芯片区域C中)并且与基板100的上表面相邻(例如接触基板100的上表面)。导电焊盘102可以由金属形成，例如铜，铝或其他合适的金属材料。为了简化该图，在本文中仅描绘了在每个芯片区域C中，在基板100上形成并且从绝缘层104暴露的一个导电焊盘102作为示例。在一些实施例中，芯片区域C中的IC(集成电路)电连接到对应的导电焊盘102。上述结构在芯片区域C通过切割基板100的划线区域S而彼此分离之后定义了多个半导体晶粒/芯片。

[0061] 在一些实施例中，诸如金属层的导电层(图未示)形成在绝缘层104上并穿过绝缘层104以电耦接到芯片区域C中的暴露的导电焊盘102。然后，图案化导电层以在每个芯片区域C中形成重分布层(redistribution layer，RDL)结构106，使得RDL结构106电耦接到半导体晶粒，如图1A所示。

[0062] 如图1B所示，在一些实施例中，通过切割基板100的划线区域S使芯片区域C(如图1A所示)之间相互分离，以形成在其上具有RDL结构106的半导体晶粒。形成的半导体晶粒可以是系统单芯片(system on chip，SOC)集成电路晶粒。例如，SOC集成电路晶粒可以包括逻辑晶粒，该逻辑晶粒包括中央处理单元(central processing unit，CPU)、图形处理单元

(graphics processing unit,GPU)、动态随机接入存储器(dynamic random access memory,DRAM)控制器或上述的任何组合。每个半导体晶粒包括基板100,形成在基板100上的至少一个导电焊盘102,以及形成在基板100上方并具有开口以暴露导电焊盘102的绝缘层104。此外,半导体晶粒具有第一表面101a(例如,半导体晶粒的主动表面(active surface)),与第一表面101a相对的第二表面101b(例如,半导体晶粒的非主动表面(non-active surface))和邻接在第一表面101a和第二表面101b之间的第三表面101c(例如,第二表面101c的侧壁表面)。其中主动表面可以是指设置有导电焊盘的一面,或者指设置有导电结构以将半导体晶粒连接到外界的一面。

[0063] 如图1B所示,在一些实施例中,提供其上形成有粘合剂层202的载体基板200。载体基板200可以由硅,玻璃,陶瓷等制成,并且可以具有与半导体晶圆相同或相似的形状,因此载体基板200有时称为载体晶圆。粘合剂层202可以由光热转换(light-to-heat conversion,LTHC)材料或其他合适的材料制成。之后,在一些实施例中,每个半导体晶粒的第二表面101b使用拾取和放置(pick-and-place)制程经由粘合剂层202安装到载体基板200上,其中每个半导体晶粒具有形成在半导体晶粒的第一表面101a上的RDL结构106。

[0064] 接下来,在一些实施例中,形成保护绝缘层110以覆盖半导体晶粒的第一表面101a和第三表面101c并围绕RDL结构106,使得每个形成的其上具有RDL结构106的半导体晶粒均由保护绝缘层110封装。在一些实施例中,保护绝缘层110保护半导体晶粒免受环境影响,从而防止随后形成的半导体封装结构中的半导体晶粒由于例如由于压力,化学物质和/或水分而损坏。

[0065] 在一些实施例中,保护绝缘层110由环氧树脂模塑料(epoxy molding compound,EMC),味之素™增强膜(Ajinomoto™Build-up Film,ABF)或丙烯酸基材料制成。在一些实施例中,保护绝缘层110由环氧模塑料(EMC)制成并通过模塑制程形成。例如,保护绝缘层110(例如在环氧树脂或树脂中)可以在基本上为液体的时施加,然后可以通过化学反应固化。保护绝缘层110可以是紫外(ultraviolet,UV)或热固化聚合物,保护绝缘层110作为能够在半导体晶粒周围形成的凝胶或可延展固体施加,然后可以通过UV或热固化制程固化。保护绝缘层110可以用模具(图未示)固化。

[0066] 如图1C所示,在形成保护绝缘层110之后,具有RDL结构106并由保护绝缘层110封装的半导体晶粒从载体基板200脱粘(de-bond)。在一些实施例中,当粘合剂层202由LTHC材料制成时,可通过使用激光或UV光曝光粘合剂层202(图1B中所示)来执行脱粘制程。LTHC材料可以由于来自激光器或UV光的热量而分解,因此载体基板200从包括半导体晶粒,RDL结构106和保护绝缘层110的结构中移除。因此,每个半导体晶粒的第二表面101b从保护绝缘层110露出。所得到的结构如图1C所示。

[0067] 如图1D所示,在一些实施例中,在通过脱粘制程去除载体基板200之后,在保护绝缘层110的上表面上执行研磨制程,直到RDL结构106从保护绝缘层110暴露(例如露出RDL结构106的上表面106a)。例如,保护绝缘层110的上表面可以通过化学机械抛光(chemical mechanical polishing,CMP)制程或其他合适的研磨制程研磨。

[0068] 之后,如图1E所示,在保护绝缘层110和RDL结构106覆盖钝化层112。在一些实施例中,通过涂覆制程或其他合适的沉积制程在保护绝缘层110和RDL结构106上形成钝化层112。之后,通过光刻或光刻和蚀刻的组合来图案化钝化层112,以形成暴露RDL结构106的开

口。在一些实施例中，钝化层112由与保护绝缘材料不同的材料制成。在一些实施例中，钝化层112由聚酰亚胺或聚苯并恶唑(polybenzoxazole，PBO)制成。

[0069] 在一些实施例中，在图案化钝化层112期间，钝化层112也被分成若干部分，使得每个半导体晶粒由钝化层112的相应部分覆盖。在一些其他实施例中，通过随后的切割制程将钝化层112分成几个部分。

[0070] 如图1E所示，在钝化层112中形成开口之后，导电结构120分别经由形成在钝化层112中的那些开口穿过钝化层112。在一些实施例中，导电结构120填充到形成在钝化层112中的开口中，使得每个导电结构120电耦接到钝化层112中的开口下方的相应暴露的RDL结构106。

[0071] 在一些实施例中，导电结构120包括可选的凸块下金属(under-bump metallurgy，UBM)层122(也即UBM层122可以省略)和UBM层122上的焊料凸块124。在一些其他实施例中，导电结构120包括导电凸块结构，例如铜凸块，导电柱结构，导线结构或导电膏结构。

[0072] 如图1F所示，在形成导电结构120之后，形成可选的保护绝缘层130(也即保护绝缘层130可以省略)以覆盖半导体晶粒的暴露的第二表面101b。保护绝缘层130有时称为晶粒背面膜(die backside film，DBF)，保护绝缘层130由热固性材料制成，例如环氧树脂材料。在一些其他实施例中，保护绝缘层130由与保护绝缘层110的材料相同的材料制成。例如，保护绝缘层130由环氧树脂模塑料(EMC)、味之素™增强膜(ABF)、或丙烯酸基材料制成。

[0073] 在一些实施例中，在形成保护绝缘层130之后，执行单一化(singulation)以锯穿图1F中所形成的结构。例如，可以对图1F中所示的形成结构执行切割制程。结果，形成多个单独的半导体封装结构。

[0074] 图2A是根据一些实施例的示例性半导体封装结构的截面图。在图2A中，示出了通过切割图1F中所形成的结构而形成的半导体封装结构10a之一。为简洁起见，可以省略下文实施例中与先前参考图1A至1F描述的那些元件相同或类似的元件的描述。如图2A所示，在一些实施例中，半导体封装结构10a包括半导体晶粒，该半导体晶粒包括基板100，形成在基板100上的至少一个导电焊盘102，以及形成在基板100上方并具有开口以暴露导电焊盘102的绝缘层104。半导体晶粒具有第一表面101a(例如，半导体晶粒的主动表面)，与第一表面101a相对的第二表面101b(例如，半导体晶粒的非主动表面)，以及第三表面101c(例如，邻接在第一表面101a和第二表面101b之间的半导体晶粒的侧壁表面)。

[0075] 在一些实施例中，半导体封装结构10a还包括覆盖半导体晶粒的第一表面101a和第三表面101c的保护绝缘层110，以及覆盖半导体晶粒的第二表面101b的保护绝缘层130。可以调整覆盖第一表面101a的保护绝缘层110的部分的厚度和覆盖半导体晶粒的第三表面101c的保护绝缘层110的部分的厚度，以便微调(fine-tune)半导体封装结构10a的保护能力。

[0076] 在一些实施例中，保护绝缘层110和保护绝缘层130由相同材料或不同材料制成。例如，这些材料可包括环氧模塑料(EMC)、味之素TM增强膜(ABF)或丙烯酸基材料。或者，保护绝缘层110由环氧树脂模塑料(EMC)、味之素TM增强膜(ABF)或丙烯酸基材料制成；保护绝缘层130由DBF材料制成，包括热固性材料，例如环氧树脂材料。

[0077] 在一些实施例中，半导体封装结构10a还包括RDL结构106，RDL结构106经由导电焊盘102电耦接到半导体晶粒并且由半导体晶粒的第一表面101a上的保护绝缘层110围绕。

[0078] 在一些实施例中，半导体封装结构10a还包括覆盖RDL结构106及覆盖围绕RDL结构106的保护绝缘层110的部分的钝化层112。钝化层112可以由聚酰亚胺或聚苯并恶唑制成(PBO)。其中保护绝缘层110的机械强度(例如硬度，刚性等)要比钝化层112大，因此使用保护绝缘层110可以更好的保护半导体晶粒。

[0079] 在一些实施例中，半导体封装结构10a还包括至少一个导电结构120，导电结构120包括可选的UBM层122，以及焊料凸块124，并且导电结构120穿过钝化层110，连接到RDL结构106，以便通过RDL结构106电耦接到半导体晶粒。

[0080] 在一些实施例中，图2A中所示的半导体封装结构10a是CSP结构。CSP结构可以包括SOC封装。此外，半导体封装结构10a可以安装在基座(图未示)上。基座可以包括印刷电路板(printed circuit board，PCB)并且可以由聚丙烯(PP)形成。或者，基底可包括封装基板。半导体封装结构10a可以通过接合(bonding)制程安装在基座上。例如，半导体封装结构10a可以通过接合制程安装在基座上，并且使用导电结构120作为连接器电耦接到基座。采用本实施例的方式，保护绝缘层110覆盖了半导体晶粒的主动面(第一表面101a)，并且填充在RDL 106之中，可以使得保护绝缘层110的上表面与RDL 106的上表面几乎完全的平齐。并使接下来形成的钝化层112的下表面是平坦的表面，这样封装的稳定性更好。此外保护绝缘层110还覆盖了侧壁(第三表面101c)，由于保护绝缘层110的机械强度较钝化层112等的要大，因此可以对半导体晶粒进行更有力的保护，以增强封装的机械强度，提高封装的可靠性和稳定性。此外，使用机械强度较高的保护绝缘层110之后，来自于导电结构120的一些应力可以由机械强度较高的保护绝缘层110分担，从而减轻导电结构120所受应力，这样可以使导电结构120更加稳定，减轻因应力而是导电结构传输信号不稳定的负面影响，进一步保证封装工作的稳定性和可靠性。此外，本实施例中在切割之后，在半导体晶粒(基板100)的主动面和侧面均具有保护绝缘层，因此在后续的制程(例如安装，测试等)中，就会不易损坏，防止夹持、碰撞等对半导体晶粒(或内部器件)的损伤。另外由于使用机械强度较高的保护绝缘层110，可以防止封装的翘曲。并且，由于切割之后，在半导体晶粒(基板100)的主动面和侧面均具有保护绝缘层，因此本实施例中的封装方便去进行单个封装的测试，并且可以是出厂前的最终测试，这样可以保证制造完成的封装是可以正常工作的(或者是可使用的)。

[0081] 图2B是根据一些实施例的示例性半导体封装结构的截面图。为简洁起见，可以省略下文实施例中与先前参考图2A描述的那些元件相同或类似的元件的描述。在一些实施例中，半导体封装结构10b类似于图2A中所示的半导体封装结构10a。与半导体封装结构10a相比，在封装结构10b中没有形成保护绝缘层130，因此半导体晶粒的第二表面101b暴露于环境。在一些实施例中，半导体封装结构10b通过与图1A至1F所示的方法类似的方法形成，除了省略了如图1F所示的保护绝缘层130的形成之外。即，在形成图1E所示的结构之后，进行单一化以锯穿图1E所示所形成的结构。保护绝缘层130的材料可以与保护绝缘层110的材料相同或不同，但是均与钝化层112的材料不同。

[0082] 图3A是根据一些实施例的示例性半导体封装结构的截面图。为简洁起见，可以省略下文实施例中与先前参考图2A描述的那些元件相同或类似的元件的描述。在一些实施例中，半导体封装结构10c类似于图2A中所示的半导体封装结构10a。与半导体封装结构10a相比，半导体封装结构10c还包括形成在半导体晶粒的第一表面101a和RDL结构106之间并由保护绝缘层110覆盖的钝化层105。在一些实施例中，用于形成钝化层105的材料和方法与用

于钝化层112的方法相同或相似。例如，钝化层105由聚酰亚胺或聚苯并恶唑(PBO)制成。在一些实施例中，半导体封装结构10c通过类似于图1A至1F所示的方法形成，除了在形成RDL结构106之前形成额外的钝化层105之外。在形成RDL结构106之前，在钝化层105中形成至少一个开口，使得钝化层105暴露导电焊盘102并围绕形成在绝缘层104中的开口。本实施例中设置钝化层105可以降低导电结构120带来的压力(例如形成导电结构120时的压力，导电结构120接收到的外界的压力等)对半导体晶粒(基板100)的冲击或破坏，从而进一步保护半导体晶粒，因此钝化层105不仅可以提供绝缘功能，还可以提供缓冲功能，缓冲压力。此外，当未设置钝化层105时，导电焊盘102之间的间距可以更近，以布置更多的焊盘102，提高效能。

[0083] 图3B是根据一些实施例的示例性半导体封装结构的截面图。为简洁起见，可以省略下文实施例中与先前参考图2A和3A描述的那些元件相同或类似的元件的描述。在一些实施例中，半导体封装结构10d类似于图3A中所示的半导体封装结构10c。与半导体封装结构10c相比，在封装结构10d中没有形成保护绝缘层130，因此半导体晶粒的第二表面101b暴露于环境中。在一些实施例中，半导体封装结构10d通过与用于形成半导体封装结构10c的方法类似的方法形成，除了省略保护绝缘层130的形成之外。

[0084] 图4A至4E是根据本发明的一些实施例的形成半导体封装结构的示例性方法的截面图。为简洁起见，可以省略下文实施例中与先前参考图1A至1F描述的那些元件相同或类似的元件的描述。如图4A所示，提供了如图1A所示的结构。然后，保护绝缘层110a覆盖每个半导体晶粒的第一表面101a并围绕每个RDL结构106，使得RDL结构106的上表面和侧壁由保护绝缘层110a覆盖或封装。在一些实施例中，保护绝缘层110a由环氧树脂模塑料(EMC)，味之素TM增强膜(ABF)或丙烯酸基材料制成。在一些实施例中，保护绝缘层110a通过涂覆制程，模制(molding)制程或其他合适的制程形成。

[0085] 如图4B所示，在一些实施例中，在形成保护绝缘层110a之后，通过切割基板100的划线区域S将芯片区域C彼此分离，以形成其上具有RDL结构106的半导体晶粒。形成的半导体晶粒具有第一表面101a(例如，半导体晶粒的主动表面)，与第一表面101a相对的第二表面101b(例如，半导体晶粒的非主动表面)，以及邻接在第一表面101a和第二表面101b之间的第三表面101c(例如，半导体晶粒的侧壁表面)。此外，保护绝缘层110a具有侧壁109，侧壁109与半导体晶粒的第三表面101c基本对齐。

[0086] 仍然参考图4B，在一些实施例中，提供其上形成有粘合剂层202的载体基板200。之后，在一些实施例中，每个形成的半导体晶粒通过使用拾取和放置制程将保护绝缘层110a的上表面附着到粘合剂层202来安装到载体基板200上，其中每个形成的半导体晶粒具有在半导体晶粒的第一表面101a上的RDL结构106。结果，每个半导体晶粒的第二表面101b与载体基板200相对。

[0087] 接下来，在一些实施例中，使用模制制程形成保护绝缘层110以覆盖半导体晶粒的第二表面101b和第三表面101c并围绕保护绝缘层110a，使得保护绝缘层110从每个半导体晶粒的第三表面101c延伸到相应的保护绝缘层的侧壁109。结果，每个形成的半导体晶粒(半导体晶粒上具有RDL结构106)由包括保护绝缘层110a和保护绝缘层110的保护结构封装。保护绝缘层110a和保护绝缘层110的材料可以不同，它们在不同的制程中形成。

[0088] 在一些实施例中，保护结构保护半导体晶粒免受环境影响，从而防止随后形成的

半导体封装结构中的半导体晶粒由于例如应力,化学物质和/或湿气而损坏。在一些实施例中,保护结构的保护绝缘层110通过模制制程形成,而保护结构的保护绝缘层110a通过涂覆制程形成。

[0089] 如图4C所示,在形成保护结构之后,由保护结构封装的半导体晶粒(具有RDL结构106)通过脱粘制程从载体基板200脱粘,得到如图4C所示的结构。

[0090] 如图4D所示,在一些实施例中,在通过脱粘制程去除载体基板200之后,在RDL结构106上方的保护绝缘层110a,以及围绕保护绝缘层110a的保护绝缘层110的部分上执行研磨制程,直到RDL结构106从保护绝缘层110a暴露。例如,保护绝缘层110a和保护绝缘层110可以通过CMP制程或其他合适的研磨制程研磨。

[0091] 之后,如图4E所示,保护绝缘层110a和RDL结构106覆盖有图案化的钝化层112。在一些实施例中,钝化层112由不同于保护绝缘层110a的材料和保护绝缘层110的材料的材料制成。在一些实施例中,在图案化钝化层112期间,钝化层112还分成若干部分,使得每个半导体晶粒由钝化层112的相应部分覆盖。在一些其他实施例中,通过随后的切割制程将钝化层112分成若干部分。

[0092] 如图4E所示,在钝化层112中形成开口之后,包括可选的UBM层122和焊料凸块124的导电结构120分别经由这些开口穿过钝化层112。结果,每个导电结构120电耦接到相应的暴露的RDL结构106。

[0093] 在一些实施例中,在形成导电结构120之后,执行单一化(例如,切割制程)以锯穿图4E中所形成的结构。结果,形成多个单独的半导体封装结构。

[0094] 图5A是根据一些实施例的示例性半导体封装结构的截面图。在图5A中,示出了通过切割图4E所形成结构而形成的半导体封装结构20a之一。为简洁起见,可以省略下文实施例中与先前参照图4A至4E描述的那些元件相同或类似的的元件的描述。如图5A所示,在一些实施例中,半导体封装结构20a包括半导体晶粒,该半导体晶粒包括基板100,形成在基板100上的至少一个导电焊盘102,以及形成在基板100上方并具有开口以暴露导电焊盘102的绝缘层104。半导体晶粒具有第一表面101a(例如,半导体晶粒的主动表面),与第一表面101a相对的第二表面101b(例如,半导体晶粒的非主动表面),以及邻接在第一表面101a和第二表面101b之间的第三表面101c(例如,半导体晶粒的侧壁表面)。

[0095] 在一些实施例中,半导体封装结构20a还包括覆盖半导体晶粒的第一表面101a的保护绝缘层110a,以及覆盖半导体晶粒的第二表面101b和第三表面101c并围绕保护绝缘层110a的保护绝缘层110。保护绝缘层110a具有侧壁109,侧壁109与半导体晶粒的第三表面101c基本对齐。保护绝缘层110从半导体晶粒的第三表面101c延伸到保护绝缘层110a的侧壁109。可以调整覆盖第一表面101a的保护绝缘层110a的厚度和覆盖半导体晶粒的第二表面101b和第三表面101c的保护绝缘层110的厚度,以微调半导体封装结构20a保护能力。

[0096] 在一些实施例中,保护绝缘层110a和保护绝缘层110由相同材料或不同材料制成。例如,这些材料可包括环氧模塑料(EMC),味之素TM增强膜(ABF)或丙烯酸基材料。

[0097] 在一些实施例中,半导体封装结构20a还包括RDL结构106,RDL结构106经由导电焊盘102电耦接到半导体晶粒并且由保护绝缘层110a围绕。

[0098] 在一些实施例中,半导体封装结构20a还包括覆盖RDL结构106的钝化层112和围绕RDL结构106的保护绝缘层110a的部分。此外,钝化层112例如由聚酰亚胺或聚苯并恶唑

(PBO)制成。

[0099] 在一些实施例中,半导体封装结构20a还包括至少一个导电结构120,导电结构120包括可选的UBM层122和焊料凸块124,导电结构120穿过钝化层110,以便通过RDL结构106电耦接到半导体晶粒。

[0100] 在一些实施例中,图5A中所示的半导体封装结构20a是CSP结构。CSP结构可以包括SOC封装。此外,半导体封装结构20a可以安装在基座(图未示)上。基座可以包括印刷电路板(PCB)并且可以由聚丙烯(PP)形成。或者,基底可包括封装基板。类似于半导体封装结构10a,半导体封装结构20a可以通过接合制程安装在基座上,并且使用导电结构120作为连接器电耦接到基座。

[0101] 图5B是根据一些实施例的示例性半导体封装结构的剖视图。为简洁起见,可以省略下文实施例中与先前参考图5A描述的那些元件相同或类似的元件的描述。在一些实施例中,半导体封装结构20b类似于图5A中所示的半导体封装结构20a。与半导体封装结构20a相比,半导体封装结构20b还包括形成在半导体晶粒的第一表面101a和RDL结构106之间并由保护绝缘层110a覆盖的钝化层105。在一些实施例中,用于形成钝化层105的材料和方法与用于形成钝化层112的材料和方法相同或相似,并且不同于用于形成保护绝缘层110a的材料和方法以及不同于用于形成保护绝缘层110的材料和方法。在一些实施例中,半导体封装结构20b通过类似于图4A至4E所示的方法的方法形成,除了在形成RDL结构106之前形成另外的钝化层105之外。在形成RDL结构106之前,在钝化层105中形成至少一个开口,使得钝化层105暴露导电焊盘102并围绕形成在绝缘层104中的开口。本实施例同样具有如图1A-3B所示实施例的效果,提高封装工作的稳定性可靠性。此外本实施例中提供了另一种制造方式,以适应不同的生产需求和产品需求。

[0102] 图6A至6E是根据本发明的一些实施例的形成半导体封装结构的示例性方法的截面图。为简洁起见,可以省略下文实施例中与先前参考图1A至1F或图4A至4E描述的那些元件相同或类似的元件的描述。如图6A所示,提供了如图1A所示的结构。之后,通过切割基板100的划线区域S,芯片区域C彼此分离,以形成其上具有RDL结构106的半导体晶粒。形成的半导体晶粒具有第一表面101a(例如,半导体晶粒的主动表面),与第一表面101a相对的第二表面101b(例如,半导体晶粒的非主动表面),以及邻接在第一表面101a和第二表面101b之间的第三表面101c(例如,半导体晶粒的侧壁表面)。

[0103] 如图6A所示,在一些实施例中,提供其上形成有粘合剂层202的载体基板200。之后,在一些实施例中,每个形成的半导体晶粒通过使用拾取和放置制程将RDL结构106的上表面和侧壁表面附着到粘合剂层202来安装到载体基板200上,其中每个形成的半导体晶粒具有在半导体晶粒的第一表面101a上的RDL结构106。结果,每个半导体晶粒的第二表面101b与载体基板200相对。

[0104] 接下来,在一些实施例中,使用模制制程形成保护绝缘层110以覆盖半导体晶粒的第二表面101b和第三表面101c。

[0105] 在一些实施例中,在形成保护绝缘层110之后,通过脱粘制程将具有RDL结构106的半导体晶粒从载体基板200上脱粘(如图1C所示)。得到的结构如图6B所示。

[0106] 如图6C所示,在一些实施例中,在脱粘制程之后,通过涂覆制程形成保护绝缘层110a,以覆盖每个半导体晶粒的第一表面101a并围绕每个RDL结构106。结果,RDL结构106的

上表面和侧壁由保护绝缘层110a覆盖或封装。此外，覆盖半导体晶粒的第三表面101c的保护绝缘层110的部分由保护绝缘层110a覆盖。在一些其他实施例中，保护绝缘层110a通过模制制程或其他合适的制程形成。

[0107] 由于形成包括保护绝缘层110a和保护绝缘层110的保护结构，保护结构将每个形成的半导体晶粒(其上形成有RDL结构106)封装。保护结构保护半导体晶粒免受环境影响，从而防止随后形成的半导体封装结构中的半导体晶粒由于例如应力，化学物质和/或湿气而损坏。

[0108] 如图6D所示，在一些实施例中，在形成保护结构之后，在RDL结构106上方的保护绝缘层110a上执行研磨制程，直到RDL结构106从保护绝缘层110a暴露。例如，保护绝缘层110a可以通过CMP制程或其他合适的研磨制程研磨。

[0109] 然后，如图6E所示，保护绝缘层110a和RDL结构106覆盖有图案化的钝化层112。在一些实施例中，钝化层112可以由不同于保护绝缘层110a的材料和不同于保护绝缘层110的材料的材料制成。在一些实施例中，在图案化钝化层112期间，钝化层112还分成若干部分，使得每个半导体晶粒由钝化层112的相应部分覆盖。在一些其他实施例中，通过随后的切割制程将钝化层112分成若干部分。

[0110] 如图6E所示，在钝化层112中形成开口之后，包括可选的UBM层122和焊料凸块124的导电结构120分别经由这些开口穿过钝化层112。结果，每个导电结构120电耦接到相应的暴露的RDL结构106。

[0111] 在一些实施例中，在形成导电结构120之后，执行单一化(例如，切割制程)以锯穿图6E中所示的形成结构。结果，形成多个单独的半导体封装结构。在一些实施例中，在半导体封装结构中，保护绝缘层110a具有侧壁109，并且覆盖半导体晶粒的第三表面101c的保护绝缘层110的部分具有侧壁113，并且侧壁109和侧壁113基本上彼此对齐。

[0112] 图7A是根据一些实施例的示例性半导体封装结构的剖视图。在图7A中，示出了通过切割图6E所示的形成结构而形成的半导体封装结构30a之一。为简洁起见，可以省略下文实施例中与先前参考图1A至1F或图4A至4E描述的那些元件相同或类似的元件的描述。在一些实施例中，半导体封装结构30a包括半导体晶粒，该半导体晶粒包括基板100，形成在基板100上的至少一个导电焊盘102，以及形成在基板100上方并具有开口以暴露导电焊盘102的绝缘层104，如图7A所示。半导体晶粒具有第一表面101a(例如，半导体晶粒的主动表面)，与第一表面101a相对的第二表面101b(例如，半导体晶粒的非主动表面)，以及邻接在第一表面101a和第二表面101b之间的第三表面101c(例如，半导体晶粒的侧壁表面)。

[0113] 在一些实施例中，半导体封装结构30a还包括覆盖半导体晶粒的第一表面101a的保护绝缘层110a，以及覆盖半导体晶粒的第二表面101b和第三表面101c并围绕保护绝缘层110a的保护绝缘层110。保护绝缘层110a具有侧壁109，并且覆盖半导体晶粒的第三表面101c的保护绝缘层110a的部分具有侧壁113。在一些实施例中，侧壁109与侧壁113基本对齐。覆盖半导体晶粒的第三表面101c的保护绝缘层110的部分由保护绝缘层110a覆盖。可以调整覆盖半导体晶粒的第一表面101a的保护绝缘层110a的厚度和覆盖半导体晶粒的第二表面101b和第三表面101c的保护绝缘层110的厚度，以微调半导体封装结构30a的保护能力。

[0114] 在一些实施例中，保护绝缘层110a和保护绝缘层110由相同材料或不同材料制成。

例如,这种材料可包括环氧模塑料(EMC),味之素TM增强膜(ABF)或丙烯酸基材料。

[0115] 在一些实施例中,半导体封装结构30a还包括RDL结构106,RDL结构106经由导电焊盘102电耦接到半导体晶粒并且由保护绝缘层110a围绕。

[0116] 在一些实施例中,半导体封装结构30a还包括覆盖RDL结构106的钝化层112和围绕RDL结构106的保护绝缘层110a的部分。此外,钝化层112例如由聚酰亚胺或聚苯并恶唑(PBO)制成。

[0117] 在一些实施例中,半导体封装结构30a还包括至少一个导电结构120,导电结构120包括可选的UBM层122和焊料凸块124,导电结构120穿过钝化层110,以便电耦接到半导体晶粒通过RDL结构106。

[0118] 在一些实施例中,图7A中所示的半导体封装结构30a是CSP结构。CSP结构可以包括SOC封装。此外,半导体封装结构30a可以安装在基座(图未示)上。基座可以包括印刷电路板(PCB)并且可以由聚丙烯(PP)形成。或者,基底可包括封装基板。类似于半导体封装结构10a或20a,半导体封装结构30a可以通过接合制程安装在基座上,并使用导电结构120作为连接器电耦接到基座。

[0119] 图7B是根据一些实施例的示例性半导体封装结构的截面图。为简洁起见,可以省略下文实施例中与先前参考图7A描述的那些元件相同或类似的元件的描述。在一些实施例中,半导体封装结构30b类似于图7A中所示的半导体封装结构30a。与半导体封装结构30a相比,半导体封装结构30b还包括形成在半导体晶粒的第一表面101a和RDL结构106之间并由保护绝缘层110a覆盖的钝化层105。在一些实施例中,用于形成钝化层105的材料和方法与用于形成钝化层112的材料和方法相同或类似,并且与用于形成保护绝缘层110a的材料和方法以及用于形成保护绝缘层110的材料和方法相同或相似。在一些实施例中,半导体封装结构30b通过类似于图6A至6E所示的方法的方法形成,除了在形成RDL结构106之前形成额外的钝化层105之外。在形成RDL结构106之前,至少一个开口形成在钝化层105中,使得钝化层105暴露导电焊盘102并围绕形成在绝缘层104中的开口。本实施例同样具有如图1A-3B所示实施例的效果,提高封装工作的稳定性可靠性。此外本实施例中提供了另一种制造方式,以适应不同的生产需求和产品需求。

[0120] 根据前述实施例,半导体封装结构设计为在半导体封装结构中制造保护结构,以覆盖或封装半导体封装结构中的半导体晶粒。保护结构包括一个或多个保护绝缘层以保护半导体晶粒免受环境影响,从而防止半导体封装结构中的半导体晶粒由于例如应力,化学物质和/或湿气而损坏。

[0121] 由于半导体晶粒的顶侧保护,可以在随后的热制程(例如表面安装技术(surface mount technology,SMT)制程或接合制程)期间保持半导体封装结构的可靠性。此外,形成在半导体晶粒上的RDL结构也受到保护结构的保护,以保持RDL结构电气和热性能。另外,在先前技术中,由于没有对半导体晶粒主动面和/或侧壁的保护,只能在半导体晶粒尚在晶圆时进行测试,这样虽然在晶圆中测试正常,但是在后续的切割、封装等制程中,半导体晶粒也有可能损坏;然而此时由于没有对没有对半导体晶粒主动面和/或侧壁的保护,此时再进行测试就会容易损坏半导体晶粒,因此切割、封装后难以进行测试。这样在出厂时,并不能确定半导体封装是否是正常的。而本发明中由于对半导体晶粒侧壁(当然还有主动面)的保护,可以在切割后及封装完成后进行测试。当CSP结构放置在测试插座中以执行测试过程

时，可以防止半导体封装结构中的半导体晶粒碎裂。这样可以保证在制造形成封装后，出厂的封装都是合格的。

[0122] 图8A是根据一些实施例的示例性半导体封装结构的截面图。为简洁起见，以下实施例中与先前参考图7A描述的元件相同或相似的元件的描述可以省略。在一些实施例中，半导体封装结构40a类似于图7A所示的半导体封装结构30a。与半导体封装结构30a相比，钝化层112形成在RDL结构106和保护绝缘层110上，而不在半导体封装结构40a中形成保护绝缘层110a(如图7A所示)。在一些实施例中，除了不形成保护绝缘层110a之外，可以通过与图7A所示的方法类似的方法来形成半导体封装结构40a，当然图8A的制程步骤与图7A的制程步骤存在不同之处，例如，图8A的结构在制造过程中，无需形成保护绝缘层110a，并且也无需对保护绝缘层110a进行平坦化制程，因此钝化层112与保护绝缘层110直接接触，这种方式可以节省制程步骤，提高生产效率(下面图8B-13B的实施例同样具有这种效果)。钝化层112可以在形成RDL结构106之后形成。此外，如图8A所示，钝化层112覆盖RDL结构106的侧壁，例如钝化层112与RDL结构106的侧壁直接接触。并且与图7A的结构相比，图8A中钝化层112的底表面并非平坦的(图7A中的钝化层112的底表面是平坦的)，图8A中钝化层112的底表面一部分与RDL结构106的上表面直接接触，一部分与保护绝缘层110和绝缘层104直接接触，因此钝化层112的底表面为凹凸的表面。

[0123] 图8B是根据一些实施例的示例性半导体封装结构的截面图。为简洁起见，以下实施例中与先前参考图8A描述的元件相同或相似的元件的描述可以省略。在一些实施例中，半导体封装结构40b类似于图8A所示的半导体封装结构40a。与半导体封装结构40a相比，半导体封装结构40b还包括形成在半导体晶粒的第一表面101a与RDL结构106之间并且由钝化层112覆盖的钝化层105。用于钝化层105的方法与用于钝化层112的方法相同或相似，但不同于用于保护绝缘层110的方法。图8B的结构在制造过程中，无需形成保护绝缘层110a(如图7A所示)，并且也无需对保护绝缘层110a进行平坦化制程，因此钝化层112与保护绝缘层110直接接触。此外，如图8B所示，钝化层112覆盖RDL结构106的侧壁和钝化层105的侧壁，并且钝化层112与RDL结构106的侧壁和钝化层105的侧壁直接接触。与图7B的结构相比，图8B中钝化层112的底表面并非平坦的(图7B中的钝化层112的底表面是平坦的)，图8B中钝化层112的底表面一部分与RDL结构106的上表面直接接触，一部分与保护绝缘层110、绝缘层104、钝化层105直接接触，因此钝化层112的底表面为凹凸的表面。

[0124] 在一些实施例中，半导体封装结构40b可以通过与图8A所示的方法类似的方法形成，除了在形成RDL结构106之前形成附加的钝化层105之外。在形成RDL结构106的步骤中，在钝化层105中形成至少一个开口，使得钝化层105暴露出导电焊盘102并围绕在绝缘层104中形成的开口。

[0125] 图9A是根据一些实施例的示例性半导体封装结构的截面图。为简洁起见，以下实施例中与先前参考图8A描述的元件相同或相似的元件的描述可以省略。在一些实施例中，半导体封装结构50a类似于图8A所示的半导体封装结构40a。与半导体封装结构40a相比，保护绝缘层110进一步覆盖了半导体封装结构50a中的RDL结构106和钝化层112。钝化层112与保护绝缘层110直接接触，这种方式可以节省制程步骤，提高生产效率。

[0126] 在一些实施例中，除了在形成导电结构120之前以及在形成导电结构120之后形成保护绝缘层110之外，可以通过与图8A所示的方法相似的方法来形成半导体封装结构50a。

在一些实施例中，在形成钝化层112之后，形成保护绝缘层110以覆盖半导体晶粒的第二表面101b和第三表面101c、RDL结构106和钝化层。换句话说，根据图1A至图8B的实施例可以称为先重构(reconstruction first)，图9A的实施例可以称为后重构(reconstruction last)。其中，该先重构可以是指在晶圆(wafer)上的集成电路制造完成之后，先进行切割，然后将切割好的晶粒放置在载体(carrier)上，再使用保护绝缘层等进行封装，然后形成RDL结构、钝化层、焊球等等结构，再切割为单一化的半导体封装结构。该后重构可以是指在晶圆上的集成电路制造完成之后，先形成RDL结构、钝化层、焊球等等结构，然后再使用保护绝缘层等进行封装，然后再切割为单一化的半导体封装结构。本发明实施例可以根据需求自由的选择上述两种制程，例如在扇出(fan-out)结构中(例如下图13A和13B所示的结构)，可以使用先重构的方式形成，以有足够的空间容纳扇出的RDL结构和焊球等；而在一些实施例中可以采用后重构的方式形成，这种方式中由于直接在晶圆上形成RDL结构、钝化层、焊球等等结构，然后再使用保护绝缘层封装，这样在晶圆上的每个晶粒之间的位置不会发生变化，从而避免了晶粒的位移，保证了后续制造过程中的精度，例如在曝光等制程中，曝光的位置更加精确，制程的良率更高。

[0127] 接下来，可以在保护绝缘层110中形成至少一个并穿过钝化层112的开口，使得钝化层112和保护绝缘层110暴露RDL结构106。接下来，导电结构120在开口中形成。在一些实施例中，导电结构120包括可选的UBM层122和在UBM层122上的焊料凸块124。在一些其他实施例中，不形成UBM层122，并且导电结构120包括在钝化层112上的焊料凸块124。

[0128] 本实施例中可以添加、移除、重新布置和重复各种步骤。例如，在包括UBM层122和焊料凸块124的导电结构120的实施例中，可以在形成UBM层122之后并且在形成焊料凸块124之前形成保护绝缘层110。在实施例中，在形成保护绝缘层110之后，在保护绝缘层110的顶表面上执行研磨制程，直到UBM层122从保护绝缘层110暴露出来。可以通过化学机械抛光(chemical mechanical polishing，CMP)制程或另一种合适的磨削制程来磨削层110。接下来，在暴露的UBM层122上形成焊料凸块124。

[0129] 在一些实施例中，钝化层112的边缘与半导体晶粒的第三表面101c对准，如图9A所示，但是本发明不限于此。例如，在一些其他实施例中，钝化层112的边缘可以设置在半导体晶粒的第一表面101a内部。在这些实施例中，半导体晶粒的第一表面101a的由钝化层112暴露的一部分与保护绝缘层110接触。

[0130] 在一些实施例中，RDL结构106与钝化层112接触，如图9A所示，但是本发明不限于此。例如，在一些其他实施例中，可以不形成钝化层112，并且RDL结构106可以与保护绝缘层110接触。在这些实施例中，在形成RDL结构106之后形成保护绝缘层110。可选地，RDL结构106的顶表面的一部分可以与钝化层112接触，而顶表面的另一部分可以与钝化层112接触。RDL结构106的一部分可以与保护绝缘层110接触。

[0131] 根据一些实施例，如图9A所示，除了半导体晶粒的第二表面101b和第三表面101c之外，保护绝缘层110还覆盖RDL结构106，并且钝化层112可以对半导体封装结构50a提供更好的保护能力。此外，图9A这种结构可以减少或避免用于RDL结构对准的半导体晶粒移位或位移(例如采用了后重构的制程，并且也因此使得保护绝缘层110覆盖了RDL结构、钝化层112等)。因此，可以提高半导体封装结构50b的可靠性。另外，在图9A中，覆盖第二表面101b的那部分保护绝缘层110与覆盖钝化层112、第三表面101c的另一部分保护绝缘层110可以

是在不同的制程步骤中形成的，因此图9A中沿着第二表面101b可以将保护绝缘层110划分为两个部分。同样图9B的实施例中也可以这样划分。

[0132] 图9B是根据一些实施例的示例性半导体封装结构的截面图。为简洁起见，以下实施例中与先前参考图9A描述的元件相同或相似的元件的描述可以省略。在一些实施例中，半导体封装结构50b类似于图9A所示的半导体封装结构50a。与半导体封装结构50a相比，半导体封装结构50b还包括钝化层105，该钝化层105形成在半导体晶粒的第一表面101a与RDL结构106之间并且由保护绝缘层110覆盖。用于钝化层105的方法与用于钝化层112的方法相同或相似，并且不同于用于保护绝缘层110的方法。

[0133] 在一些实施例中，通过与图9A中描述的方法类似的方法来形成半导体封装结构50b，除了在形成RDL结构106之前形成附加的(额外的)钝化层105之外。在形成RDL结构106的步骤中，在钝化层105中形成至少一个开口，使得钝化层105暴露出导电焊盘102并围绕在绝缘层104中形成的开口。

[0134] 图10A至图10E是根据本发明的一些实施例的形成半导体封装结构的示例性方法的截面图。在下文中的实施例的元件的描述与先前参考图1A至1F、4A至4E或6A至6E描述的那些元件的描述相同或相似，为了简洁，可以省略。与图1A-9B所示的半导体封装结构10a-50b相比，以下实施例提供了具有扇出(fan-out)结构的半导体封装结构。

[0135] 如图10A所示，在一些实施例中，提供了基板100。基板100可以是硅晶圆(wafer)。例如，基板100可以是硅基板或另一半导体基板。在一些实施例中，基板100在其中包括集成电路(未示出)。基板100中可以包括具有晶体管的集成电路(或称为半导体元件)和中继基板等。在一些实施例中，基板100也可以称为晶粒。

[0136] 在一些实施例中，绝缘层104形成在基板100上。绝缘层104可以用作ILD层、IMD层、钝化层或它们的组合。为了简化该图，这里仅示出平坦(flat)层。在一些实施例中，绝缘层104由无机材料制成，诸如氧化硅(SiOx)、氮化硅(SiNx)、氧氮化硅(SiON)、它们的组合或另一种合适的绝缘材料。

[0137] 此外，绝缘层104在其中包括一个或多个导电焊盘102。导电焊盘102与基板100的上表面相邻。导电焊盘102可以由诸如铜、铝或其他合适的金属材料的金属形成。这里，以形成在基板100上且从绝缘层104露出的两个导电焊盘102为例进行了说明，但本发明不限于此。例如，可以在基板100上形成一个或两个以上的导电焊盘102。

[0138] 在一些实施例中，诸如金属层的导电层(未示出)形成在绝缘层104上并且穿过绝缘层104以电耦接至暴露的导电焊盘102。之后，如图10A所示，对导电层进行图案化以形成RDL结构106，使得RDL结构106电耦接至随后形成的半导体晶粒。

[0139] 在一些实施例中，如图10A所示，将基板100切割以形成具有RDL结构106的半导体晶粒。每个形成的半导体晶粒可以是SOC集成电路晶粒。SOC集成电路晶粒例如可以包括逻辑晶粒，该逻辑晶粒包括CPU、GPU、DRAM控制器或其任意组合。每个半导体晶粒包括：基板100；一个或多个形成在基板100上的导电焊盘102；以及绝缘层104，该绝缘层104形成在基板100上并且具有开口以暴露出导电焊盘102。另外，半导体晶粒具有第一表面101a(例如，半导体晶粒的有源表面)、与第一表面101a相对的第二表面101b(例如，半导体晶粒的非有源表面)和在第一表面101a和第二表面101b之间邻接的第三表面101c(例如，半导体晶粒的侧壁表面)。

[0140] 在一些实施例中，每个半导体晶粒的第二表面101b可以使用拾取和放置(pick-and-place)制程经由粘合剂层(未示出)安装到载体基板(未示出)上。接下来，在一些实施例中，形成保护绝缘层110以覆盖半导体晶粒的第一表面101a和第三表面101c并围绕RDL结构106，从而形成的每个半导体晶粒上均具有RDL结构106。绝缘层110由保护绝缘层110封装。在一些实施例中，保护绝缘层110保护半导体晶粒免受环境的影响，从而防止随后形成的半导体封装结构中的半导体晶粒由于例如应力、化学物质和/或水分而损坏。

[0141] 在一些实施例中，保护绝缘层110由环氧模塑料(epoxy molding compound，EMC)，Ajinomoto™增强膜(ABF)或丙烯酸基材料制成。在一些实施例中，保护绝缘层110由环氧模塑料(EMC)制成并通过模制制程形成。上面描述了保护绝缘层110的示例性形成，并且将不再重复。

[0142] 在形成保护性绝缘层110之后，将具有保护性绝缘层110封装的RDL结构106的半导体晶粒从载体基板剥离。上面描述了示例性的解键合方法，并且将不再重复。结果，每个半导体晶粒的第二表面101b从保护绝缘层110暴露。

[0143] 在一些实施例中，在通过剥离制程去除载体基板之后，在保护绝缘层110的顶表面上执行研磨制程，直到RDL结构106从保护绝缘层110暴露出来为止，如图10C所示。例如，可以通过CMP制程或其他合适的研磨制程来研磨保护绝缘层110的顶表面。

[0144] 之后，如图10D所示，保护绝缘层110和RDL结构106由钝化层112覆盖。在一些实施例中，钝化层112通过涂覆制程或另一合适的沉积制程形成在保护绝缘层110和RDL结构106上。之后，钝化层112通过光刻或光刻和蚀刻的组合图案化以形成暴露RDL结构106的开口。在一些实施例中，钝化层112由与保护性绝缘材料不同的材料制成。钝化层112由聚酰亚胺(polyimide)或聚苯并恶唑(polybenzoxazole，PBO)制成。钝化层112与保护绝缘层110直接接触，这种方式可以节省制程步骤，提高生产效率。

[0145] 在钝化层112中形成开口之后，RDL结构114经由在钝化层112中形成的那些开口穿过钝化层112，如图10D所示。RDL结构114的构造和材料可以包括如上关于RDL结构106所描述的构造和材料，并且将不再重复。在一些实施例中，RDL结构114填充到在钝化层112中形成的开口中，使得每个RDL结构114电连接到在钝化层112中的开口下方的相应的暴露的RDL结构106。

[0146] 如图10D所示，根据一些实施例，RDL结构114从RDL结构106延伸到保护绝缘层110上方。特别地，RDL结构114可以从半导体晶粒的第一表面101a的正上方延伸到保护绝缘层110的正上方。因此，RDL结构114使得能够进行扇出连接。

[0147] 之后，如图10D所示，保护绝缘层110、钝化层112和RDL结构114由图案化的钝化层116覆盖。在一些实施例中，钝化层116由与保护绝缘层110的材料不同的材料制成。钝化层116的形成和材料可以包括如上关于钝化层112或钝化层105的描述的形成和材料，并且将不再重复。之后，钝化层116通过光刻或光刻和蚀刻的组合图案化以形成暴露RDL结构114的开口。

[0148] 在钝化层116中形成开口之后，UBM层122经由在钝化层116中形成的那些开口穿过钝化层116，如图10D所示。在一些实施例中，UBM层122填充到在钝化层116中形成的开口中，使得每个导电结构120在钝化层116中的开口下方电耦接到相应的暴露的RDL结构114。

[0149] 如图10E所示，根据一些实施例，在UBM层122上形成焊料凸块124。在一些实施例

中，导电结构120包括UBM层122和焊料凸块124。在一些其他实施例中，导电结构120包括诸如铜凸块的导电凸块结构、导电柱结构、导电线结构或导电膏(paste)结构。在一些实施例中，形成一个以上的导电结构120。如图10E所示，导电结构120之间的间隙G1可以大于RDL结构106之间的间隙G2，以实现扇出结构。

[0150] 如图10E所示，在形成导电结构120之后，形成可选的保护绝缘层130以覆盖半导体晶粒的暴露的第二表面101b。有时将保护绝缘层130称为由诸如环氧树脂材料的热固性材料制成的DBF。在一些其他实施例中，保护绝缘层130由与保护绝缘层110的材料相同的材料制成。例如，保护绝缘层130由环氧成型化合物(EMC)、味之素™增透膜(ABF)或丙烯酸类材料。图10E所示的是形成的扇出结构的半导体封装结构，例如RDL结构114和焊料凸块124相对于基板100扇出。

[0151] 图10F是根据一些实施例的示例性半导体封装结构的截面图。为了简洁，在下文中的实施例的与先前参考图10E描述的元件相同或相似的元件的描述可以省略。在一些实施例中，半导体封装结构60b类似于图10E所示的半导体封装结构60a。与半导体封装结构60a相比，在封装结构60b中没有形成保护绝缘层130，因此半导体晶粒的第二表面101b暴露于环境。在一些实施例中，半导体封装结构60b通过与图10A至图10E所示的实施例的方法相似的方法形成，除了省略了如图10E所示的保护绝缘层130的形成之外。

[0152] 图11A是根据一些实施例的示例性半导体封装结构的截面图。为了简洁，在下文中的实施例的与先前参考图10E描述的元件相同或相似的元件的描述可以被省略。在一些实施例中，半导体封装结构70a类似于图10E所示的半导体封装结构60a。与半导体封装结构60a相比，在封装结构70a中没有形成UBM层122，因此焊料凸块124直接形成在钝化层116上。在一些实施例中，半导体封装结构70a通过与图10A至图10E所示的实施例的方法相似的方法形成，除了省略了如图10E所示的UBM层122的形成之外。钝化层112与保护绝缘层110直接接触，这种方式可以节省制程步骤，提高生产效率。

[0153] 如图11A所示，焊料凸块124可以经由形成在钝化层116中的开口穿过钝化层116。在一些实施例中，焊料凸块124填充到形成在钝化层116中的开口中，从而每个导电结构120在钝化层116中的开口下方电耦接到相应的暴露的RDL结构114。

[0154] 图11B是根据一些实施例的示例性半导体封装结构的截面图。为了简洁，下文中的实施例的与先前参考图11A描述的元件相同或相似的元件的描述可以省略。在一些实施例中，半导体封装结构70b类似于图11A所示的半导体封装结构70a。与半导体封装结构70a相比，在封装结构70b中没有形成保护绝缘层130，因此半导体晶粒的第二表面101b暴露于环境。

[0155] 图12A是根据一些实施例的示例性半导体封装结构的截面图。为了简洁，在下文中的实施例的与先前参考图10E描述的元件相同或相似的元件的描述可以省略。在一些实施例中，半导体封装结构80a类似于图10E所示的半导体封装结构60a。与半导体封装结构60a相比，在封装结构80b中没有形成钝化层105(以节省制程步骤，提高生产效率)，因此RDL结构106直接形成在绝缘层104上。在一些实施例中，在一些实施例中，半导体封装结构80a通过与图10A至图10E所示的实施例的方法相似的方法形成，除了省略了如图10A所示的钝化层105的形成以外。钝化层112与保护绝缘层110直接接触，这种方式可以节省制程步骤，提高生产效率。

[0156] 图12B是根据一些实施例的示例性半导体封装结构的截面图。为了简洁，下文中的实施例的与先前参考图12A描述的元件相同或相似的元件的描述可以省略。在一些实施例中，半导体封装结构80b类似于图12A所示的半导体封装结构80a。与半导体封装结构80a相比，在封装结构80b中没有形成保护绝缘层130，因此半导体晶粒的第二表面101b暴露于环境。

[0157] 图13A是根据一些实施例的示例性半导体封装结构的截面图。为了简洁，在下文中的实施例的与先前参考图10E描述的元件相同或相似的元件的描述可以被省略。在一些实施例中，半导体封装结构90a类似于图10E所示的半导体封装结构60a。与半导体封装结构60a相比，在封装结构90a中没有钝化层105并且没有形成UBM层122，因此RDL结构106直接形成在绝缘层104上并且焊料凸块124直接形成在绝缘层104上。在一些实施例中，半导体封装结构90a通过与图10A至图10E所示的实施例的方法相似的方法形成，除了钝化层105和UBM层122的形成被省略之外。钝化层112与保护绝缘层110直接接触，这种方式可以节省制程步骤，提高生产效率。

[0158] 图13B是根据一些实施例的示例性半导体封装结构的截面图。为简洁起见，以下实施例中与先前参考图13A描述的元件相同或相似的元件的描述可以省略。在一些实施例中，半导体封装结构90b类似于图13A所示的半导体封装结构90a。与半导体封装结构90a相比，在封装结构90b中没有形成保护绝缘层130，因此半导体晶粒的第二表面101b暴露于环境。在一个实施例中，图13A和13B中的结构也可以是类似于图9A和9B的结构，也即由保护绝缘层110覆盖在钝化层116之上。

[0159] 根据前述实施例，半导体封装结构被设计成在半导体封装结构中制造保护结构以覆盖或封装半导体封装结构中的半导体晶粒。保护结构包括一个或多个保护绝缘层，以保护半导体晶粒免受环境影响，从而防止半导体封装结构中的半导体晶粒由于例如应力、化学物质和/或湿气而损坏。

[0160] 由于半导体晶粒的顶部保护，因此可以在随后的热处理(诸如表面安装技术(surface mount technology，SMT)制程或键合制程)期间维持半导体封装结构的可靠性。而且，形成在半导体晶粒上的RDL结构也受到保护结构的保护，以保持其电学和热学性能。另外，由于半导体晶粒的侧壁保护，当将CSP结构放置在用于执行测试过程的测试插座中时，可以防止半导体封装结构中的半导体晶粒碎裂。

[0161] 此外，根据一些实施例，保护绝缘层覆盖RDL结构并且钝化层，半导体晶粒的第二表面和第三表面可以提供对半导体封装结构的更好的保护能力。另外，可以减少或避免用于RDL结构对准的半导体晶粒移位或位移。因此，可以提高半导体封装结构的可靠性。

[0162] 本领域的技术人员将容易地观察到，在保持本发明教导的同时，可以做出许多该装置和方法的修改和改变。因此，上述公开内容应被解释为仅由所附权利要求书的界限和范围所限制。

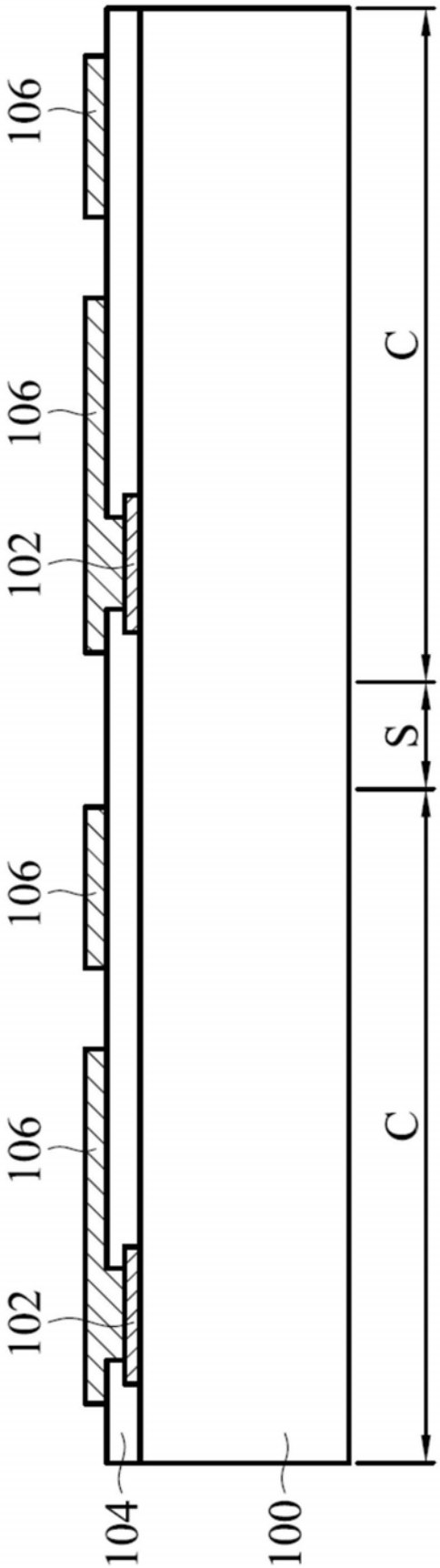


图1A

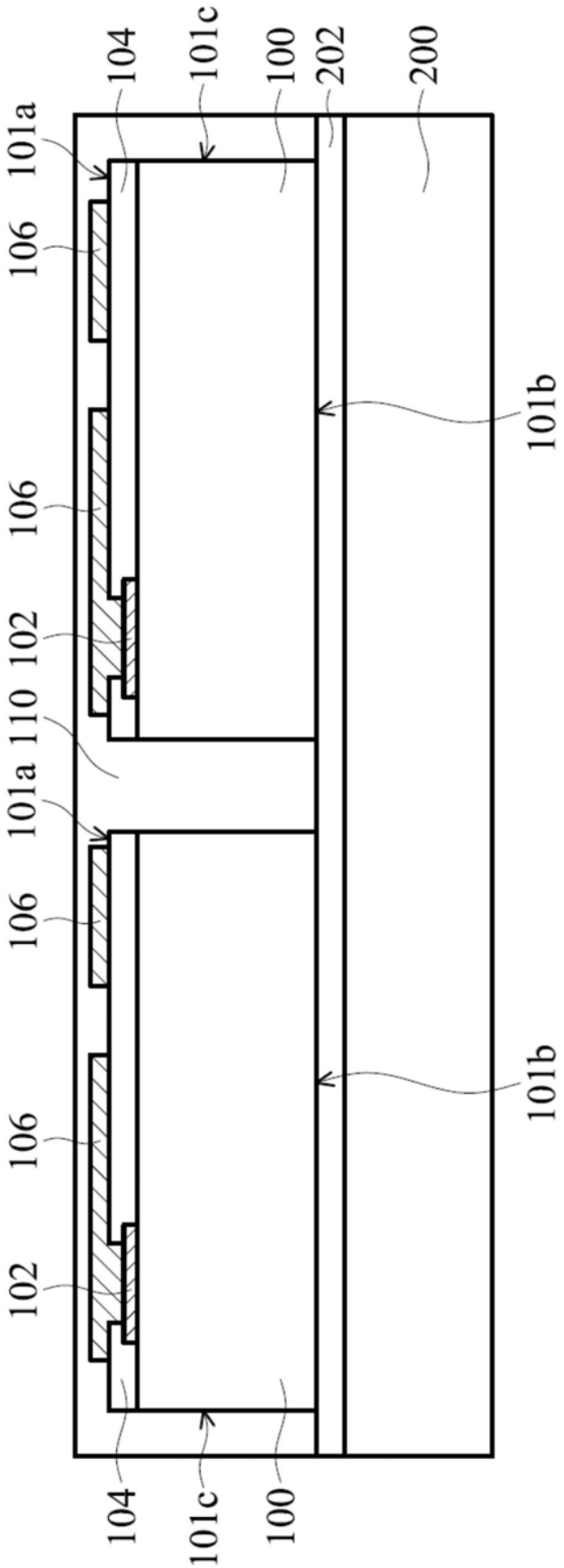

104
101c
100
202
200
101a
106
101b
106
102
110
101a
106
101b
106
102
104
101c
100

图1B

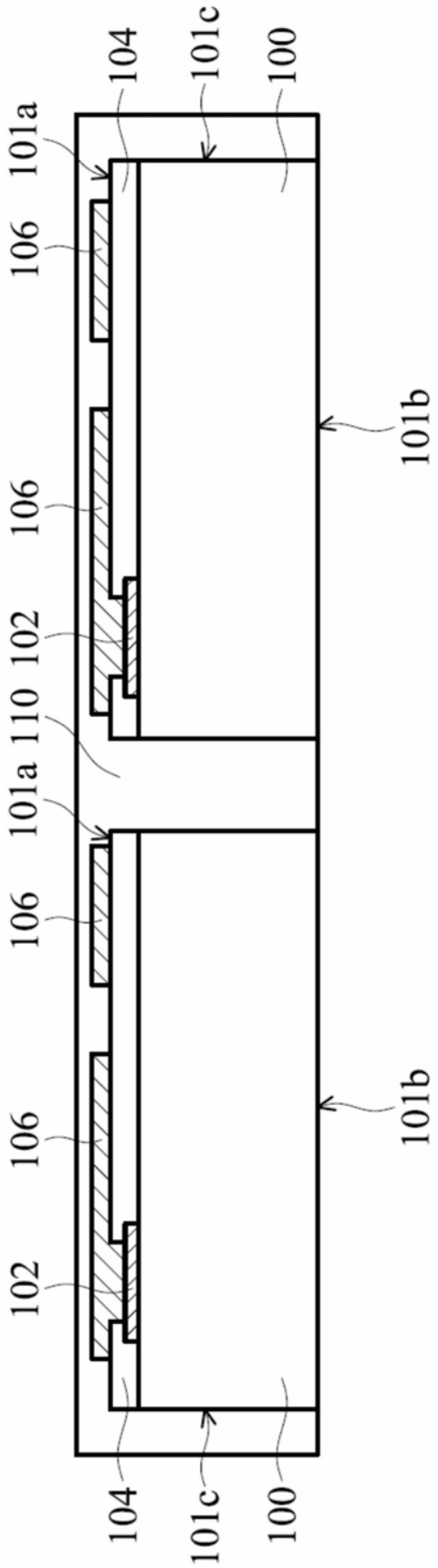

104
101c
100
101a
106
101b
106
102
110
101a
106
101b
106
102
104
101c
100

图1C

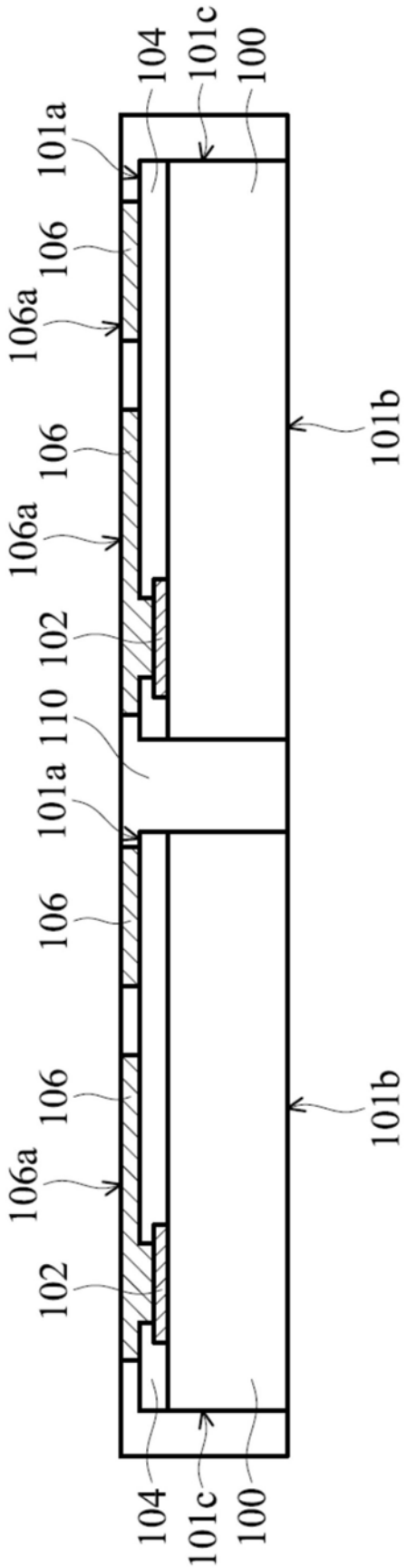

104
101c
100
101a
106
106a
101b
106
106a
102
110
101a
106
106
106a
102
104
101c
100

图1D

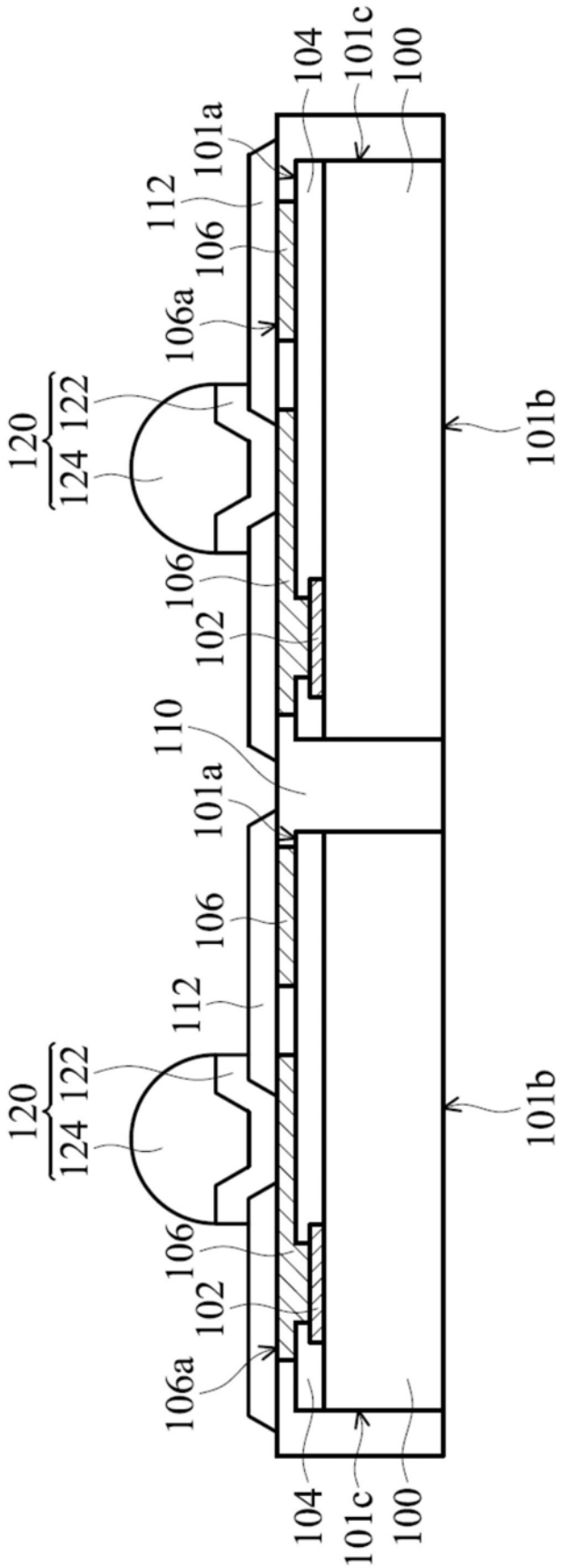

104
101c
100
101a
112
106
106a
120
122
124
101b
106
102
110
101a
106
112
120
122
124
101b
106
102
106a
104
101c
100

图1E

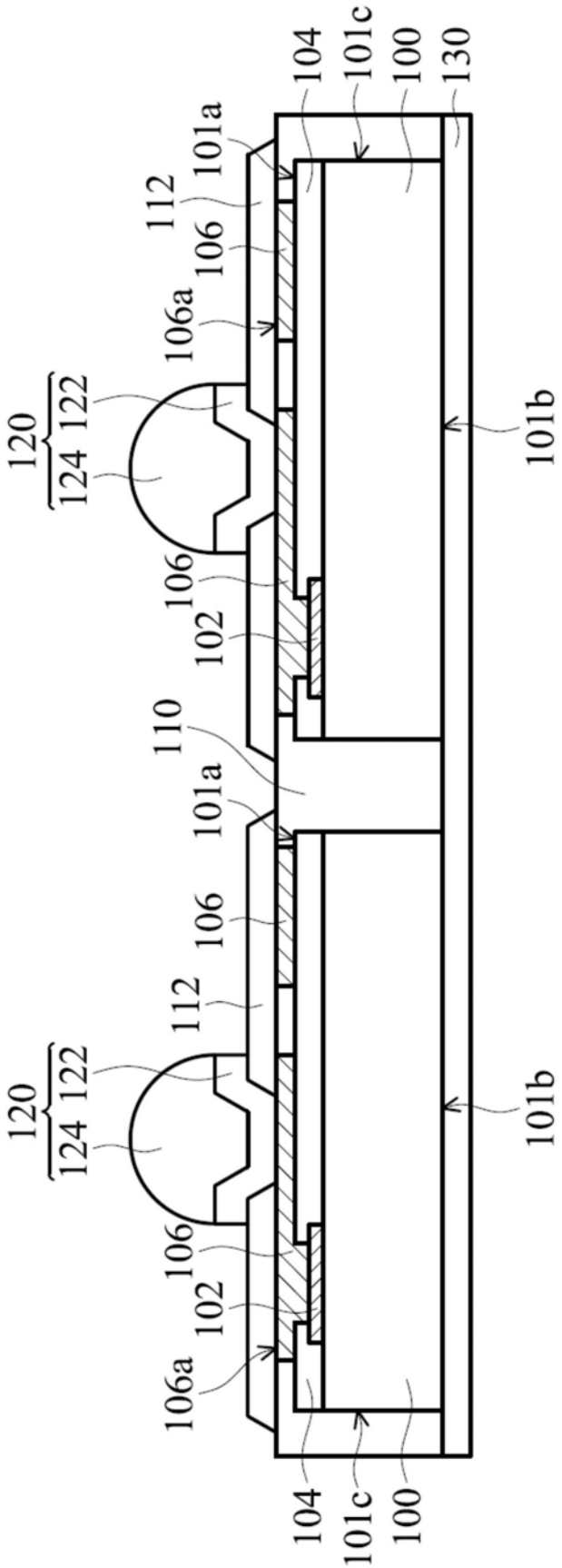

104
101c
100
130
101a
112
106
106a
120
122
124
101b
106
102
110
101a
106
112
120
122
124
101b
106
102
106a
104
101c
100

图1F

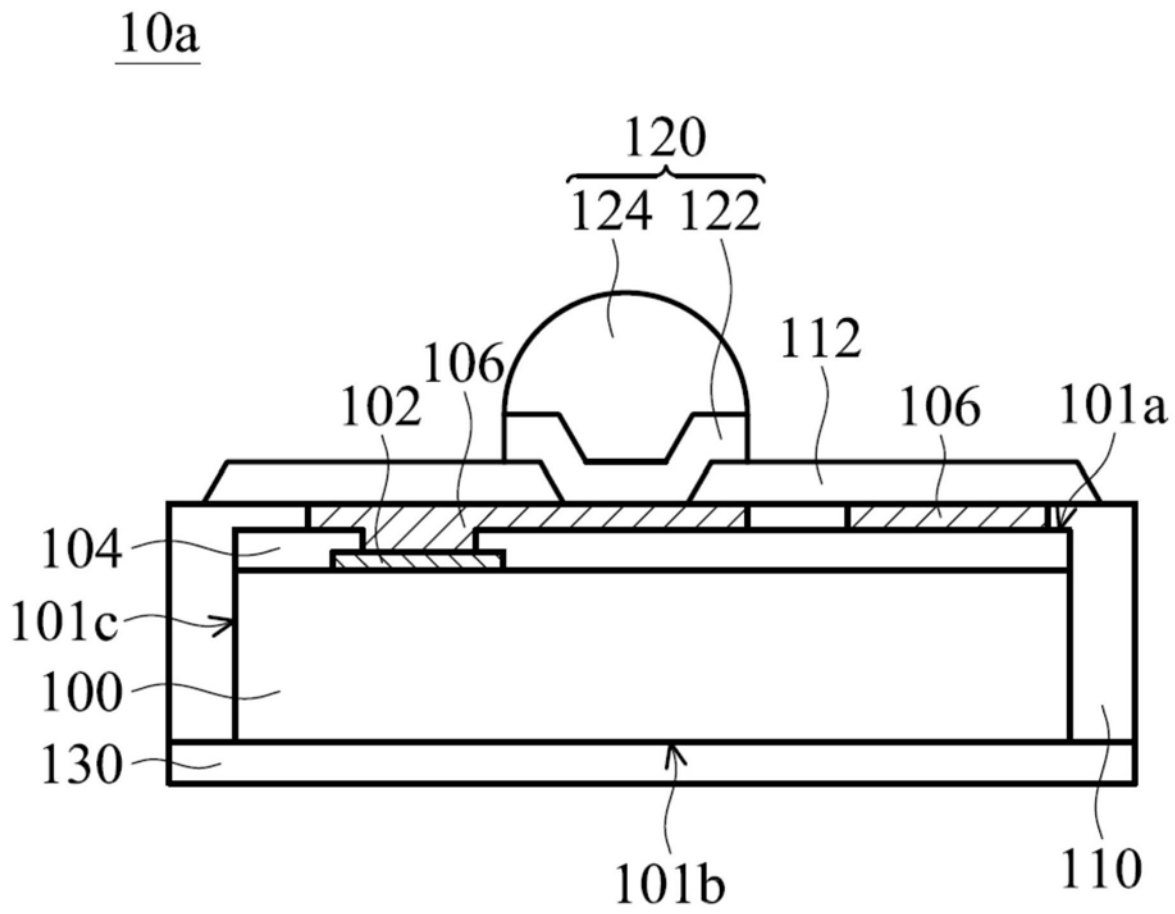


图2A

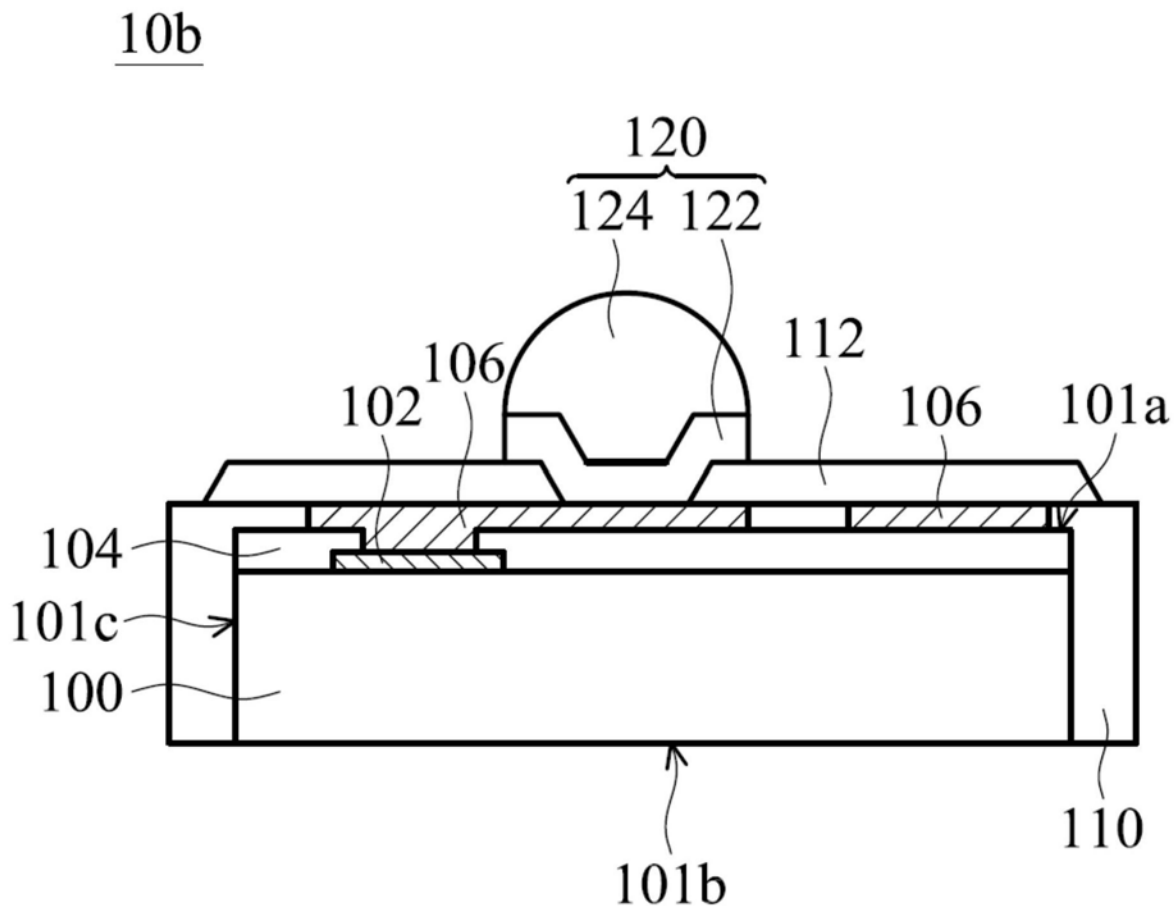


图2B

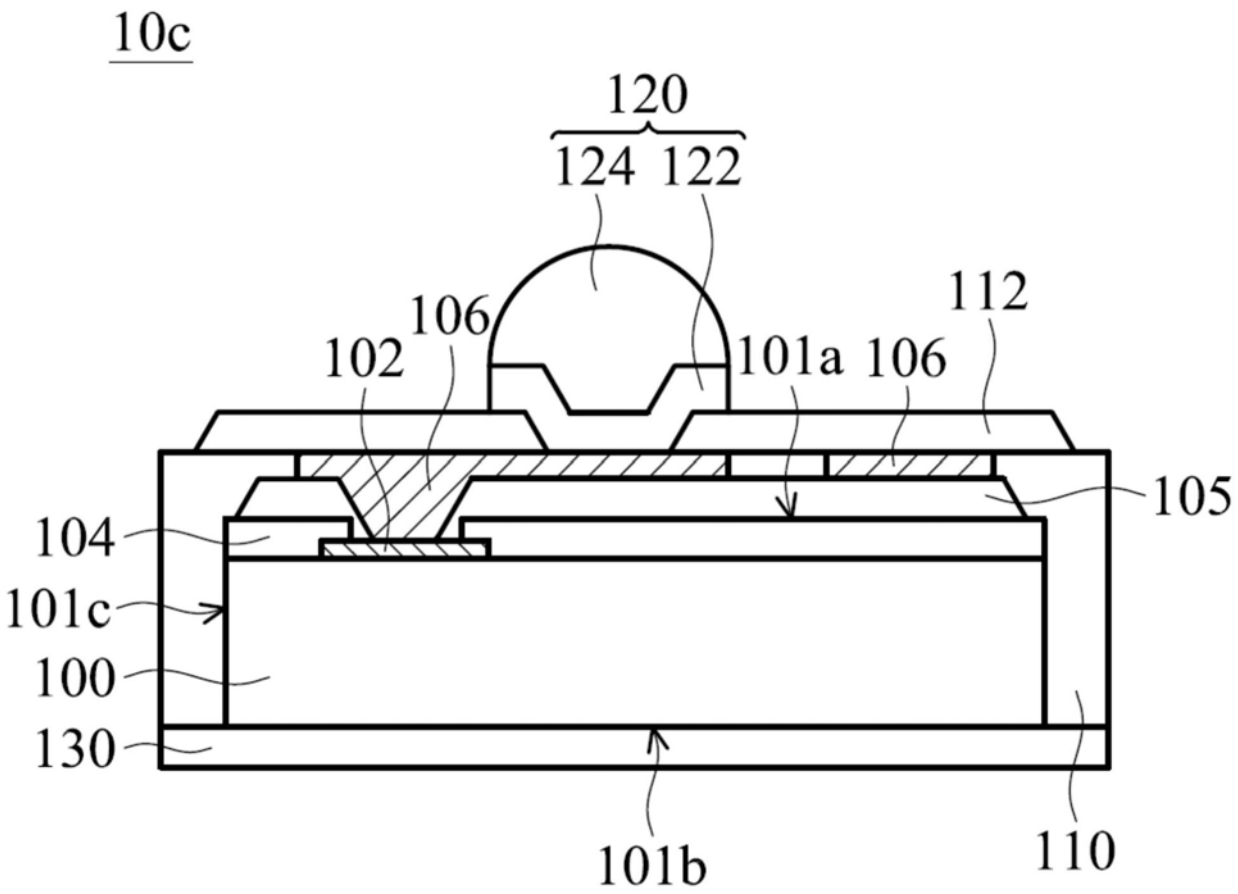

10c
120
124 122
106
102
101a 106
112
105
104
101c
100
130
101b
110

图3A

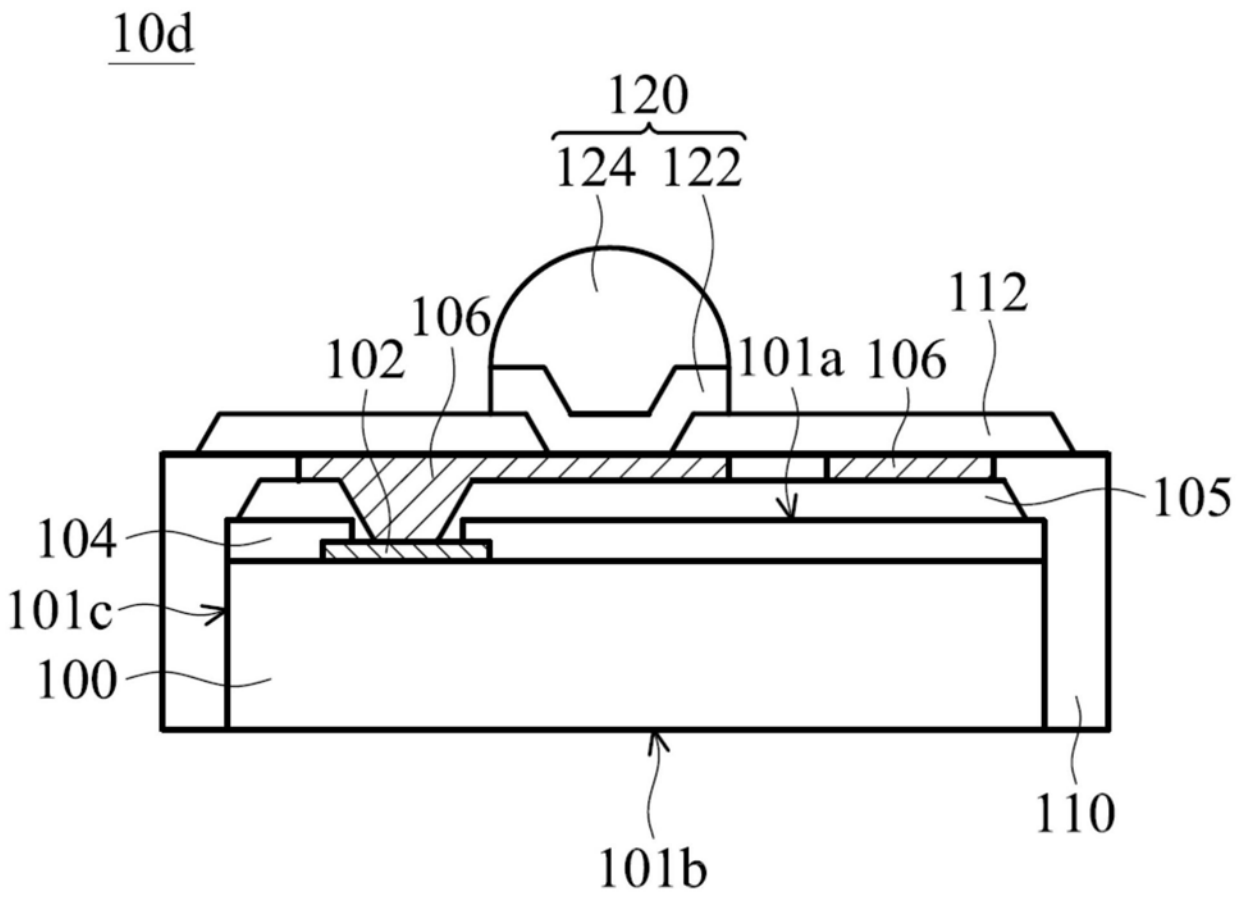


图3B

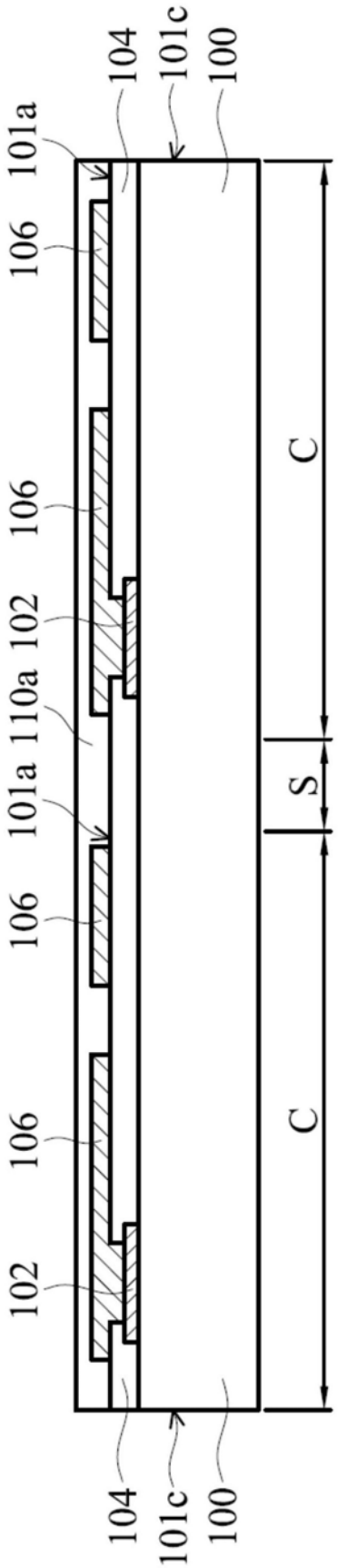

104
101c
100
101a
106
106
102
110a
101a
106
106
102
104
101c
100
C
S
C

图4A

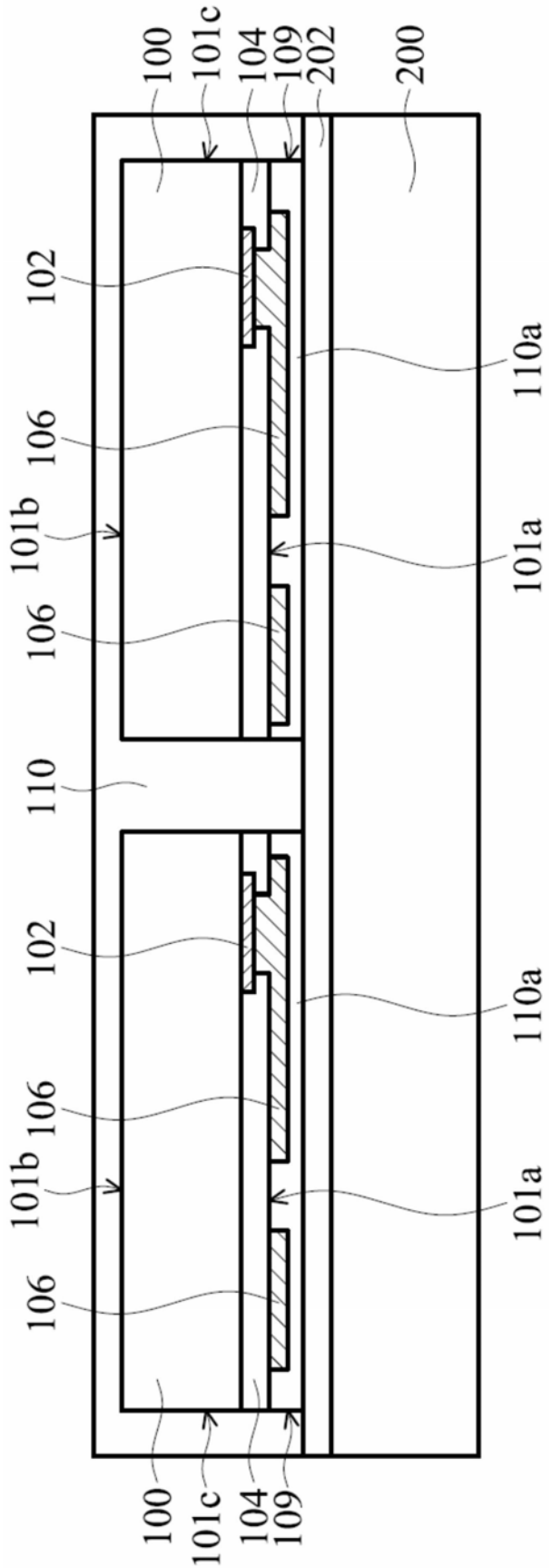

100
101c
104
109
202
200
102
110a
106
101b
101a
106
110
102
110a
106
101b
101a
106
100
101c
104
109

图4B

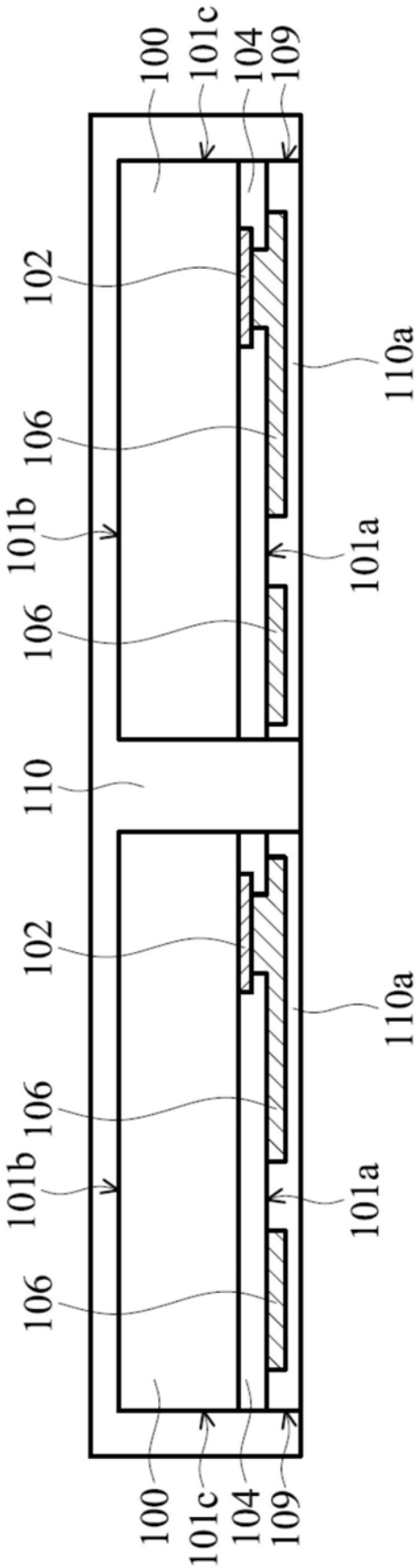

100
101c
104
109
102
110a
106
101b
101a
106
110
102
110a
106
101b
101a
106
100
101c
104
109

图4C

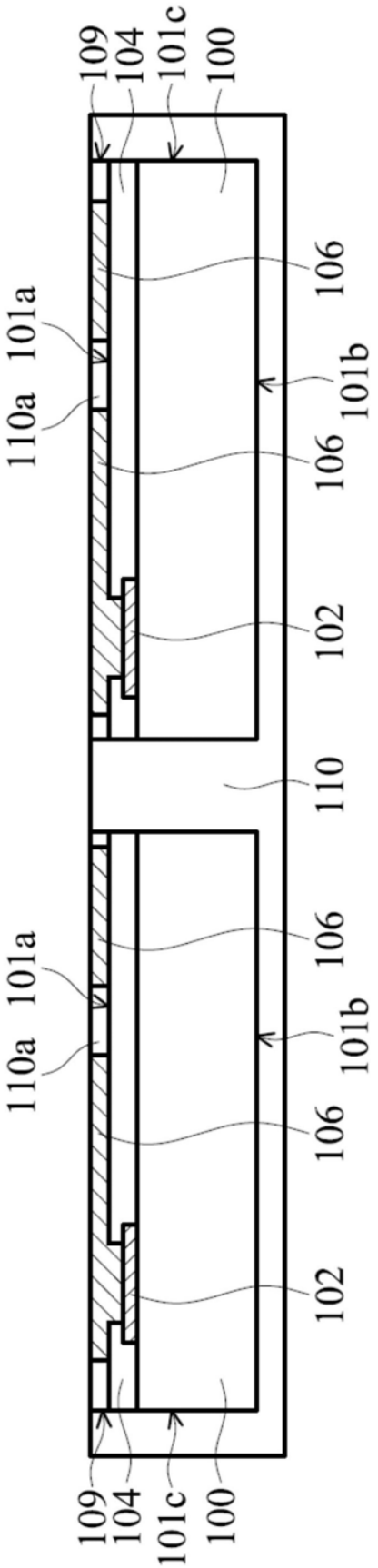

109
104
101c
100
106
101a
101b
110a
106
102
110
106
101a
101b
110a
106
102
109
104
101c
100

图4D

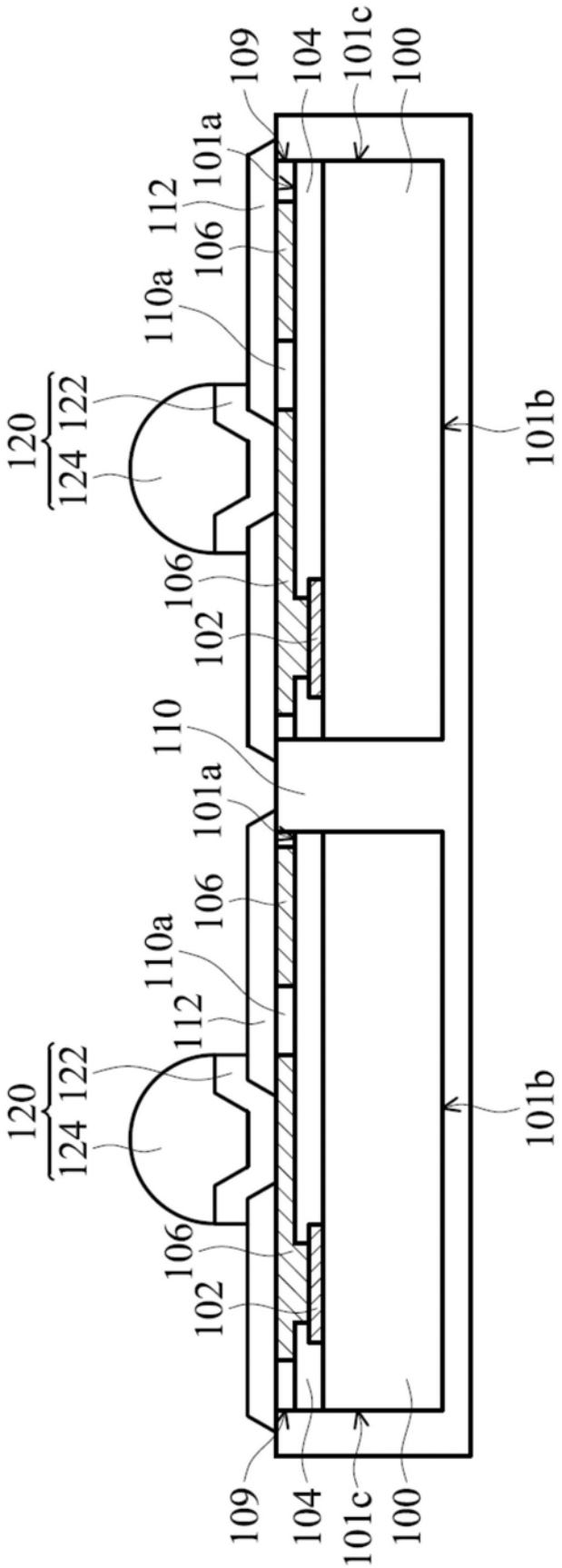

109
104
101c
100
101a
112
106
110a
120
122
124
101b
106
102
110
101a
106
110a
112
120
122
124
101b
106
102
109
104
101c
100

图4E

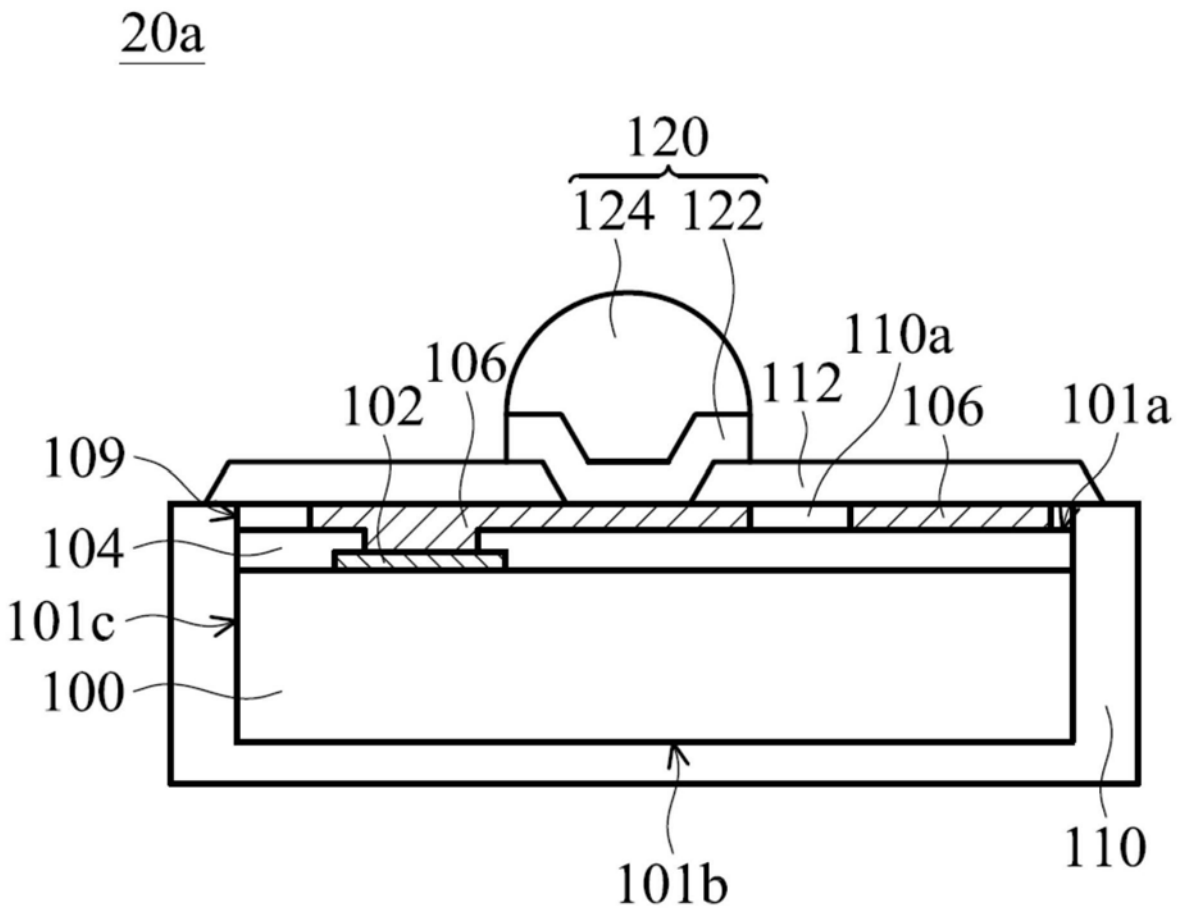

20a
120
124
122
106
102
110a
112
106
101a
109
104
101c
100
101b
110

图5A

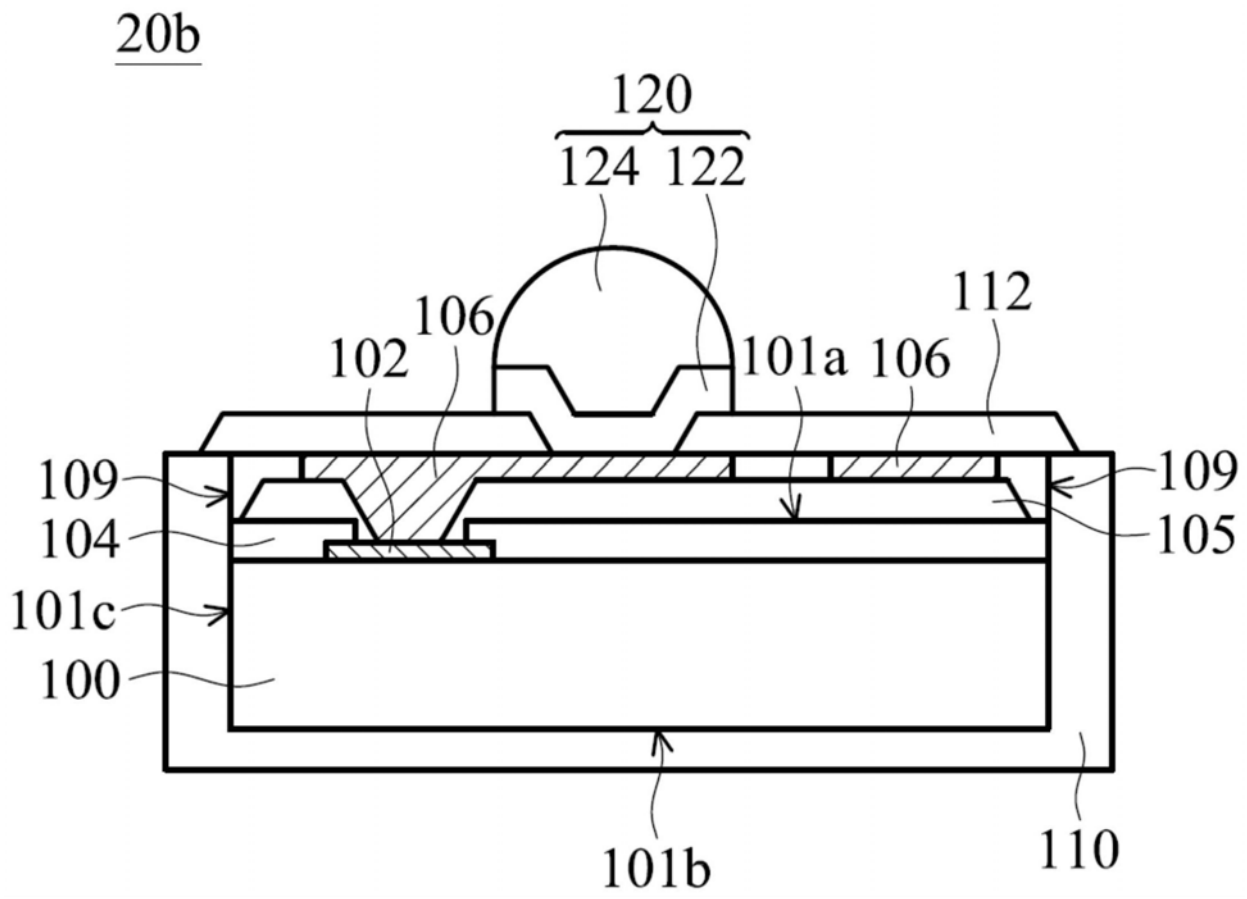

20b
120
124 122
106
102
101a 106
112
109
109
104
105
101c
100
101b
110

图5B

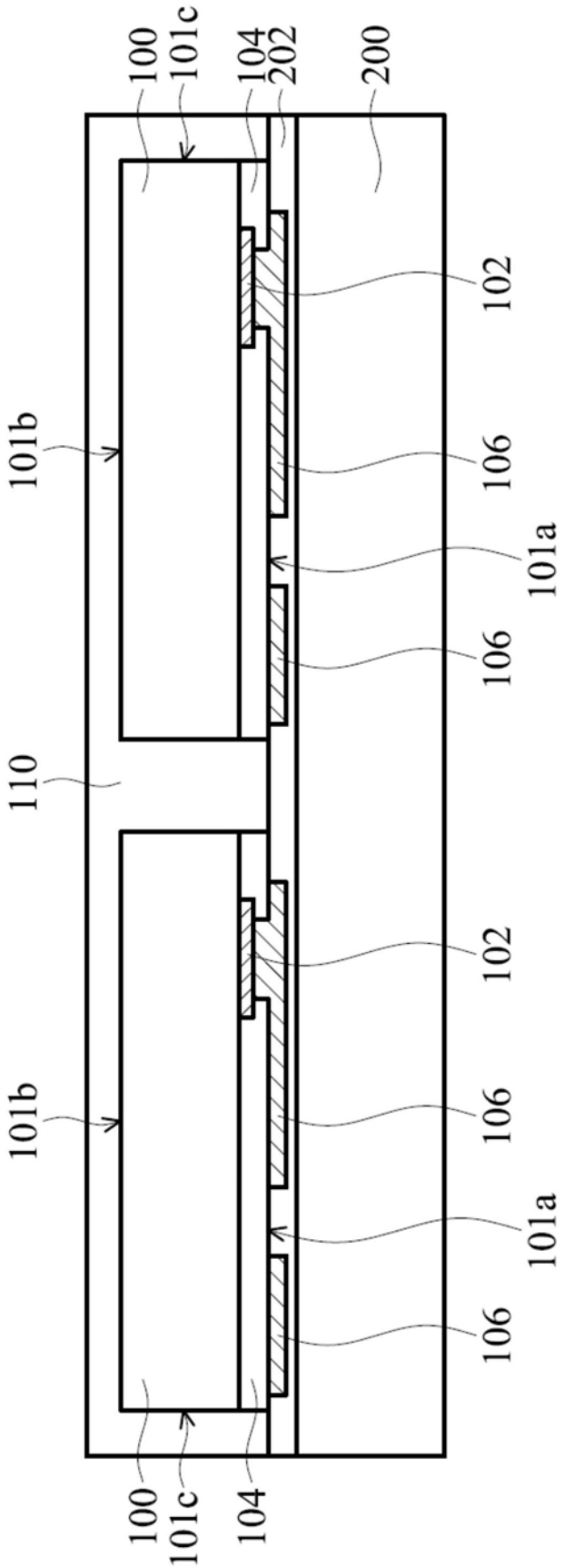

100
101c
104
202
200
102
101b
106
101a
106
110
102
101b
106
101a
106
100
101c
104

图6A

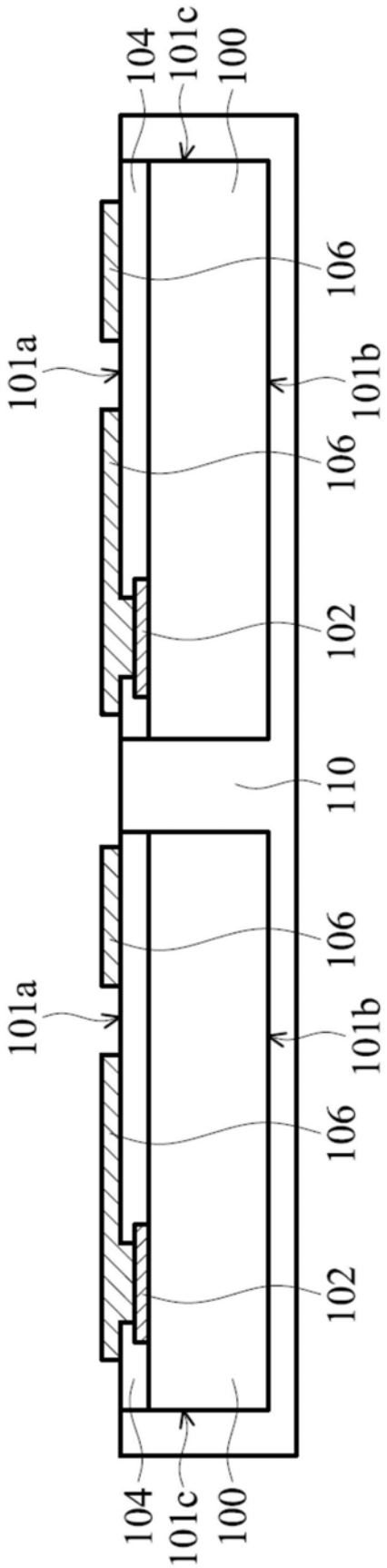

104
101c
100
106
101a
101b
106
102
110
106
101a
101b
106
102
104
101c
100

图6B

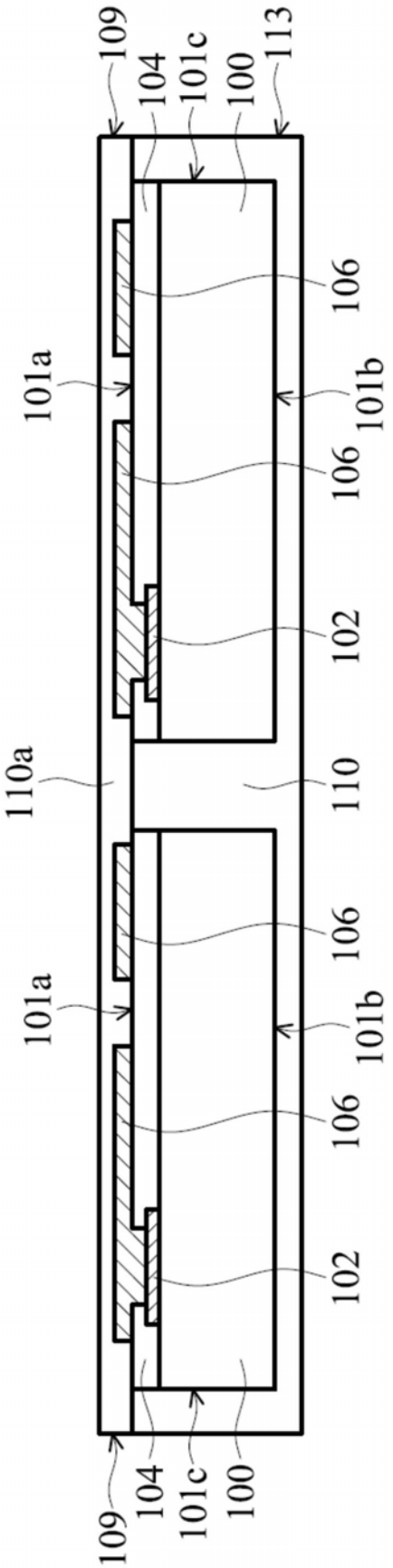

109
104
101c
100
113
106
101a
101b
106
102
110a
110
106
101a
101b
106
102
109
104
101c
100

图6C

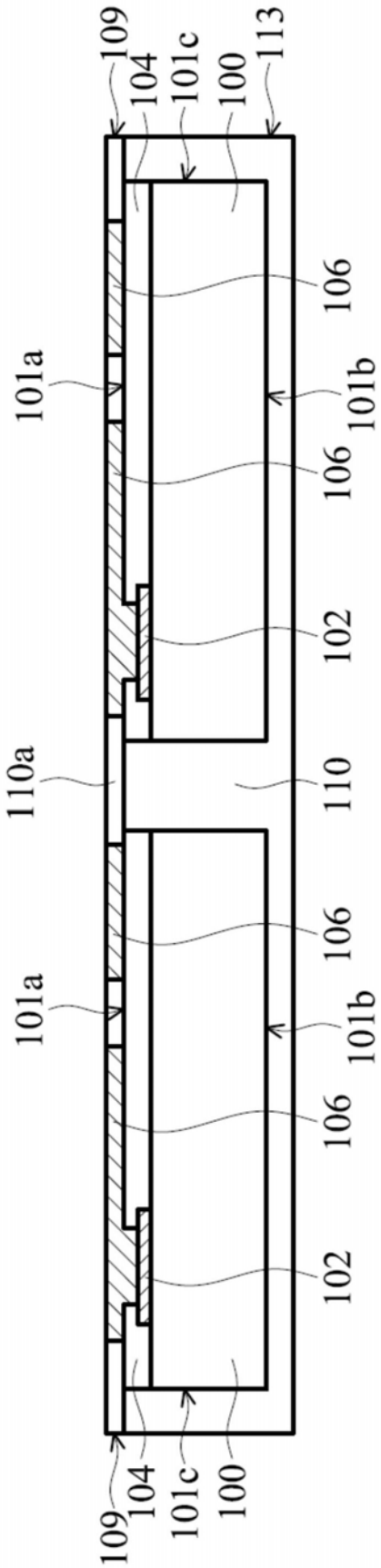

109
104
101c
100
113
106
101a
101b
106
102
110a
110
106
101a
101b
106
102
109
104
101c
100

图6D

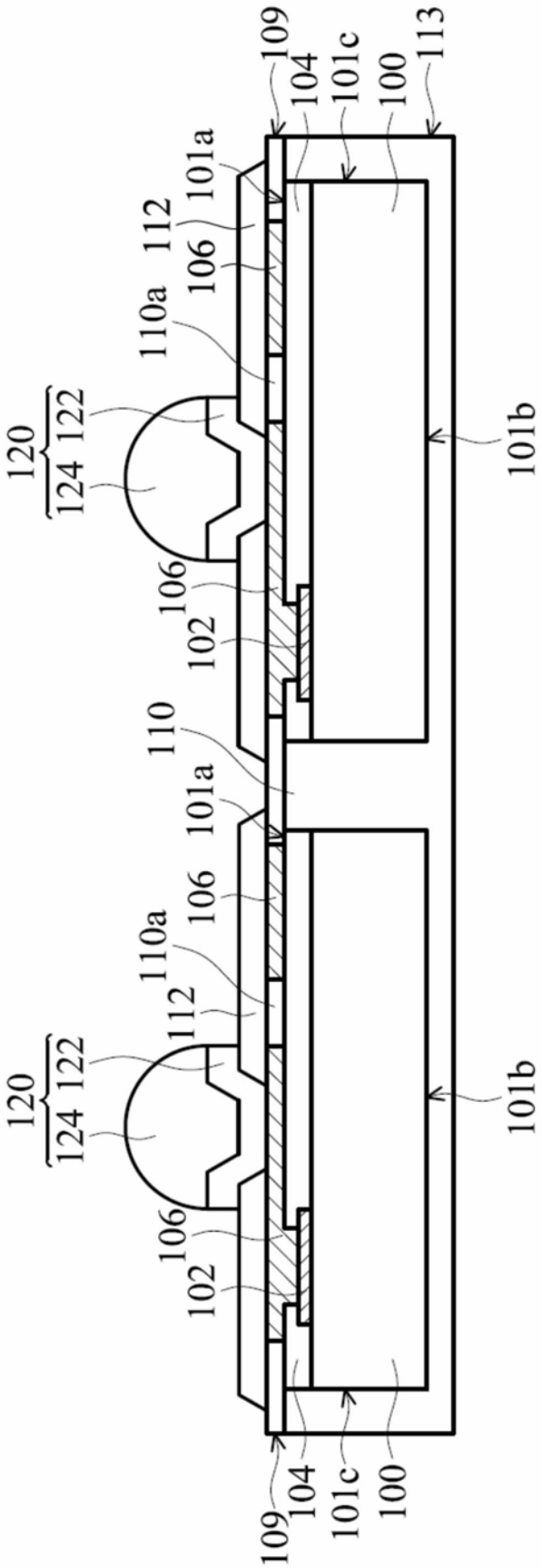

109
104
101c
100
113
101a
112
106
110a
120
122
124
101b
106
102
110
101a
106
110a
112
120
122
124
101b
106
102
109
104
101c
100

图6E

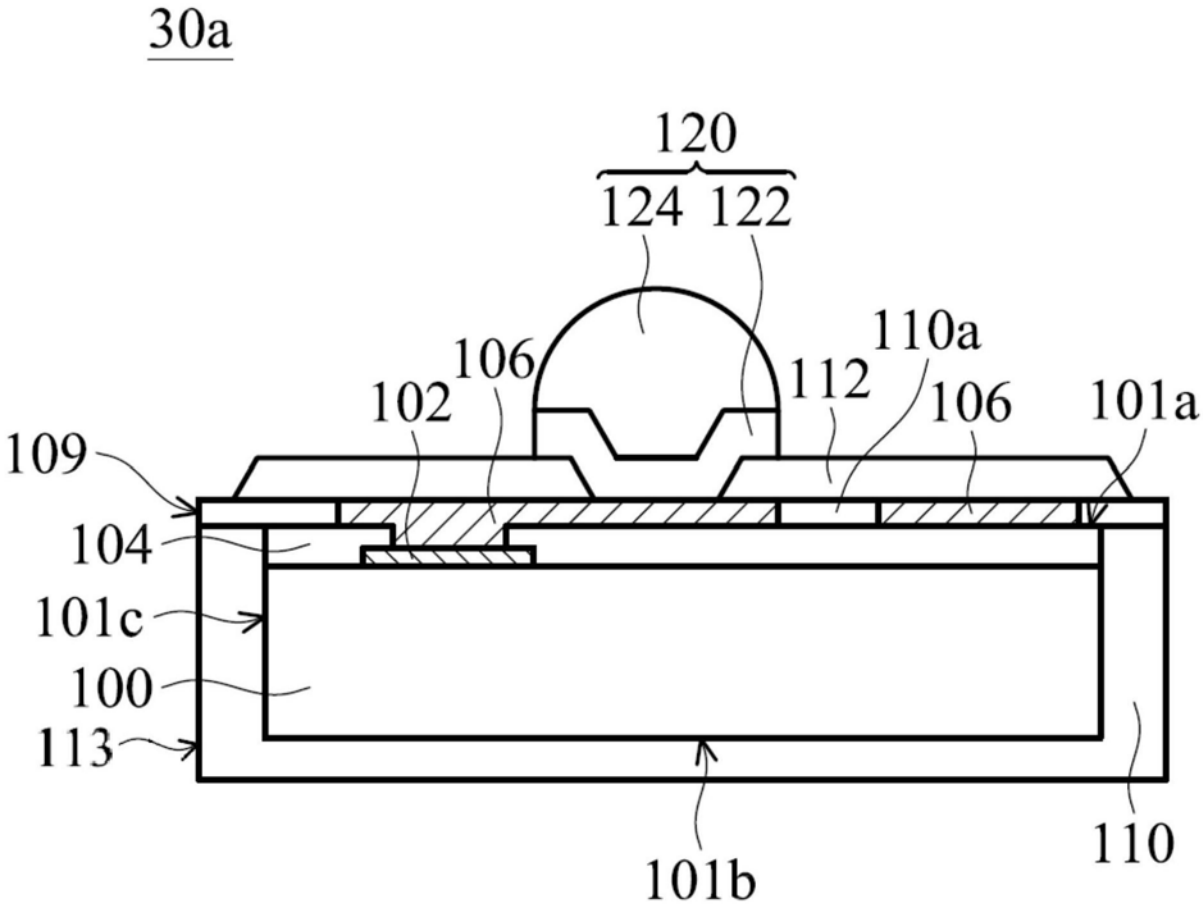

30a
120
124
122
106
102
112
110a
106
101a
109
104
101c
100
113
101b
110

图7A

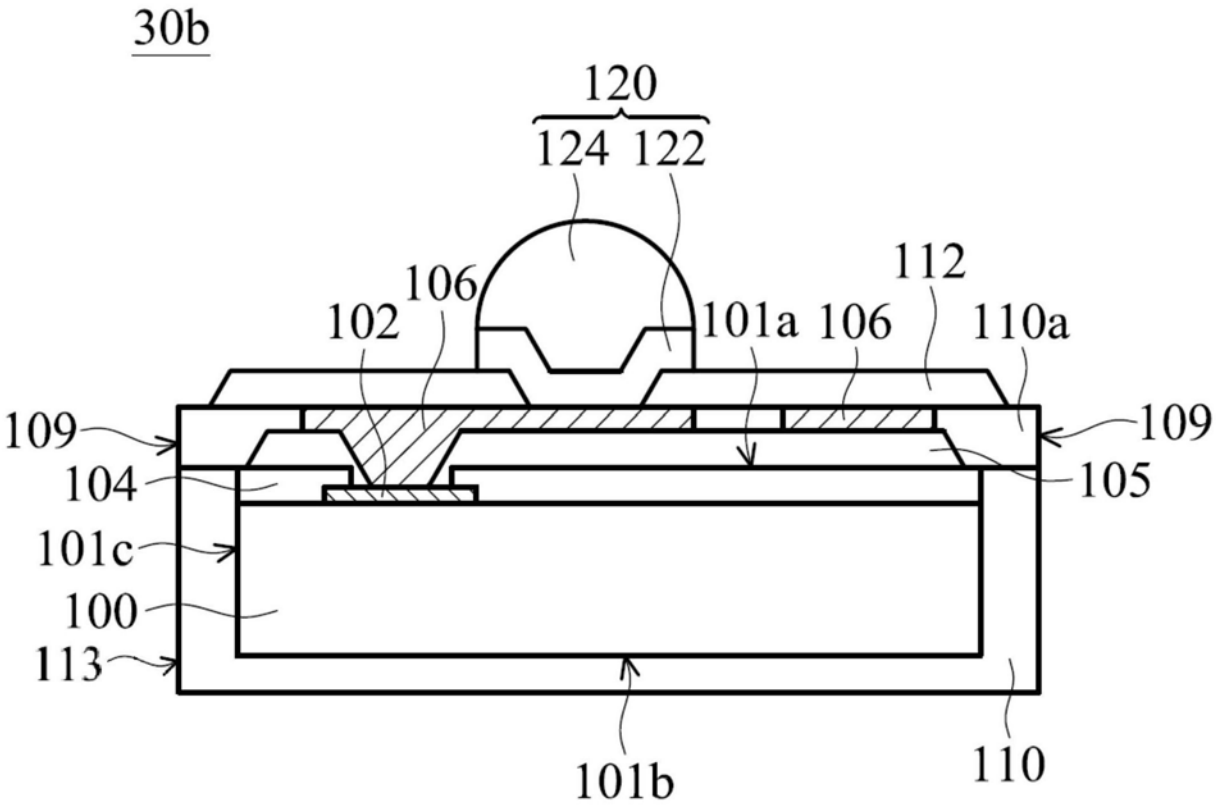

30b
120
124
122
106
102
101a
106
112
110a
109
109
104
105
101c
100
113
101b
110

图7B

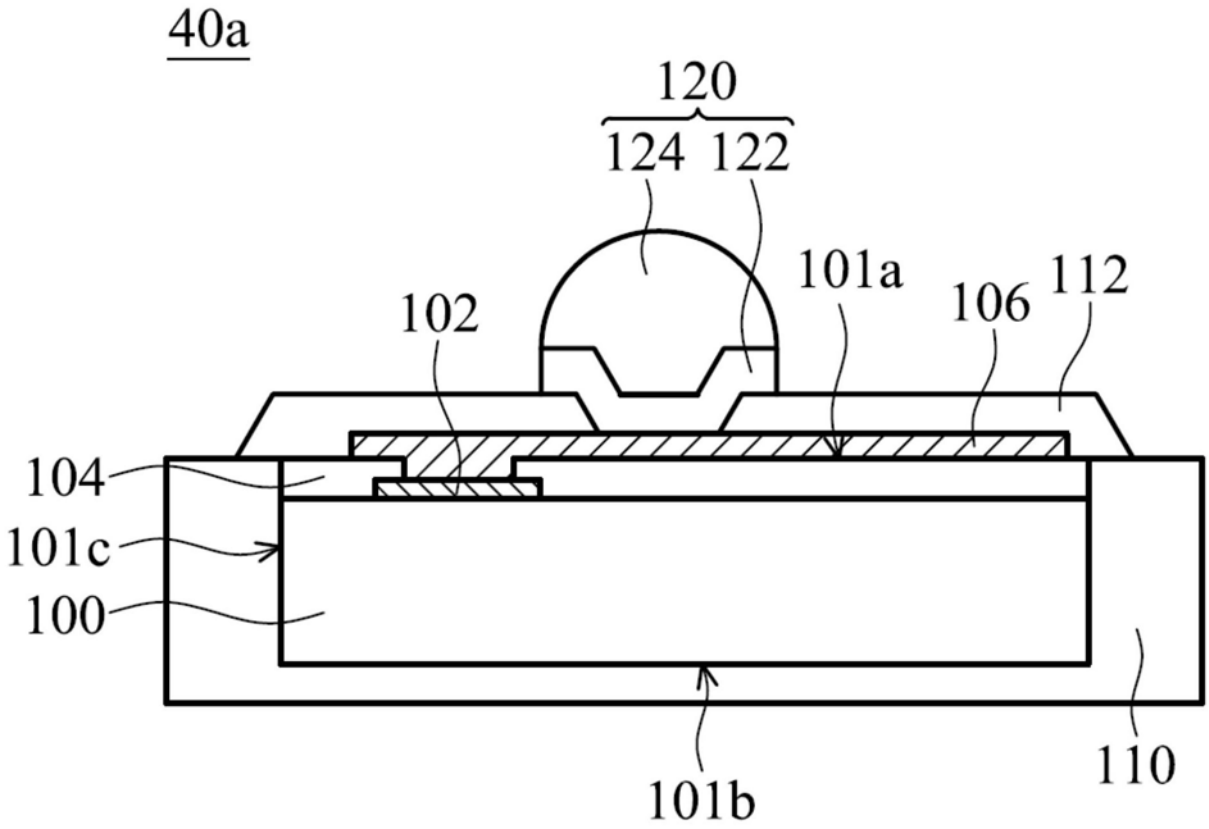


图8A

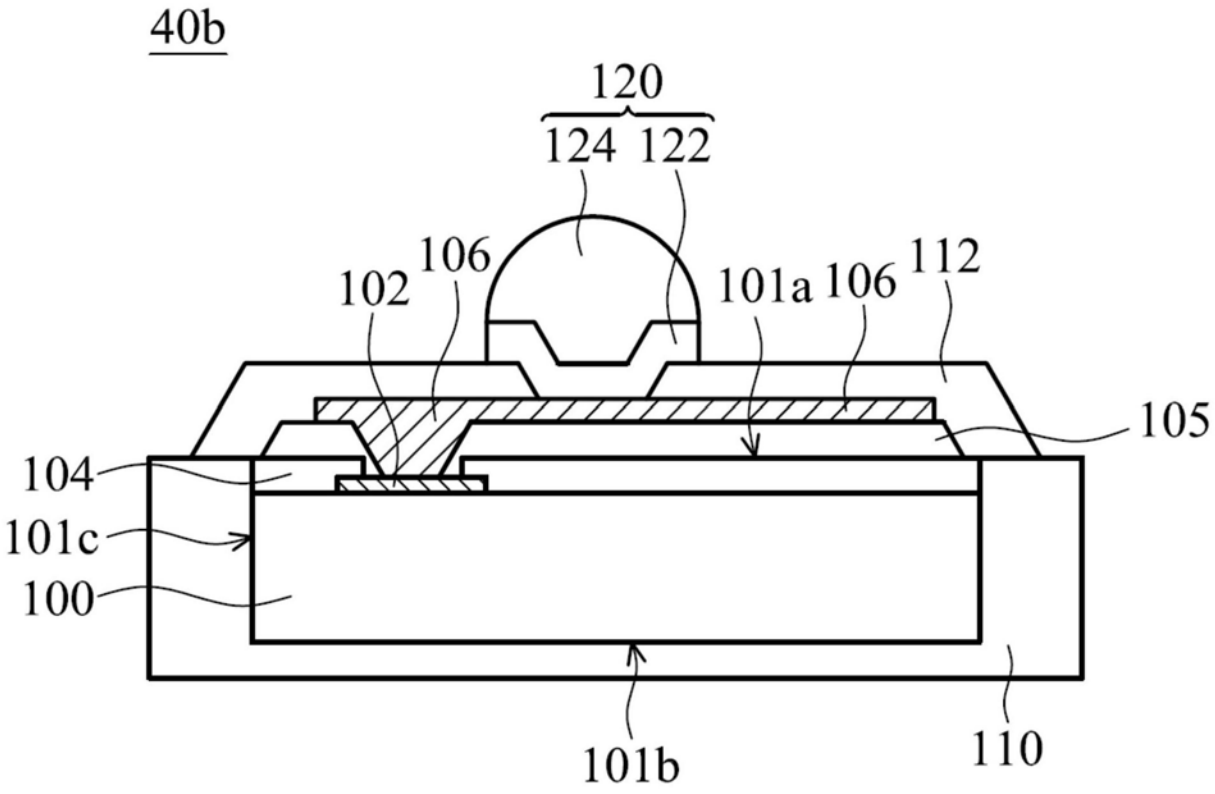

40b
120
124 122
102
106
101a
106
112
105
104
101c
100
101b
110

图8B

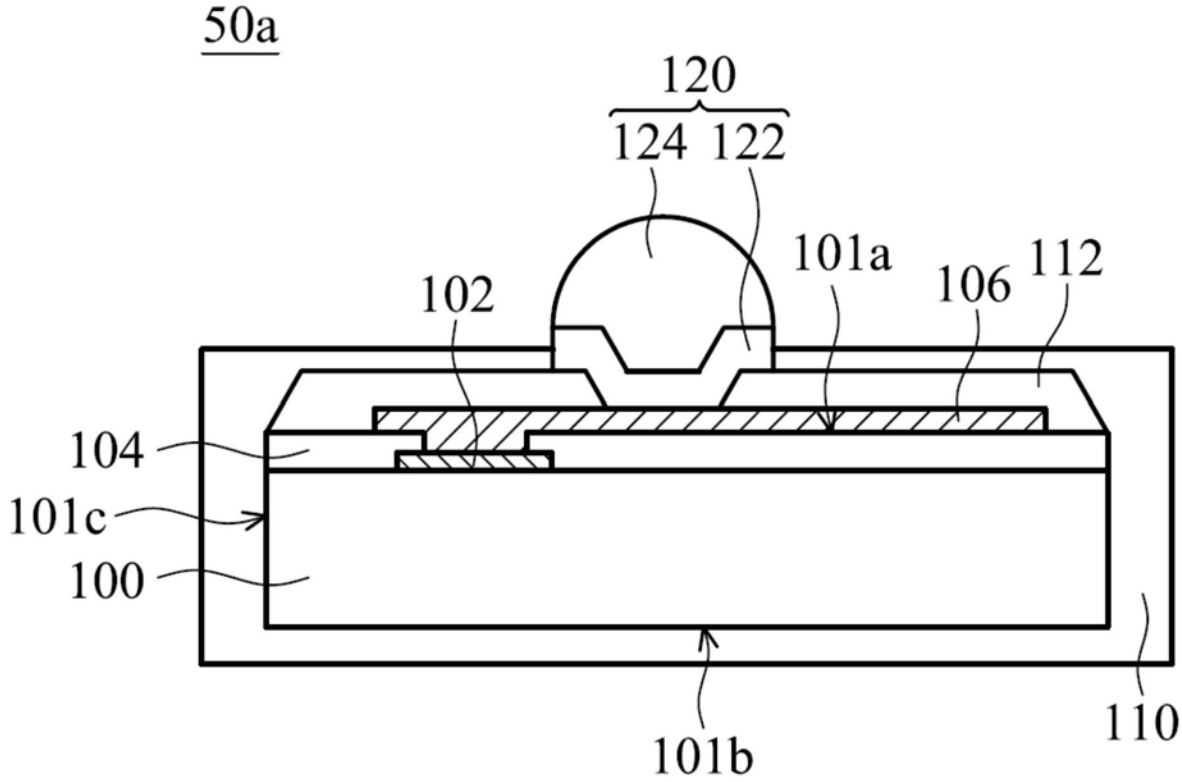

50a
120
124 122
101a
102
106
112
104
101c
100
101b
110

图9A

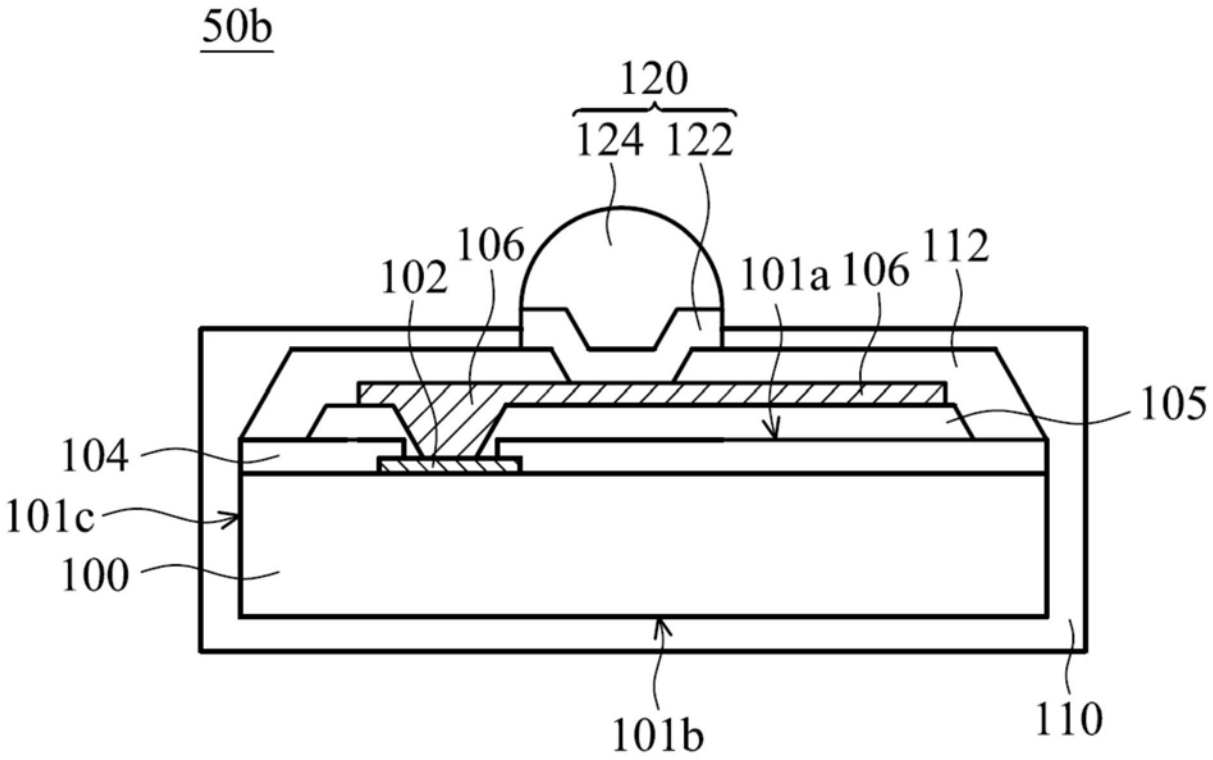

50b
120
124 122
102
106
101a
106
112
105
104
101c
100
101b
110

图9B

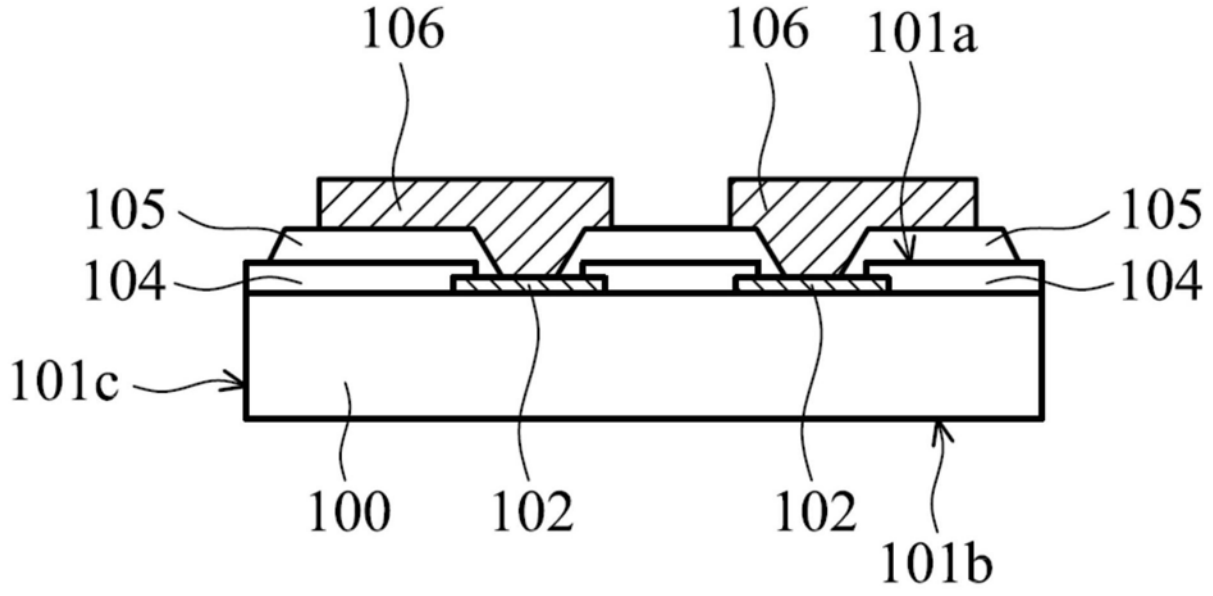

106
106
101a
105
105
104
104
101c
100
102
102
101b

图10A

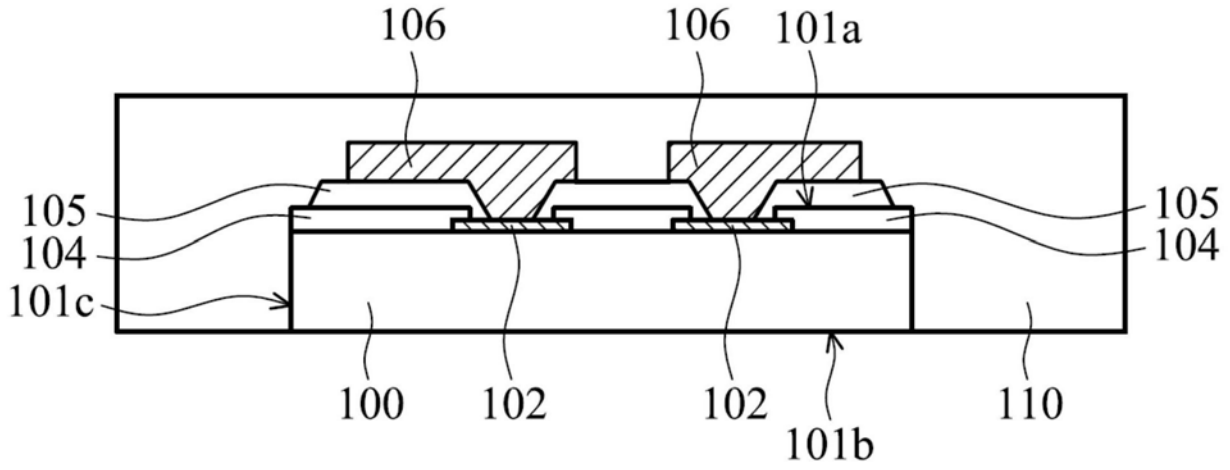

106
106
101a
105
104
101c
105
104
100
102
102
101b
110

图10B

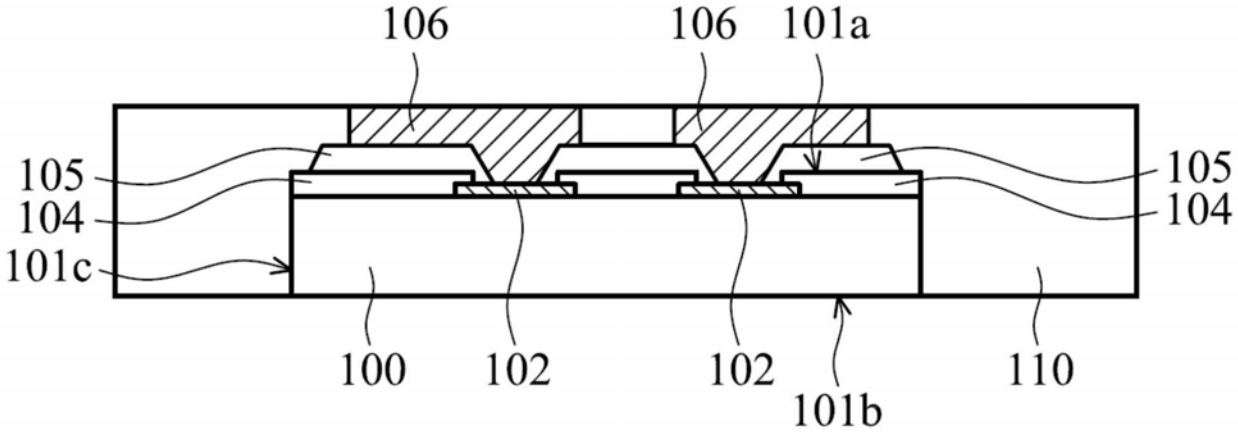

106
106
101a
105
104
101c
105
104
100
102
102
101b
110

图10C

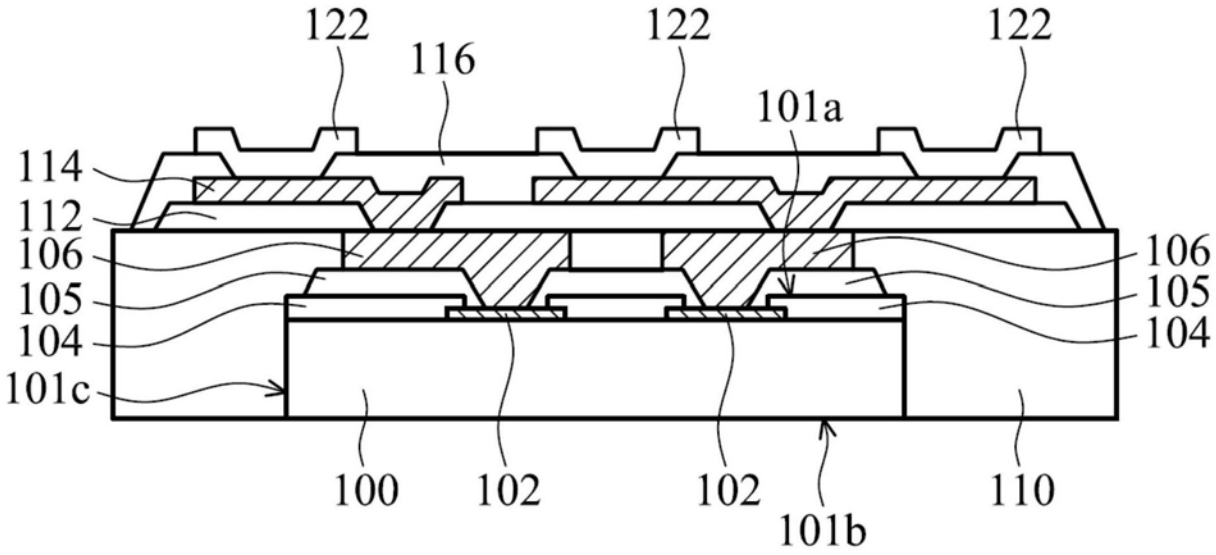

122
116
122
122
101a
114
112
106
105
104
101c
106
105
104
100
102
102
101b
110

图10D

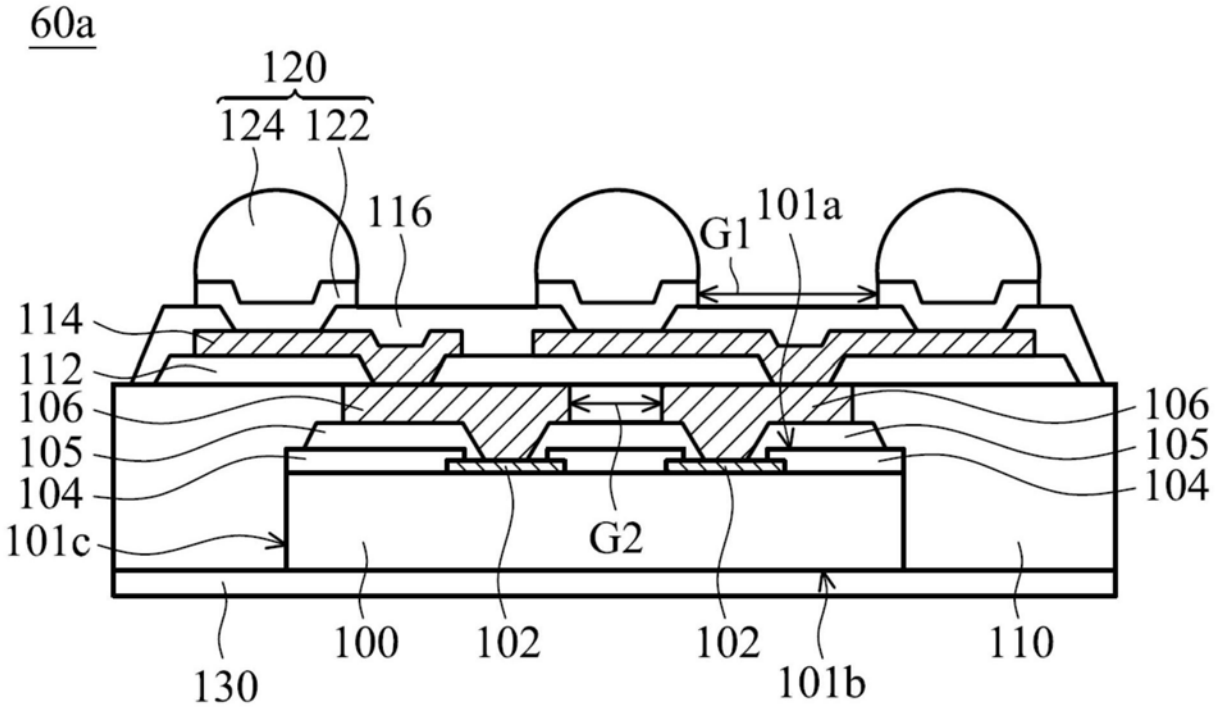

60a
120
124 122
116
G1
101a
114
112
106
105
104
101c
G2
106
105
104
130
100
102
102
101b
110

图10E

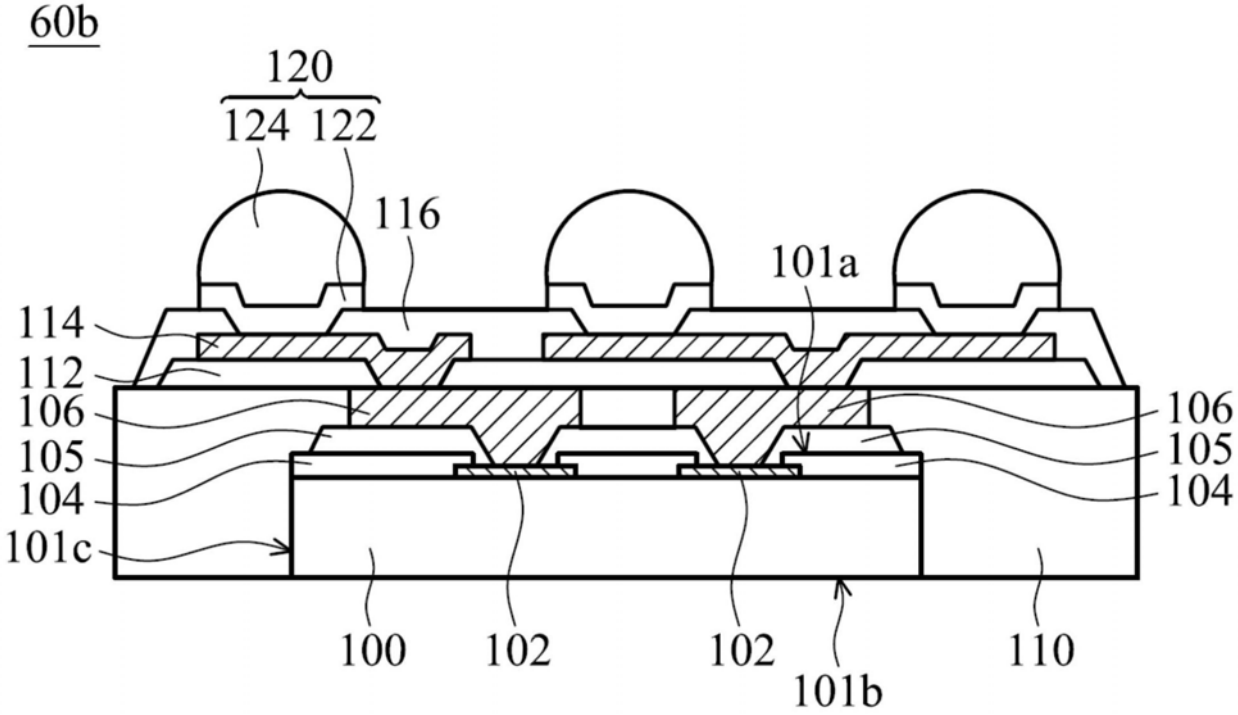

60b
120
124 122
116
101a
114
112
106
105
104
101c
106
105
104
100
102
102
101b
110

图10F

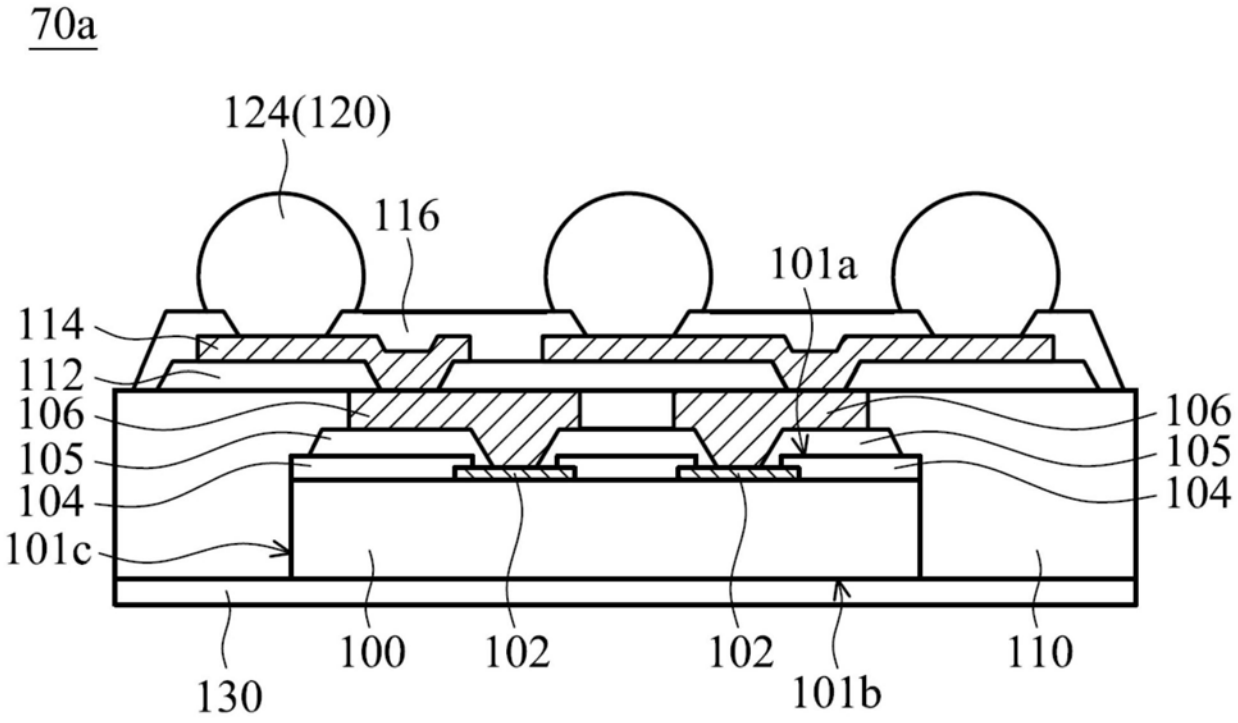

70a
124(120)
116
101a
114
112
106
105
104
101c
106
105
104
130
100
102
102
101b
110

图11A

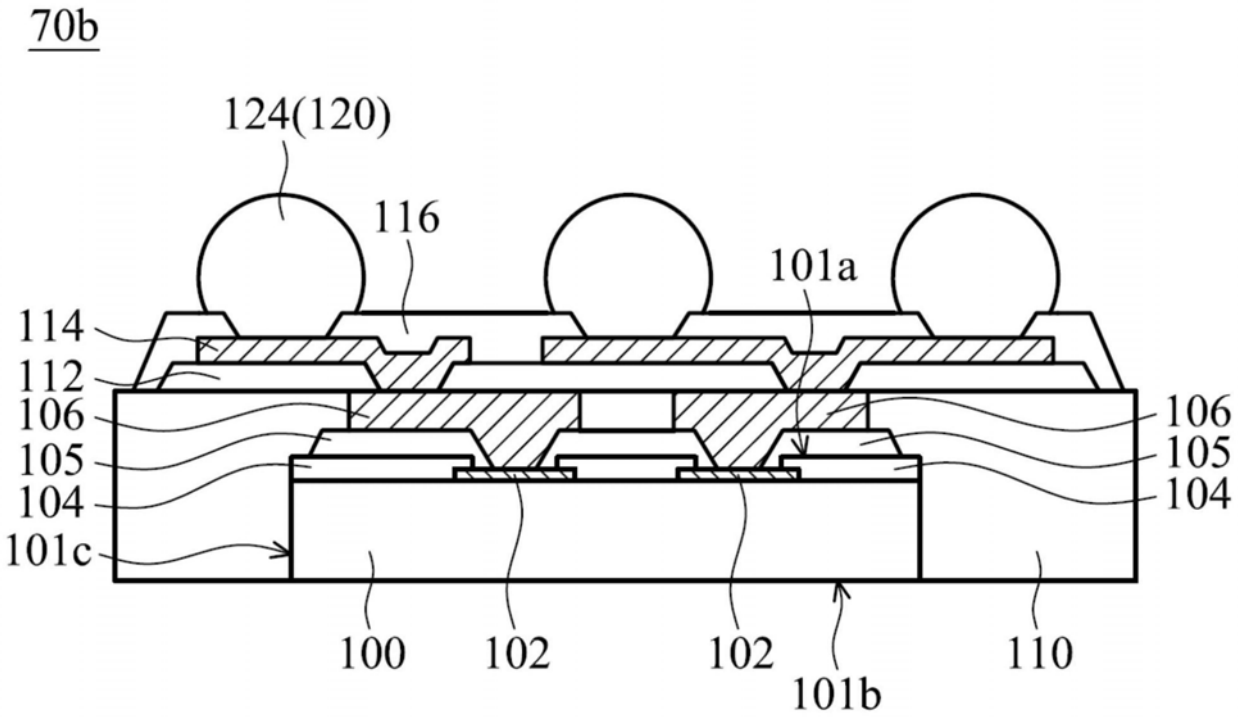

70b
124(120)
116
101a
114
112
106
105
104
101c
106
105
104
100
102
102
101b
110

图11B

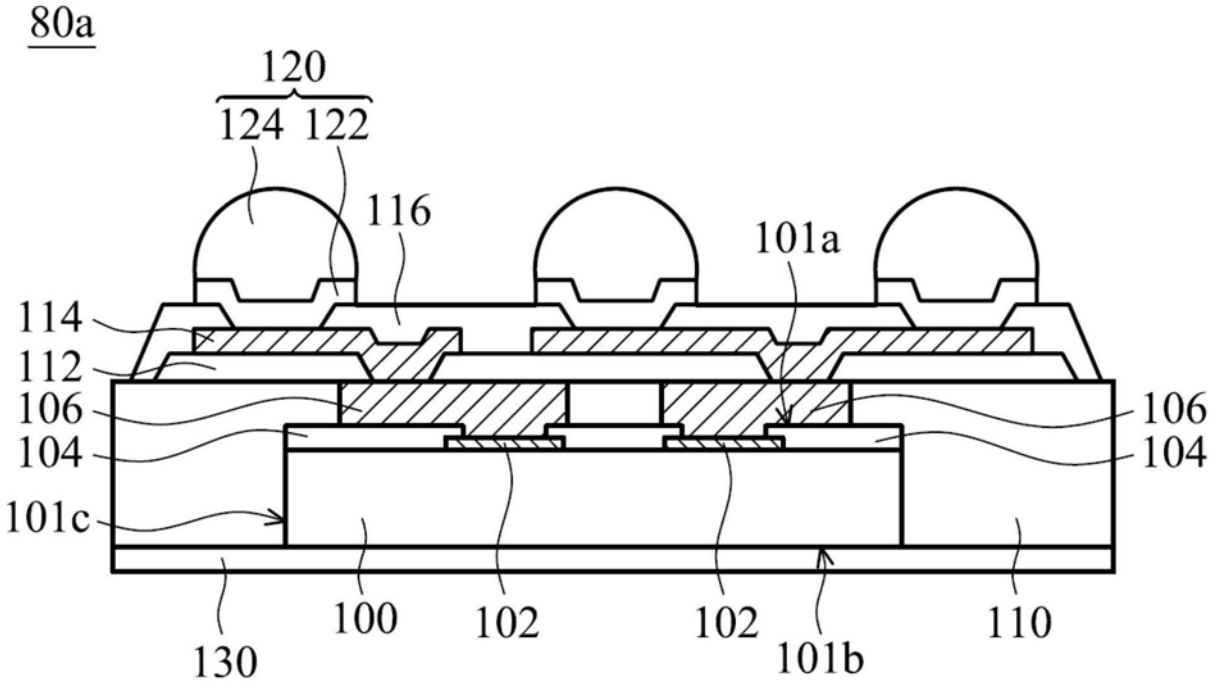

80a
120
124 122
116
101a
114
112
106
104
101c
106
104
130
100
102
102
101b
110

图12A

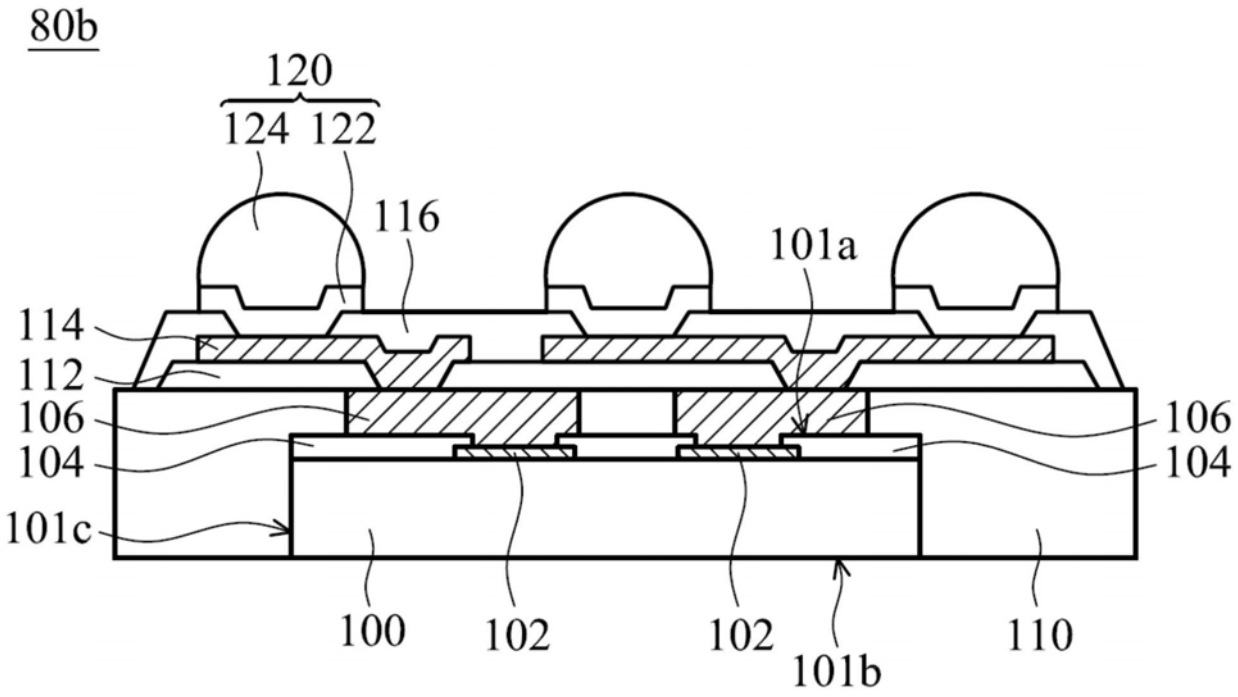

80b
120
124 122
116
101a
114
112
106
104
101c
106
104
100
102
102
101b
110

图12B

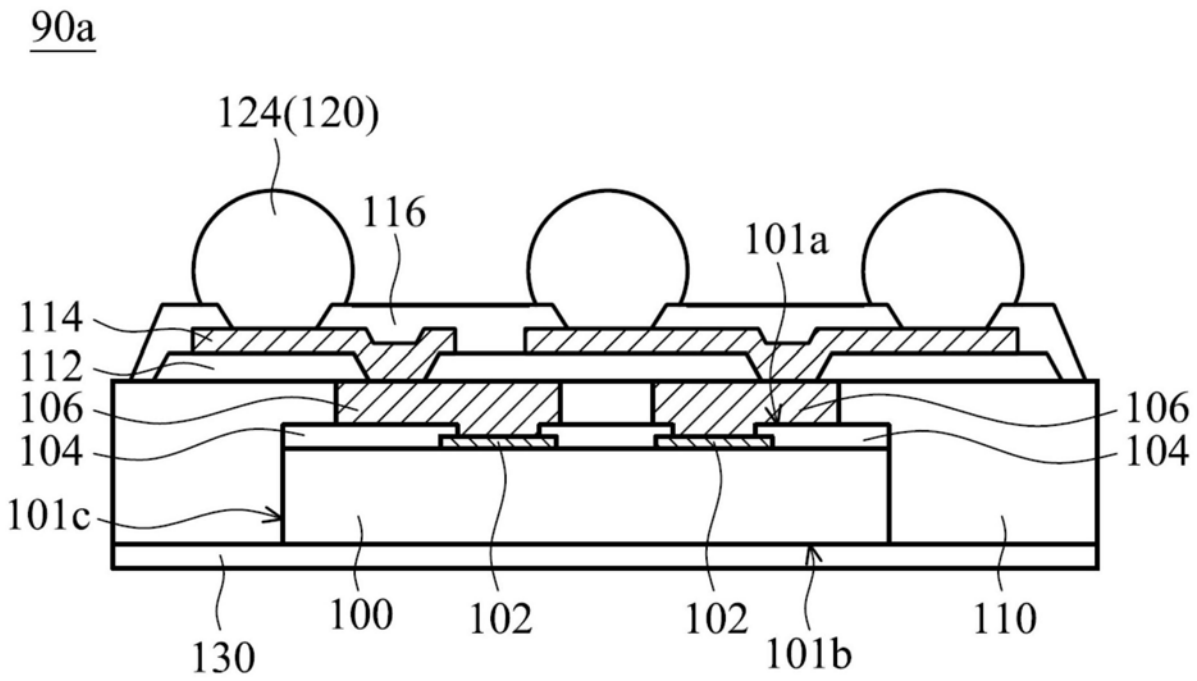

90a
124(120)
116
101a
114
112
106
104
101c
106
104
130
100
102
102
101b
110

图13A

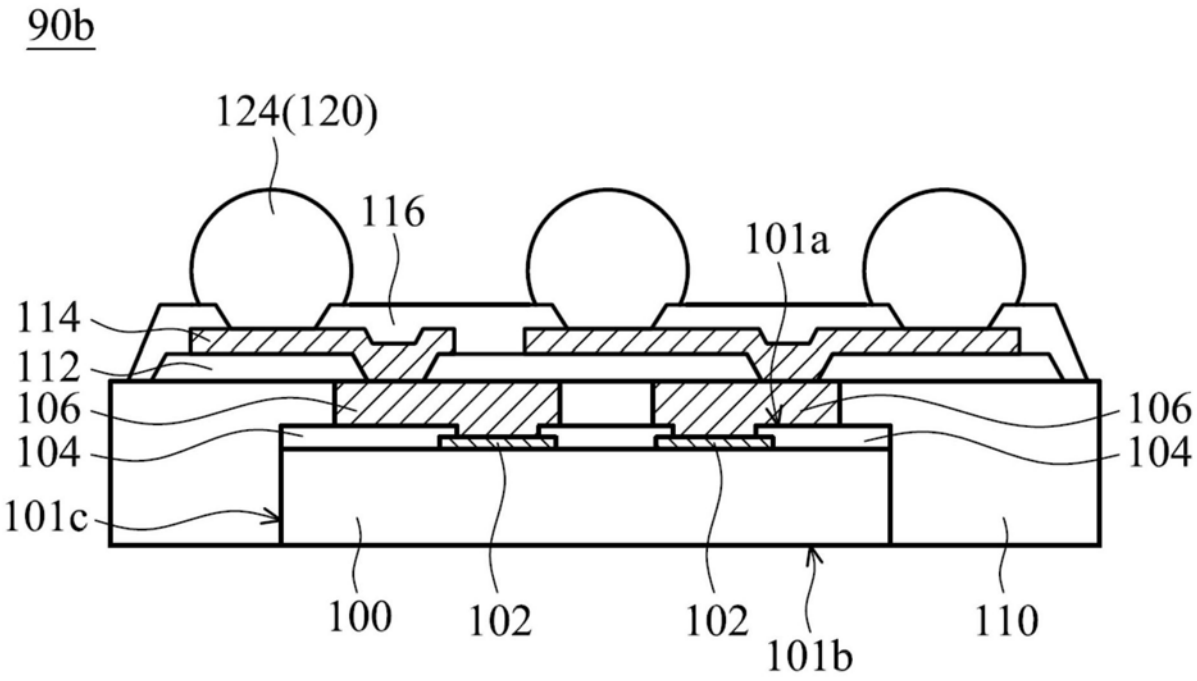

90b
124(120)
116
101a
114
112
106
104
101c
106
104
100
102
102
101b
110

图13B