

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-225999

(P2012-225999A)

(43) 公開日 平成24年11月15日(2012.11.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 622B	5C006
G02F 1/133 (2006.01)	G09G 3/20 622C	5C080
G11C 19/28 (2006.01)	G09G 3/20 611J	5J055
G11C 19/00 (2006.01)	G09G 3/20 622E	

審査請求 未請求 請求項の数 4 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2011-91156 (P2011-91156)
 (22) 出願日 平成23年4月15日 (2011.4.15)

(71) 出願人 502356528
 株式会社ジャパンディスプレイイースト
 千葉県茂原市早野3300番地
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 落合 孝洋
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 (72) 発明者 後藤 充
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 (72) 発明者 東島 啓之
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内

最終頁に続く

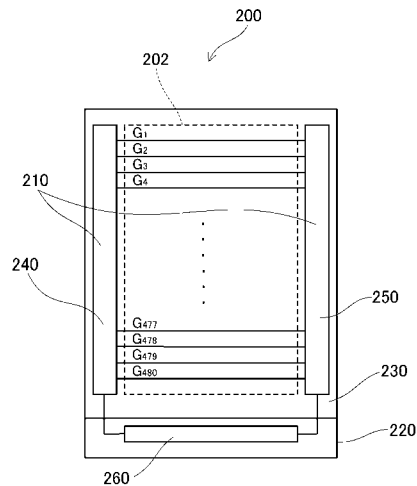
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】表示装置の走査信号線の駆動回路において、走査信号線の出力波形なまりを改善し、表示品質を高めた表示装置を提供する。

【解決手段】表示装置は、複数の信号線 G_n に対して、順に画素トランジスタを導通させる電位であるアクティブ電位を印加する駆動回路 210 を備え、前記駆動回路 210 は、前記複数の信号線のうちの一の信号線である出力信号線の一端に、より上位の前記出力信号線において出力されるアクティブ電位が入力されることに起因して、クロック信号を印加してアクティブ電位を出力させる主駆動回路 240 と、前記出力信号線他端、及び前記クロック信号の信号線が、ソース/ドレインを介して接続されたトランジスタである補助トランジスタを含む補助駆動回路 250 と、を有する。

【選択図】 図 2



【特許請求の範囲】**【請求項 1】**

複数の出力信号線に対して、上位から順に画素トランジスタを導通させる電位であるアクティブ電位を印加する駆動回路を備え、前記駆動回路は、

前記複数の信号線のうちの一の出力信号線の一端に、より上位の前記出力信号線において出力されるアクティブ電位が入力されることに起因して、クロック信号を印加してアクティブ電位を出力させる主駆動回路と、

前記出力信号線の他端がソース及びドレインの一方に接続され、前記クロック信号の信号線がソース及びドレインの他方に接続されたトランジスタである補助トランジスタを含む補助駆動回路と、を有する、ことを特徴とする表示装置。

10

【請求項 2】

前記出力信号線は、前記補助トランジスタのソース又はドレインの一方と、ゲートとの両方に接続されている、ことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記主駆動回路は、前記クロック信号を前記出力信号線に印加させるためのスイッチとなるメイントランジスタを更に備え、

前記補助トランジスタのゲートには、より上位の前記出力信号線のための前記メイントランジスタのゲート線が接続されている、ことを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記主駆動回路は、前記クロック信号を前記出力信号線に印加させるためのスイッチとなるメイントランジスタを更に備え、

前記補助トランジスタのゲートには、より下位の前記出力信号線のための前記メイントランジスタのゲート線が接続されている、ことを特徴とする請求項 1 に記載の表示装置。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置に関する。

【背景技術】**【0002】**

コンピュータ等の情報通信端末やテレビ受像機の表示デバイスとして、液晶表示装置が広く用いられている。また、有機 EL 表示装置 (OLED)、電界放出ディスプレイ装置 (FED) なども、薄型の表示装置として知られている。

30

【0003】

液晶表示装置は、2つの基板の間に封じ込められた液晶組成物の配向を、電界を変化させることにより変え、2つの基板と液晶組成物を通過する光の透過度合いを制御することにより画像を表示させる装置である。

【0004】

このような液晶表示装置を含め、所定の階調値に対応する電圧を画面の各画素に印加する表示装置では、各画素に階調値に対応する電圧を印加するための画素トランジスタが配置されている。一般に、画面の 1 ライン分の画素トランジスタのゲートは一つの信号線 (以下「走査信号線」という。) に接続され、この走査信号線は、駆動回路により、各ライン毎に順にこの画素トランジスタを導通させるアクティブ電圧を出力するように制御されている。

40

【0005】

特許文献 1 には、走査信号線への出力特性を高めるための駆動回路の例が示されている。特許文献 2 には、回路規模を縮小させるための駆動回路の例が示されている。特許文献 3 及び特許文献 4 には、走査信号の波形なまりを改善するために、走査信号線の駆動回路とは反対側に補助回路 (終端器) を設けた例が示されている。

【先行技術文献】**【特許文献】**

50

【 0 0 0 6 】

【特許文献1】特開2010-020282号公報

【特許文献2】特開2006-285233号公報

【特許文献3】特開2003-344824号公報

【特許文献4】特開平10-039325号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 7 】

例えば、特許文献1の図1における回路では、次段の走査信号線の出力がHighになるまで、走査信号線の電位をLowにするためのトランジスタNT15の機能は有効にならず、走査信号線の信号の立ち下がりが遅れ、波形なまりは実質的に残ることとなる。また、特許文献2の図3及び図4の回路では、トランジスタRT3(LT3)のゲートには、クロック信号が印加されているため、長時間回路を動作させると、閾値電圧が大きくシフトし、走査信号線をLowにする機能が著しく低下する。これらの現象は、各画素に保持されるべき階調電圧に変動をきたすものであり、表示装置の表示品質を低下させる結果となる。

10

【 0 0 0 8 】

本発明は、上述の事情に鑑みてされたものであり、表示装置の走査信号線の駆動回路において、走査信号線の出力波形なまりを改善し、表示装置の表示品質を高めることを目的とする。

20

【課題を解決するための手段】

【 0 0 0 9 】

本発明の表示装置は、複数の出力信号線に対して、上位から順に画素トランジスタを導通させる電位であるアクティブ電位を印加する駆動回路を備え、前記駆動回路は、前記複数の信号線のうちの一の出力信号線の一端に、より上位の前記出力信号線において出力されるアクティブ電位が入力されることに起因して、クロック信号を印加してアクティブ電位を出力させる主駆動回路と、前記出力信号線の他端がソース及びドレインの一方に接続され、前記クロック信号の信号線がソース及びドレインの他方に接続されたトランジスタである補助トランジスタを含む補助駆動回路と、を有する、ことを特徴とする表示装置である。

30

【 0 0 1 0 】

また、本発明の表示装置において、前記出力信号線は、前記補助トランジスタのソース又はドレインの一方と、ゲートとの両方に接続され、所謂ダイオード接続されている、こととしてもよい。

【 0 0 1 1 】

また、本発明の表示装置において、前記主駆動回路は、前記クロック信号を前記出力信号線に印加させるためのスイッチとなるメイントランジスタを更に備え、前記補助トランジスタのゲートには、より上位の前記出力信号線のための前記メイントランジスタのゲート線が接続されている、こととしてもよい。

【 0 0 1 2 】

また、本発明の表示装置において、前記主駆動回路は、前記クロック信号を前記出力信号線に印加させるためのスイッチとなるメイントランジスタを更に備え、前記補助トランジスタのゲートには、より下位の前記出力信号線のための前記メイントランジスタのゲート線が接続されている、こととしてもよい。

40

【図面の簡単な説明】

【 0 0 1 3 】

【図1】本発明の一実施形態に係る液晶表示装置について概略的に示す図である。

【図2】第1実施形態に係る液晶表示装置の液晶パネルについて示す図である。

【図3】図2の主駆動回路と補助駆動回路について示す概略図である。

【図4】図3の信号出力回路の回路構成について示す図である。

50

- 【図5】図4の信号出力回路の動作のタイミングチャートである。
- 【図6】図3の補助回路の回路構成について示す図である。
- 【図7】第2実施形態に係る液晶表示装置の液晶パネルについて示す図である。
- 【図8】図7の第1駆動回路と第1補助駆動回路について概略的に示す図である。
- 【図9】図7の第2駆動回路と第2補助駆動回路について概略的に示す図である。
- 【図10】図8及び9の信号出力回路の回路構成について示す図である。
- 【図11】図8及び9の信号出力回路の動作のタイミングチャートである。
- 【図12】図8及び9の補助回路の回路構成について示す図である。
- 【図13】第3実施形態に係る液晶表示装置の液晶パネルについて示す図である。
- 【図14A】図13の第1補助回路付駆動回路について概略的に示す図である。
- 【図14B】図13の第2補助回路付駆動回路について概略的に示す図である。
- 【図15】図14A及び図14Bの信号出力回路の回路構成について示す図である。
- 【図16】図14A及び図14Bの信号出力回路の動作のタイミングチャートである。
- 【図17】第4実施形態に係る液晶表示装置の液晶パネルについて示す図である。
- 【図18A】図17の第1補助回路付駆動回路について概略的に示す図である。
- 【図18B】図17の第2補助回路付駆動回路について概略的に示す図である。
- 【図19】図18A及び図18Bの信号出力回路の回路構成について示す図である。
- 【図20】図18A及び図18Bの信号出力回路の動作のタイミングチャートである。
- 【発明を実施するための形態】

10

【0014】

20

以下、本発明の第1～第4実施形態について、図面を参照しつつ説明する。なお、図面において、同一又は同等の要素には同一の符号を付し、重複する説明を省略する。

【0015】

[第1実施形態]

図1には、本発明の一実施形態に係る液晶表示装置100が概略的に示されている。この図に示されるように、液晶表示装置100は、上フレーム110及び下フレーム120に挟まれるように固定された液晶パネル200及び不図示のバックライト装置等から構成されている。

【0016】

図2には、図1の液晶パネル200の構成が示されている。液晶パネル200は、TFT (Thin Film Transistor: 薄膜トランジスタ) 基板220とカラーフィルタ基板230の2枚の基板を有し、これらの基板の間には液晶組成物が封止されている。TFT基板220は、走査信号線 $G_1 \sim G_{480}$ に対して、順に所定の電圧を印加する駆動回路210と、画素領域202において走査信号線 $G_1 \sim G_{480}$ に垂直に交差するように延びる不図示の複数のデータ信号線に対して画素の階調値に対応する電圧を印加すると共に、駆動回路210を制御する駆動IC (Integrated Circuit) 260とを有している。ここで、駆動回路210は、主駆動回路240と、走査信号線 $G_1 \sim G_{480}$ に主駆動回路240とは反対側端で接続される補助駆動回路250と、を有している。

30

【0017】

図3には、主駆動回路240と補助駆動回路250の詳細が概略的に示されている。この図に示されるように主駆動回路240は、複数の信号出力回路241から構成されており、各信号出力回路241が1つの出力 G_n を有し、信号出力回路241の出力 G_n が次段の信号出力回路241の入力 G_{n-1} に入力されることにより、各信号出力回路241が順にHigh信号の出力を行う構成となっている。なお、最上位から2つの段及び最下位から2つの段の信号出力回路241は、ダミー回路であり、上位の走査信号線 G_1 及び G_2 並びに下位の走査信号線 G_{479} 及び G_{480} へ出力する信号出力回路241の入出力信号線が接続されている。また、信号出力回路241とは走査信号線 $G_1 \sim G_{480}$ を介して反対側に配置された補助駆動回路250は、ダミー回路を除く各信号出力回路241に対応して、補助回路251を有している。

40

【0018】

50

図4は、信号出力回路241の回路構成について示す図であり、図5は、図4の信号出力回路241の動作のタイミングチャートである。信号出力回路241の動作について説明する。ここで、 $V_1 \sim V_4$ はクロック信号、 V_{ST} はスタート信号を表し、 V_{GL} の電位はLowに固定されている。これらの信号はいずれも信号出力回路241の外部から入力される。図4において $n=2$ 、 $m=4$ のときを例にして説明する。まず、出力 G_1 がHighになると、この出力 G_1 は、図4における G_{n-1} に入力され、トランジスタT7のゲートがHighとなってトランジスタT7が導通することによりノードN2は V_{GL} に接続されLowとなる。また、この出力 G_1 は、ダイオード接続されたトランジスタT1にも入力されているため、これに接続されたノードN1はHighとなり、容量C1に電位差を生じさせると共に、トランジスタT5を導通させる。ノードN1はトランジスタT4のゲート信号にもなっているため、ノードN2はトランジスタT4によっても V_{GL} と接続されLowにされる。

10

【0019】

次に、クロック信号 V_4 がHighになると、トランジスタT5が導通していることから容量C1の一方の電極の電位がHighとなり、いわゆるブートストラップにより他方の電極側であるトランジスタT5のゲート電位はより押し上げられる。これにより、出力 G_2 のHighは確定される。出力 G_2 がHighである書込み期間に、不図示のデータ信号線に各画素の階調値に基づくデータ信号電圧が印加され、後述する出力 G_2 の立ち下がりにより、印加された階調値に基づく電圧が画素に保持される。

20

【0020】

クロック信号 V_4 がLowとなると、出力 G_2 もLowとなるが、これを確定させるため、Highになるクロック信号 V_2 をダイオード接続されたトランジスタT3に入力し、ノードN2をHighにし、HighとなったノードN2がゲートに接続されたトランジスタT6は、出力 G_2 と V_{GL} とを導通させ、出力 G_2 をLowとしている。一方、2水平駆動期間後にHighになった出力 G_4 をトランジスタT9のゲートに入力して、ノードN1と V_{GL} とを導通させ、ノードN1をLowとしている。

【0021】

図6は、補助回路251の回路構成を示す図である。図6に示されるように、補助回路251は、1つのトランジスタTCを有し、トランジスタTCに対し走査信号線 G_n がダイオード接続されると共に、走査信号線 G_n に対応するクロック信号 V_m が接続されている。

30

【0022】

これにより、走査信号線 G_n がクロック信号 V_m に応答してHighからLowになるタイミングにおいて、クロック信号 V_m がLowであるにも関わらず、応答遅れにより走査信号線 G_n がHighである場合に、トランジスタTCが導通することから、Highである走査信号線 G_n からLowであるクロック信号 V_m に電流がリークし、走査信号線 G_n の立ち下がりをも早く、波形なまりを改善することができる。また、トランジスタTCに入力される走査信号線 G_n の信号は、出力期間以外はLowであり、クロック信号 V_m も交流信号であるため、長時間High電位等を与えることにより発生する閾値電圧 V_{th} のシフトを抑制することができる。

40

【0023】

したがって、液晶表示装置の駆動回路から出力される波形のなまりを改善することができるため、表示装置の表示品質を高めることができる。

【0024】

[第2実施形態]

本発明の第2実施形態について説明する。第2実施形態に係る液晶表示装置の構成は、第1実施形態の図1に示される構成と同様であるため、重複する説明を省略する。

【0025】

図7には、第2実施形態に係る液晶表示装置の液晶パネル300が示されている。液晶パネル300は、TFT基板320とカラーフィルタ基板330の2枚の基板を有し、こ

50

これらの基板の間には液晶組成物が封止されている。TFT基板320は、走査信号線 $G_1 \sim G_{480}$ に対して、順に所定の電圧を印加する駆動回路310と、画素領域302において走査信号線 $G_1 \sim G_{480}$ に垂直に交差するように延びる不図示の複数のデータ信号線に対して画素の階調値に対応する電圧を印加すると共に、第1主駆動回路340及び第2主駆動回路370を制御する駆動IC360とを有している。また、駆動回路310は、奇数番目の走査信号線 G_{2i-1} (i は $1 \sim 240$)に対して、順に所定の電圧を印加する第1主駆動回路340と、偶数番目の走査信号線 G_{2i} に対して、順に所定の電圧を印加する第2主駆動回路370と、走査信号線 G_{2i-1} に第1主駆動回路340とは反対側端で接続される第1補助駆動回路350と、走査信号線 G_{2i} に第2主駆動回路370とは反対側端で接続される第2補助駆動回路380と、を有している。

10

【0026】

図8には、第1主駆動回路340と第1補助駆動回路350の詳細が概略的に示されている。第1主駆動回路340と第1補助駆動回路350の構成は、奇数番目の走査信号線 G_{2i-1} のみに対応するというを除いて、図3の主駆動回路240と補助駆動回路250の構成と同様であり、第1主駆動回路340は、複数の信号出力回路341から構成されており、各信号出力回路341が1つの出力 G_n を有し、信号出力回路341の出力 G_n が次段の信号出力回路341の入力 G_{n-2} に入力されることにより、各信号出力回路341が順にHigh信号の出力を行う構成となっている。なお、最上位から2つの段及び最下位から2つの段の信号出力回路341は、ダミー回路であり、上位の走査信号線 G_1 及び G_3 並びに下位の走査信号線 G_{477} 及び G_{479} へ出力する信号出力回路341の入出力信号線が接続されている。また、信号出力回路341とは走査信号線 $G_1 \sim G_{479}$ を介して反対側に配置された第1補助駆動回路350は、ダミー回路を除く各信号出力回路341に対応して、補助回路351を有している。

20

【0027】

図9には、第2主駆動回路370と第2補助駆動回路380の詳細が概略的に示されている。第2主駆動回路370と第2補助駆動回路380の構成は、偶数番目の走査信号線 G_{2i} のみに対応するというを除いて、図3の主駆動回路240と補助駆動回路250の構成と同様であり、第2主駆動回路370は、図8と同様に、複数の信号出力回路341から構成されており、各信号出力回路341が1つの出力 G_n を有し、信号出力回路341の出力 G_n が次段の信号出力回路341の入力 G_{n-2} に入力されることにより、各信号出力回路341が順にHigh信号の出力を行う構成となっている。なお、最上位から2つの段及び最下位から2つの段の信号出力回路341は、ダミー回路であり、上位の走査信号線 G_2 及び G_4 並びに下位の走査信号線 G_{478} 及び G_{480} へ出力する信号出力回路341の入出力信号線が接続されている。また、信号出力回路341とは走査信号線 $G_2 \sim G_{480}$ を介して反対側に配置された第2補助駆動回路380は、ダミー回路を除く各信号出力回路341に対応して、図8と同様に、補助回路351を有している。

30

【0028】

図10は、信号出力回路341の回路構成について示す図であり、図11は、図10の信号出力回路341の動作のタイミングチャートである。信号出力回路341の動作は、第1実施形態における信号出力回路241の動作周期が1H (Hは、水平同期期間) から2Hに変更されたのみであり、回路構成と動作は同様であるため説明は省略する。

40

【0029】

図12には、補助回路351の回路構成が示されている。この補助回路351の構成は第1実施形態の補助回路251と同一であり、1つのトランジスタTCを有し、トランジスタTCに対し走査信号線 G_n がダイオード接続されると共に、走査信号線 G_n に対応するクロック信号 V_m が接続されている。これにより、第2実施形態においても、補助回路351は、走査信号線 G_n がクロック信号 V_m に应答してHighからLowになるタイミングにおいて、クロック信号 V_m がLowであるにも関わらず、应答遅れにより走査信号線 G_n がHighである場合に、トランジスタTCが導通することから、Highである走査信号線 G_n からLowであるクロック信号 V_m に電流がリークし、走査信号線 G_n

50

の立ち下がりをも早く、波形なまりを改善することができる。また、トランジスタTCに入力される走査信号線 G_n の信号は、出力期間以外はLowであり、クロック信号 V_m も交流信号であるため、長時間High電位等を与えることにより発生する閾値電圧 V_{th} のシフトを抑制することができる。

【0030】

したがって、液晶表示装置の駆動回路から出力される波形のなまりを改善することができるため、表示装置の表示品質を高めることができる。

【0031】

[第3実施形態]

本発明の第3実施形態について説明する。第3実施形態に係る液晶表示装置の構成は、第1実施形態の図1に示される構成と同様であるため、重複する説明を省略する。

10

【0032】

図13には、第3実施形態に係る液晶表示装置の液晶パネル400が示されている。液晶パネル400は、TFT基板420とカラーフィルタ基板430の2枚の基板を有し、これらの基板の間には液晶組成物が封止されている。TFT基板420は、走査信号線 $G_1 \sim G_{480}$ に対して、順に所定の電圧を印加する駆動回路410と、画素領域402において走査信号線 $G_1 \sim G_{480}$ に垂直に交差するように延びる不図示の複数のデータ信号線に対して画素の階調値に対応する電圧を印加すると共に、第1補助回路付駆動回路440及び第2補助回路付駆動回路450を制御する駆動IC460とを有している。

【0033】

20

また、駆動回路410は、奇数番目の走査信号線 G_{2i-1} (i は $1 \sim 240$)に対して、順に所定の電圧を印加すると共に、偶数番目の走査信号線 G_{2i} の立ち下がり補助する補助回路443(後述)を有する第1補助回路付駆動回路440と、偶数番目の走査信号線 G_{2i} に対して、順に所定の電圧を印加すると共に、奇数番目の走査信号線 G_{2i-1} の立ち下がり補助する補助回路443を有する第2補助回路付駆動回路450と、を有している。

【0034】

図14Aには、第1補助回路付駆動回路440の詳細が概略的に示されている。第1補助回路付駆動回路440は、複数の信号出力回路441から構成されており、各信号出力回路441は、偶数番目の走査信号線 G_{2i} への1つの出力 G_n を有し、信号出力回路441の出力 G_n が次段の信号出力回路441の入力 G_{n-2} に入力されることにより、各信号出力回路441が順にHigh信号の出力を行う構成となっている。また、奇数番目の走査信号線 G_{2i-1} からの1つの入力 G_{n-1} を有し、信号の立ち下がり補助する。なお、最上位から2つの段及び最下位の段の信号出力回路441は、ダミー回路となっている。

30

【0035】

図14Bには、第2補助回路付駆動回路450の詳細が概略的に示されている。第2補助回路付駆動回路450の構成は、第1補助回路付駆動回路440と同様に、複数の信号出力回路441から構成されており、信号出力回路441は、出力端子が偶数番目の走査信号線 G_{2i} と奇数番目の走査信号線 G_{2i-1} とで入れ替わっているほかは第1補助回路付駆動回路440の信号出力回路441と同じである。

40

【0036】

図15は、信号出力回路441の回路構成について示す図であり、図16は、図15の信号出力回路441の動作のタイミングチャートである。信号出力回路441は、第2実施形態の信号出力回路341と同一の回路である主回路442と、補助回路443とにより構成されており、補助回路443を有する点で異なる他は同様の構成で、同様の動作を行う。補助回路443は、図15に示されるように、トランジスタT5Aを有し、トランジスタT5Aのゲートは、主回路442のノードN1に接続され、ソース・ドレインには、走査信号線 G_{n-1} と、表示領域を介して反対側の駆動回路において走査信号線 G_{n-1} の出力に用いられたクロック V_{m-1} とが接続されている。

50

【0037】

ここで、2ライン目の出力を行う信号出力回路441を考えると、図16に示されるように、走査信号線 G_2 がHighの状態ではノードN1もHighの状態であり、走査信号線 G_2 の立ち上がり、立ち下がり時において、トランジスタT5Aのソース・ドレイン間は導通している。したがって、補助回路443では、走査信号線 G_{n-1} は、トランジスタT5Aを介して、遅れのないクロック V_{m-1} に接続されているため、クロック V_{m-1} からの電流リーク又はクロック V_{m-1} への電流リークにより波形なまりを改善することができる。特に、走査信号線 G_{n-1} がクロック信号 V_{m-1} に応答してHighからLowになるタイミングにおいては、ノードN1はチャージポンプされた高い電位を有しているため、走査信号線 G_{n-1} の立ち下がりの波形なまりをより改善することができる。また、トランジスタT5Aに入力されるノードN1の信号は、出力期間以外はLowであり、クロック信号 V_{m-1} も交流信号であるため、長時間High電位等を与えることにより発生する閾値電圧 V_{th} のシフトを抑制することができる。

10

【0038】

したがって、液晶表示装置の駆動回路から出力される波形のなまりを改善することができるため、表示装置の表示品質を高めることができる。

【0039】

[第4実施形態]

本発明の第4実施形態について説明する。第4実施形態に係る液晶表示装置の構成は、第1実施形態の図1に示される構成と同様であるため、重複する説明を省略する。

20

【0040】

図17には、第4実施形態に係る液晶表示装置の液晶パネル500が示されている。液晶パネル500は、TFT基板520とカラーフィルタ基板530の2枚の基板を有し、これらの基板の間には液晶組成物が封止されている。TFT基板520は、走査信号線 $G_1 \sim G_{480}$ に対して、順に所定の電圧を印加する駆動回路510と、画素領域502において走査信号線 $G_1 \sim G_{480}$ に垂直に交差するように延びる不図示の複数のデータ信号線に対して画素の階調値に対応する電圧を印加すると共に、第1補助回路付駆動回路540及び第2補助回路付駆動回路550を制御する駆動IC560とを有している。

【0041】

また、駆動回路510は、奇数番目の走査信号線 G_{2i-1} (i は $1 \sim 240$)に対して、順に所定の電圧を印加すると共に、偶数番目の走査信号線 G_{2i} の立ち上がりを補助する補助回路543(後述)を有する第1補助回路付駆動回路540と、偶数番目の走査信号線 G_{2i} に対して、順に所定の電圧を印加すると共に、奇数番目の走査信号線 G_{2i-1} の立ち上がりを補助する補助回路543を有する第2補助回路付駆動回路550と、を有している。

30

【0042】

図18Aには、第1補助回路付駆動回路540の詳細が概略的に示されている。図18Aに示されるように、第1補助回路付駆動回路540は、第3実施形態の第1補助回路付駆動回路440と同様に、複数の信号出力回路541から構成されており、各信号出力回路541は、奇数番目の走査信号線 G_{2i-1} への1つの出力 G_n を有し、信号出力回路441の出力 G_n が次段の信号出力回路541の入力 G_{n-2} に入力されることにより、各信号出力回路541が順にHigh信号の出力を行う構成となっている。また、偶数番目の走査信号線 G_{2i} からの1つの入力 G_{n+1} を有し、信号の立ち上がりを補助する。なお、最上位から2つの段及び最下位から2つの段の信号出力回路541は、ダミー回路となっている。

40

【0043】

図18Bには、第2補助回路付駆動回路550の詳細が概略的に示されている。第2補助回路付駆動回路550の構成は、第1補助回路付駆動回路540と同様に、複数の信号出力回路541から構成されており、信号出力回路541は、出力端子が偶数番目の走査信号線 G_{2i} と奇数番目の走査信号線 G_{2i-1} とで入れ替わっているほかは第1補助回路

50

付駆動回路 5 4 0 の信号出力回路 5 4 1 と同じである。

【 0 0 4 4 】

図 1 9 は、信号出力回路 5 4 1 の回路構成について示す図であり、図 2 0 は、図 1 9 の信号出力回路 5 4 1 の動作のタイミングチャートである。信号出力回路 5 4 1 は、第 3 実施形態の信号出力回路 4 4 1 と同様に、主回路 5 4 2 と補助回路 5 4 3 とから構成されており、補助回路 5 4 3 のトランジスタ T 5 B のソース・ドレインに接続される信号が走査信号線 G_{n+1} 及びクロック信号 V_{m+1} である他は同じ構成である。

【 0 0 4 5 】

ここで、2 ライン目の出力を行う信号出力回路 5 4 1 を考えると、図 2 0 に示されるように、走査信号線 G_2 が High の状態ではノード N 1 も High の状態であり、第 3 実施形態と同様に、走査信号線 G_2 の立ち上がり、立ち下がり時において、トランジスタ T 5 A のソース・ドレイン間は導通している。したがって、補助回路 5 4 3 では、走査信号線 G_{n+1} は、トランジスタ T 5 A を介して、遅れのないクロック V_{m+1} に接続されているため、電流リークにより波形なまりを改善することができる。特に、走査信号線 G_{n+1} がクロック信号 V_{m+1} に応答して Low から High になるタイミングにおいては、ノード N 1 はチャージポンプされた高い電位を有しているため、走査信号線 G_{n+1} の立ち上がりの波形なまりをより改善することができる。また、トランジスタ T 5 A に入力されるノード N 1 の信号は、出力期間以外は Low であり、クロック信号 V_{m+1} も交流信号であるため、長時間 High 電位等を与えることにより発生する閾値電圧 V_{th} のシフトを抑制することができる。

10

20

【 0 0 4 6 】

したがって、液晶表示装置の駆動回路から出力される波形のなまりを改善することができるため、表示装置の表示品質を高めることができる。

【 0 0 4 7 】

なお、上述の各実施形態においては、High 信号をアクティブ信号として、ゲートに入力することで、ソース・ドレイン間が導通する N M O S 型のトランジスタとしたが、Low 信号をアクティブ信号として、ゲートに入力することによりソース・ドレイン間が導通する P M O S 型のトランジスタとしてもよい。

【 0 0 4 8 】

また、上述の各実施形態の液晶表示装置は、I P S (In-Plane Switching) 方式、V A (Vertically Aligned) 方式及び T N (Twisted Nematic) 方式のいずれの方式の液晶表示装置であっても適用することができる。また、液晶表示装置に限らず、有機 E L 表示装置、電界放出ディスプレイ装置 (F E D) 及び駆動回路としてシフトレジスタを用いるその他の表示装置に用いることができる。

30

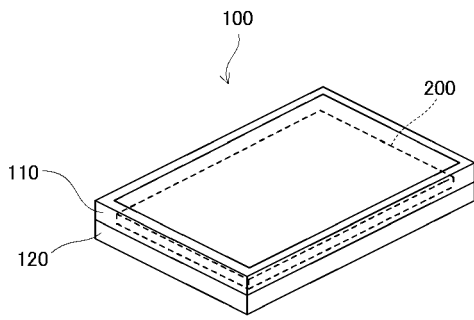
【 符号の説明 】

【 0 0 4 9 】

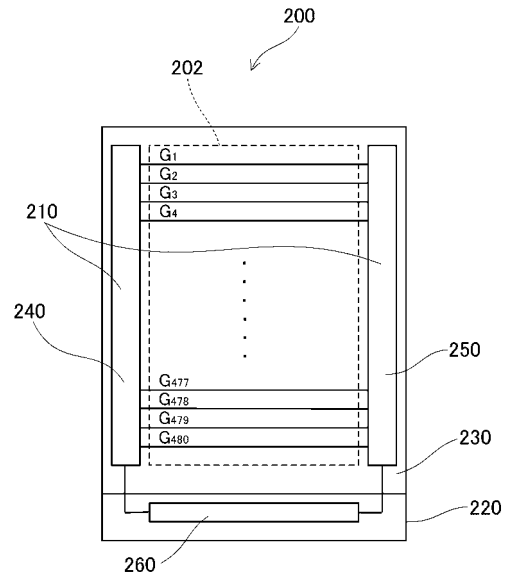
1 0 0 液晶表示装置、1 1 0 上フレーム、1 2 0 下フレーム、2 0 0 液晶パネル、2 0 2 画素領域、2 1 0 駆動回路、2 2 0 T F T 基板、2 3 0 カラーフィルタ基板、2 4 0 主駆動回路、2 4 1 信号出力回路、2 5 0 補助駆動回路、2 5 1 補助回路、2 6 0 駆動 I C、3 0 0 液晶パネル、3 0 2 画素領域、3 1 0 駆動回路、3 2 0 T F T 基板、3 3 0 カラーフィルタ基板、3 4 0 第 1 主駆動回路、3 4 1 信号出力回路、3 5 0 第 1 補助駆動回路、3 5 1 補助回路、3 6 0 駆動 I C、3 7 0 第 2 主駆動回路、3 8 0 第 2 補助駆動回路、4 0 0 液晶パネル、4 0 2 画素領域、4 1 0 駆動回路、4 2 0 T F T 基板、4 3 0 カラーフィルタ基板、4 4 0 第 1 補助回路付駆動回路、4 4 1 信号出力回路、4 4 2 主回路、4 4 3 補助回路、4 5 0 第 2 補助回路付駆動回路、4 6 0 駆動 I C、5 0 0 液晶パネル、5 0 2 画素領域、5 1 0 駆動回路、5 2 0 T F T 基板、5 3 0 カラーフィルタ基板、5 4 0 第 1 補助回路付駆動回路、5 4 1 信号出力回路、5 4 2 主回路、5 4 3 補助回路、5 5 0 第 2 補助回路付駆動回路、5 6 0 駆動 I C。

40

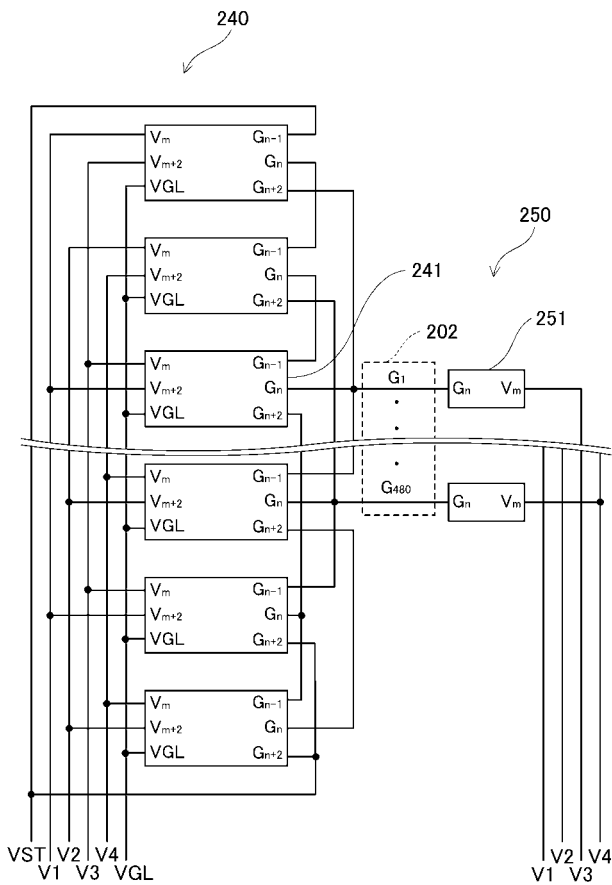
【 図 1 】



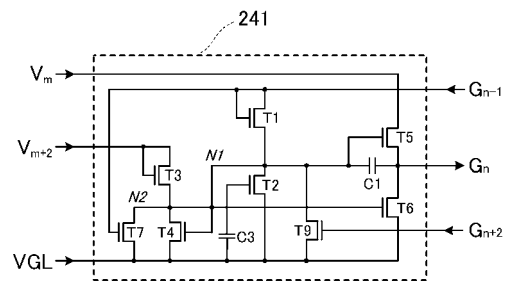
【 図 2 】



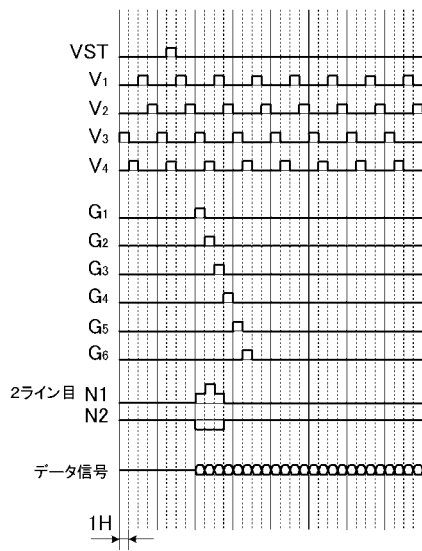
【 図 3 】



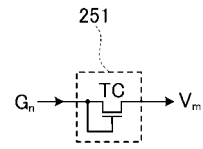
【 図 4 】



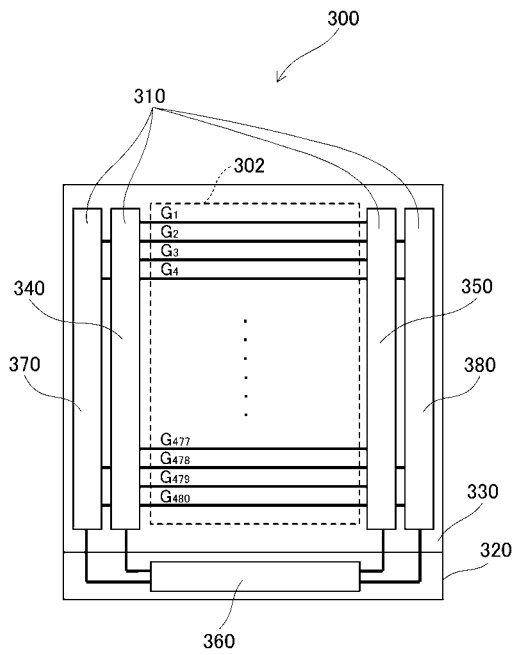
【 図 5 】



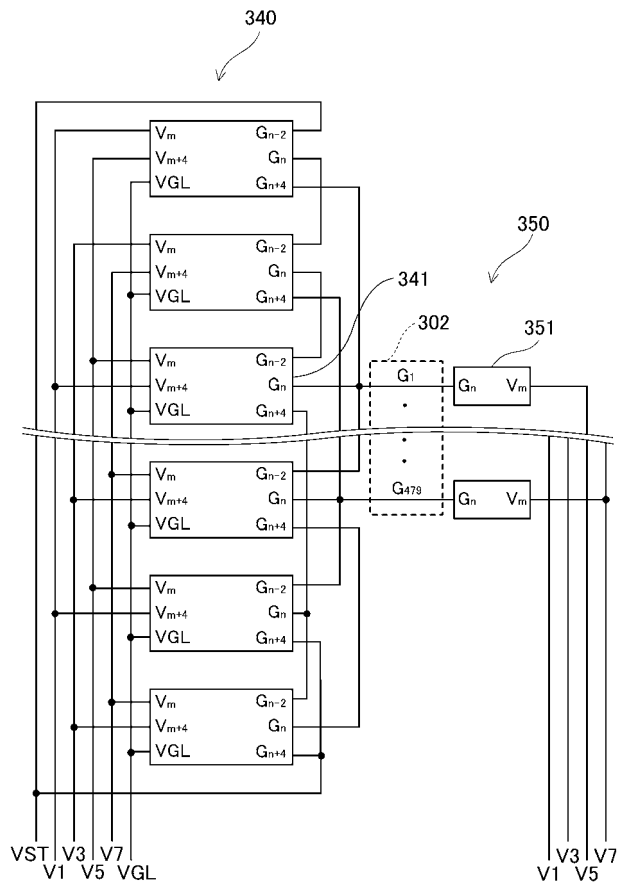
【 図 6 】



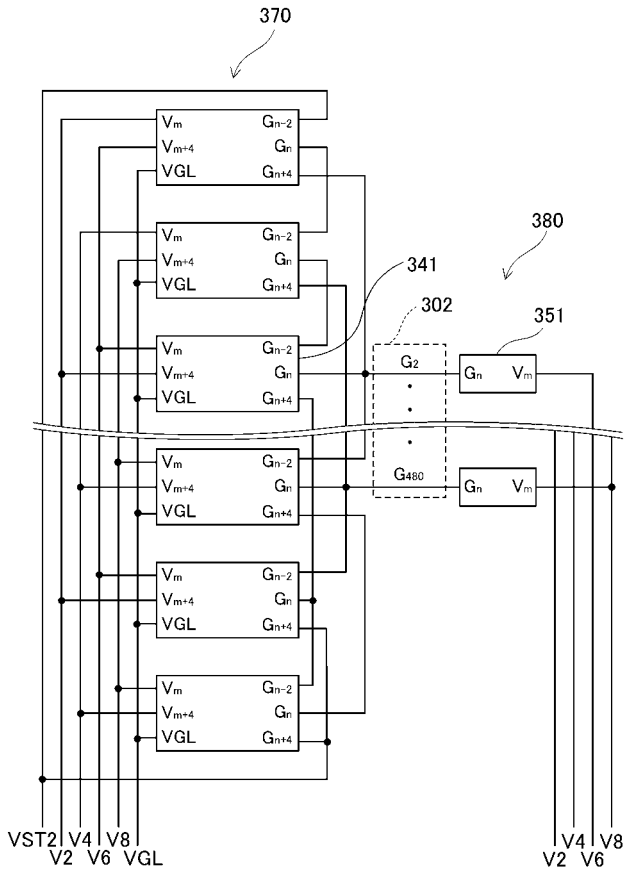
【 図 7 】



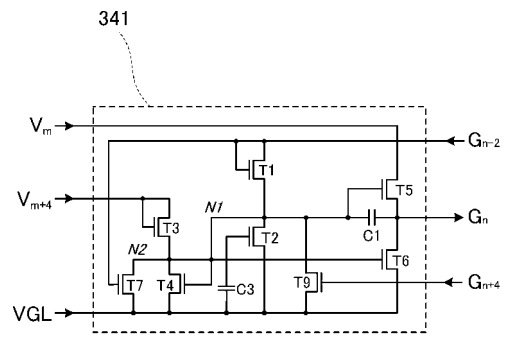
【 図 8 】



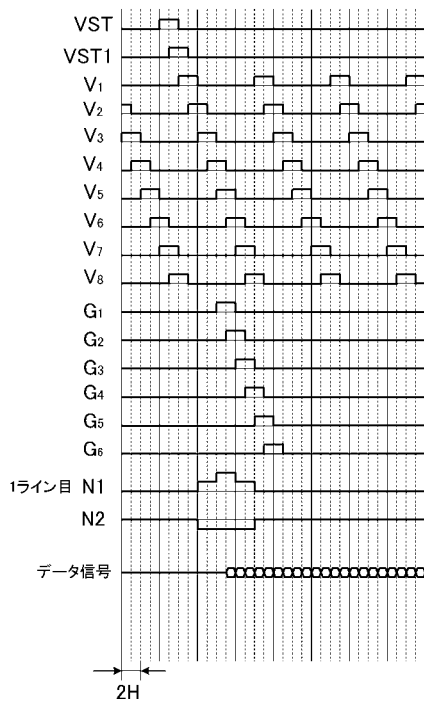
【 図 9 】



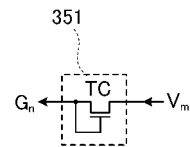
【 図 1 0 】



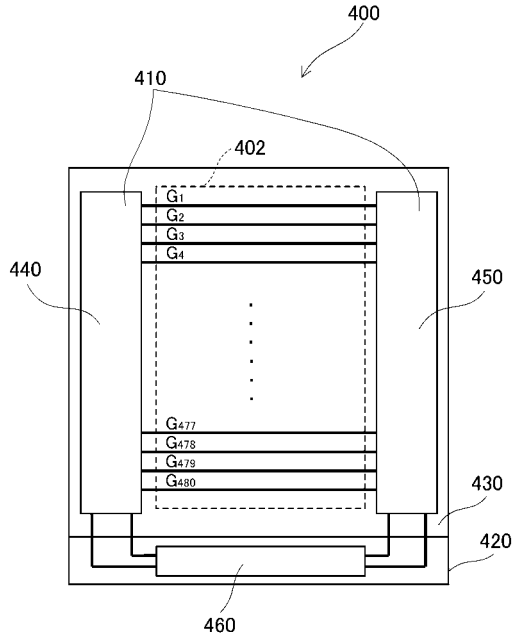
【 図 1 1 】



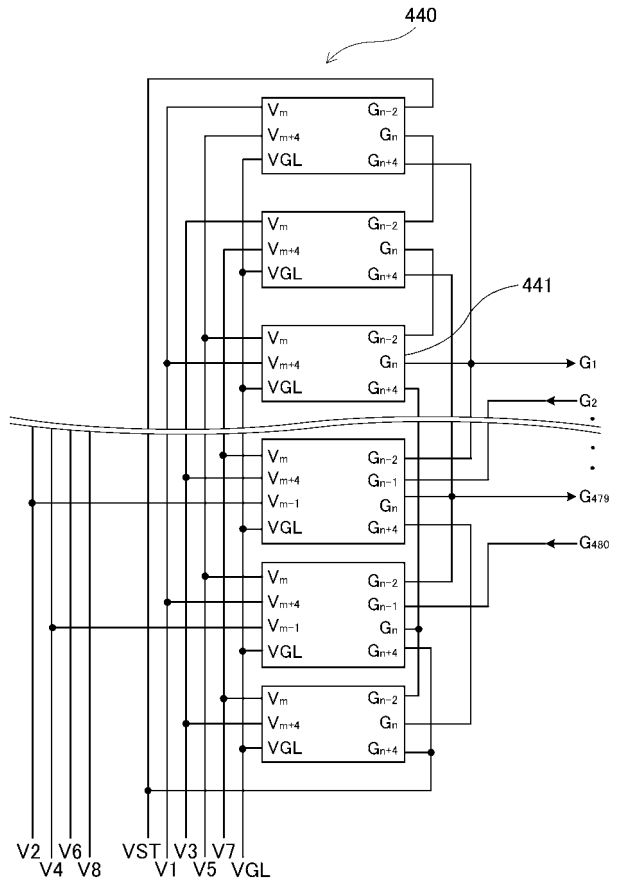
【 図 1 2 】



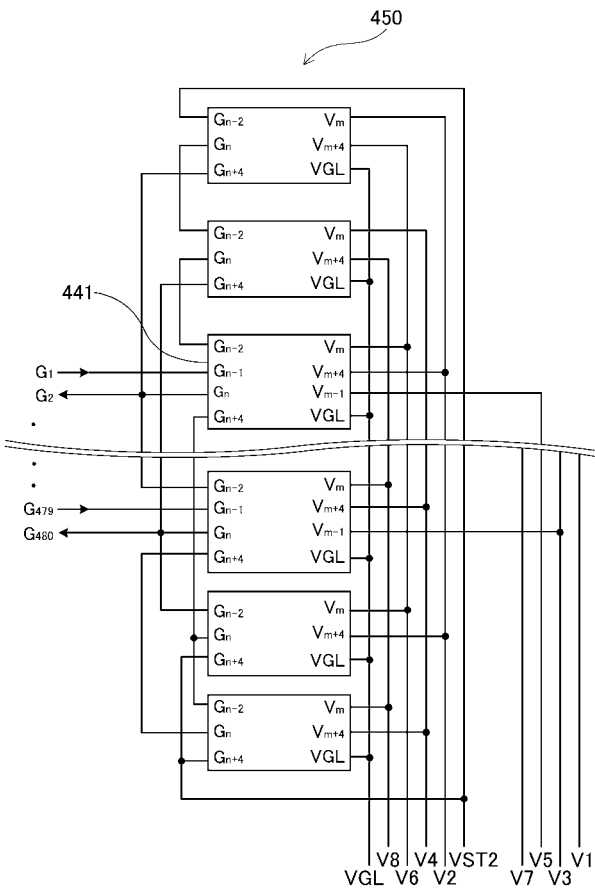
【 図 1 3 】



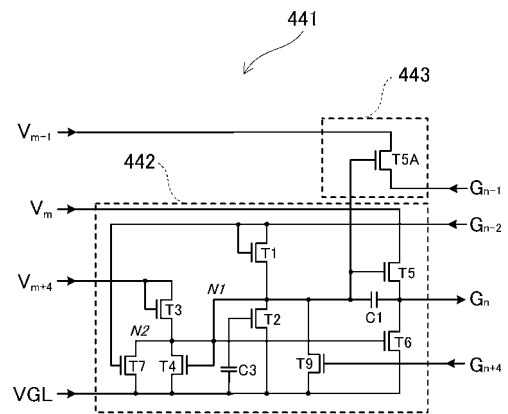
【 図 1 4 A 】



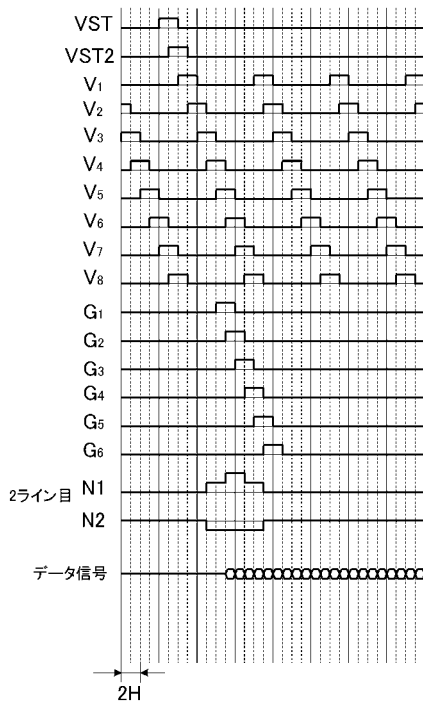
【 図 1 4 B 】



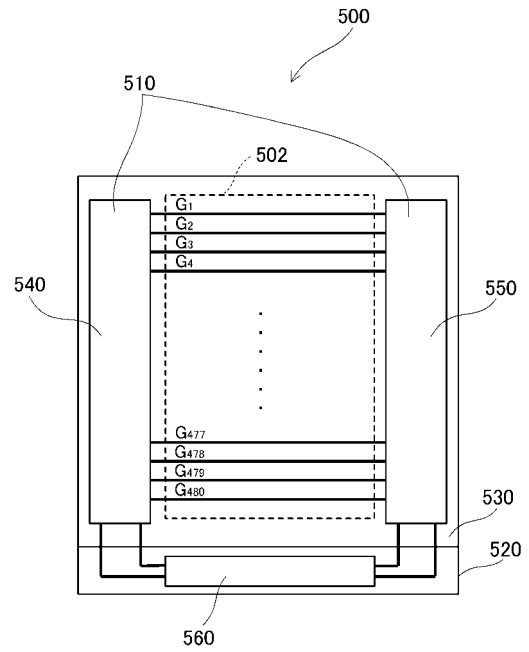
【 図 1 5 】



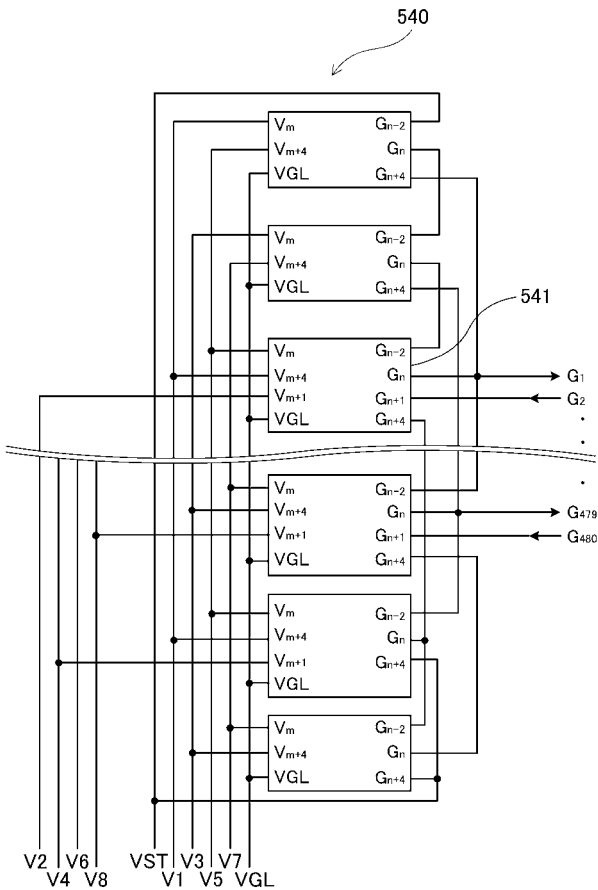
【 図 1 6 】



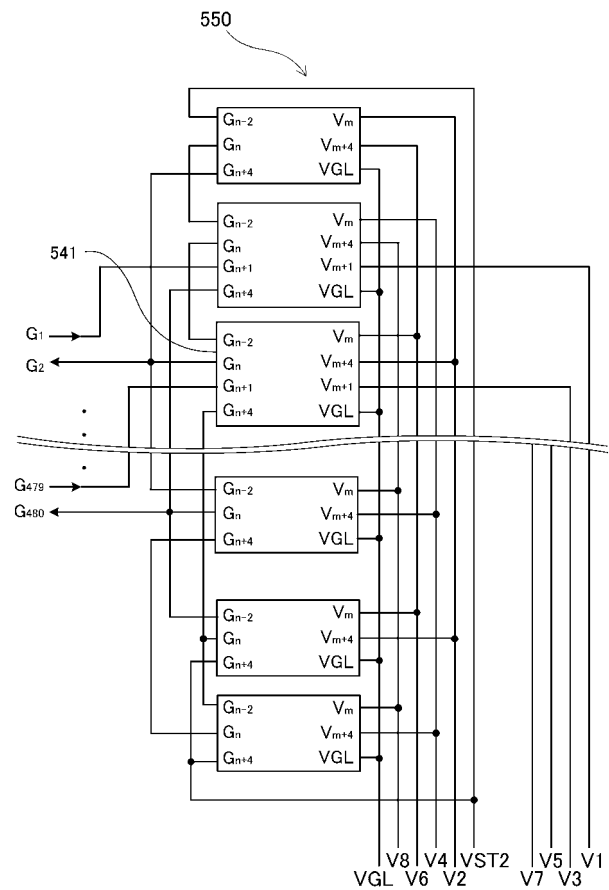
【 図 1 7 】



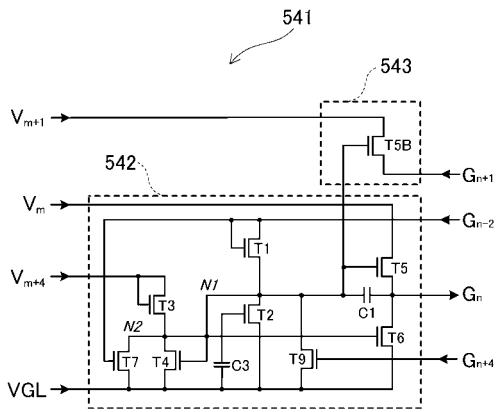
【 図 1 8 A 】



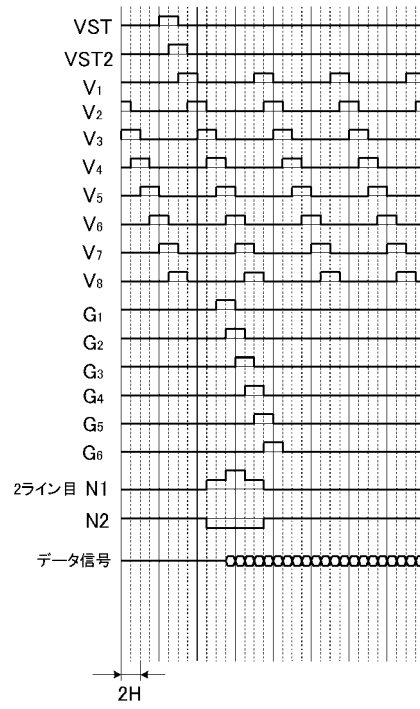
【 図 1 8 B 】



【 図 1 9 】



【 図 2 0 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 3 K 17/687 (2006.01)		G 0 2 F 1/133	5 5 0	
		G 1 1 C 19/28		D
		G 1 1 C 19/00		J
		H 0 3 K 17/687		A

(72)発明者 宮本 素明

千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内

Fターム(参考) 2H193 ZA04 ZC25 ZD12 ZD23 ZF07 ZF21 ZF24
 5C006 AC22 AF42 AF50 AF72 BB16 BC03 BC20 BF03 BF34 FA14
 FA33
 5C080 AA06 AA10 BB05 DD01 DD29 FF01 FF11 JJ02 JJ03 JJ04
 5J055 AX07 BX16 CX29 DX12 DX62 DX72 DX73 DX83 EX01 EX02
 EX07 EY10 EY21 EZ18 EZ20 EZ54 EZ65 FX05 FX12 FX18
 FX19 FX20 FX28 FX37 GX01 GX02 GX04