

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/78

H01L 21/336

H01L 21/8234



[12] 发明专利申请公开说明书

[21] 申请号 200410062639.9

[43] 公开日 2005年6月22日

[11] 公开号 CN 1630094A

[22] 申请日 2004.6.30

[21] 申请号 200410062639.9

[30] 优先权

[32] 2003.8.13 [33] US [31] 60/495,071

[71] 申请人 台湾积体电路制造股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 杨育佳 杨富量 胡正明

[74] 专利代理机构 北京三友知识产权代理有限公司

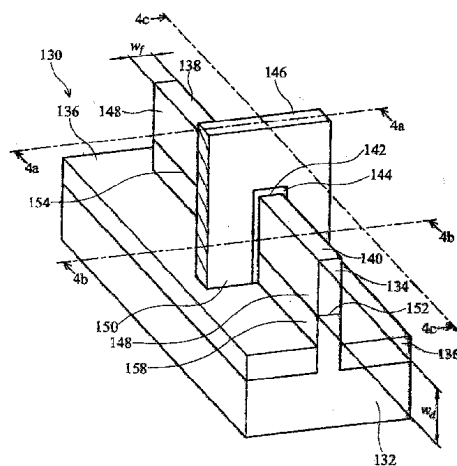
代理人 王一斌

权利要求书 3 页 说明书 14 页 附图 15 页

[54] 发明名称 多重栅极晶体管与其形成方法及形成一半导体组件的方法

[57] 摘要

本发明揭露一种多重栅极晶体管，其包括一半导体鳍片形成于部分半导体块材基底上，一栅极介电质覆盖于部分半导体鳍片上，且一栅电极覆盖于该栅极介电质之上；一源极区与一漏极区相对形成于邻近栅电极的半导体鳍片上。于较佳实施例中，栅电极的底部表面较源极-基底接面或漏极-基底接面为低。



ISSN 1008-4274

1. 一种多重栅极晶体管，其包括：
一半导体鳍片形成于部分的一半导体块材基底上；
一栅极介电质覆盖于部分该半导体鳍片上；
5 一栅电极覆盖于该栅极介电质之上，该栅电极具一底部表面；以及
一源极区与一漏极区相对形成于邻近该栅电极旁的半导体鳍片上，该源极区具一源极-基底界面，且该漏极区具一漏极-基底界面；
其中该栅电极的底部表面较该源极-基底界面或该漏极-基底界面为低。
2. 根据权利要求1所述的多重栅极晶体管，更包含有间隔物位于栅电极
10 旁。
3. 根据权利要求1所述的多重栅极晶体管，其中该半导体结构更包括有一蚀刻掩膜覆盖于该半导体鳍片之上。
4. 根据权利要求1所述的多重栅极晶体管，其中该半导体鳍片具有一鳍板宽度，且位于该半导体鳍片上方的鳍板宽度相较位于该半导体鳍片底部的
15 鳍板宽度为大。
5. 根据权利要求1所述的多重栅极晶体管，其中该栅电极的底部表面相较该源极-基底以及漏极-基底界面低至少 50 埃。
6. 一种形成多重栅极晶体管的方法，其包括以下步骤：
提供一半导体块材基底；
20 形成一半导体鳍片于该半导体块材基底之上；
形成隔离区于该半导体鳍片旁；
形成一栅极介电质及一栅电极于部分半导体鳍片之上，该栅电极具一底部表面；以及
形成一源极区与一漏极区于该半导体鳍片上，该源极区有一源极-基底
25 界面，而该漏极区有一漏极-基底界面，该源极-基底界面或该漏极-基底接

面相较该栅电极底部表面为高。

7. 根据权利要求 6 所述的形成多重栅极晶体管的方法，其中该源极-基底接面与漏极-基底接面相较该栅电极的底部表面高至少 50 埃。

8. 根据权利要求 6 所述的形成多重栅极晶体管的方法，其中形成该半导体鳍片的方法包括以下步骤：

形成一掩膜于该半导体块材基底上；以及

蚀刻该半导体基底的暴露区域以形成该半导体鳍片。

9. 根据权利要求 8 所述的形成多重栅极晶体管的方法，更包括将该掩膜移除。

10. 根据权利要求 6 所述的形成多重栅极晶体管的方法，更包括以一导电材料设置于该源极以及漏极区。

11. 根据权利要求 6 所述的形成多重栅极晶体管的方法，更包括于该栅电极旁形成间隔物。

12. 根据权利要求 6 所述的形成多重栅极晶体管的方法，更包括施以一选择性外延成长于该源极与漏极区。

13. 一种形成一半导体组件的方法，其包括以下步骤：

提供一硅基底材；

蚀刻部分该硅基底材以形成至少为一的半导体鳍片；

形成一栅极介电层于该半导体鳍片上；

20 形成一栅极导电层于该栅极介电层之上；

蚀刻部分栅极导电层以形成一栅电极，该栅电极覆盖于该半导体鳍片的侧壁与其上方表面；

形成一区域材料邻近于非该栅电极下的部分半导体鳍片，以致该半导体鳍片的侧壁延伸于该区域材料上方表面之上；以及

25 掺杂离子于该区域材料之上的半导体鳍片侧壁。

14. 根据权利要求 13 所述的形成半导体组件的方法，更包括形成一邻近

于该半导体鳍片的隔离区。

15. 根据权利要求 13 所述的形成半导体组件的方法，其中更包括形成一遮蔽物质于硅基底材上，且其中蚀刻部分硅基底材的步骤对准该遮蔽物质进行。

5 16. 根据权利要求 15 所述的形成半导体组件的方法，更包括将该遮蔽物质于该半导体鳍片形成之后移除。

17. 根据权利要求 15 所述的形成半导体组件的方法，其中该栅极介电层与该栅极导电层是形成于该遮蔽物质之上。

10 18. 根据权利要求 13 所述的形成半导体组件的方法，其中形成该区域材料包括沉积一介电层。

19. 根据权利要求 14 所述的形成半导体组件的方法，其中形成该隔离区包括沉积一氧化物材料。

20. 根据权利要求 13 所述的形成半导体组件的方法，更包括将该区域材料于侧壁掺杂离子之后移除。

15

多重栅极晶体管与其形成方法及形成一半导体组件的方法

5 技术领域

本发明是有关于一种半导体组件，且特别有关于一种形成于半导体块材基底上的多重栅极晶体管。

10 背景技术

今用于生产超大规模集成电路 (ultra-large scale integrated circuits; ULSI) 的极具优势的半导体技术为金属氧化半导体场效应晶体管 (metal-oxide-semiconductor field effect transistor; MOSFET) 技术。过去数十年来，由于金属氧化半导体场效应晶体管尺寸的缩小，使得组件的操作效能、电路密度 (circuit density)、以及每单位效能所花费的成本均获得持续的改善。然而，随着传统块金属氧化半导体场效应晶体管 (bulk MOSFET) 内栅极长度 (gate length) 的缩小，源极和漏极与其间沟道的相互作用逐渐增加，并逐渐影响到该沟道势能 (channel potential)，因此一栅极长度小的晶体管容易遭受栅极对其沟道的开启/关闭状态的控制能力不足的问题。

该有关短沟道长度的晶体管所减少对栅极控制的现象即所谓的短沟道效应 (short-channel effects; SCE)，而增加主体掺杂浓度 (body doping concentration)、降低栅极氧化层厚度以及超浅源极/漏极接面 (ultra

shallow source/drain junction)均可抑制该短沟道效应。然而,当组件尺寸进入次 50 纳米时代(sub-50 nm regime),其主体掺杂浓度、栅极氧化层厚度以及源极/漏极掺杂轮廓(doping profile)的需求愈发难以达其理想,尤其当传统组件构造架构于块硅基底上。

5 当组件尺寸缩小至次 30 纳米时代,一种控制短沟道效应的有效方法即使用另一种多于一个栅极的晶体管结构,亦即一种多重栅极晶体管(multiple-gate transistor)。先前技术的多重栅极晶体管是形成于一绝缘层上有硅(silicon-on insulator; SOI)的基底上。一种先前技术的多重栅极晶体管 10 以平面图显示于图 1 中,该多重栅极晶体管的结构是包括一硅鳍片 12 覆盖于绝缘层 14 上,该绝缘层 14 是覆盖于一基底(视图 2 的组件 22)上;一栅极介电质(视图 2 的组件 20)包覆部分硅鳍片 12,且一栅电极 16 横跨该硅鳍片 12,而该栅极介电质 20 则隔绝了该栅电极 16 以及硅鳍片 12。

该多重栅极晶体管的例子包含了双重栅极晶体管(double-gate transistor)、三重栅极晶体管(triple-gate transistor)、欧米茄场效应晶体管(omega field-effect transistor)、以及环绕型栅极(surround-gate)或包裹环绕型栅极(wrap-around gate)晶体管。多重栅极晶体管的结构预期可以加强互补型金属氧化半导体(Complementay Metal Oxide Semiconductor; CMOS)技术的尺寸缩小能力,超越传统块金属氧化半导体场效应晶体管限制并达到硅材质的金属氧化半导体场效应晶体管的极限。引进额外的栅极可改善栅极与沟道间的耦合电容(capacitance coupling)的产生、增加栅极对沟道控制的潜能、帮助短沟道效应的抑制、以及延伸金属氧化半导晶体管的尺寸能力。

最简单的多重栅极晶体管的例子即 Hu 等人所获的美国专利字号

6, 413, 802 中所述的双重栅极晶体管。如图 2a 的剖面图示, 该双重栅极晶体管具一栅电极 16, 其横跨于该沟道或该似鳍片的硅体 12 上, 因而形成双重栅极晶体管的结构。该双重栅极晶体管具有两个栅极, 其个别位于该硅鳍片 12 的侧壁 18, 该双重栅极结构的平面图于图 1 中显示。

5 在美国专利字号 6, 413, 802 中, 其晶体管沟道是包含一经蚀刻掩膜 24 所定义而成的薄硅鳍片 12 并形成于一绝缘层 14 例如为氧化硅之上。施行一栅极氧化程序, 接着再沉积栅极以及定义栅极图案以形成一覆盖于鳍片旁的双重栅极结构, 且该源极至漏极以及与栅极至栅极的方向均位于该基底表面的平面上。

10 另一个多重栅极晶体管的例子即三重栅极晶体管。三重栅极晶体管结构的剖面图由图 2b 所提供, 而该三重栅极晶体管的平面图则于图 1 中显示。该三重栅极晶体管的结构具有一形成三个栅极的栅电极 16: 一栅极位于该硅体/鳍片 12 的上方表面, 而另两个栅极则位于该硅体/鳍片 12 的侧壁 18。三重栅极晶体管因为相较双重栅极晶体管多出一个位于硅鳍片上方的栅极, 因此可
15 达更佳的栅极控制能力。

三重栅极晶体管的结构可经修饰以改善栅极控制能力, 如图 2c 所示; 由于该栅电极 16 的剖面图具一 ω (Ω) 外型, 因此该结构也如同现有的欧米茄场效应晶体管 (omega field-effect transistor; 简称 omega-FET)。该栅电极 16 于半导体鳍片或硅体 12 下的侵入形成一具有 ω (Ω) 外型的栅极结
20 构, 它具有近似于栅极围绕 (Gate-All-Around; GAA) 晶体管般突出的尺寸能力, 并使用一种类似双重栅极晶体管或三重栅极晶体管的稍加改变的制造方法。

该欧米茄场效应晶体管具一顶部栅极 (毗连于表面 26), 两个侧壁的栅极

(毗邻于表面 18), 以及特殊栅极于该似鳍片的半导体本体 12 下的延伸或侵入 28。然而欧米茄场效应晶体管是一具有一几乎缠绕于整个本体的栅极的场效应晶体管, 而事实上, 当栅极延伸愈长, 例如侵入范围 E 越大, 则该晶体管结构与栅极围绕晶体管的结构愈接近或相似。硅体下的栅电极 16 的侵入将有助于沟道避开来自漏极的电场线 (electric field lines), 并改善栅极对沟道的控制能力 (gate-to channel controllability), 如此可减缓因漏极电压所造成的能障降低效应 (drain-induced barrier lowering effect; DIBL) 并改善短沟道的性能。

10 发明内容

本发明的较佳实施例即提供一种形成于块材基底 (bulk substrate) 上的多重栅极晶体管。块硅基底相较一绝缘层上有硅 (SOI) 的基底便宜, 因此于块材基底上形成多重栅极晶体管的技术的有效性将使得未来组件的尺寸于一显著减少的成本下缩小。

根据本较佳实施例的一较佳实作例, 一种于块材基底上制造多重栅极晶体管的结构与方法是包括消耗模式块多重栅极晶体管 (depletion-mode bulk multiple-gate transistor) 以及累积模式 (accumulation-mode) 块多重栅极晶体管、块双重栅极晶体管、块三重栅极晶体管、以及块欧米茄栅极晶体管, 且形成于块材基底上的多重栅极晶体管可与一般传统的块晶体管结合。

先前技术的多重栅极晶体管例如为双重栅极晶体管、三重栅极晶体管以及欧米茄场效应晶体管等均形成于一绝缘层上有硅的基底, 而本专利是揭露一种于块材基底上形成多重栅极晶体管的结构与方法, 众多于此所揭示的多

重栅极晶体管可达至减少制造成本以及使得块晶体管的尺寸能力可达至一显著缩小的特征尺寸。

本发明一方面是揭露一种多重栅极晶体管，其包括一半导体鳍片形成于部分半导体块材基底上，一栅极介电质覆盖于部分半导体鳍片上，且一栅电极覆盖于该栅极介电质之上；一源极区与一漏极区相对形成于邻近栅电极的半导体鳍片上。较佳实施例中，栅电极的底部表面较源极-基底接面或漏极-基底接面为低。

依照一较佳实施例的形成多重栅极晶体管的一种方法是提供一半导体块材基底，将一半导体鳍片形成于该半导体块材基底上并于该半导体鳍片旁提供隔离区，并将一栅极介电质与一栅电极形成于部分半导体鳍片上，一源极区与一漏极区于该半导体鳍片形成；再者于本较佳实施例中，该源极-基底接面或该漏极-基底接面较该栅电极的底部表面为高。

本发明的另一实施例中，部分的硅基底材经蚀刻后以形成至少为一的半导体鳍片。一栅极介电层于半导体鳍片上形成，且一栅极导电层覆盖于该栅极介电层上，部分的栅极导电层经蚀刻后形成一栅电极，为此该栅电极是包覆于该半导体鳍片的侧壁及其上方表面。一区域的材料，例如为介电材质，于该未位于栅电极下方的邻近部分半导体鳍片形成，以致半导体鳍片的侧壁沿该区域材料上方表面之上延伸，而位于该区域材料上方的半导体鳍片侧壁可于之后掺杂。

20

附图说明

图 1 为一平面图，用以说明本发明的多重栅极晶体管。

图 2a 为本发明的双重栅极晶体管的剖面图。

图 2b 为本发明的三重栅极晶体管的剖面图。

图 2c 为图 2b 示的三重栅极晶体管的修饰结构。

图 3 为本发明的三重栅极晶体管实施例的立体图。

5 图 4a-图 4c 提供图 3 示的三重栅极晶体管的一系列剖面图。

图 5a-图 5e 及图 6a-图 6e 是用以说明本发明的三重栅极晶体管的制作图
示。

图 7 为本发明的另一三重栅极晶体管实施例的透视图。

图 8 为本发明的双重栅极晶体管的透视图。

10 图 9 为本发明的欧米茄晶体管的透视图。

符号说明:

10 ~ 多重栅极晶体管;

12 ~ 半导体本体、硅鳍片、硅体;

14 ~ 绝缘层;

16 ~ 栅电极;

15 18 ~ 鳍片的侧壁;

20 ~ 栅极介电质;

22 ~ 基底;

24 ~ 蚀刻掩膜;

26 ~ 鳍片的上方表面;

28 ~ 栅电极的侵入;

130 ~ 三重栅极晶体管;

132 ~ 基底;

134 ~ 半导体鳍片;

136 ~ 隔离区;

20 138 ~ 源极区;

140 ~ 漏极区;

142 ~ 沟道区;

144 ~ 栅极介电质;

146 ~ 栅电极;

148 ~ 侧壁的表面;

150 ~ 栅电极的底部表面;

152 ~ 漏极-基底接面;

- 154 ~ 源极-基底界面; 156 ~ 潜在的漏电流路径;
- 158 ~ 半导体鳍片的侧壁; 160 ~ 沟渠;
- 162 ~ 栅极介电层; 164 ~ 间隔物;
- 166 ~ 蚀刻掩膜; 168 ~ 半导体鳍片的底部;
- 5 E ~ 栅极延伸侵入范围;
- w_d ~ 漏极的厚度;
- w_f ~ 鳍片宽度;
- d ~ 漏极-基底界面与栅电极底部表面的高度差;
- d_i ~ 隔离厚度;
- 10 d_t ~ 沟渠深度。

具体实施方式

15 为了让本发明的上述和其它目的、特征、和优点能更明显易懂，下文特举出较佳实施例，并配合所附图式，作详细说明如下：

 本较佳实施例是有关于一种半导体组件的领域，且特别有关于一种具有多重栅极的半导体组件。本发明的特点是提供一种于块硅基底上形成多重栅极晶体管的结构与方法。

20 图 3 显示一种三重栅极晶体管 130 的立体透视图，而该三重栅极晶体管是依照本发明的第一实施例形成于一块材基底 132 上，该基底 132 的材质可为任何半导体材料；举例来说，该基底 132 可为一元素半导体 (elemental semiconductor) 例如为硅或锗，一合金半导体 (alloy semiconductor) 例如为硅-锗，或一复合半导体 (compound semiconductor) 例如为砷化镓 (gallium

arsenide)。于本较佳实施例中，该基底 132 是包括单晶硅(monocrystalline silicon)。

块三重栅极晶体管 130 是包含一形成于块材基底 132 上的半导体鳍片 134，隔离区 136 于半导体鳍片(一鳍片 134 如所示)之间形成，或介于一半导
5 体鳍片 134 与另一主动区域(active region)(未示)之间。该隔离区 136 的材质可包含氧化硅(silicon oxide)、氮氧化硅(silicon oxynitride)、氮化硅(silicon nitride)等或其组合，也可使用如高台隔离(mesa isolation)。

半导体鳍片 134 是包含一经掺杂的源极区 138 以及一经掺杂的漏极区 140，该源极 138 与栅极区 140 将沟道区 142 夹于中间，一栅极介电质 144 覆
10 盖于部分半导体鳍片 134 上的沟道 142 上，如图 3 所示，该栅极介电质 144 可将半导体鳍片 134 隔离自栅电极 146 中。

栅电极 146 横跨于似鳍片的主动区 134 上，而该半导体鳍片 134 的侧壁表面 148 是用于电流传导，于较佳实施例中，晶体管上一大量源极通往漏极
15 的电流沿侧壁表面 148 传导。半导体鳍片 134 具一预设的鳍片宽度 w_f 以及自该半导体鳍片上方表面起算具深度 w_d 的漏极，实质上该晶体管的有效组件宽度为一 w_d 与 w_f 的函数， w_d 与 w_f 愈大则导致驱动电流(drive current)量愈大。

图 3 中的三重栅极晶体管剖面图的 4a-4a'、4b-4b' 以及 4c-4c' 平面是
20 分别于图 4a、图 4b 以及图 4c 中表示。图 4a 显示一横切栅电极 146、栅极介电质 144 以及半导体鳍片 134 的沟道区 142 的剖示平面，栅电极 146 具一与隔离区 136 接触的底部表面 150。

与 4a-4a' 平面平行的 4b-4b' 剖面图示是于图 4b 中显示，该图横切晶体管 130 的漏极区 140，而该设计特点之一即栅电极 146 的底部表面 150 是低于漏极-基底接面 152 或源极-基底接面 154。

现参照图 4a 及图 4b, 图 4b 所描绘的漏极-基底界面 152 是位于较图 4a 所描绘的栅电极 146 底部表面 150 为高的平面, 而该漏极-基底界面 152 与该栅电极 146 底部表面 150 的高度差 d 可介于约 50-500 埃的范围, 且较佳约 200 埃。

5 图 4c 显示一横切该栅电极 146、栅极介电质 144、沟道区 142、源极区 138 以及漏极区 140 的剖示平面, 且图 4 也同时显示出—介于源极 138 以及漏极区 140 间的潜在的漏电流路径 156。位于纸张平面 (例如 4c-4c' 平面) 上方或下方的栅电极 146 于图 4c 中是以虚线显示, 表示栅电极 146 邻近于该潜在的漏电流路径; 然而藉由将栅电极 146 于该源极-基底界面 154 或该漏极-基底界面 152 的下方延伸, 以及将栅电极 146 设置于邻近该潜在的漏电流路径 156, 本实施例可确保栅电极 146 对于潜在漏电路径 156 可发挥相当的影响力以抑制漏电流。

在本发明中, 可将源极 138 与漏极区 140 掺杂为 n-型 (n-type), 而本体区 142 掺杂为 p-型以形成一种 n-沟道消耗模式晶体管 (n-channel depletion-mode transistor), 或者将源极 138 与漏极区 140 掺杂为 p-型, 而本体区 142 掺杂为 n-型以形成一种 p-沟道消耗模式晶体管; 同样地, 藉由将本体区 142 与源极 138 以及漏极区 140 掺杂为同型可形成一累积模式晶体管, 例如将源极 138、漏极 140 以及本体 142 均掺杂为 n-型可形成一 n-沟道累积模式晶体管。

20 以下将配合图 5a-图 5e (合称图 5) 以及图 6a-图 6e (合称图 6) 对形成图 3 中的多重栅极晶体管的方法作一详细叙述。图 5 及图 6 中显示组件的两平行平面分别于不同组件制造阶段的剖面图, 尤其是图 5 是显示组件 130 于图 3 的 4a-4a' 平面, 而图 6 则显示出组件 130 于图 3 的 4b-4b' 平面, 如前所述,

该 4a-4a' 平面是与该 4b-4b' 平面平行，而一晶体管于施行其余步骤之后的透视图则显示于图 7 中。

起始材料是一半导体基底 132，其可为一元素半导体、合金半导体或一复合半导体，且该起始材料较佳为一硅基底材，较佳直径为 300 毫米。至少为
5 一的半导体鳍片 134 藉由图案化该半导体基底而形成，如同图 5a 与图 6a 所示，该半导体鳍片的图案化制程可藉由形成一掩膜(未示)于该半导体鳍片 132 上而达成，再接着蚀刻该半导体鳍片 132 至一预定深度 d_i ，该掩膜包含一常见于使用的掩膜材料例如为光阻、氧化硅、氮化硅等或其组合，而沟渠深度 d_i 可介于范围约 200-6000 埃之间，较佳约 3000 埃。

10 针对基底 132 上的所有半导体鳍片 134 的沟渠深度 d_i 可均为相同，另外不同深度的沟渠可形成于同样的半导体块材基底上。本实施例可提供不同驱动电流的晶体管形成于同样的芯片上，藉由在蚀刻过程中将部分沟渠掩膜(未示)选择性移除而达成，因此有些沟渠蚀刻较长。

该掩膜可视需要于蚀刻步骤后移除。如较佳实施例中，假如将掩膜移除，
15 则形成三重栅极晶体管；假如未将掩膜移除，则可形成一如图 8 所示的双重栅极晶体管。

现依照图 5b 及图 6b，具一深度 d_i 的隔离区 136 形成于该沟渠 160 中，该隔离深度 d_i 可介于范围约 20-6000 埃之间，较佳为 200 埃。较佳实施例中，该 d_i : d_i 比的范围约从 1.2: 1 至 6: 1，较佳为 2: 1，且该半导体鳍片如所示
20 中具有侧壁表面 158。

一栅极介电质 144 于之后步骤中形成于半导体鳍片 134 上，由于随后的程序，该栅极介电质 144 显示于图 5c 中，但并未于图 6c 中显示。该栅极介电质可藉由热氧化法(thermal oxidation)、化学气相沉积法(chemical vapor

deposition)、溅镀法(sputtering)或任何现有以及先前技艺所使用以形成一栅极介电质的方法;而依照不同栅极介电质的形成技术,位于鳍片 134 上方的栅极介电质 144 的厚度可不同于位于鳍片侧壁上的栅极介电质的厚度。于一实施例中,位于鳍片上方的栅极介电质的厚度小于 20 埃。

- 5 栅极介电质可藉由一材料例如厚度范围约 3-100 埃间的二氧化硅或氮氧化硅形成,且较佳约 10 埃或更小。该栅极介电质也可藉由一高介电值(high-k)材料形成,例如为氧化镧(lanthanum; La_2O_3)、氧化铝(aluminum oxide; Al_2O_3)、氧化铪(hafnium oxide; HfO_2)、氮氧化铪(hafnium oxynitride; HfON)、氧化锆(zirconium; ZrO_2)等或其组合,或为一相对介电常数大于 5 的材料,且
- 10 具有一相同的氧化物厚度约为 3-100 埃。

接着沉积栅电极 146 的材料。该栅电极的材料为一导电性材质,并可为一非晶(amorphous)硅或多晶硅(polycrystalline silicon; poly-Si)、多晶硅-锗(poly-SiGe)、金属氮化物(metallic nitride)、金属硅化物(metallic silicide)、金属氧化物(metallic oxide)或金属。其中金属氮化物的范例是

15 包含氮化钨(tungsten nitride)、氮化钼(molybdenum nitride)、氮化钛(titanium nitride)、氮化钽(tantalum nitride)等或其组合;金属硅化物的范例是包含硅化钨(tungsten silicide)、硅化钛(titanium silicide)、硅化钴(cobalt silicide)、硅化镍(nickel silicide)、硅化铂(platinum silicide)、硅化铈(erbium silicide)等或其组合;金属氧化物的范例是包

20 含氧化钌(ruthenium oxide)、氧化铟锡(indium tin oxide)等或其组合;而金属的范例是包含钨、钛、铝、铜、钼、镍、铂等及其它。

栅电极 146 的材料可藉由化学气相沉积法、溅镀沉积法或任何现有以及先前技艺所使用以沉积导电材料的方法而形成;栅电极材料的厚度可介于范

围约 200-4000 埃之间，且较佳约 1500 埃。栅电极 146 材料的上方表面通常具一非平坦(non-planar)的上表面，并可能平坦(例如经化学机械研磨)于图案化该栅电极 146 材料或门极蚀刻之前，此时离子可或不可导入至该栅电极 146 材料中，而离子可藉由例如离子布植法(ion implantation technique)所导入。

接下来的步骤是用以定义栅电极 146。一掩膜材料(未示)形成于栅电极材料之上，且栅电极 146 是经由一蚀刻制程而形成，且较佳为一非等向性蚀刻(anisotropic etch)例如为干式电浆蚀刻制程(dry plasma etching process)，并授与该剖面图于图 5c 及图 6c 中。本例中，栅极介电质 144 也同样经由图案化，尽管此步骤并非必须。

一栅极介电层 162 于之后形成以包覆尚未经隔离区 136 所包覆的部分半导体鳍片 134 的侧壁表面 158。现依照图 5d 及图 6d，栅极介电层 162 的形成以致该半导体鳍片侧壁 158 沿介电层 162 的上方表面延伸。栅极介电层 162 提供源极 138 与漏极区 140 的形成，因此漏极-基底接面 152 或源极-基底接面 154 相较栅电极 146 的下方表面为高。较佳实施例中，漏极-基底接面 152 或源极-基底接面 154 是定义为该位置的于源极 138 或漏极区 140 的掺杂浓度为每立方公分 10^{18} 等级。较佳实施例中，栅极介电层 162 的材质是包含氧化硅。

较佳实施例中，该材料区域 162 形成一厚度介于约 50-500 埃之间，且较佳约 200 埃；裸露部分侧壁 158 的高度一般约介于范围 500-200 埃之间，且较佳约 1000 埃。结果该材料区域 162 的厚度比裸露部分侧壁 158 的高度较佳介于约 1: 1 至 1: 20 之间。

接着如图 5e 及图 6e 中所示形成源极 138 与漏极区 140。源极 138 与漏极区 140 的形成可能牵涉数个步骤，于较佳实施例中，一离子布植制程是第一

施以掺杂紧邻沟道区 142 旁的源极 138 与漏极区 140, 该沟道区 142 是由栅极介电质 144 以与门电极 146 所包覆的部分半导体鳍片 134。

于之后间隔物 164 (图 7 的 164) 形成于栅电极 146 的侧壁上。间隔物 164 可藉由沉积一间隔材料之后再接着非等向性蚀刻该间隔材料以形成该间隔物 5 164。间隔物是由一介电材料所形成, 且较佳为氮化硅 (silicon nitride; Si_3N_4); 该间隔材料也可形成自一堆栈的介电材料中, 例如一覆盖于氧化硅层上的氮化硅层, 图 7 显示一具有该间隔物 164 以及介电层 162 的晶体管结构的立体透视图。

此时, 可额外施加一种选择性外延成长以增加位于源极 138 与漏极区 140 10 的鳍片 134 的宽度以及/或高度, 而该选择性外延成长可能导致外延成长于源极 138 与漏极区 140 上, 且或许可能成长于该栅电极区 146 上。外延成长可均匀施加于一单一基底 132 上的所有鳍片 134 上, 或可成长至不同高度 (包括无高度) 或一单一基底上的不同鳍片上。

之后可视需要施行一离子布植步骤于之后施行以掺杂源极 138 与漏极区 15 140, 假设该选择性外延成长于外延成长过程中并无并入掺杂物于成长区域则须施加离子布植制程。导电材料 (未示) 例如为硅化物 (silicide) 可形成于源极 138 与漏极区 140 上以增加该区域的导电性。

图 8 显示一种双重栅极晶体管的结构, 该组件是相似于图 7 中的三重栅极组件, 但如前所述该图 8 是多包含一蚀刻掩膜。较佳实施例中, 该蚀刻掩膜 166 的材质是由氮氧化硅所形成, 并具有一厚度介于约 20-500 埃之间。 20

一种如同图 9 中显示的具有欧米茄型的栅电极的晶体管也可藉由稍微修饰刚才所提及的制造方法而形成, 例如当于图 5a 及图 6a 中定义该半导体鳍片时, 可利用一种二阶段式蚀刻 (two-step etch), 一第一蚀刻步骤可利用一

具有可忽略的横向蚀刻率的高度非等向性电浆蚀刻制程，一第二蚀刻步骤可利用一较轻微的非等向性蚀刻，因此产生些许横向蚀刻，导致该半导体鳍片的底部较窄，而该二阶段式蚀刻将导致一半导体鳍片具有一较宽的顶部宽度，例如为源极 138 以及漏极 140，以及一于底部 168 的较窄的鳍片宽度，而其余 5 的制造步骤是依照上述的步骤，所产生的晶体管则于图 9 中显示。

虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此技艺者，在不脱离本发明的精神和范围内，当可作些许的更动与润饰，因此本发明的保护范围当视所附的权利要求范围所界定者为准。

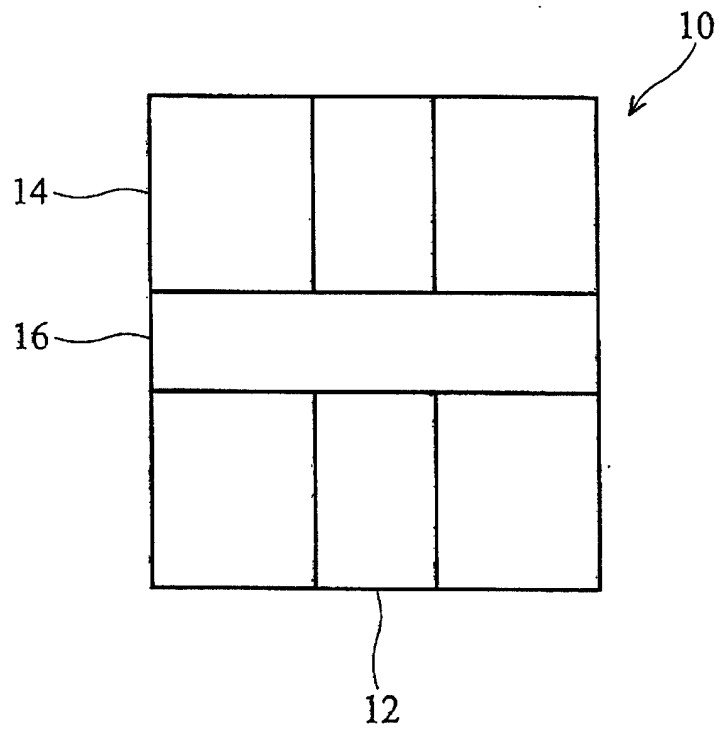


图 1

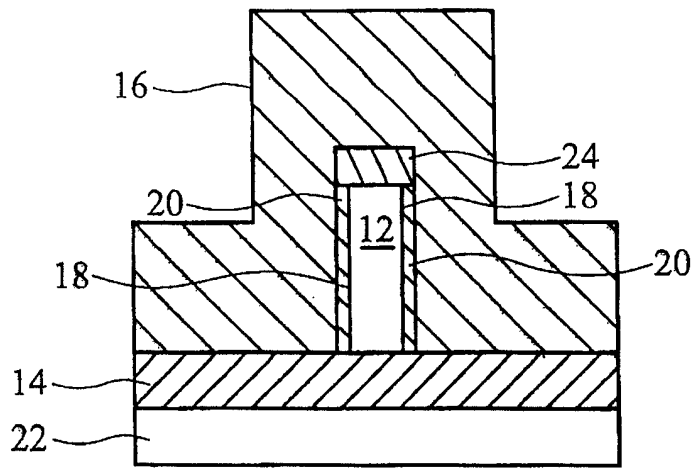


图 2a

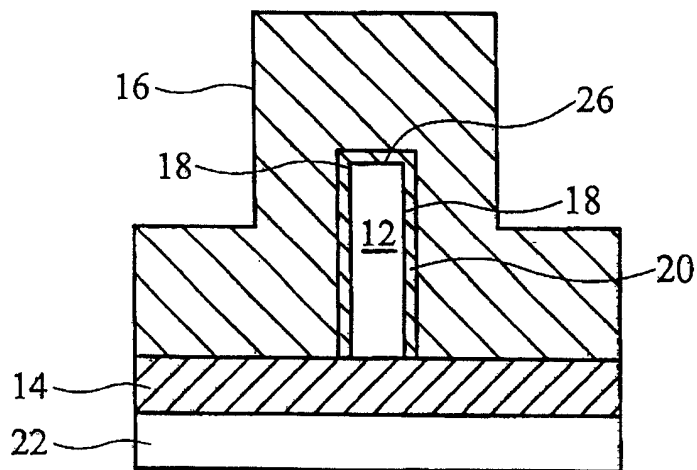


图 2b

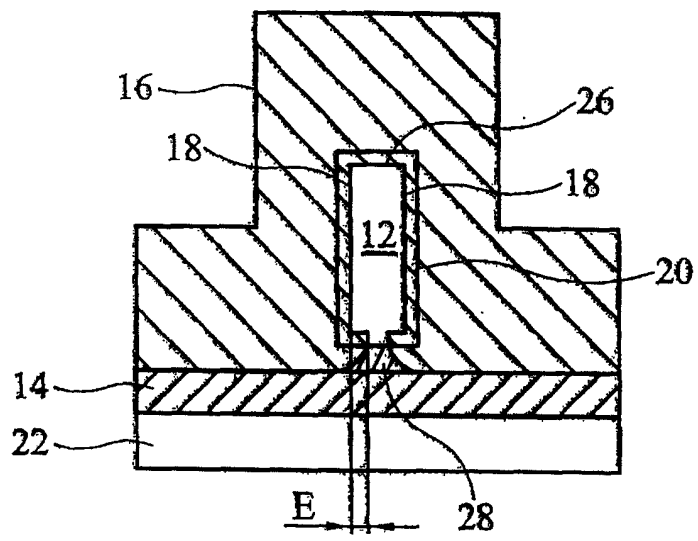


图 2c

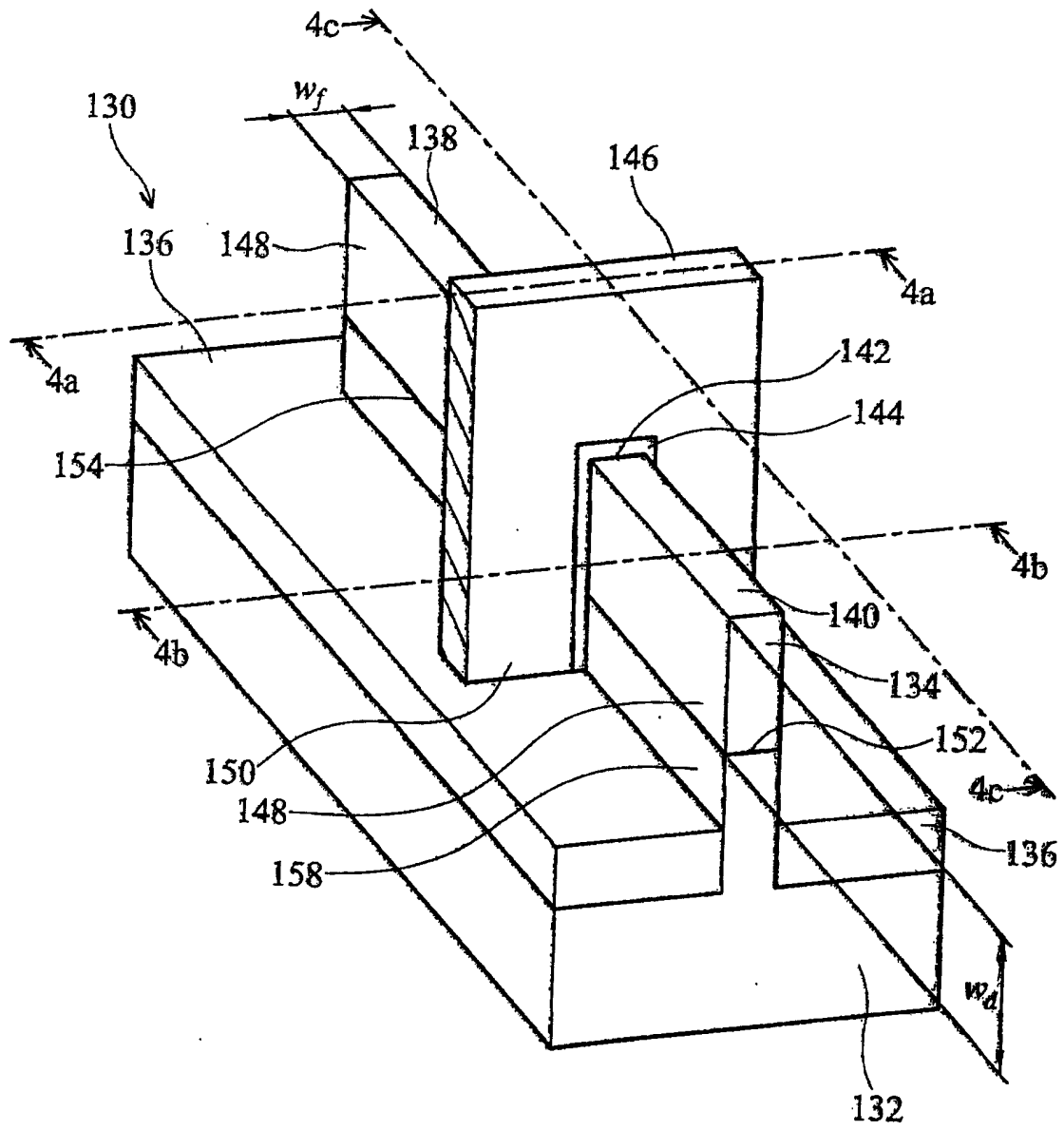


图 3

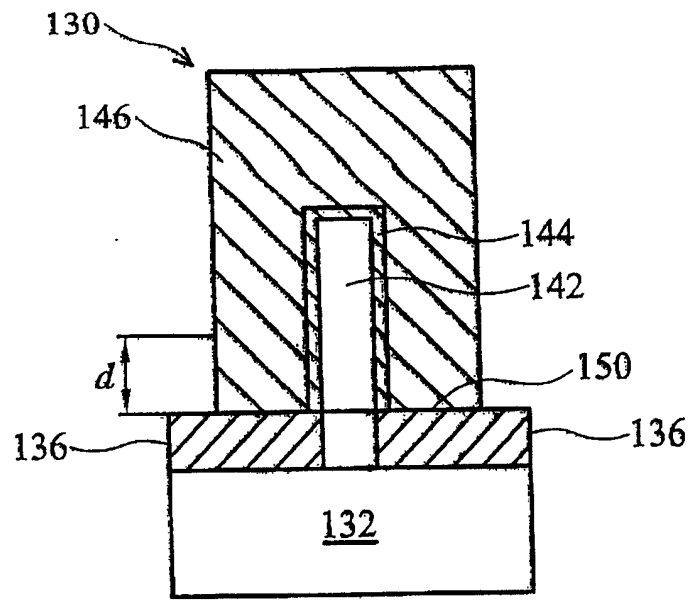


图 4a

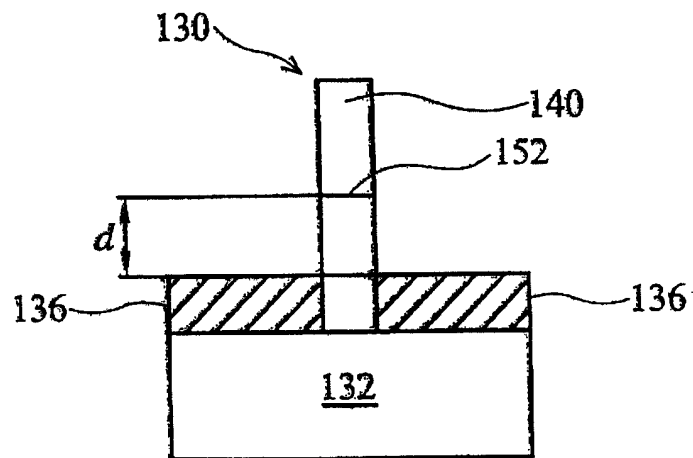


图 4b

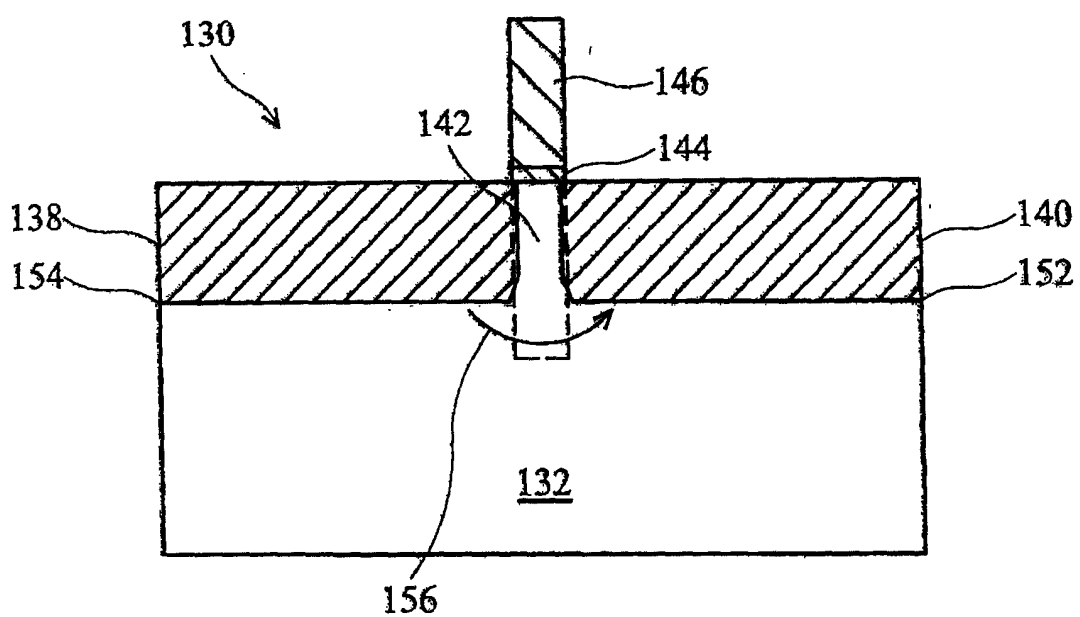


图 4c

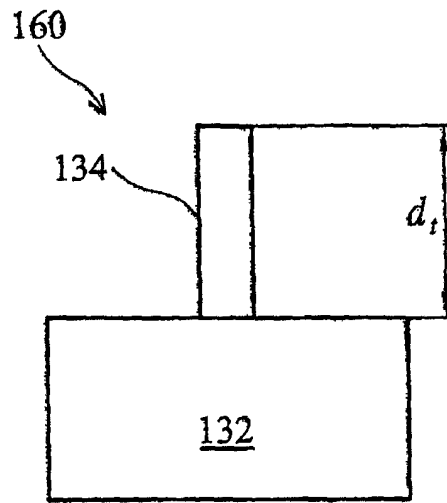


图 5a

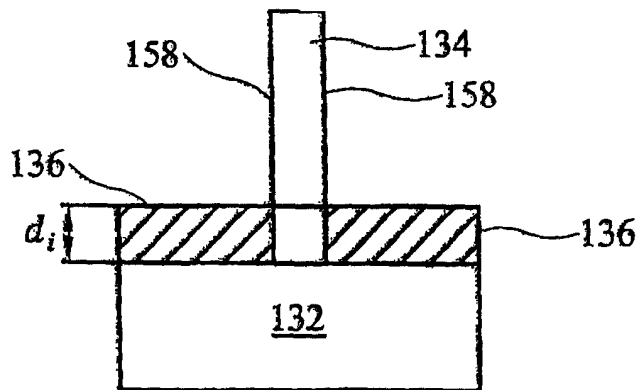


图 5b

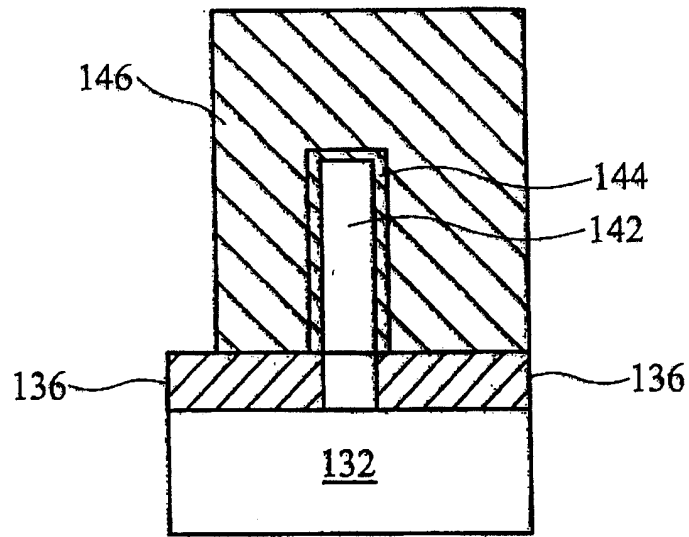


图 5d

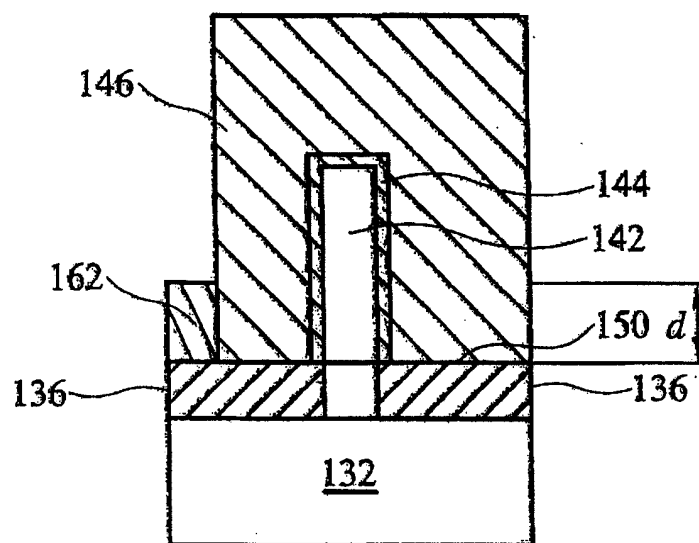


图 5c

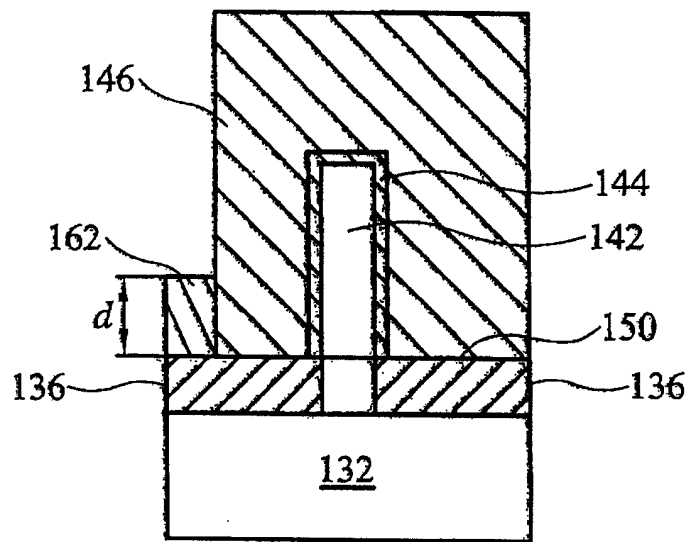


图 5e

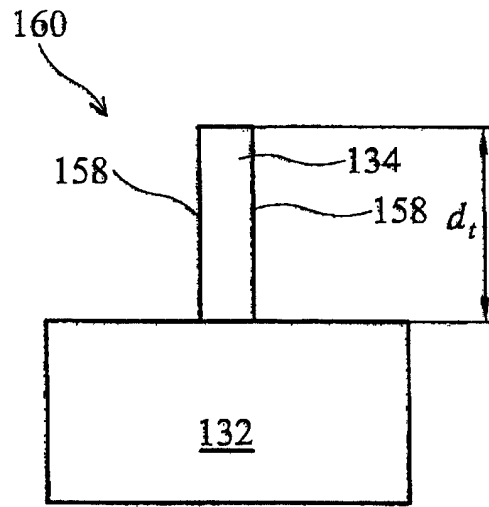


图 6a

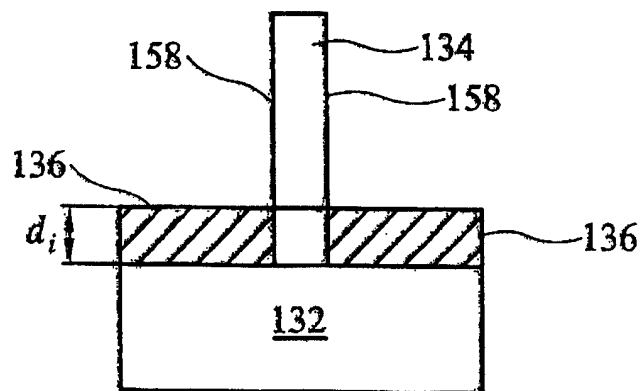


图 6b

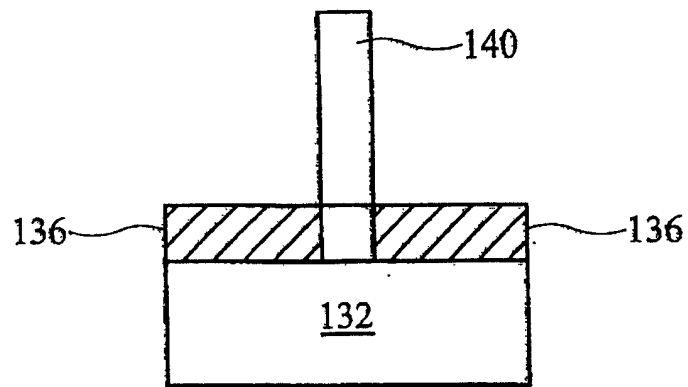


图 6c

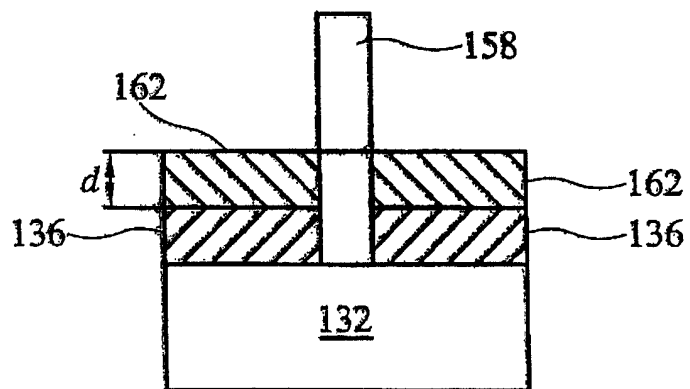


图 6d

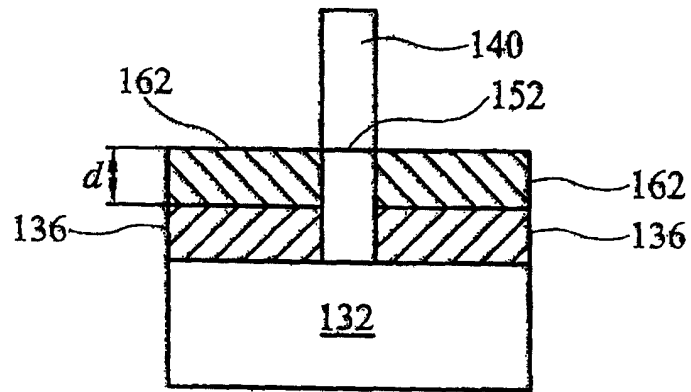


图 6e

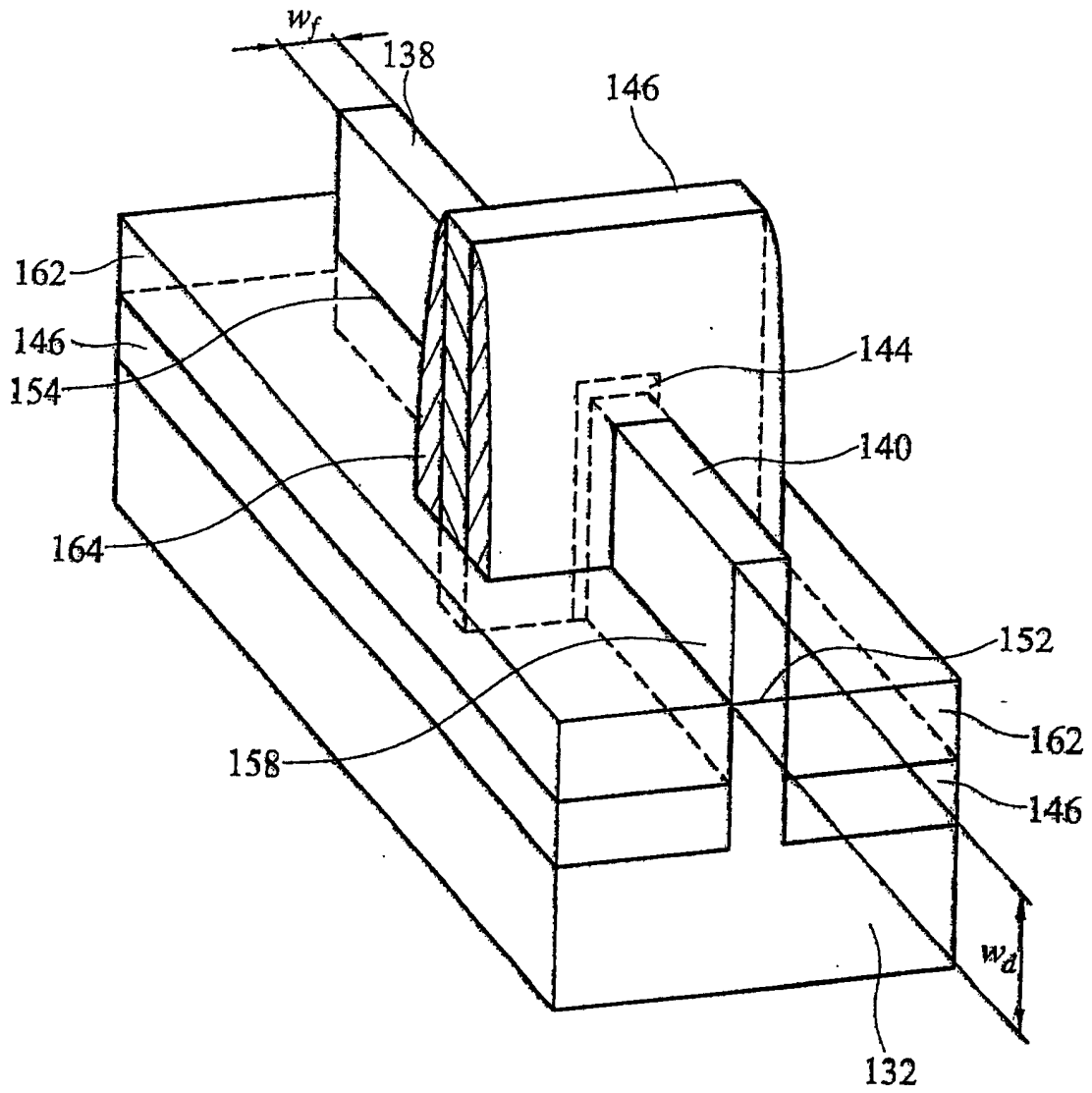


图 7

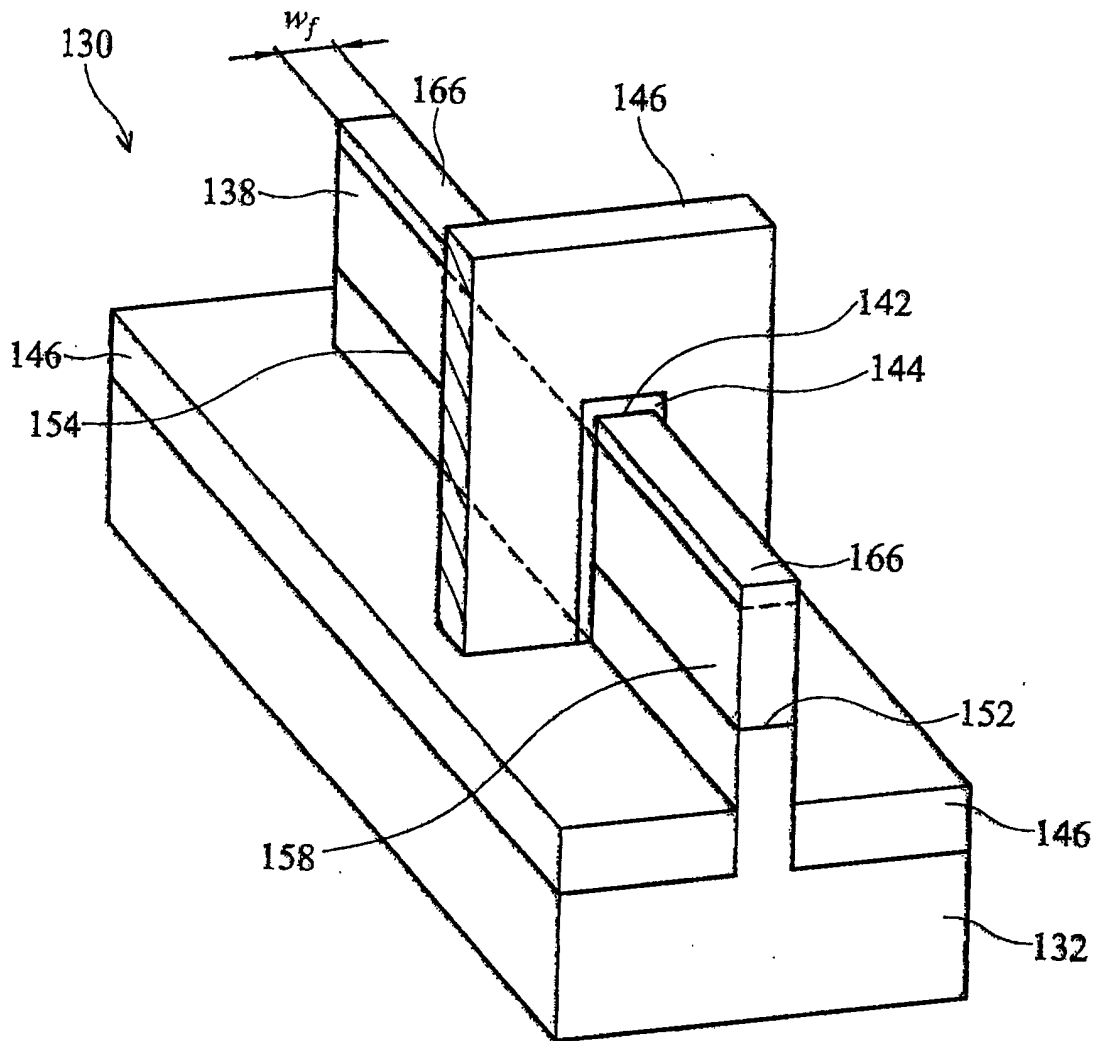


图 8

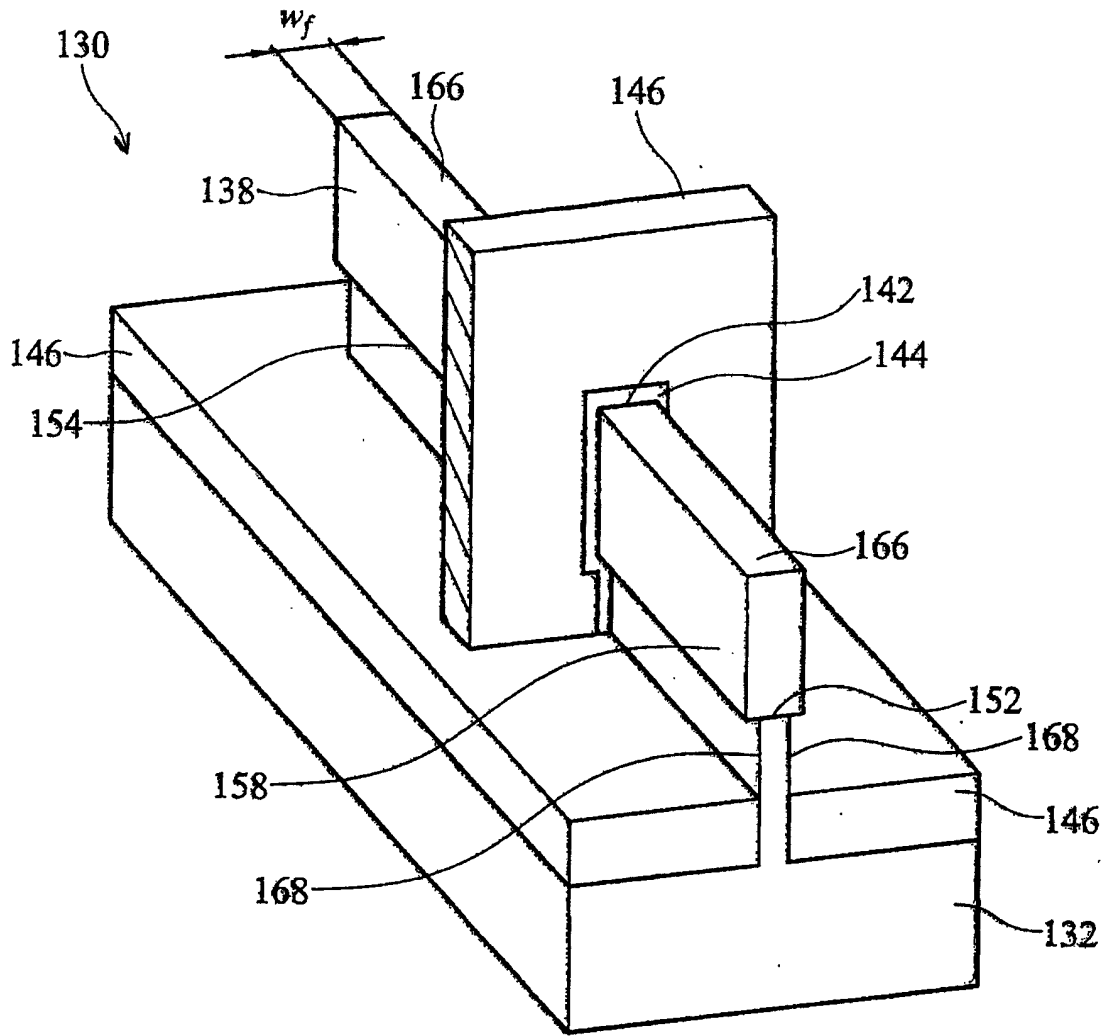


图 9