

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3772639号

(P3772639)

(45) 発行日 平成18年5月10日(2006.5.10)

(24) 登録日 平成18年2月24日(2006.2.24)

(51) Int. Cl.		F I		
G 1 1 C	7/00	(2006.01)	G 1 1 C	7/00 3 1 8 A
G 0 6 F	5/14	(2006.01)	G 0 6 F	5/14
H 0 4 L	13/08	(2006.01)	H 0 4 L	13/08

請求項の数 6 (全 9 頁)

(21) 出願番号	特願2000-142899 (P2000-142899)	(73) 特許権者	000004237
(22) 出願日	平成12年5月16日(2000.5.16)		日本電気株式会社
(65) 公開番号	特開2001-325790 (P2001-325790A)		東京都港区芝五丁目7番1号
(43) 公開日	平成13年11月22日(2001.11.22)	(74) 代理人	100086645
審査請求日	平成13年4月13日(2001.4.13)		弁理士 岩佐 義幸
		(72) 発明者	吉永 幸太郎
			東京都港区芝五丁目7番1号 日本電気株式会社内
		審査官	堀田 和義

最終頁に続く

(54) 【発明の名称】 エラスティックストア回路

(57) 【特許請求の範囲】

【請求項1】

2ポートメモリと、2ポートメモリに対し一方のポートを介してデータを読み出すための読み出しアドレスを発生する第1のアドレス発生手段と、2ポートメモリに対し他方のポートを介してデータを書き込むための書き込みアドレスを発生する第2のアドレス発生手段とを備え、読み出しアドレスと書き込みアドレスとの差が規定値以内に接近した場合に両アドレスの差を補正するエラスティックストア回路において、

前記読み出しアドレスと書き込みアドレスのいずれか一方の最下位ビットをカウントアップ信号とし、他方の最下位ビットをカウントダウン信号として両アドレスの距離差をカウント値として認識するアップダウンカウンタと、

アップダウンカウンタのカウント値が、読み出しアドレスと書き込みアドレスとが接近したことを表す所定の第1の規定値に達したことを検出すると、前記第1のアドレス発生手段または第2のアドレス発生手段のいずれか一方のアドレス発生を停止する信号を一定時間出力し、アップダウンカウンタのカウント値が、読み出しアドレスと書き込みアドレスとが更に接近したことを表す所定の第2の規定値に達したことを検出すると、前記第1のアドレス発生手段の読み出しアドレスと第2のアドレス発生手段の書き込みアドレスとを最大距離の初期値に設定するイニシャライズ信号を出力する距離検出部と、を備えることを特徴とするエラスティックストア回路。

【請求項2】

前記最大距離の初期値は、2ポートメモリの最大アドレス値の約半分の値であることを

10

20

特徴とする請求項 1 に記載のエラスティックストア回路。

【請求項 3】

前記アップダウンカウンタは、読み出しアドレスまたは書き込みアドレスが 2 アドレス変化したときに、1 カウントアップまたは 1 カウントダウンすることを特徴とする請求項 1 または 2 に記載のエラスティックストア回路。

【請求項 4】

2 ポートメモリを使用し、読み出しアドレスと書き込みアドレスの接近を検出し、両アドレスを補正するエラスティックストア回路のアドレス補正方法において、

読み出しアドレスと書き込みアドレスのいずれか一方の最下位ビットをカウントアップ信号とし、他方の最下位ビットをカウントダウン信号として両アドレスの距離差をカウント値として認識し、前記カウンタ値が、読み出しアドレスと書き込みアドレスとが接近したことを表す所定の第 1 の規定値に達したことを検出すると、前記読み出しアドレスまたは書き込みアドレスの発生を停止して読み出しアドレスと書き込みアドレスの差を所定の距離に設定し、前記読み出しアドレスと書き込みアドレスとが更に接近したことを表す所定の第 2 の規定値に達したことを検出すると、前記読み出しアドレスと書き込みアドレスの差を最大距離の初期値に設定することを特徴とするエラスティックストア回路のアドレス補正方法。

【請求項 5】

前記最大距離の初期値は、2 ポートメモリの最大アドレス値の約半分の値であることを特徴とする請求項 4 に記載のエラスティックストア回路のアドレス補正方法。

【請求項 6】

前記アップダウンカウンタは、読み出しアドレスまたは書き込みアドレスが 2 アドレス変化したときに、1 カウントアップまたは 1 カウントダウンすることを特徴とする請求項 4 または 5 に記載のエラスティックストア回路のアドレス補正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、第 1 のポートに書き込んだデータを第 2 のポートから読み出す 2 ポートメモリを用いる際に、読み出しアドレスと書き込みアドレスとの接近を検出し、両アドレスを初期値に設定することにより補正するエラスティックストア回路に関し、特に、アドレスが所定値以上に接近したことを簡単な回路で検出し、かつ、初期設定の頻度を抑えることができるエラスティックストア回路に関する。

【0002】

【従来の技術】

デジタルデータ伝送システムの高速化、高機能化の要求に伴い、データの速度変換あるいは遅延調整などを行うためのエラスティックメモリ回路にも高速化、高機能化が要求されるようになっており、このため、入出力ポートが独立した 2 ポートメモリを使用したエラスティックメモリ回路が使用されるようになってきている。

【0003】

このようなエラスティックメモリ回路においては、書き込み動作と読み出し動作は、それぞれ独立したクロックにより行われるため、それぞれのクロックの位相のずれに起因する読み出しアドレスの書き込みアドレスの接近を事前に検出して、読み出しアドレスが書き込みアドレスを追い越さないように補正する制御を必要としており、また、回路規模の縮小も重要となってきた。

【0004】

図 3 は、このような従来のエラスティックストア回路の一例を示すブロック図である。図 3 において、読み出しアドレス発生回路 11 は、2 ポートメモリ 13 の図示しない出力ポートより出力すべきデータが蓄積されている 2 ポートメモリ 13 内のアドレスを指定する読み出しアドレス 21 を発生する回路であり、書き込みアドレス発生回路 12 は、2 ポートメモリ 13 の図示しない入力ポートから入力するデータを蓄積する 2 ポートメモリ 13

10

20

30

40

50

内のアドレスを指定する書き込みアドレス 22 を発生する回路であり、それぞれ 2 ポートメモリ 13 と減算器 17 に接続されている。

【0005】

減算器 17 は、2 ポートメモリ 13 に送出される読み出しアドレス 21 と書き込みアドレス 22 をそれぞれモニタして、読み出しアドレス値と書き込みアドレス値を減算することにより両アドレスの距離を算出している。減算器 17 の算出結果は、減算器 17 に接続されている距離検出部 18 に伝達され、距離検出部 18 では、両アドレスの距離が規定値に達したことを検出すると、イニシャライズ信号 23 を読み出しアドレス発生回路 11 と書き込みアドレス発生回路 12 に送出して各回路を初期状態に設定する。また、このとき距離検出部 18 は、アラーム信号 26 を図示しないアラーム受信部に送出して、両アドレスの接近と初期設定が行われたことを通知する。

10

【0006】

初期状態に設定された読み出しアドレス発生回路 11 と書き込みアドレス発生回路 12 では、発生する読み出しアドレスと書き込みアドレスを初期の状態に戻すので、両アドレスの距離は最大値に戻る。

【0007】

【発明が解決しようとする課題】

しかし、上述した従来のエラスティックストア回路では、読み出しアドレスと書き込みアドレスとの距離差を求めて規定値以内か否かを判断するために、2つのアドレスに対して蓄積・演算・比較が必要であり、回路規模構成が大きいという問題がある。

20

【0008】

また、読み出しアドレスの基準値を中心とする規定値以内の書き込みアドレスという基準値への接近の際に、読み出しアドレス発生回路および書き込みアドレス発生回路に対して初期設定という手段で対応しているために、初期設定する機会頻度が多くなる可能性が高いという問題がある。

【0009】

本発明の目的は、読み出しアドレスと書き込みアドレスとの差を検出する回路を簡素化して回路規模の縮小化を図り、かつ読み出しアドレスと書き込みアドレスとが接近する状態を事前に検知し、初期設定の機会頻度を抑えることができるエラスティックストア回路を提供することにある。

30

【0010】

【課題を解決するための手段】

本発明は、2ポートメモリと、2ポートメモリに対し一方のポートを介してデータを読み出すための読み出しアドレスを発生する第1のアドレス発生手段と、2ポートメモリに対し他方のポートを介してデータを書き込むための書き込みアドレスを発生する第2のアドレス発生手段とを備え、読み出しアドレスと書き込みアドレスの差が規定値以内に接近した場合に両アドレスの差を補正するエラスティックストア回路において、

前記読み出しアドレスと書き込みアドレスのいずれか一方の最下位ビットをカウントアップ信号とし、他方の最下位ビットをカウントダウン信号として両アドレスの距離差をカウント値として認識するアップダウンカウンタと、

40

アップダウンカウンタのカウント値が、読み出しアドレスと書き込みアドレスとが接近したことを表す所定の第1の規定値に達したことを検出すると、前記第1のアドレス発生手段または第2のアドレス発生手段のいずれか一方のアドレス発生を停止する信号を一定時間出力し、アップダウンカウンタのカウント値が、読み出しアドレスと書き込みアドレスとが更に接近したことを表す所定の第2の規定値に達したことを検出すると、前記第1のアドレス発生手段の読み出しアドレスと第2のアドレス発生手段の書き込みアドレスとを最大距離の初期値に設定するイニシャライズ信号を出力する距離検出部と、を備えることを特徴とする。

【0011】

本発明は、2ポートメモリを使用し、読み出しアドレスと書き込みアドレスの接近を検出

50

し、両アドレスを補正するエラスティックストア回路において、前記の両アドレスの距離差を補正する機能ブロックを、両アドレスの最下位ビットのみを利用したアップダウンカウンタを用いることにより極めて小さな回路規模で実現し、常に両アドレスの距離差をカウンタ値として認識することにより、両アドレスの接近をそのカウンタ値が規定値になることで発見し、読み出しアドレスが書き込みアドレスに追いついた場合は読み出し停止信号を、書き込みアドレスが読み出しアドレスに追いついた場合は書き込み停止信号を出力し、両アドレスの距離を補正することにより、回路がイニシャライズされる頻度を抑えることができる。

【0012】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。

【0013】

図1は、本発明に係るエラスティックストア回路の実施の形態を示すブロック図である。図1において、読み出しアドレス発生回路11は、2ポートメモリ13の図示しない出力ポートより出力すべきデータが蓄積されている2ポートメモリ13内のアドレスを指定する読み出しアドレス21を発生する回路であり、書き込みアドレス発生回路12は、2ポートメモリ13の図示しない入力ポートから入力するデータを蓄積する2ポートメモリ13内のアドレスを指定する書き込みアドレス22を発生する回路である。

【0014】

読み出しアドレス発生回路11は、2ポートメモリ13とアップダウンカウンタ15に接続されており、アップダウンカウンタ15に接続されるのは、読み出しアドレス21の最下位ビット211のみである。また、書き込みアドレス発生回路12は、2ポートメモリ13とアップダウンカウンタ15に接続されており、アップダウンカウンタ15に接続されるのは、書き込みアドレス22の最下位ビット221のみである。

【0015】

アップダウンカウンタ15は、初期設定時にアドレス値の約半分となる理想距離の半分の値を初期値としてロードし、書き込みアドレス22の最下位ビット221をカウントアップ指示信号として、読み出しアドレス21の最下位ビット211をカウントダウン指示信号として入力し、両アドレスの距離をカウンタ出力値として認識している。このアップダウンカウンタ15は、2アドレスで1カウント動作するため、実際のアドレス間の距離は、カウント値の約2倍の値である。

【0016】

アップダウンカウンタ15は、距離検出部16に接続されており、距離検出部16は、アップダウンカウンタ15のカウント値が最小規定値に達したことを検出すると、読み出しアドレスが書き込みアドレスに追いついたことを検出しているため、読み出し停止信号24を、設定した一定時間の間出力する。逆に、カウント値が最大規定値に達したことを検出すると、書き込みアドレスが読み出しアドレスに追いついたことを検出しているため、書き込み停止信号25を、設定した一定時間の間出力する。この制御により、回路がイニシャライズされる頻度は、極端に減らすことができる。

【0017】

読み出し動作か書き込み動作のどちらかが止まってしまったような場合は、上記制御を行ってもカウンタ値は、最小規定値より小さく、あるいは最大規定値より大きくなり、イニシャライズ条件（読み出しアドレスと書き込みアドレスが極端に隣接）に達する。このときは、イニシャライズ信号23を読み出しアドレス発生回路11と書き込みアドレス発生回路12に送出して、各回路を初期状態に設定する。

【0018】

初期状態に設定された読み出しアドレス発生回路11と書き込みアドレス発生回路12では、発生する読み出しアドレスと書き込みアドレスを初期状態に戻すので、両アドレスの距離は最大値に戻される。このとき、回路の異常状態を外部へ通知するために、イニシャライズ信号23をアラーム信号26として外部へ送出する。

10

20

30

40

50

【0019】

アップダウンカウンタ15は、カウントアップ指示信号が入力されると1カウントアップし、カウントダウン指示信号が入力されると1カウントダウンする。従って、書き込みデータと読み出しデータの速度差/位相差が大きくない場合は、カウント出力値は、ロード値に近い値をキープすることになる。読み出し/書き込み両アドレスの最下位ビットをカウントアップ/ダウン指示信号に使用しているため、2アドレス変化したときに、1カウントアップ/ダウンすることになる。

【0020】

アップダウンカウンタ15は、読み出し/書き込み両アドレスの最下位ビットのみを使用しているため、アドレス全てを比較する減算器に比べて回路規模を小さくすることが可能である。また、メモリが深くなってアドレス値が大きくなった場合でも、同じ回路で対応できる。よって、アドレス幅が大きい場合には特に有効である。

10

【0021】

読み出し停止信号24と書き込み停止信号25は、外部で読み出し停止あるいは書き込み停止機能を持っていない場合は、事前アラーム信号として用いることもできる。通常どちらかの制御は行われる構成となるので、片方を停止信号として用い、もう片方をアラーム信号として用いればよい。

【0022】

なお、書き込みアドレス22の最下位ビット221をダウン制御信号、読み出しアドレス21の最下位ビット211をアップ制御信号としても良い。

20

【0023】

次に、図2を参照して本発明の実施の形態の動作を説明する。

【0024】

図2において、アドレス距離差を検出する距離検出部16は、読み出し停止信号24の出力条件としてのカウント値を検出するmin条件デコード部161と、書き込み停止信号25の出力条件としてのカウント値を検出するmax条件デコード部162と、イニシャライズ条件としてのカウント値を検出するイニシャライズ条件デコード部163と、読み出し停止信号24および書き込み信号25を設定した一定時間の間出力するカウンタ164とを備えている。

【0025】

ここで一例として、2ポートメモリ13のアドレスを0~127、読み出し停止信号を出力するときの読み出しアドレス21と、書き込み停止信号を出力するときの書き込みアドレス22との距離差を8とし、イニシャライズする条件を距離差2とする。このとき設定する停止信号送出条件とイニシャライズ条件のアドレス距離差は、各エラスティックストア回路における読み出しと書き込みの位相差により両アドレスが接近するであろうアドレスを予測して設定する。

30

【0026】

距離検出部16は、常に両アドレスの距離差を認識しているため、ぎりぎりの値に設定することも可能であるが、読み出し側/書き込み側にそれぞれイネーブル信号がある場合には、このイネーブル信号によるアドレス距離差の増減を考慮に入れる必要がある。カウントアップ指示信号、カウントダウン指示信号にアドレスの最下位ビットを使用しているため、2アドレスに1回アップあるいはダウンする。カウンタ出力値で1に設定することにより、アドレス距離差としては2を最小値に設定することになる。

40

【0027】

まず、初期状態においては、両アドレスは、最大距離となるように設定され、例えば、書き込みアドレスを0番地、読み出しアドレスを64番地に設定する。アップダウンカウンタ15には理想距離64の半分の32をロードする。読み出し停止信号24の出力条件はアドレス差で8、アップダウンカウンタ15は2アドレスに1回カウント動作するので、カウント値としては4を設定する。また、書き込み停止信号25の出力条件としてはアドレス差で $128 - 8 = 120$ 、カウントはその半分で60に設定する。イニシャライズ条

50

件としては、カウント値で1と63を設定する。

【0028】

アップダウンカウンタ15は、初期状態で32をロードし、書き込みアドレス最下位ビット221をカウントアップ指示信号、読み出しアドレス最下位ビット211をカウントダウン指示信号として受ける。最下位ビットをそのまま制御信号として用いているので、書き込みアドレス22が2増えて01と立ち上がりエッジが見えた所で1カウントアップする。読み出しアドレス21が2増えて01と立ち上がりエッジが見えた所で1カウントダウンする動作をする。こうすることで、実際の両アドレスの距離の半分の値がカウンタの出力値として表示されることになる。

【0029】

この実施の形態では、読み出し停止信号24の出力条件をアドレス差8と設定しているので、min条件のカウント値は4に設定する。min条件デコード部161で4を検出すると、読み出し停止信号24を外部へ通知し、読み出し動作を停止させる。このとき、読み出し停止信号24は、アドレス差がちょうど中心に近い値まで戻るように、カウンタ164から56クロック間出力される。こうすることで、書き込み動作が順当に行われると、アドレス値差で56、アップダウンカウンタのカウント値で28、カウント値が離れることになるので、カウント値差が32となり、安定した正常動作状態に戻る。

【0030】

逆に、書き込み停止信号25の出力条件であるmax条件としては、検出カウント値に60を設定する。max条件デコード部162で60を検出すると、書き込み停止信号25を外部へ通知し、書き込み動作を停止させる。このとき、書き込み停止信号は、アドレス値差が中心付近まで戻るように、カウンタ164から56クロック間出力される。こうすることで、60まで上がっていたカウント値は28減り、32となる。こうすることで、アドレス値が最も離れた理想的な状態に戻る。通常は、読み出し停止か書き込み停止のどちらかの機能にしか対応していないので、逆の条件の停止信号は、事前アラーム信号として用いられたい。

【0031】

また、イニシャライズ条件としては、アドレス距離差を2と設定しているので、その半分1をmin条件とし、63をmax条件とし、それぞれイニシャライズ条件デコード部163でデコードする。もしイニシャライズ条件デコード部163で1あるいは63を検出した場合は、イニシャライズ信号23を、読み出しアドレス発生回路11と書き込みアドレス発生回路12に送出することにより、回路全体を初期状態にリセットする。このとき、アラーム状態を外部に通知するためにアラーム信号26も出力する。

【0032】

具体例として、読み出しアドレス21が32で書き込みアドレス22が48と、読み出しアドレス21が書き込みアドレス22に追いついてきた場合を示す。このとき、読み出しアドレス21は、基準値の64から96増え、書き込みアドレス22は、基準値の0から48増えている。従って、アップダウンカウンタ15の出力値は、 $32 + 48 / 2 - 96 / 2 = 8$ となる。この場合は、min条件4にはひっかからないので、そのまま正常に動作する。

【0033】

更に、読み出しアドレス21が書き込みアドレス22に追いつき、読み出しアドレス21が52、書き込みアドレス22が60と距離差が8になると、アップダウンカウンタ15のカウント出力値は、 $32 + 60 / 2 - 116 / 2 = 4$ を示し、読み出し停止条件に当てはまるため、読み出し停止信号24が56クロック間出力され、読み出し動作を止める。この間も書き込み動作は行われるため、書き込みアドレス22は56カウントアップし、116となる。読み出しアドレス21は52のままなので、両者の距離は64離れることになり、正常動作状態に戻る。

【0034】

逆に、書き込みアドレス22が52、読み出しアドレス21が60と、書き込みアドレス

10

20

30

40

50

2 2 が読み出しアドレス 2 1 に追いついた場合は、アップダウンカウンタの出力値は、 $32 + 116 / 2 - 60 / 2 = 60$ となり、書き込み停止条件となり、書き込み停止信号 2 5 が 5 6 クロック間出力され、書き込み動作は停止する。この間に読み出しアドレス 2 1 は 5 6 進み、116 となり、両アドレス間の距離は 6 4 離れることになる。

【0035】

読み出し動作あるいは書き込み動作のどちらかが停止し、両アドレス間の距離が 2 になると、アップダウンカウンタ 1 5 の出力値から、イニシャライズ条件デコード部 1 6 3 で 1 あるいは 6 3 を検出し、イニシャライズ条件となる。この状態はアラーム状態であるので、イニシャライズ信号 2 3 を読み出し、読み出しアドレス発生回路 1 1 と書き込みアドレス発生回路 1 2 に出力し、回路全体を初期状態に戻し、アラーム信号 2 6 を外部へ出力する。

10

【0036】

【発明の効果】

以上説明したように、本発明によれば、読み出しアドレスと書き込みアドレスの接近を判断し初期設定するエラスティック回路のアドレス制御部を非常に小さな回路規模で実現することが可能となる。アドレスの距離検出には最下位ビットのみを使用するので、メモリの深さ（アドレス値の大きさ）に関係なく、同じ小規模の回路で実現できる。

【0037】

また、両アドレス間の距離を観測し、読み出し停止信号あるいは書き込み停止信号を出力することで、両アドレス間の距離を補正するため、簡単にイニシャライズされることがなくなる。読み出し停止 / 書き込み停止双方の機能を外部回路で実現していることは少ないが、片方の制御のみでイニシャライズされる頻度は格段に減らすことができる。使用しないもう片方の停止信号は事前アラーム信号として使用すればよい。

20

【0038】

また、両アドレスの最下位ビットをアップダウンカウンタに入力しているため、アップダウンカウンタの動作スピードは、読み出し / 書き込みクロックの半分となり、低消費電力化にも貢献する。

【図面の簡単な説明】

【図 1】本発明に係るエラスティックストア回路の実施の形態を示すブロック図である。

【図 2】本発明に係るエラスティックストア回路の動作を説明するブロック図である。

30

【図 3】従来のエラスティックストア回路の一例を示すブロック図である。

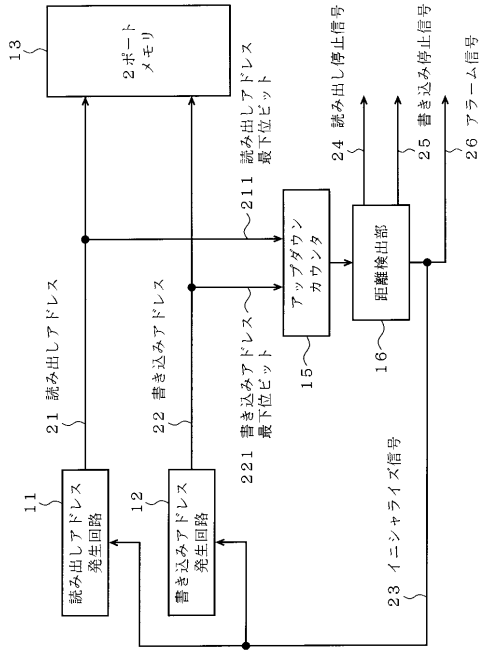
【符号の説明】

- 1 1 読み出しアドレス発生回路
- 1 2 書き込みアドレス発生回路
- 1 3 2ポートメモリ
- 1 5 アップダウンカウンタ
- 1 6 , 1 8 距離検出部
- 1 7 減算器
- 2 1 読み出しアドレス
- 2 2 書き込みアドレス
- 2 3 イニシャライズ信号
- 2 4 読み出し停止信号
- 2 5 書き込み停止信号
- 2 6 アラーム信号
- 1 6 1 min 条件デコード部
- 1 6 2 max 条件デコード部
- 1 6 3 イニシャライズ条件デコード部
- 1 6 4 カウンタ
- 2 1 1 読み出しアドレス最下位ビット
- 2 2 1 書き込みアドレス最下位ビット

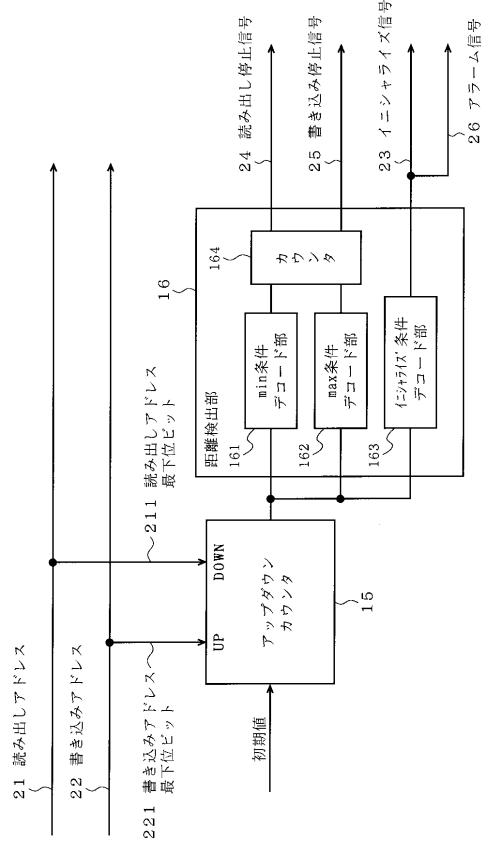
40

50

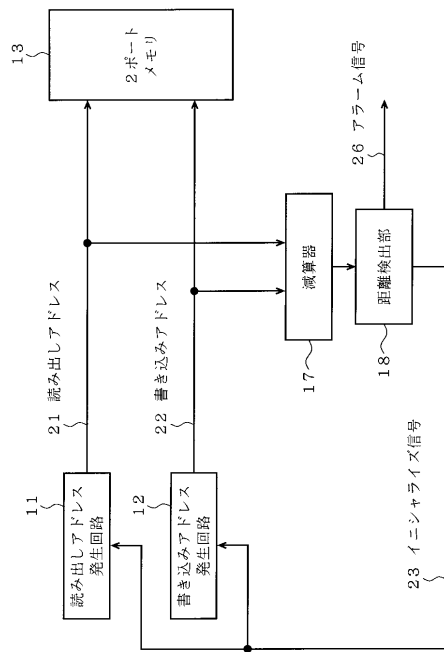
【図1】



【図2】



【図3】



フロントページの続き

- (56)参考文献 特開平10-065743(JP,A)
特開平06-188938(JP,A)
特開平11-175310(JP,A)
特開2000-59442(JP,A)
特開2000-353075(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 7/00

G06F 5/14