

202437387



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202437387 A

(43) 公開日：中華民國 113 (2024) 年 09 月 16 日

(21) 申請案號：113104873

(22) 申請日：中華民國 113 (2024) 年 02 月 07 日

(51) Int. Cl. : **H01L21/3065(2006.01)**

**H01L21/027 (2006.01)**

**H01J37/32 (2006.01)**

(30) 優先權：2023/02/21 日本

2023-025510

(71) 申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)  
日本

(72) 發明人：米澤隆宏 YONEZAWA, TAKAHIRO (JP)

(74) 代理人：陳長文

申請實體審查：無 申請專利範圍項數：14 項 圖式數：13 共 52 頁

(54) 名稱

蝕刻方法及電漿處理裝置

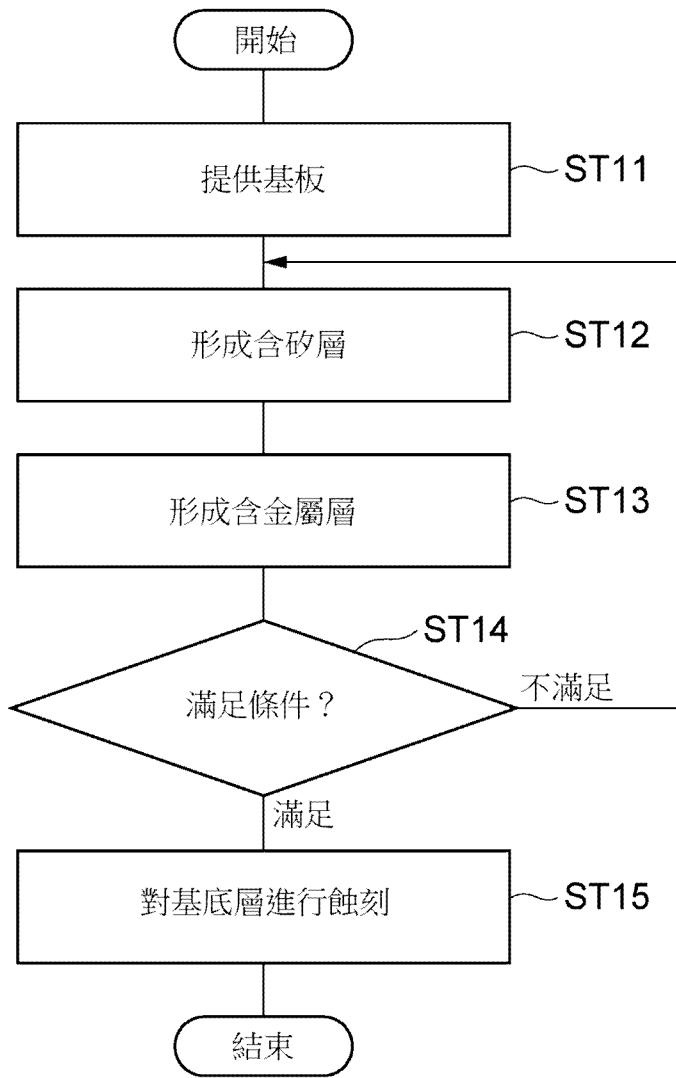
(57) 摘要

本發明提供一種能夠提高蝕刻選擇比之技術。

所揭示之蝕刻方法包含以下步驟：(a)提供包含第 1 層、及於第 1 層上之具有圖案之第 2 層之基板；(b)相較於第 1 層之表面，優先於第 2 層之表面形成含矽層；(c)於含矽層之表面形成含金屬層；及(d)將第 2 層、含矽層、及含金屬層作為遮罩，對露出之第 1 層進行蝕刻。

指定代表圖：

符號簡單說明：  
ST11~ST15:步驟



【圖3】

## 【發明摘要】

### 【中文發明名稱】

蝕刻方法及電漿處理裝置

### 【中文】

本發明提供一種能夠提高蝕刻選擇比之技術。

所揭示之蝕刻方法包含以下步驟：(a)提供包含第1層、及於第1層上之具有圖案之第2層之基板；(b)相較於第1層之表面，優先於第2層之表面形成含矽層；(c)於含矽層之表面形成含金屬層；及(d)將第2層、含矽層、及含金屬層作為遮罩，對露出之第1層進行蝕刻。

### 【指定代表圖】

圖3

### 【代表圖之符號簡單說明】

ST11~ST15:步驟

# 【發明說明書】

## 【中文發明名稱】

蝕刻方法及電漿處理裝置

## 【技術領域】

### 【0001】

本發明之例示性實施方式係關於一種蝕刻方法及電漿處理裝置。

## 【先前技術】

### 【0002】

下述專利文獻1揭示有一種半導體裝置之製造方法，該方法藉由將其上沉積有利用微影製程而圖案化之圖案層的基板暴露於電漿中，而於上述圖案層上沉積含矽層。電漿自包含 $\text{SiCl}_4$ 、及氫氣、氮氣、氬氣及氙氣中之一種以上之混合氣體產生。

[先前技術文獻]

[專利文獻]

### 【0003】

[專利文獻1]美國專利申請公開第2021-0183656號

## 【發明內容】

[發明所欲解決之問題]

### 【0004】

本發明提供一種能夠提高蝕刻選擇比之蝕刻方法及電漿處理裝置。

[解決問題之技術手段]

### 【0005】

於一個例示性實施方式中，提供一種蝕刻方法。蝕刻方法包含以下

步驟：(a)提供包含第1層、及於第1層上之具有圖案之第2層之基板；(b)相較於第1層之表面，優先於第2層之表面形成含矽層；(c)於含矽層之表面形成含金屬層；及(d)將第2層、含矽層、及含金屬層作為遮罩，對露出之第1層進行蝕刻。

[發明之效果]

### 【0006】

根據一個例示性實施方式，提供一種能夠提高蝕刻選擇比之技術。

### 【圖式簡單說明】

#### 【0007】

圖1係用以說明電漿處理系統之構成例之圖。

圖2係用以說明電容耦合型電漿處理裝置之構成例之圖。

圖3係一個例示性實施方式之蝕刻方法之流程圖。

圖4(a)至圖4(d)分別係用以說明圖3之蝕刻方法之概略剖視圖。

圖5(a)、(b)分別係用以說明一個例示性實施方式之抗蝕層之形成方法之概略剖視圖。

圖6係抗蝕層之形成方法之流程圖。

圖7(a)係用以說明對含矽層之表面處理之概略剖視圖，圖7(b)係用以說明含矽層之修整蝕刻之概略剖視圖。

圖8係含矽層之形成方法之流程圖。

圖9(a)係用以說明對含金屬層之表面處理之概略剖視圖，圖9(b)係用以說明含金屬層之修整蝕刻之概略剖視圖。

圖10係含金屬層之形成方法之流程圖。

圖11(a)係用以說明第1變化例之沉積層之產生方法之概略剖視圖，圖

11(b)係用以說明第1變化例之蝕刻之概略剖視圖。

圖12(a)係用以說明第2變化例之蝕刻之概略剖視圖，圖12(b)係用以說明第2變化例之沉積層之產生方法之概略剖視圖，圖12(c)係用以說明第2變化例之蝕刻之概略剖視圖。

圖13(a)、(b)分別係用以說明第3變化例之含金屬層之產生方法之概略剖視圖。

### 【實施方式】

#### 【0008】

以下，對各種例示性實施方式進行說明。

#### 【0009】

於一個例示性實施方式中，提供一種蝕刻方法。蝕刻方法包含以下步驟：(a)提供包含第1層、及於第1層上之具有圖案之第2層之基板；(b)相較於第1層之表面，優先於第3層之表面形成含矽層；(c)於含矽層之表面形成含金屬層；及(d)將第2層、含矽層、及含金屬層作為遮罩，對露出之第1層進行蝕刻。

#### 【0010】

於另一個例示性實施方式中，提供一種電漿處理裝置。電漿處理裝置具備：腔室；基板支持部，其設置於腔室內並且具有溫度調節模組；氣體供給部，其構成為將處理氣體供給至腔室內；電漿產生部，其構成為於腔室內自處理氣體產生電漿；及控制部。控制部構成為控制溫度調節模組、氣體供給部及電漿產生部，以於包含第1層、及於第1層上之具有圖案之第2層之基板支持於基板支持部之狀態下，相較於第1層之表面，優先於第2層之表面形成含矽層，於含矽層之表面形成含金屬層，將第2層、含矽

層、及含金屬層作為遮罩，對露出之第1層進行蝕刻。

### 【0011】

以下，參照圖式對各種例示性實施方式詳細地進行說明。再者，於各圖式中對相同或相當之部分標註相同之符號。

### 【0012】

圖1係用以說明電漿處理系統之構成例之圖。於一實施方式中，電漿處理系統包含電漿處理裝置1及控制部2。電漿處理系統係基板處理系統之一例，電漿處理裝置1係基板處理裝置之一例。電漿處理裝置1包含電漿處理腔室10、基板支持部11及電漿產生部12。電漿處理腔室10具有電漿處理空間。又，電漿處理腔室10具有用以將至少一種處理氣體供給至電漿處理空間之至少一個氣體供給口、及用以將氣體自電漿處理空間排出之至少一個氣體排出口。氣體供給口連接於下述氣體供給部20，氣體排出口連接於下述排氣系統40。基板支持部11配置於電漿處理空間內，具有用以支持基板之基板支持面。

### 【0013】

電漿產生部12構成為自供給至電漿處理空間內之至少一種處理氣體產生電漿。電漿處理空間中形成之電漿可為電容耦合電漿(CCP；Capacitively Coupled Plasma)、感應耦合電漿(ICP；Inductively Coupled Plasma)、ECR電漿(Electron-Cyclotron-resonance plasma，電子回旋共振電漿)、螺旋波激發電漿(HWP：Helicon Wave Plasma)、或表面波電漿(SWP：Surface Wave Plasma)等。又，亦可使用包含AC(Alternating Current，交流)電漿產生部及DC(Direct Current，直流)電漿產生部之各種類型之電漿產生部。於一實施方式中，AC電漿產生部中所使用之AC信

號(AC電力)具有100 kHz~10 GHz之範圍內之頻率。因此，AC信號包含RF(Radio Frequency，射頻)信號及微波信號。於一實施方式中，RF信號具有100 kHz~150 MHz之範圍內之頻率。

#### 【0014】

控制部2對使電漿處理裝置1執行本發明中敘述之各種步驟之電腦可執行命令進行處理。控制部2可構成為對電漿處理裝置1之各要素進行控制以執行此處敘述之各種步驟。於一實施方式中，控制部2之一部分或全部可包含於電漿處理裝置1。控制部2可包含處理部2a1、記憶部2a2及通信介面2a3。控制部2例如藉由電腦2a而實現。處理部2a1可構成為藉由自記憶部2a2讀出程式並執行所讀出之程式來進行各種控制動作。該程式可預先儲存於記憶部2a2中，亦可於需要時經由媒體而獲取。所獲取之程式儲存於記憶部2a2中，由處理部2a1自記憶部2a2中讀出並執行。媒體可為電腦2a能夠讀取之各種記憶媒體，亦可為連接於通信介面2a3之通信線路。處理部2a1可為CPU(Central Processing Unit，中央處理單元)。記憶部2a2可包含RAM(Random Access Memory，隨機存取記憶體)、ROM(Read Only Memory，唯讀記憶體)、HDD(Hard Disk Drive，硬碟驅動器)、SSD(Solid State Drive，固態驅動器)、或其等之組合。通信介面2a3可經由LAN(Local Area Network，區域網路)等通信線路而與電漿處理裝置1之間進行通信。

#### 【0015】

以下，對作為電漿處理裝置1之一例之電容耦合型電漿處理裝置之構成例進行說明。圖2係用以說明電容耦合型電漿處理裝置之構成例之圖。

#### 【0016】

電容耦合型電漿處理裝置1包含電漿處理腔室10、氣體供給部20、電源30及排氣系統40。又，電漿處理裝置1包含基板支持部11及氣體導入部。氣體導入部構成將至少一種處理氣體導入至電漿處理腔室10內。氣體導入部包含簇射頭13。基板支持部11配置於電漿處理腔室10內。簇射頭13配置於基板支持部11之上方。於一實施方式中，簇射頭13構成電漿處理腔室10之頂部(ceiling)之至少一部分。電漿處理腔室10具有由簇射頭13、電漿處理腔室10之側壁10a及基板支持部11界定之電漿處理空間10s。電漿處理腔室10接地。簇射頭13及基板支持部11與電漿處理腔室10之殼體電性絕緣。再者，於電漿處理空間10s中，可實施不利用電漿之製程。換言之，於電漿處理空間10s內實施之步驟之中，亦可包含不利用電漿之步驟。

#### 【0017】

基板支持部11包含本體部111及環組件112。本體部111具有用以支持基板W之中央區域111a、及用以支持環組件112之環狀區域111b。晶圓係基板W之一例。本體部111之環狀區域111b於俯視時包圍本體部111之中央區域111a。基板W配置於本體部111之中央區域111a上，環組件112以包圍本體部111之中央區域111a上之基板W之方式配置於本體部111之環狀區域111b上。因此，中央區域111a亦被稱為用以支持基板W之基板支持面，環狀區域111b亦被稱為用以支持環組件112之環支持面。環組件112根據目標之處理，可由無機材料或有機材料構成。

#### 【0018】

於一實施方式中，本體部111包含基台1110及靜電吸盤1111。基台1110包含導電性構件。基台1110之導電性構件可作為下部電極發揮功

能。靜電吸盤1111配置於基台1110之上。靜電吸盤1111包含陶瓷構件1111a及配置於陶瓷構件1111a內之靜電電極1111b。陶瓷構件1111a具有中央區域111a。於一實施方式中，陶瓷構件1111a亦具有環狀區域111b。再者，如環狀靜電吸盤或環狀絕緣構件般之包圍靜電吸盤1111之其他構件亦可具有環狀區域111b。於該情形時，環組件112可配置於環狀靜電吸盤或環狀絕緣構件之上，亦可配置於靜電吸盤1111與環狀絕緣構件兩者之上。又，與下述RF電源31及/或DC電源32耦合之至少一個RF/DC電極亦可配置於陶瓷構件1111a內。於該情形時，至少一個RF/DC電極作為下部電極發揮功能。於將下述偏壓RF信號及/或DC信號供給至至少一個RF/DC電極之情形時，RF/DC電極亦被稱為偏壓電極。再者，基台1110之導電性構件與至少一個RF/DC電極亦可作為複數個下部電極發揮功能。又，靜電電極1111b亦可作為下部電極發揮功能。因此，基板支持部11包含至少一個下部電極。

#### 【0019】

環組件112包含1個或複數個環狀構件。於一實施方式中，1個或複數個環狀構件包含1個或複數個邊緣環及至少一個蓋環。邊緣環由導電性材料或絕緣材料形成，蓋環由絕緣材料形成。

#### 【0020】

基板支持部11亦可包含溫度調節模組，該溫度調節模組構成為將靜電吸盤1111、環組件112及基板中之至少一者調節為目標溫度。溫度調節模組亦可包含加熱器、傳熱介質、流路1110a、或其等之組合。流路1110a中流動如鹽水或氣體之傳熱流體。於一實施方式中，流路1110a形成於基台1110內，1個或複數個加熱器配置於靜電吸盤1111之陶瓷構件

1111a內。又，基板支持部11亦可包含傳熱氣體供給部，該傳熱氣體供給部構成為向基板W之背面與中央區域111a之間の間隙供給傳熱氣體。於一例中，目標溫度為-80°C以上且50°C以下。

### 【0021】

簇射頭13構成為將來自氣體供給部20之至少一種處理氣體導入至電漿處理空間10s內。簇射頭13具有至少一個氣體供給口13a、至少一個氣體擴散室13b、及複數個氣體導入口13c。供給至氣體供給口13a之處理氣體通過氣體擴散室13b後自複數個氣體導入口13c導入至電漿處理空間10s內。又，簇射頭13包含至少一個上部電極。再者，氣體導入部除了包含簇射頭13以外，還可包含安裝於形成在側壁10a之1個或複數個開口部之1個或複數個側部氣體注入部(SGI：Side Gas Injector)。

### 【0022】

氣體供給部20係將上述處理氣體供給至電漿處理腔室10內之構件，可包含至少一個氣體源21及至少一個流量控制器22。於一實施方式中，氣體供給部20構成為將至少一種處理氣體自各自對應之氣體源21經由各自對應之流量控制器22而供給至簇射頭13。各流量控制器22例如可包含質量流量控制器或壓力控制式之流量控制器。進而，氣體供給部20亦可包含將至少一種處理氣體之流量調變或脈衝化之至少一個流量調變元件。

### 【0023】

電源30包含經由至少一個阻抗匹配電路而耦合於電漿處理腔室10之RF電源31。RF電源31構成為將至少一個RF信號(RF電力)供給至至少一個下部電極及/或至少一個上部電極。藉此，自供給至電漿處理空間10s之至少一種處理氣體形成電漿。因此，RF電源31可作為電漿產生部12之至少

一部分發揮功能。又，藉由將偏壓RF信號供給至至少一個下部電極，而於基板W產生偏壓電位，可將所形成之電漿中之離子成分饋入至基板W。

#### 【0024】

於一實施方式中，RF電源31包含第1RF產生部31a及第2RF產生部31b。第1RF產生部31a構成為產生電漿產生用之源RF信號(源RF電力)。第1RF產生部31a經由至少一個阻抗匹配電路而耦合於至少一個下部電極及/或至少一個上部電極。於一例中，於第1RF產生部31a耦合於上部電極之情形時，該上部電極可具有矽頂板等頂板。於一實施方式中，源RF信號具有10 MHz~150 MHz範圍內之頻率。於一實施方式中，第1RF產生部31a亦可構成為產生具有不同頻率之複數個源RF信號。所產生之1個或複數個源RF信號被供給至至少一個下部電極及/或至少一個上部電極。

#### 【0025】

第2RF產生部31b構成為經由至少一個阻抗匹配電路而耦合於至少一個下部電極，且產生偏壓RF信號(偏壓RF電力)。偏壓RF信號之頻率可與源RF信號之頻率相同，亦可不同。於一實施方式中，偏壓RF信號具有較源RF信號之頻率低之頻率。於一實施方式中，偏壓RF信號具有100 kHz~60 MHz範圍內之頻率。於一實施方式中，第2RF產生部31b亦可構成為產生具有不同頻率之複數個偏壓RF信號。所產生之1個或複數個偏壓RF信號被供給至至少一個下部電極。又，於各種實施方式中，亦可將源RF信號及偏壓RF信號中之至少一者脈衝化。

#### 【0026】

又，電源30亦可包含耦合於電漿處理腔室10之DC電源32。DC電源32包含第1DC產生部32a及第2DC產生部32b。於一實施方式中，第1DC產

生部32a構成為連接於至少一個下部電極，且產生第1DC信號。所產生之第1DC信號被施加至至少一個下部電極。於一實施方式中，第2DC產生部32b構成為連接於至少一個上部電極，且產生第2DC信號。所產生之第2DC信號被施加至至少一個上部電極。

#### 【0027】

於各種實施方式中，亦可將第1及第2DC信號脈衝化。於該情形時，將電壓脈衝之序列施加至至少一個下部電極及/或至少一個上部電極。電壓脈衝可具有矩形、梯形、三角形或其等之組合之脈衝波形。於一實施方式中，用以自DC信號產生電壓脈衝序列之波形產生部連接於第1DC產生部32a與至少一個下部電極之間。因此，第1DC產生部32a及波形產生部構成電壓脈衝產生部。於第2DC產生部32b及波形產生部構成電壓脈衝產生部之情形時，電壓脈衝產生部連接於至少一個上部電極。電壓脈衝可具有正極性，亦可具有負極性。又，電壓脈衝序列亦可於1週期內包含1個或複數個正極性電壓脈衝、及1個或複數個負極性電壓脈衝。再者，可除了設置RF電源31以外還設置第1及第2DC產生部32a、32b，亦可設置第1DC產生部32a來代替第2RF產生部31b。

#### 【0028】

排氣系統40例如可連接於設置在電漿處理腔室10之底部之氣體排出口10e。排氣系統40可包含壓力調整閥及真空泵。藉由壓力調整閥來調整電漿處理空間10s內之壓力。真空泵可包含渦輪分子泵、乾式真空泵或其等之組合。

#### 【0029】

圖3係一個例示性實施方式之蝕刻方法之流程圖。圖4(a)至圖4(d)分

別係用以說明圖3之蝕刻方法之概略剖視圖。圖3所示之蝕刻方法MT1(以下，稱為「方法MT1」)可藉由上述實施方式之電漿處理裝置1來執行。方法MT1可應用於圖4(a)所示之基板W。

### 【0030】

圖4(a)係可應用圖3之蝕刻方法之一例之基板的概略剖視圖。如圖4(a)所示，於一實施方式中，基板W可為用於製造半導體元件之構件。半導體元件例如包含DRAM(Dynamic Random Access Memory，動態隨機存取記憶體)、3D-NAND(Not AND，反及)快閃記憶體等半導體記憶體元件。基板W包含基礎層BL、基底層UML(第1層)、及於基底層UML上具有圖案之抗蝕層RL(第2層)。基礎層BL例如可為形成於矽晶圓上之有機膜、介電膜、金屬膜或半導體膜或其等之積層膜。作為一例，基礎層BL可包含氧化矽、摻碳氧化物、多孔質氧化物、氮化矽、氮氧化矽、矽、氮化鈦、鈦、氮化鉭、鉭等。基底層UML可為將抗蝕層RL作為遮罩被蝕刻之膜。基底層UML亦可作為對基礎層BL之遮罩發揮功能。基底層UML例如為旋塗玻璃(SOG)膜、SiON膜、含Si抗反射膜(SiARC)或有機膜等。

### 【0031】

抗蝕層RL係可作為對基底層UML之蝕刻遮罩之一部分而發揮功能之層，可為含有金屬之含金屬抗蝕膜。於一例中，該金屬可包含選自由Sn、Hf及Ti所組成之群中之至少一種金屬。於一例中，抗蝕層RL含有Sn，可包含氧化錫(SnO)。抗蝕層RL亦可包含有機物。

### 【0032】

以下，參照圖5(a)，對抗蝕層RL之形成方法(抗蝕層形成步驟)之一例進行說明。首先，於實施了密接性處理等之基底層UML上，成膜含有金

屬之光阻膜。光阻膜可藉由乾式製程形成，亦可藉由濕式製程形成，亦可藉由乾式製程與濕式製程兩者形成。於成膜光阻膜之後，該光阻膜例如被實施預烘烤等加熱處理。加熱處理後，使用曝光裝置及曝光遮罩(光罩)對光阻膜照射EUV(極紫外光)。藉此，如圖5(a)所示，形成被曝光之第1區域RM1、及未曝光之第2區域RM2。第1區域RM1係與設置於曝光遮罩之開口對應之EUV曝光區域。第2區域RM2係與設置於曝光遮罩之圖案對應之EUV未曝光區域。EUV例如具有10~20 nm之範圍之波長。EUV可具有11~14 nm之範圍之波長，於一例中具有13.5 nm之波長。

### 【0033】

繼而，藉由顯影處理將第2區域RM2選擇性地去除。藉此，於基底層UML上形成來自第1區域RM1之具有圖案之抗蝕層RL。於顯影處理中，亦可將第1區域RM1之一部分亦去除。於該情形時，第2區域RM2相對於第1區域RM1以第1選擇比去除。本顯影處理中之「選擇比」亦被稱為顯影對比度，相當於第2區域RM2之顯影速度相對於第1區域RM1之顯影速度之比。顯影處理可為乾式製程，亦可為濕式製程，亦可為乾式製程與濕式製程兩者。

### 【0034】

於一實施方式中，於顯影處理中，使用含鹵素氣體等之第1處理氣體。含鹵素氣體可為包括含鹵素無機酸之氣體，可為包含Br、Cl等之無機酸之氣體。於一例中，包括含鹵素無機酸之氣體為選自由HBr氣體、BCl<sub>3</sub>氣體、HCl及HF所組成之群中之至少一種。於一實施方式中，第1處理氣體可為包含有機酸之氣體。包含有機酸之氣體例如可為包含選自由羧酸、β-二甲醯化合物及醇所組成之群中之至少一種之氣體。於一例中，羧酸可

為甲酸(HCOOH)、乙酸(CH<sub>3</sub>COOH)、三氯乙酸(CCl<sub>3</sub>COOH)、單氟乙酸(CFH<sub>2</sub>COOH)、二氟乙酸(CF<sub>2</sub>HCOOH)、三氟乙酸(CF<sub>3</sub>COOH)、氯-二氟乙酸(CClF<sub>2</sub>COOH)、含硫乙酸、硫代乙酸(CH<sub>3</sub>COSH)、硫代乙醇酸(HSCH<sub>2</sub>COOH)、三氟乙酸酐((CF<sub>3</sub>CO)<sub>2</sub>O)、乙酸酐((CH<sub>3</sub>CO)<sub>2</sub>O)。於一例中，β-二甲醯化合物可為乙醯丙酮(CH<sub>3</sub>C(O)CH<sub>2</sub>C(O)CH<sub>3</sub>)、三氯乙醯丙酮(CCl<sub>3</sub>C(O)CH<sub>2</sub>C(O)CH<sub>3</sub>)、六氯乙醯丙酮(CCl<sub>3</sub>C(O)CH<sub>2</sub>C(O)CCl<sub>3</sub>)、三氟乙醯丙酮(CF<sub>3</sub>C(O)CH<sub>2</sub>C(O)CH<sub>3</sub>)、六氟乙醯丙酮(HFAC、CF<sub>3</sub>C(O)CH<sub>2</sub>C(O)CF<sub>3</sub>)。於一例中，醇可為九氟第三丁醇((CF<sub>3</sub>)<sub>3</sub>COH)。於一實施方式中，第1處理氣體包含三氟乙酸。於一實施方式中，第1處理氣體包含被鹵素化之有機酸蒸氣。於一例中，第1處理氣體包含選自由三氟乙酸酐、乙酸酐、三氯乙酸、CFH<sub>2</sub>COOH、CF<sub>2</sub>HCOOH、氯-二氟乙酸、含硫乙酸及硫代乙酸以及硫代乙醇酸所組成之群中之至少一種。於一實施方式中，第1處理氣體為羧酸與氫鹵化物之混合物或乙酸與甲酸之混合物。

### 【0035】

圖5(b)係表示顯影處理後之一例之概略剖視圖。如圖5(b)所示，顯影處理後，於基板W上產生有未完全去除之浮渣(殘渣)S1~S3。殘渣、浮渣S1係自第2區域RM2飛散並附著於抗蝕層RL上之抗蝕劑或其副產物。浮渣S2、S3分別係第2區域RM2中未被去除而殘留之部分。浮渣S2、S3分別可為抗蝕層RL及/或基底層UML之表面之凸部。浮渣S1~S3可具有各種形狀及大小。再者，於顯影處理後，可能產生浮渣S1~S3中之至少一者。

### 【0036】

如圖5(b)所示，於顯影處理後產生有浮渣S1~S3之情形時，可藉由以下之除渣步驟將該浮渣去除。例如，基板W上之浮渣S1~S3均可藉由自第2處理氣體產生之電漿而去除。於一例中，首先，自氣體供給部20將第2處理氣體供給至電漿處理空間10s內。其次，對上部電極或下部電極供給源RF信號。藉此，於電漿處理空間10s內產生高頻電場，自第2處理氣體產生電漿。此時，可對基板支持部11之下部電極供給偏壓信號。然後，藉由自第2處理氣體產生之電漿，而將浮渣S1~S3去除。再者，除渣步驟只要於產生有浮渣S1~S3中之至少一者之情形時實施即可。

### 【0037】

於除渣步驟中，第2處理氣體可包括選自由含氮氣體、含氫氣體、含溴氣體及含氯氣體所組成之群中之至少一種。於一例中，第2處理氣體可包括選自由氮氣、氫氣、溴化氫氣體及三氯化硼氣體所組成之群中之至少一種。第2處理氣體可進而包含Ar氣體等稀有氣體、N<sub>2</sub>氣體等惰性氣體。

### 【0038】

(步驟ST11：基板之提供)

如圖3所示，首先，將包含基底層UML、及於基底層UML上具有圖案之抗蝕層RL之基板W提供至電漿處理腔室10內(步驟ST11)。於步驟ST11中，將基板W提供至基板支持部11上。藉此，基板W支持於基板支持部11。此處，參照圖6，對步驟ST11中形成抗蝕層RL之情形時之形成方法之一例進行說明。圖6係抗蝕層之形成方法之流程圖。如圖6所示，首先，於基底層UML上形成具有圖案之抗蝕層RL(步驟ST11A)。於步驟ST11A中，例如，藉由光微影等而形成具有圖案之抗蝕層RL(參照圖5(a))。繼而，將附著於抗蝕層RL上及基底層UML上之浮渣S1~S3(參照

圖5(b))去除(步驟ST11B，除渣步驟)。於步驟ST11B後滿足特定條件之情形時(步驟ST11C：是)，實施下述步驟ST12。另一方面，於步驟ST11B後不滿足特定條件之情形時(步驟ST11C：否)，再次實施步驟ST11A、ST11B。上述特定條件包含抗蝕層RL之圖案形狀、抗蝕層RL之厚度、浮渣數等至少一者。再者，於第2次步驟以後，亦可不實施步驟ST11A及步驟ST11B之任一者。

### 【0039】

(步驟ST12：含矽層之形成)

其次，如圖4(b)所示，相較於基底層UML之表面，優先於抗蝕層RL之表面形成含矽層SL(步驟ST12)。於步驟ST12中，利用自供給至電漿處理腔室10內之第3處理氣體產生之電漿，形成含矽層SL。於一例中，首先，自氣體供給部20將第3處理氣體供給至電漿處理空間10s內。其次，對上部電極或下部電極供給源RF信號。藉此，於電漿處理空間10s內產生高頻電場，自第3處理氣體產生電漿。然後，電漿中所含之包含矽之自由基沉積於抗蝕層RL之表面。於步驟ST12中，亦可藉由基板支持部11之溫度調節模組來調整基板W之溫度(目標溫度)。

### 【0040】

相較於基底層UML之表面優先於抗蝕層RL之表面形成含矽層SL，亦可相當於在抗蝕層RL之表面選擇性地形成含矽層SL。於步驟ST12中，可僅於抗蝕層RL之表面形成含矽層SL，亦可於抗蝕層RL之表面與基底層UML之表面兩者形成含矽層SL。於後者之情形時，設置於抗蝕層RL表面之部分之厚度可明顯大於設置在基底層UML表面之部分之厚度。

### 【0041】

含矽層SL係可作為對基底層UML之蝕刻遮罩之一部分發揮功能之層。於一實施方式中，含矽層SL係包含矽之非晶材料之沉積物。含矽層SL具有位於抗蝕層RL之頂面TF上之第1部分P1、及位於抗蝕層RL之側面SF上之第2部分P2。於一實施方式中，第1部分P1之厚度T1大於第2部分P2之厚度T2。於一例中，厚度T1可為厚度T2之1倍以上10倍以下。厚度T1例如為5 nm以上20 nm以下。於一例中，含矽層SL亦可不具有第2部分P2而具有第1部分P1。換言之，含矽層SL亦可僅具有第1部分P1。

#### 【0042】

第3處理氣體包括包含含矽氣體之源氣體、及氫氣、氮氣、氬氣等稀釋氣體。除此以外，第3處理氣體還可包含Cl<sub>2</sub>等含鹵素氣體、H<sub>2</sub>、CH<sub>4</sub>、CH<sub>x</sub>F<sub>4-x</sub>等含氫氣體等中之至少一種添加氣體。含矽氣體可為四氟化矽(SiF<sub>4</sub>)、四氯化矽(SiCl<sub>4</sub>)、Si<sub>2</sub>Cl<sub>6</sub>、SiH<sub>4</sub>、Si<sub>2</sub>H<sub>6</sub>等。

#### 【0043】

於一實施方式中，步驟ST12中之源RF信號之頻率可為高頻段(例如，10 MHz以上1 GHz以下)之範圍內，亦可為低頻段(例如，100 Hz以上100 kHz以下)之範圍內。RF電力例如為100 W以上1.5 kW以下。第3處理氣體中所包含之源氣體之流量例如為2 sccm以上且250 sccm以下。電漿處理腔室10內之壓力例如為5 mTorr以上250 mTorr以下，基板W之溫度為0°C以上120°C以下。

#### 【0044】

於一例中，在步驟ST12中，首先使抗蝕層RL之表面活化，繼而，將矽烷鍵結於該表面。然後，藉由使矽彼此鍵結，而相較於基底層UML之表面，優先於抗蝕層RL之表面形成含矽層SL。該一例之具體方法例如可

參照美國專利申請案第17/658,538號中所揭示之資訊。

#### 【0045】

於步驟ST12中，亦可於電漿處理腔室10內不產生電漿之情況下形成含矽層SL。於該情形時，藉由向電漿處理腔室10內供給含矽氣體，而形成含矽層SL。於該情形時，含矽層SL例如藉由化學氣相沉積法(CVD法)而形成。於在不產生電漿之情況下形成含矽層SL之情形時，亦可向電漿處理腔室10除了供給含矽氣體以外，還供給上述稀釋氣體及上述添加氣體中之至少一者。

#### 【0046】

如圖7(a)所示，亦可於步驟ST12中形成含矽層SL之後且實施下一步驟ST13之前，將含矽層SL暴露於自含氫氣體產生之電漿PL中。藉此，對含矽層SL進行表面處理。具體而言，於含矽層SL之表面，產生Si-H鍵。於該情形時，於下一步驟ST13中，在含矽層SL之表面容易沉積金屬。作為含氫氣體，可例舉CH<sub>4</sub>、C<sub>2</sub>H<sub>6</sub>等碳氫、CH<sub>2</sub>F<sub>2</sub>、CHF<sub>3</sub>等氫氟碳、NH<sub>3</sub>等含氮氣體、HF、HCl、HBr、HI等含鹵素氣體、及氫氣等。

#### 【0047】

如圖7(b)所示，含矽層SL有時具有沉積於抗蝕層RL之表面之第1沉積部分SL1、及沉積於基底層UML之表面之第2沉積部分SL2。於該情形時，如圖8所示，亦可於步驟ST12中形成含矽層SL之後，實施下一步驟ST13之前，將含矽層SL之一部分去除。例如，實施將沉積於基底層UML表面之第2沉積部分SL2去除之修整蝕刻。此處，參照圖8，對在步驟ST12中實施修整蝕刻之情形時之含矽層SL之形成方法之一例進行說明。圖8係含矽層之形成方法之流程圖。如圖8所示，首先，於抗蝕層RL之表面形成

含矽層SL(步驟ST12A)。繼而，將含矽層SL之第2沉積部分SL2去除(步驟ST12B)。於步驟ST12B中，亦可將第1沉積部分SL1之一部分去除。修整蝕刻例如為使用氟碳化合物、氟、氯或溴化氫作為蝕刻劑之電漿蝕刻。於步驟ST12B後滿足特定條件之情形時(步驟ST12C：是)，實施下述步驟ST13。另一方面，於步驟ST12B後不滿足特定條件之情形時(步驟ST12C：否)，再次實施步驟ST12A、ST12B。上述特定條件為含矽層SL之第1沉積部分SL1之厚度、形狀等至少一者。再者，於第2次以後，亦可不實施步驟ST11B及步驟ST12B中之任一者。藉由實施如上所述之對含矽層SL之修整蝕刻，可於步驟ST12結束時確實地露出基底層UML之一部分。

#### 【0048】

(步驟ST13：含金屬層之形成)

其次，如圖4(c)所示，於含矽層SL之表面形成含金屬層ML(步驟ST13)。於步驟ST13中，自供給至電漿處理腔室10內之第4處理氣體形成含金屬層ML。

#### 【0049】

含金屬層ML係可作為對基底層UML之蝕刻遮罩發揮功能之層，至少包含金屬。金屬可包含鎢及鉬中之至少一者。例如，含金屬層ML包含W、 $WSi_x$ 、Mo、 $MoSi_xF_y$ 中之至少一者(X、Y分別為正數)。含金屬層ML亦可包含F及Cl中之至少一者作為微量元素。於一實施方式中，含金屬層ML中之微量元素只要為含有率(質量比率)較含金屬層ML中之金屬之含有率(質量比率)小之元素即可。含金屬層ML之厚度可均勻，亦可不均勻。含金屬層ML可為使含矽層SL之一部分金屬矽化物化而成之層，亦可

為形成於含矽層SL上之新的層。於前者之情形時，含金屬層ML與含矽層SL之邊界可明確，亦可不明確。於後者之情形時，含金屬層ML為包含金屬之層狀沉積物。

#### 【0050】

含金屬層ML可僅設置於含矽層SL之表面，亦可設置於含矽層SL之表面與基底層UML之表面兩者。於後者之情形時，相較於基底層UML之表面，可優先於含矽層SL之表面形成含金屬層ML。於該情形時，設置於含矽層SL表面之部分之厚度可明顯大於設置在基底層UML表面之部分之厚度。相較於基底層UML之表面優先於含矽層SL之表面形成含金屬層ML，亦可相當於在含矽層SL之表面選擇性地形成含金屬層ML。

#### 【0051】

第4處理氣體包括包含金屬之源氣體、及氫氣、氮氣、氬氣等稀釋氣體。源氣體亦可包含氟。源氣體例如可包含六氟化鎢(WF<sub>6</sub>)氣體、六氯化鎢(WCl<sub>6</sub>)氣體、及五氟化鉬(MoF<sub>5</sub>)氣體中之至少一者。於該情形時，源氣體中所包含之金屬化合物可包含六氟化鎢(WF<sub>6</sub>)、六氯化鎢(WCl<sub>6</sub>)、及五氟化鉬(MoF<sub>5</sub>)中之至少一者。於步驟ST13中利用電漿之情形時，第4處理氣體亦可具有H<sub>2</sub>等。

#### 【0052】

於步驟ST13之一例中，不產生電漿，而是利用化學氣相沉積法(CVD法)形成含金屬層ML。首先，自氣體供給部20將第4處理氣體供給至電漿處理空間10s內。此時，藉由基板支持部11之溫度調節模組將基板W加熱至60°C以上。藉此，位於含矽層SL表面之矽與第4處理氣體中所包含之金屬發生熱化學反應。因此，該矽與該金屬鍵結，形成矽化物。然後，形成

來自該矽化物之含金屬層ML。於上述一例中，亦可不輸入步驟ST13中之源RF信號。於該情形時，RF電力亦可為0。同樣地，DC電壓亦可為0 V。第4處理氣體中所包含之源氣體之流量例如為2 sccm以上且250 sccm以下。電漿處理腔室10內之壓力例如為10 mTorr以上250 mTorr以下，基板W之溫度為60°C以上130°C以下。

### 【0053】

於步驟ST13之另一例中，利用原子層沉積法(ALD法)形成含金屬層ML。於該情形時，含金屬層ML可共形地形成，亦可亞共形地形成。例如，ALD法係藉由重複包含以下之第1~第4步驟之循環而實施。於第1步驟中，對基板W供給前驅物氣體。於第2步驟中，實施收容有基板W之電漿處理腔室10之沖洗。於第3步驟中，對基板W供給反應性氣體。於第3步驟中，亦可自反應性氣體產生電漿。於第4步驟中，實施電漿處理腔室10之沖洗。例如，上述循環例如為60循環以上100循環以下。上述前驅物氣體可為包含金屬之源氣體，亦可與上述第4處理氣體相同。上述反應性氣體可至少包含含氧氣體(例如，氧自由基)。上述反應性氣體亦可包含稀釋氣體。於上述另一例中，亦可不輸入步驟ST13中之源RF信號。於該情形時，RF電力亦可為0。同樣地，DC電壓亦可為0 V。前驅物氣體之流量與反應性氣體之流量例如為2 sccm以上且250 sccm以下。電漿處理腔室10內之壓力例如為100 mTorr以上400 mTorr以下，基板W之溫度為60°C以上130°C以下。

### 【0054】

於步驟ST13之又一例中，利用電漿CVD法形成含金屬層ML。首先，自氣體供給部20將第4處理氣體供給至電漿處理空間10s內。其次，對

上部電極或下部電極供給源RF信號。藉此，於電漿處理空間10s內產生高頻電場，自第4處理氣體產生電漿。然後，電漿中所包含之含有金屬之自由基沉積於含矽層SL之表面。第4處理氣體中所包含之源氣體之流量例如為2 sccm以上且250 sccm以下。

#### 【0055】

如圖9(a)所示，亦可於步驟ST13中形成含金屬層ML之後且實施下述步驟ST15之前，將含金屬層ML暴露於自含氫氣體產生之電漿PL中。藉此，對含金屬層ML進行表面處理。於一例中，對含金屬層ML之表面進行還原處理。藉此，含金屬層ML表面之鹵素可脫離。

#### 【0056】

如圖9(b)所示，含金屬層ML有時具有沉積於含矽層SL表面之第1沉積部分ML1、及沉積於基底層UML表面之第2沉積部分ML2。尤其，於上述另一例、上述又一例中，有形成第2沉積部分SL2之傾向。於該情形時，如圖10所示，亦可於步驟ST13中形成含金屬層ML之後且實施下述ST15之前，將含金屬層ML之一部分去除。例如，實施將沉積於基底層UML表面之第2沉積部分ML2去除之修整蝕刻。此處，參照圖10，對在步驟ST13中實施修整蝕刻之情形時之含金屬層ML之形成方法的一例進行說明。圖10係含金屬層之形成方法之流程圖。如圖10所示，首先，於含矽層SL之表面形成含金屬層ML(步驟ST13A)。繼而，將含金屬層ML之第2沉積部分SL2去除(步驟ST13B)。亦可將第1沉積部分ML1之一部分去除。修整蝕刻例如為使用氟碳化合物、氟、氯或溴化氫作為蝕刻劑之電漿蝕刻。於步驟ST13B後滿足特定條件之情形時(步驟ST13C：是)，實施下述步驟ST15。另一方面，於步驟ST13B後不滿足特定條件之情形時(步驟

ST13C：否)，再次實施步驟ST13A、ST13B。上述特定條件為含金屬層ML之第1沉積部分ML1之厚度、形狀等至少一者。再者，於第2次以後，亦可不實施步驟ST13A及步驟ST13B中之任一者。藉由實施如上所述之對含金屬層ML之修整蝕刻，於步驟ST13結束時，可確實地露出基底層UML之一部分。

#### 【0057】

於步驟ST13後滿足特定條件之情形時(步驟ST14：是)，實施下述步驟ST15。另一方面，於步驟ST14後不滿足特定條件之情形時(步驟ST14：否)，再次實施步驟ST12、ST13。藉此，於下述步驟ST15中，可對基底層UML良好地進行蝕刻。上述特定條件為包含抗蝕層RL、含矽層SL、及含金屬層ML之構造物之厚度、形狀等至少一者。

#### 【0058】

(步驟ST15：基底層UML之蝕刻)

其次，如圖4(d)所示，將抗蝕層RL、含矽層SL、及含金屬層ML作為遮罩，對基底層UML進行蝕刻(步驟ST15)。於步驟ST15中，自供給至電漿處理腔室10內之第5處理氣體產生電漿。繼而，將基底層UML中自抗蝕層RL、含矽層SL、及含金屬層ML露出之部分暴露於電漿。藉此，形成具有圖案之基底層UML，露出基礎層BL之一部分。於步驟ST15後，基礎層BL中自基底層UML露出之部分可於電漿處理腔室10內被蝕刻，亦可於不同之與電漿處理裝置1不同之蝕刻裝置中被蝕刻。於步驟ST15中，不僅基底層UML可被蝕刻，而且含金屬層ML亦可被蝕刻。於步驟ST15中，亦可藉由基板支持部11之溫度調節模組來調整基板W之溫度(目標溫度)。

#### 【0059】

於基底層UML為旋塗玻璃(SOG)膜、SiON膜、含Si抗反射膜(SiARC)等之情形時，第5處理氣體例如包含氟基蝕刻劑、氯基蝕刻劑等。於基底層UML為有機膜之情形時，第5處理氣體例如包含氟碳氣體、溴化氫氣體、氧氣、二氧化碳氣體、一氧化碳氣體等。利用自第5處理氣體產生之電漿之蝕刻(電漿蝕刻)亦可為各向異性蝕刻。

#### 【0060】

於上述步驟ST12中，控制部2控制基板支持部11之溫度調節模組、氣體供給部20、及電漿產生部12中之至少一者，相較於基底層UML之表面，優先於抗蝕層RL之表面形成含矽層SL。於上述步驟ST13中，控制部2控制基板支持部11之溫度調節模組、及氣體供給部20，於含矽層SL之表面形成含金屬層ML。於上述步驟ST15中，控制部2控制基板支持部11之溫度調節模組、氣體供給部20、及電漿產生部12中之至少一者，將抗蝕層RL、含矽層SL、及含金屬層ML作為遮罩，對露出之基底層UML進行蝕刻。

#### 【0061】

根據上述方法MT1，可提高蝕刻選擇比。更具體而言，可提高基底層UML相對於包含抗蝕層RL、含矽層SL及含金屬層ML之遮罩之蝕刻選擇比。例如，於上述遮罩之最表面為含金屬層ML之情形時，與上述遮罩之最表面為含矽層SL之情形相比，可提高該遮罩對第5處理氣體之蝕刻耐性。

#### 【0062】

於一實施方式中，亦可在不產生電漿之情況下利用化學氣相沉積法形成含金屬層ML。於該情形時，可於含矽層SL選擇性地形成含金屬層

ML。因此，可省略將不需要之含金屬層ML去除之步驟。又，於一實施方式中，藉由在步驟ST13中將基板之溫度控制為60°C以上，而良好地發生熱化學反應。

#### 【0063】

於一實施方式中，亦可在不產生電漿之情況下利用原子層沉積法形成含金屬層ML。於該情形時，可以原子層為單位來控制含金屬層ML之厚度。因此，可精度良好地形成基底層UML之圖案。又，於一實施方式中，藉由在步驟ST13中將基板之溫度控制為60°C以上，而容易形成含金屬層ML。

#### 【0064】

於一實施方式中，於步驟ST11之前，在基底層UML上形成抗蝕層RL，且於形成抗蝕層RL之後在基板W上存在浮渣S1~S3中之至少一者之情形時，亦可將基板W上之浮渣S1~S3去除。於該情形時，可抑制產生因浮渣引起之製程不良等。

#### 【0065】

於一實施方式中，亦可於步驟ST12後且步驟ST13之前，將含矽層SL暴露於自含氫氣體產生之電漿PL中。於該情形時，含金屬層ML容易形成於含矽層SL之表面。

#### 【0066】

於一實施方式中，亦可於步驟ST12後且步驟ST13之前，將含矽層SL之一部分去除。於該情形時，於步驟ST13之前，可確實地露出基底層UML中未被抗蝕層RL覆蓋之部分。

#### 【0067】

於一實施方式中，亦可於步驟ST13後且步驟ST15之前，將含金屬層ML暴露於自含氫氣體產生之電漿PL中。於該情形時，可提高含金屬層ML之蝕刻耐性。

#### 【0068】

於一實施方式中，亦可於步驟ST13後且步驟ST15之前，將含金屬層ML之一部分去除。於該情形時，於步驟S14之前，可確實地露出基底層UML中未被抗蝕層RL及含矽層SL覆蓋之部分。

#### 【0069】

以下，參照圖11～圖13，對上述例示性實施方式之變化例之蝕刻方法進行說明。再者，於各變化例之說明中，省略與上述例示性實施方式重複之記載，記載與上述例示性實施方式不同之部分。即，於技術上可能之範圍中，各變化例亦可適當使用上述例示性實施方式之記載。

#### 【0070】

##### (第1變化例)

於第1變化例中，在步驟ST13與步驟ST15之間進一步實施成膜，該方面與上述例示性實施方式不同。於第1變化例中，如圖11(a)所示，於步驟ST13後且步驟ST15之前，於含金屬層ML之表面形成沉積層DL。沉積層DL例如與含矽層SL同樣為包含矽之非晶材料之沉積物。於一例中，與步驟ST12同樣地，利用自供給至電漿處理腔室10內之第3處理氣體產生之電漿，形成沉積層DL。於該情形時，亦可相較於基底層UML之表面優先於含金屬層ML之表面形成含矽層SL。可僅於含金屬層ML之表面形成沉積層DL，亦可於含金屬層ML之表面與基底層UML之表面兩者形成沉積層DL。於後者之情形時，亦可將沉積層DL之一部分去除直至基底層UML

露出為止。換言之，於後者之情形時，亦可實施修整蝕刻。

#### 【0071】

於形成沉積層DL之後，實施步驟ST15。藉此，如圖11(b)所示，將抗蝕層RL、含矽層SL、含金屬層ML、及沉積層DL作為遮罩，對基底層UML進行蝕刻。此時，沉積層DL亦被蝕刻。沉積層DL可全部被蝕刻。

#### 【0072】

於以上所說明之第1變化例中，亦可發揮與上述例示性實施方式相同之作用效果。另外，於步驟ST15中，由於可確實地發揮上述遮罩之功能，故而不易發生蝕刻不良。

#### 【0073】

於上述第1變化例中，亦可於形成沉積層DL之後且步驟ST15之前，於沉積層DL之表面形成含金屬層。於一例中，該含金屬層係利用與上述步驟ST13相同之方法而形成。亦可於形成上述含金屬層之後且步驟ST15之前，進而形成沉積層。於一例中，亦可於步驟ST15之前，重複實施步驟ST12與步驟ST13之循環。上述循環例如為60循環以上100循環以下。

#### 【0074】

(第2變化例)

於第2變化例中，在步驟ST15中，實施除基底層UML之蝕刻以外之製程，該方面與上述例示性實施方式不同。於第2變化例中，如圖12(a)所示，有時於步驟ST15中基底層UML之蝕刻結束之前，幾乎全部之含金屬層ML已被去除。根據此種情形，如圖12(b)所示，中斷步驟ST15，於含金屬層ML之表面形成沉積層DL。於一例中，沉積層DL係利用與上述第1變化例相同之方法而形成。於形成沉積層DL之後，重新開始步驟ST15。

藉此，如圖12(c)所示，基底層UML亦可被蝕刻。

#### 【0075】

於以上所說明之第2變化例中，亦可發揮與上述例示性實施方式相同之作用效果。另外，可抑制步驟ST15後之圖案形成不良之發生等。

#### 【0076】

亦可將上述第2變化例與上述第1變化例組合。於該情形時，亦可於中斷步驟ST15之後，形成沉積層DL及含金屬層ML。換言之，亦可於中斷步驟ST15之後，實施步驟ST12與步驟ST13之循環。此時，上述循環亦可實施複數次。

#### 【0077】

(第3變化例)

於第3變化例中，在步驟ST13中利用濺鍍法，該方面與上述例示性實施方式不同。於第3變化例中，在步驟ST12後，對上部電極中所包含之Si頂板TP之表面進行清潔(參照圖13(a))。於一例中，藉由實施離子濺鍍，來對Si頂板TP之表面進行清潔。於另一例中，藉由將氟化氫等還原性氣體導入至電漿處理空間10s內，來對Si頂板TP之表面進行清潔。藉此，將可設置於Si頂板TP之表面之氧化膜(未圖示)去除，並且實施該表面之清潔。於上述清潔中，可對第1RF產生部31a輸入信號，亦可對第2DC產生部32b施加電壓。再者，該Si頂板TP表面之清潔亦可代替步驟ST12而實施，兼顧步驟ST12中之含矽層之形成。

#### 【0078】

繼而，如圖13(a)所示，於Si頂板TP形成金屬層MAL。於一例中，向電漿處理空間10s內導入包含金屬之源氣體。藉此，藉由熱化學反應，於

Si頂板TP之表面形成上述金屬之原子層即金屬層MAL。此時，可不對第1RF產生部31a輸入信號，亦可不對第2DC產生部32b施加電壓。

#### 【0079】

其次，如圖13(b)所示，藉由對金屬層MAL進行離子濺鍍，而於基板W上形成含金屬層ML。於一例中，藉由對第1RF產生部31a輸入信號或者對第2DC產生部32b施加電壓，而於電漿處理空間10s內使離子碰撞至金屬層MAL。藉此，於基板W所包含之含矽層SL之表面形成含金屬層ML。於第3變化例中，亦可重複實施金屬層MAL之形成步驟、與含金屬層ML之形成步驟之循環。藉此，可調整含金屬層ML之厚度。上述循環例如為60循環以上100循環以下。再者，於含金屬層ML亦形成於基底層UML之表面之情形時，可實施上述修整蝕刻。經過以上之步驟後，實施步驟S14。

#### 【0080】

於以上所說明之第3變化例中，亦可發揮與上述例示性實施方式相同之作用效果。另外，由於可增加含金屬層ML中所包含之金屬之比率，故而可提高含金屬層ML之蝕刻耐性。進而，可精密地調整含金屬層ML之厚度。

#### 【0081】

以上，對各種例示性實施方式進行了說明，但並不限定於上述例示性實施方式，亦可進行各種追加、省略、置換、及變更。又，能夠將不同實施方式中之要素加以組合而形成其他實施方式。例如，方法MT亦可使用與電漿處理裝置1不同之電漿處理裝置來進行。

#### 【0082】

此處，將本發明中所包含之各種例示性實施方式記載於以下之[E1]

至[E14]。

**【0083】**

[E1]

一種蝕刻方法，其包含以下步驟：

(a)提供包含第1層、及於上述第1層上之具有圖案之第2層之基板；

(b)相較於上述第1層之表面，優先於上述第2層之表面形成含矽層；

(c)於上述含矽層之表面形成含金屬層；及

(d)將上述第2層、上述含矽層、及上述含金屬層作為遮罩，對露出之上述第1層進行蝕刻。

**【0084】**

[E2]

如[E1]記載之蝕刻方法，其中於上述(c)中，在不產生電漿之情況下形成上述含金屬層。

**【0085】**

[E3]

如[E2]記載之蝕刻方法，其中於上述(c)中，藉由化學氣相沉積法或原子層沉積法而形成上述含金屬層。

**【0086】**

[E4]

如[E1]至[E3]中任一項記載之蝕刻方法，其中於上述(c)中，上述基板之溫度為60°C以上。

**【0087】**

[E5]

如[E1]至[E4]中任一項記載之蝕刻方法，其中於上述(a)之前，包含於上述基底層上形成上述第2層之第2層形成步驟，

於上述第2層形成步驟中，於形成上述第2層之後，將上述基板上之浮渣去除。

**【0088】**

[E6]

如[E1]至[E5]中任一項記載之蝕刻方法，其中於上述(b)中，在不產生電漿之情況下形成上述含矽層。

**【0089】**

[E7]

如[E1]至[E6]中任一項記載之蝕刻方法，其中於上述(b)之後且上述(c)之前，包含將上述含矽層暴露於自含氫氣體產生之電漿中之步驟。

**【0090】**

[E8]

如[E1]至[E7]中任一項記載之蝕刻方法，其中於上述(b)之後且上述(c)之前，包含將上述含矽層之一部分去除之步驟。

**【0091】**

[E9]

如[E1]至[E8]中任一項記載之蝕刻方法，其中於上述(c)之後且上述(d)之前，包含將上述含金屬層暴露於自含氫氣體產生之電漿中之步驟。

**【0092】**

[E10]

如[E1]至[E9]中任一項記載之蝕刻方法，其中於上述(c)之後且上述

(d)之前，包含將上述含金屬層之一部分去除之步驟。

**【0093】**

[E11]

如[E1]至[E10]中任一項記載之蝕刻方法，其中於上述(c)之後且上述(d)之前，包含於上述含金屬層之表面形成沉積層之步驟。

**【0094】**

[E12]

如[E1]至[E11]中任一項記載之蝕刻方法，其中上述含矽層具有位於上述第2層之頂面上之第1部分、及位於上述第2層之側面上之第2部分，上述第1部分之厚度大於上述第2部分之厚度。

**【0095】**

[E13]

如[E1]至[E12]中任一項記載之蝕刻方法，其中上述含金屬層包含W、 $WSi_x$ 、Mo、 $MoSi_xF_y$ 中之至少一者，X、Y分別為正數。

**【0096】**

[E14]

一種電漿處理裝置，其具備：

腔室；

基板支持部，其設置於上述腔室內並且具有溫度調節模組；

氣體供給部，其構成為將處理氣體供給至上述腔室內；

電漿產生部，其構成為於上述腔室內自上述處理氣體產生電漿；及

控制部；

上述控制部構成為控制上述溫度調節模組、上述氣體供給部及上述

電漿產生部，

以於將包含第1層、及於上述第1層上之具有圖案之第2層之基板支持於上述基板支持部之狀態下，

相較於上述第1層之表面，優先於上述第2層之表面形成含矽層，

於上述含矽層之表面形成含金屬層，

將上述第2層、上述含矽層、及上述含金屬層作為遮罩，對露出之上述第1層進行蝕刻。

### 【0097】

根據以上之說明應理解，本發明之各種實施方式係出於說明之目的而於本說明書中進行了說明，可在不脫離本發明之範圍及主旨之情況下進行各種變更。因此，本說明書中所揭示之各種實施方式並不意圖進行限定，真正之範圍與主旨藉由隨附之申請專利範圍表示。

### 【符號說明】

#### 【0098】

1:電漿處理裝置

2:控制部

2a:電腦

2a1:處理部

2a2:記憶部

2a3:通信介面

10:電漿處理腔室

10a:側壁

10e:氣體排出口

10s:電漿處理空間  
11:基板支持部  
12:電漿產生部  
13:中央氣體注入部  
13a:氣體供給口  
13b:氣體流路  
13c:氣體導入口  
20:氣體供給部  
21:氣體源  
22:流量控制器  
30:電源  
31:RF電源  
31a:第1RF產生部  
31b:第2RF產生部  
32:DC電源  
32a:第1DC產生部  
32b:第2DC產生部  
40:排氣系統  
111:本體部  
111a:中央區域  
111b:環狀區域  
112:環組件  
1110:基台

1110a:流路

1111:靜電吸盤

1111a:陶瓷構件

1111b:靜電電極

BL:基礎層

DL:沉積層

MAL:金屬層

ML:合金層

P1:第1部分

P2:第2部分

PL:電漿

RL:抗蝕層

S1:浮渣

S2:浮渣

S3:浮渣

SF:側面

SL:含矽層

ST11~ST15:步驟

ST11A~ST11C:步驟

ST12A~ST12C:步驟

ST13A~ST13C:步驟

T1:厚度

T2:厚度

TF:頂面

TP:Si頂板

UML:基底層

W:基板

## 【發明申請專利範圍】

### 【請求項1】

一種蝕刻方法，其包含以下步驟：

(a)提供包含第1層、及於上述第1層上之具有圖案之第2層之基板；

(b)相較於上述第1層之表面，優先於上述第2層之表面形成含矽層；

(c)於上述含矽層之表面形成含金屬層；及

(d)將上述第2層、上述含矽層、及上述含金屬層作為遮罩，對露出之上述第1層進行蝕刻。

### 【請求項2】

如請求項1之蝕刻方法，其中於上述(c)中，在不產生電漿之情況下形成上述含金屬層。

### 【請求項3】

如請求項2之蝕刻方法，其中於上述(c)中，藉由化學氣相沉積法或原子層沉積法而形成上述含金屬層。

### 【請求項4】

如請求項3之蝕刻方法，其中於上述(c)中，上述基板之溫度為60°C以上。

### 【請求項5】

如請求項1至4中任一項之蝕刻方法，其中於上述(a)之前，包含於上述第1層上形成上述第2層之第2層形成步驟，

於上述第2層形成步驟中，於形成上述第2層之後，將上述基板上之浮渣去除。

### 【請求項6】

如請求項1至4中任一項之蝕刻方法，其中於上述(b)中，在不產生電漿之情況下形成上述含矽層。

**【請求項7】**

如請求項1至4中任一項之蝕刻方法，其中於上述(b)之後且上述(c)之前，包含將上述含矽層暴露於自含氫氣體產生之電漿中之步驟。

**【請求項8】**

如請求項1至4中任一項之蝕刻方法，其中於上述(b)之後且上述(c)之前，包含將上述含矽層之一部分去除之步驟。

**【請求項9】**

如請求項1至4中任一項之蝕刻方法，其中於上述(c)之後且上述(d)之前，包含將上述含金屬層暴露於自含氫氣體產生之電漿中之步驟。

**【請求項10】**

如請求項1至4中任一項之蝕刻方法，其中於上述(c)之後且上述(d)之前，包含將上述含金屬層之一部分去除之步驟。

**【請求項11】**

如請求項1至4中任一項之蝕刻方法，其中於上述(c)之後且上述(d)之前，包含於上述含金屬層之表面形成沉積層之步驟。

**【請求項12】**

如請求項1至4中任一項之蝕刻方法，其中上述含矽層具有位於上述第2層之頂面上之第1部分、及位於上述第2層之側面上之第2部分，

上述第1部分之厚度大於上述第2部分之厚度。

**【請求項13】**

如請求項1至4中任一項之蝕刻方法，其中上述含金屬層包含W、

$WSi_X$ 、 $Mo$ 、 $MoSi_XF_Y$ 中之至少一者， $X$ 、 $Y$ 分別為正數。

**【請求項14】**

一種電漿處理裝置，其具備：

腔室；

基板支持部，其設置於上述腔室內並且具有溫度調節模組；

氣體供給部，其構成為將處理氣體供給至上述腔室內；

電漿產生部，其構成為於上述腔室內自上述處理氣體產生電漿；及

控制部；

上述控制部構成為控制上述溫度調節模組、上述氣體供給部及上述電漿產生部，以於包含第1層、及於上述第1層上之具有圖案之第2層之基板支持於上述基板支持部之狀態下，

相較於上述第1層之表面，優先於上述第2層之表面形成含矽層，

於上述含矽層之表面形成含金屬層，

將上述第2層、上述含矽層、及上述含金屬層作為遮罩，對露出之上述第1層進行蝕刻。



