

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 9 月 9 日(09.09.2016)



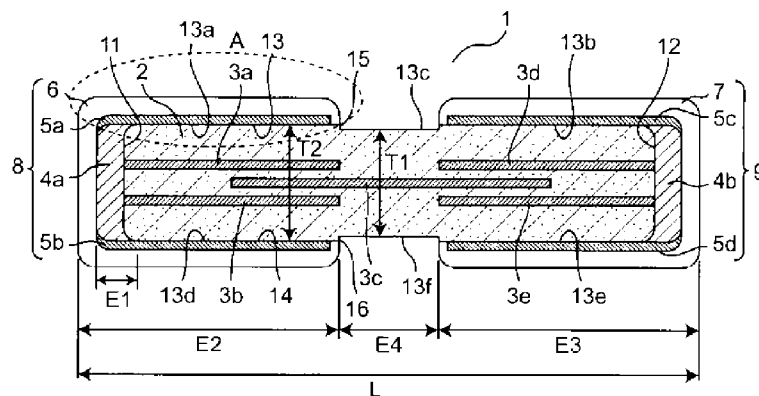
(10) 国際公開番号
WO 2016/139975 A1

- (51) 国際特許分類:
H01C 7/04 (2006.01)
- (21) 国際出願番号: PCT/JP2016/051154
- (22) 国際出願日: 2016 年 1 月 15 日(15.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-042920 2015 年 3 月 4 日(04.03.2015) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: 戸田 圭(TODA, Kei); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 鮫島 睦, 外(SAMEJIMA, Mutsumi et al.); 〒5300017 大阪府大阪市北区角田町 8 番 1 号梅田阪急ビルオフィスタワー青山特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: NTC THERMISTOR TO BE BURIED IN SUBSTRATE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 基板埋め込み用 NTC サーミスタおよびその製造方法

図 1



(57) Abstract: Provided are: an NTC thermistor to be buried in a substrate, which is able to eliminate the need for extremely precise positional accuracy during the formation of a via hole by means of laser light; and a method for producing this NTC thermistor to be buried in a substrate. An NTC thermistor to be buried in a substrate according to the present invention comprises: a thermistor element which is formed of a ceramic sintered body and has two opposite main surfaces, two opposite lateral surfaces, and two opposite end surfaces; a plurality of internal electrodes which are formed within the thermistor element; and two external electrodes which are formed on the outer surface of the thermistor element and are electrically connected to the plurality of internal electrodes. Each external electrode comprises: a first electrode layer which covers one end surface of the thermistor element; second electrode layers which are respectively formed on the main surfaces of the thermistor element in such a manner that one end of each second electrode layer is in contact with the first electrode layer and the other end extends toward the other end surface of the thermistor element, and each of which is composed of at least one layer; and at least one third electrode layer which covers the first electrode layer and the second electrode layers.

(57) 要約:

[続葉有]

WO 2016/139975 A1



レーザー光でビアホールを形成する際に、極めて正確な位置精度を不要とすることを可能とする基板埋め込み用NTCサーミスタおよびその製造方法を提供する。本発明の基板埋め込み用NTCサーミスタは、セラミック焼結体からなり、対向する2つの主面と、対向する2つの側面と、対向する2つの端面とを有するサーミスタ素体と、該サーミスタ素体内に形成された複数の内部電極と、該サーミスタ素体の外表面に形成され、該複数の内部電極と電氣的に接続される2つの外部電極を有し、前記外部電極が、それぞれ、該サーミスタ素体の一の端面を覆う第1電極層と、該サーミスタ素体の前記主面のそれぞれに形成され、一端が該第1電極層と接し、他端が他方の端面の方向に延在する、少なくとも1層からなる、第2電極層と、該第1電極層と該2電極層を覆う少なくとも1層の第3電極層を有する。

明 細 書

発明の名称：

基板埋め込み用N T Cサーミスタおよびその製造方法

技術分野

[0001] 本発明は、基板埋め込み用N T Cサーミスタおよびその製造方法に関し、さらに詳しくは部品内蔵型基板に用いる基板埋め込み用N T Cサーミスタおよびその製造方法に関する。

背景技術

[0002] 近年、電子機器の小型化に対する要求の高まりに伴い、部品内蔵型基板内に埋め込むN T Cサーミスタ等の電子部品の小型化および低背化が進んでいる。図5は、チップ型のN T Cサーミスタの構造の一例を示す模式図である。N T Cサーミスタ100は、セラミック焼結体からなり、対向する一对の端面を有するサーミスタ素体102と、該サーミスタ素体102内に形成された複数の内部電極101a, 101b, 101c, 101dと、該サーミスタ素体102の一对の端面にそれぞれ形成された一对の外部電極105, 106を有している。外部電極105は端面電極103aにメッキ膜104a, 104bを積層した構造を有している。また、外部電極106は、端面電極103bにメッキ膜104c, 104dを積層した構造を有している（例えば、特許文献1）。

[0003] そのようなN T Cサーミスタは、部品内蔵型基板に配置され、絶縁性樹脂が充填され該基板内に埋め込まれる。一般的に、埋め込まれたN T Cサーミスタと配線との電氣的接続は、ビアホール電極を介して行われる。例えば、N T Cサーミスタの外部電極に向けて絶縁性樹脂にレーザー光を照射し、ビアホールを形成し、該ビアホールに金属導体を充填して、N T Cサーミスタの外部電極と配線とを電氣的に接続する。

先行技術文献

特許文献

[0004] 特許文献1：特開2000-106304号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、従来のNTCサーミスタを用いた場合、レーザー光でピアホールを形成する際、NTCサーミスタのサーミスタ素体が損傷しないように、正確にレーザー光を外部電極の上に照射する必要がある。そのため、レーザー光照射に際し、NTCサーミスタに対して極めて正確な位置精度が要求されるので、電子機器の製造プロセスが複雑化するという問題がある。

[0006] そこで、本発明は、レーザー光でピアホールを形成する際に、極めて正確な位置精度を不要とすることを可能とする基板埋め込み用NTCサーミスタおよびその製造方法を提供することを目的とした。

課題を解決するための手段

[0007] 上記課題を解決するため、本発明の基板埋め込み用NTCサーミスタは、セラミック焼結体からなり、対向する2つの主面と、対向する2つの側面と、対向する2つの端面とを有するサーミスタ素体と、
該サーミスタ素体内に形成された複数の内部電極と、
該サーミスタ素体の外表面に形成され、該複数の内部電極と電氣的に接続される2つの外部電極を有し、
前記外部電極が、それぞれ、
該サーミスタ素体の一の端面を覆う第1電極層と、
該サーミスタ素体の前記主面にそれぞれ形成され、一端が該第1電極層と接し、他端が他方の端面の方向に延在する、少なくとも1層からなる、第2電極層と、
該第1電極と該2電極層を覆う少なくとも1層の第3電極層を有する、ことを特徴とする。

[0008] また、前記第2電極層に、少なくとも1層のスパッタ膜を用いることができる。これにより、平坦な電極膜を得ることが可能となる。

[0009] また、前記第3電極層に、メッキ膜を用いることができる。これにより、

レーザー光照射時の外部電極の焼損を抑制することが可能となる。

[0010] また、前記第1電極層に、導電性ペーストを塗布および焼成してなる層を用いることができる。これにより、端面を完全に覆うことが可能となる。

[0011] また、前記第2電極層が、第1電極層より平坦であることが好ましい。これにより、第3電極層を平坦に形成することができ、後述の部品内蔵型基板への実装において、NTCサーミスタと封止体との間に不必要な隙間が生じるのを防止できる。また、レーザーの反射光の方向性が安定し、ビア穴の形状が安定する、効果も得られる。

[0012] また、前記サーミスタ素体は、その中央部の外表面に、前記外部電極で被覆されていない非被覆領域を有し、該非被覆領域は、前記外部電極で被覆された被覆領域よりも低くなる段部を有していてもよい。

[0013] また、本発明の基板埋め込み用NTCサーミスタは、例えば、以下の製造方法を用いて製造することができる。すなわち、本発明の基板埋め込み用NTCサーミスタの一の製造方法は、各外部電極を形成する工程が、サーミスタ素体の一の端面を覆う第1電極層を形成する工程と、該サーミスタ素体の各主面に形成され、一端が該第1電極層と接し、他端が他方の端面の方向に延在する、少なくとも1層からなる、第2電極層を形成する工程と、該第1電極と該第2電極層を覆う少なくとも1層の第3電極層を形成する工程を含むことを特徴とする。該製造方法によれば、レーザー光でビアホールを形成する際に、極めて正確な位置精度を不要とすることを可能とする基板埋め込み用NTCサーミスタを製造することが可能となる。

[0014] また、前記の第3電極層を形成する工程がメッキ法により第3電極層を形成する工程であって、第2電極層を形成後、前記サーミスタ素体の中央部の外表面であって、第2電極層で被覆されていない非被覆領域に対して、酸処理、研磨処理、メッキ処理または研削処理にて素体表面部分の除去を行ってもよい。これにより、第3電極層を形成するためのメッキ処理時において、サーミスタ素体の中央部に島状メッキが発生するのを抑制することが可能となる。

[0015] また、前記第 2 電極層を形成する工程において、前記第 1 電極層より平坦になるように前記第 2 電極層を形成することが好ましい。これにより、第 3 電極層を平坦に形成することができ、後述の部品内蔵型基板への実装において、N T C サーミスタと封止体との間に不必要な隙間が生じるのを防止できる。また、レーザーの反射光の方向性が安定し、ビア穴の形状が安定する、効果も得られる。

発明の効果

[0016] 本発明によれば、レーザー光でビアホールを形成する際に、極めて正確な位置精度を不要とすることを可能とする基板埋め込み用 N T C サーミスタを提供することが可能となる。

図面の簡単な説明

[0017] [図1]本発明の一の実施形態に係る基板埋め込み用 N T C サーミスタの構造を示す模式縦断面図である。

[図2]図 1 の部分拡大縦断面図である。

[図3]本発明の一の実施形態に係る基板埋め込み用 N T C サーミスタの製造方法を示す模式縦断面図である。

[図4]本発明の一の実施形態に係る基板埋め込み用 N T C サーミスタの、部品内蔵型基板への実装方法を示す模式縦断面図である。

[図5]従来の基板埋め込み用 N T C サーミスタの構造の一例を示す模式縦断面図である。

発明を実施するための形態

[0018] 以下、図面を参照して本発明について詳細に説明する。

本発明の基板埋め込み用 N T C サーミスタは、セラミック焼結体からなり、対向する 2 つの主面と、対向する 2 つの側面と、対向する 2 つの端面とを有するサーミスタ素体と、該サーミスタ素体内に形成された複数の内部電極と、該サーミスタ素体の外表面に形成され、該複数の内部電極と電氣的に接続される 2 つの外部電極を有し、前記外部電極が、それぞれ、該サーミスタ素体の一の端面を覆う第 1 電極層と、該サーミスタ素体の前記主面にそれぞれ

れ形成され、一端が該第 1 電極層と接し、他端が他方の端面の方向に延在する、少なくとも 1 層からなる、第 2 電極層と、該第 1 電極と該 2 電極層を覆う少なくとも 1 層の第 3 電極層を有する、ことを特徴とするものである。

[0019] (構造)

図 1 は、一の実施形態に係る NTC サーミスタの構造を示す模式縦断面図である。NTC サーミスタ 1 は、直方体状のセラミック焼結体からなるサーミスタ素体 2 を有している。サーミスタ素体 2 は、対向する 2 つの主面 1 3, 1 4 と、対向する 2 つの側面（不図示）と、対向する 2 つの端面 1 1, 1 2 を有している。2 つの主面の大きさは同じでも異なってもよい。また、2 つの側面の大きさは同じでも異なってもよい。また、2 つの端面の大きさは同じでも異なってもよい。

[0020] サーミスタ素体 2 内には、複数の内部電極 3 a, 3 b, 3 c, 3 d, 3 e がサーミスタ素体層を介して重なり合うように配置されている。サーミスタ素体 2 の外表面には、複数の内部電極 3 a, 3 b, 3 c, 3 d, 3 e と電氣的に接続される 2 つの外部電極 8, 9 を有している。なお、内部電極 3 a, 3 b, 3 c, 3 d, 3 e は一例であり、内部電極の数は複数であれば特に限定されない。

[0021] サーミスタ素体 2 を構成するセラミック焼結体は、負の抵抗温度特性を有するセラミックスである。負の抵抗温度特性を有するセラミックスとしては、従来、NTC サーミスタを構成するのに用いられている適宜のセラミックス、例えば、Mn、Ni、Fe、Ti、Co、Al、Zn 等の遷移金属の酸化物を含むセラミックスを用いることができる。好ましくは、酸化マンガン を主成分とするセラミックスであり、酸化ニッケル、酸化コバルト、アルミナ、酸化鉄、および酸化チタンを 1 種以上含むセラミックスである。また、サーミスタ素体 2 は、対応する 2 つの端面 1 1, 1 2 と、対応する 2 つの主面 1 3, 1 4 と、対向する 2 つの側面を有するものであれば特にその形状は限定されない。図 1 では直方体状の例を示したが、立方体形状でもよい。

[0022] 内部電極 3 a, 3 b は、サーミスタ素体 2 の第 1 の端面 1 1 に引き出され

ている。また、内部電極 3 d、3 e は、第 1 の端面 1 1 と対向する第 2 の端面 1 2 に引き出されている。内部電極は導電性ペーストの塗布・焼き付けにより形成することができる。内部電極には、A g、P d、P t、および A u 等の貴金属、または C u、N i、A l、W、および T i 等の卑金属の単体またはこれらの合金を用いることができる。

[0023] サーミスタ素体 2 の外表面には、2 つの外部電極 8、9 が形成されている。第 1 外部電極 8 は、サーミスタ素体 2 の一方の端面 1 1 を覆う第 1 電極層 4 a と、サーミスタ素体 2 の各主面に形成され、一端が第 1 電極層 4 a と接し、他端が他方の端面の方向に延在する 2 つの第 2 電極層 5 a、5 b と、第 1 電極層 4 a と第 2 電極層 5 a、5 b を覆う第 3 電極層 6 を有している。また、第 2 外部電極 9 は、サーミスタ素体 2 の一方の端面 1 2 を覆う第 1 電極層 4 b と、サーミスタ素体 2 の各主面に形成され、一端が第 1 電極層 4 b と接し、他端が他方の端面の方向に延在する 2 つの第 2 電極層 5 c、5 d と、第 1 電極層 4 b と一対の第 2 電極層 5 c、5 d を覆う第 3 電極層 7 を有している。

[0024] 第 1 電極層 4 a、4 b は、A g、P d、P t、および A u 等の貴金属を含み、例えば、導電性ペーストの塗布・焼き付けにより形成することができる。導電性ペーストにサーミスタ素体の端面を浸漬させることで、端面を覆う電極層を容易に形成することができる。第 1 電極層 4 a、4 b の厚さは、10 μ m 以上 60 μ m 以下、好ましくは 10 μ m 以上 50 μ m 以下、より好ましくは 15 μ m 以上 40 μ m 以下である。ここで、第 1 電極層の厚さとは、サーミスタ素体の端面と主面との連結位置と、第 1 電極層の外表面との間の長さ（図 1 中の E 1）であり、第 1 電極層の厚さにほぼ等しい。

[0025] なお、N T C サーミスタを 125℃で 1000 時間放置し、放置前の抵抗値に対する放置後の抵抗値の変化を測定する信頼性試験を行ったところ、以下の結果が得られた。

[表1]

第1電極層の厚さ (μm)	ΔR (%)
3.5	$< 1\%$
1.0	$< 1\%$
0.5	$> 1\%$

ここで、 ΔR (%) は、 125°C に放置する前の 25°C における抵抗値 R_{25} に対する放置後の 25°C における抵抗値の変化を ΔR_{25} とした場合、

$$(\Delta R_{25} / R_{25}) \times 100$$

で定義される値であり、その値が小さいほど、NTCサーミスタの抵抗値変化が少ないことを示す。上記の結果から明らかなように、第1電極層の厚さが $1.0\mu\text{m}$ より小さくなると、抵抗値変化が大きくなり、信頼性が低下することを確認した。

[0026] 第2電極層には、金属、好ましくはAu、Ag、CuまたはTiを含む、1層または複数層の金属層を用いることができる。単層の場合または最外層には、より酸化されにくいAuまたはAgが好ましい。第2電極層の厚さは、 $0.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下、好ましくは $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下、より好ましくは $1.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下である。また、第2電極層は平坦であることが好ましい。例えば、R値が、 $1\mu\text{m}$ 未満、好ましくは $0.5\mu\text{m}$ 未満である。ここで、R値は、表面の粗さの程度を示す指標であり、図2を参照して説明する。図2は、図1のA部分の部分拡大縦断面図である。NTCサーミスタを断面研磨し、第2電極層5aの厚さを5箇所で測定する。その5箇所の厚さの最大値と最小値を求め、その差をR値とする。R値が小さいほど、表面が平坦であることを示す。なお、図2中、サーミスタ素体の端面から $10\mu\text{m}$ 以上内側の厚さを測定している。第2電極層は、スパッタリング法や印刷法を用いて形成することができるが、膜厚制御の容易でより平坦な膜を形成可能なスパッタリング法を用いることが好ましい。

[0027] 第3電極層は、1層または複数層の金属または合金層であり、金属としては、Ni、CuまたはAu、合金としてはそれら金属の合金を用いることが

できる。単層の場合または最外層にはCuまたはAuが好ましい。レーザー照射時の焼損を抑制することができるからである。また、第3電極層の厚さは、 $5\mu\text{m}$ 以上 $20\mu\text{m}$ 以下、好ましくは $6\mu\text{m}$ 以上 $15\mu\text{m}$ 以下である。第3電極層は、メッキ法を用いて形成することができる。

[0028] また、サーミスタ素体2は、その中央部の外表面に、外部電極で被覆されていない非被覆領域を有している。例えば、一方の主面13は、外部電極8で被覆された被覆領域13aと、外部電極9で被覆された被覆領域13bと、いずれの外部電極にも被覆されていない非被覆領域13cを有している。また、他方の主面14は、外部電極8で被覆された被覆領域13dと、外部電極9で被覆された被覆領域13eと、いずれの外部電極にも被覆されていない非被覆領域13fを有している。ここで、主面の被覆領域と非被覆領域の大きさは、NTCサーミスタ素子の割れ等の破断を抑制する観点から決定することができ、例えば、第1外部電極と第2外部電極が、以下に説明する条件を満たすように、設定することができる。すなわち、サーミスタ1の長さ方向（一方の端面11から他方の端面12に向かう方向）において、サーミスタ1の全長をLとし、第1外部電極8の長さ（被覆領域の長さ）をE2とし、第2外部電極9の長さ（被覆領域の長さ）をE3とした場合、 $(1/3) \times L \leq E2 + E3 \leq (0.95 \times L)$ 、好ましくは、 $(2/3) \times L \leq E2 + E3 \leq (0.90 \times L)$ である。第1外部電極8の長さE2と、第2外部電極9の長さE3とは、製造上同じであることが好ましいが、異なってもよい。

[0029] ここで、サーミスタ1の全長Lとは、サーミスタ1の長さ方向の両端間の長さをいう。また、第1外部電極8の長さE2とは、サーミスタ1の長さ方向における第1外部電極8の一端と他端との間の長さをいう。また、第1外部電極9の長さE3とは、サーミスタ1の長さ方向における第1外部電極9の一端と他端との間の長さをいう。例えば、サーミスタ1のサイズが、JIS規格0603サイズ[$(0.6 \pm 0.03)\text{mm}$ （長さ方向） $\times$ $(0.3 \pm 0.03)\text{mm}$ （幅方向）]の場合、Lは、 0.6mm である。このとき、E

2とE3は、それぞれ、0.2mm以上である。これにより、 $E2 + E3 \geq (2/3) \times L$ を満たす。サーミスタ1の厚みは、0.1mmよりも大きく、0.3mmよりも小さい。また、サーミスタ1の厚みは、0.3mm以上であってもよい。なお、サーミスタ1のサイズは、JIS規格0402～2012の範囲のサイズであればよい。

[0030] また、非被覆領域13c, 13fは、2つの外部電極8, 9で被覆された被覆領域よりも低くなる段部15, 16を有していてもよい。段部15と段部16の段差は、同じでも異なってもよい。段差は、1μm以上30μm以下、好ましくは1μm以上15μm以下である。段部15と段部16の段差の合計は、図1において、サーミスタ素体2の厚さT2（被覆領域13aと13dとの間の厚さ）と厚さT1（非被覆領域13cと13fとの間の厚さ）の差で規定され、例えば、各段差はその差の概ね1/2の値でもよい。段部は、例えば、研磨処理、酸処理、メッキ処理、または研削処理により形成することができる。なお、図中では、一段の例を示したが、段部は複数段でもよい。

[0031] 上記の通り、本発明によれば、第1電極層より薄くかつ平坦で、一端が該第1電極層と接し、他端が他方の端面の方向に延在する第2電極層を主面に設けることで、外部電極の平坦部分が広くなるため、レーザー光照射時に、レーザー光に対して厳しい位置精度が要求されないので、より簡単なプロセスで部品内蔵型基板を作製することが可能となる。

[0032] なお、必要に応じて、非被覆領域13c, 13fを覆うように、絶縁層を形成してもよい。絶縁層を構成する材料については、特に限定されず、適宜の合成樹脂を用いることができる。

[0033] （製造方法）

本発明の、NTCサーミスタ素子は、例えば、以下に説明する製造方法を用いて製造することができ、該製造方法は、内部電極を含むサーミスタ素体を作製する工程と、サーミスタ素体に外部電極を形成する工程を少なくとも含む。

[0034] サーミスタ素体を作製する工程では、必要に応じて仮焼した原料粉末に有機バインダを加え混合してスラリー状にし、その後、ドクターブレード法等を用いて成形加工を行い、セラミックグリーンシートを作製する。次いで、内部電極用導電ペーストを用いて、セラミックグリーンシート上にスクリーン印刷を行って電極パターンを形成する。次に、電極パターンが印刷された複数のセラミックグリーンシートを積層した後、電極パターンが印刷されていないセラミックグリーンシートで上下挟持して圧着して、積層体を作製する。次いで、得られた積層体に脱バインダ処理を行った後、焼成して内部電極とサーミスタ素体層とが交互に積層されたサーミスタ素体を作製する。

[0035] 図2は、サーミスタ素体に外部電極を形成する工程を示す模式縦断面図である。図中、図1と同様の部分については同じ符号を付して説明を省略する。(a)は、内部電極3a, 3b, 3c, 3d, 3fとサーミスタ素体層とが交互に積層されたサーミスタ素体2の模式縦断面図である。(b)は、外部電極の第1電極層を形成する工程である。内部電極とサーミスタ素体層とが交互に積層されたサーミスタ素体2の端面11, 12を導電ペーストに浸漬し、焼き付けして第1電極層4a, 4bを形成する。(c)は、第2電極層を形成する工程である。スパッタリング法により、サーミスタ素体2の各主面に、一端が第1電極層4aと接し、他端が他方の端面の方向に延在する一対の第2電極層5a, 5bと、一端が第1電極層4bと接し、他端が他方の端面の方向に延在する一対の第2電極層5c, 5dを形成する。(d)は、第3電極層を形成する工程であり、第3電極層を2層で構成した例を示している。第3電極層の第1層7aと第2層7bを、例えばメッキ法により形成する。これにより、NTCサーミスタ素子を製造することができる。

[0036] また、前記の第3電極層を形成する工程がメッキ法により第3電極層を形成する工程である場合、第2電極層を形成後、前記サーミスタ素体の中央部の外表面であって、第2電極層で被覆されていない非被覆領域に対して、酸処理、研磨処理、メッキ処理または研削処理等の素体表面処理を行うことができる。この際、段部15, 16が生成する。スパッタリング法を用いて第

2 電極層を形成する場合、電極材料の一部がサーミスタ素体の非被覆領域に付着する可能性があるが、上記の素体表面処理を行うと、段部 15、16 を生成する際に電極材料の一部を除去できる。そのため、メッキ法を用いて第 3 電極層を形成する場合、サーミスタ素体の非被覆領域に島状メッキが発生するのを防止することが可能となる。例えば、JIS 規格 0603 サイズの NTC サーミスタ素子について、スパッタリング法で第 2 電極層を形成した後、上記の素体表面処理を行った場合と上記の素体表面処理を行わなかった場合で、島状メッキの発生を比較した。サーミスタ素体の非被覆領域を SEM 観察したところ、上記の素体表面処理を行った 1000 個の素子では、直径 0.5 μm 以上の島状メッキの発生は認められなかった。これに対し、上記の素体表面処理を行わなかった場合、1000 個の素子すべてについて直径 0.5 μm 以上の島状メッキの発生が認められた。

[0037] また、上記の例では、スパッタリング法を用いて第 2 電極層を用いた例を示したが、スクリーン印刷法を用いて形成してもよい。

[0038] (部品内蔵型基板への実装)

図 4 は、NTC サーミスタ素子の部品内蔵型基板への実装工程の一例を示す模式縦断面図である。まず、(a) に示すように、基板 30 の上にサーミスタ素子 20 を載置する。このとき、第 1 外部電極 21 と第 2 外部電極 22 は接着剤を介して基板 30 に接着される。

[0039] 次に、(b) に示すように、基板 30 の表面に、サーミスタ素子 20 を封止するように、封止体 23 を充填する。これにより、サーミスタ素子 20 は、封止体 23 内に埋め込まれる。

[0040] 次に、(c) に示すように、第 1 外部電極 21 と第 2 外部電極 22 が直下に位置する封止体 23 の部分にレーザー光を照射して、第 1 外部電極 21 が露出する孔部 24a と、第 2 外部電極 22 が露出する孔部 24b を形成する。このとき、第 1 電極層より薄くかつ平坦で、一端が該第 1 電極層と接し、他端が他方の端面の方向に延在する第 2 電極層を主面に設けているので、外部電極の平坦部分が広くなるため、レーザー光照射時に、レーザー光に対し

て厳しい位置精度が要求されないので、より簡単なプロセスで部品内蔵型基板を作製することが可能となる。

[0041] 次に、(d)に示すように、封止体23の孔部24a, 24bや、封止体23の上面や、基板30の裏面に、配線としてCuなどの金属材料25, 32をめっきする。これにより、孔部24a, 24bの中は金属材料で充填される。さらに、絶縁層や導電層（不図示）を積層して部品内蔵型基板を作製する。

[0042] なお、本明細書ではNTCサーミスタについて説明したが、本発明は、例えば国際公開第2014/017365号に記載されているような、内部電極と外部電極を有するPTCサーミスタにも適用可能である。すなわち、PTCサーミスタに適用した場合、セラミック焼結体からなり、対向する2つの主面と、対向する2つの側面と、対向する2つの端面とを有するサーミスタ素体と、該サーミスタ素体内に形成された複数の内部電極と、該サーミスタ素体の外表面に形成され、該複数の内部電極と電氣的に接続される2つの外部電極を有し、前記外部電極が、それぞれ、該サーミスタ素体の一の端面を覆う第1電極層と、該サーミスタ素体の前記主面にそれぞれ形成され、一端が該第1電極層と接し、他端が他方の端面の方向に延在する、少なくとも1層からなる、第2電極層と、該第1電極と該2電極層を覆う少なくとも1層の第3電極層を有する、基板埋め込み用PTCサーミスタを提供することが可能である。その場合、NTCサーミスタの場合と同様に、レーザー光でビアホールを形成する際に、極めて正確な位置精度を不要とすることが可能である。なお、PTCサーミスタの場合、サーミスタ素体には正の抵抗温度特性を有するセラミックスを用いることができる。また、内部電極や、外部電極の第1電極層、第2電極層および第3電極層には、本明細書に記載した材料を用いることができる。

産業上の利用可能性

[0043] 本発明によれば、部品内蔵型基板内に容易に埋め込むことの可能なNTCサーミスタを提供することができる。

符号の説明

- [0044] 1 NTCサーミスタ
- 2 サーミスタ素体
- 3 a, 3 b, 3 c, 3 d, 3 e, 3 f 内部電極
- 4 a, 4 b 第1電極層
- 5 a, 5 b 第2電極層
- 5 c, 5 d 第2電極層
- 6, 7 第3電極層
- 8 第1外部電極
- 9 第2外部電極
- 11 第1端面
- 12 第2端面
- 13, 14 主面
- 13 a, 13 b, 13 d, 13 e 被覆領域
- 13 c, 13 f 非被覆領域
- 15, 16 段部
- 20 NTCサーミスタ
- 21 第1外部電極
- 22 第2外部電極
- 23 封止体
- 24 a, 24 b 孔部
- 25, 32 金属材料
- 30 基板

請求の範囲

- [請求項1] セラミック焼結体からなり、対向する2つの主面と、対向する2つの側面と、対向する2つの端面とを有するサーミスタ素体と、
該サーミスタ素体内に形成された複数の内部電極と、
該サーミスタ素体の外表面に形成され、該複数の内部電極と電氣的に接続される2つの外部電極を有し、
前記外部電極が、それぞれ、
該サーミスタ素体の一の端面を覆う第1電極層と、
該サーミスタ素体の前記主面にそれぞれ形成され、一端が該第1電極層と接し、他端が他方の端面の方向に延在する、少なくとも1層からなる、第2電極層と、
該第1電極と該2電極層を覆う少なくとも1層の第3電極層を有する、基板埋め込み用NTCサーミスタ。
- [請求項2] 前記第2電極層が、少なくとも1層のスパッタリング膜からなる請求項1記載の基板埋め込み用NTCサーミスタ。
- [請求項3] 前記第3電極層が、メッキ膜である請求項1または2に記載の基板埋め込み用NTCサーミスタ。
- [請求項4] 前記第1電極層が、導電性ペーストを塗布および焼成してなる層である請求項1から3のいずれか1項に記載の基板埋め込み用NTCサーミスタ。
- [請求項5] 前記第2電極層が、前記第1電極層より平坦である請求項1から4のいずれか1項に記載の基板埋め込み用NTCサーミスタ。
- [請求項6] 前記サーミスタ素体は、その中央部の外表面に、前記外部電極で被覆されていない非被覆領域を有し、該非被覆領域は、前記外部電極で被覆された被覆領域よりも低くなる段部を形成している、請求項1から5のいずれか1項に記載の基板埋め込み用NTCサーミスタ。
- [請求項7] 請求項1記載の基板埋め込み用NTCサーミスタの製造方法であって、

各外部電極を形成する工程が、
サーミスタ素体の一の端面を覆う第 1 電極層を形成する工程と、
該サーミスタ素体の各主面に形成され、一端が該第 1 電極層と接し、
他端が他方の端面の方向に延在する、少なくとも 1 層からなる、第
2 電極層を形成する工程と、

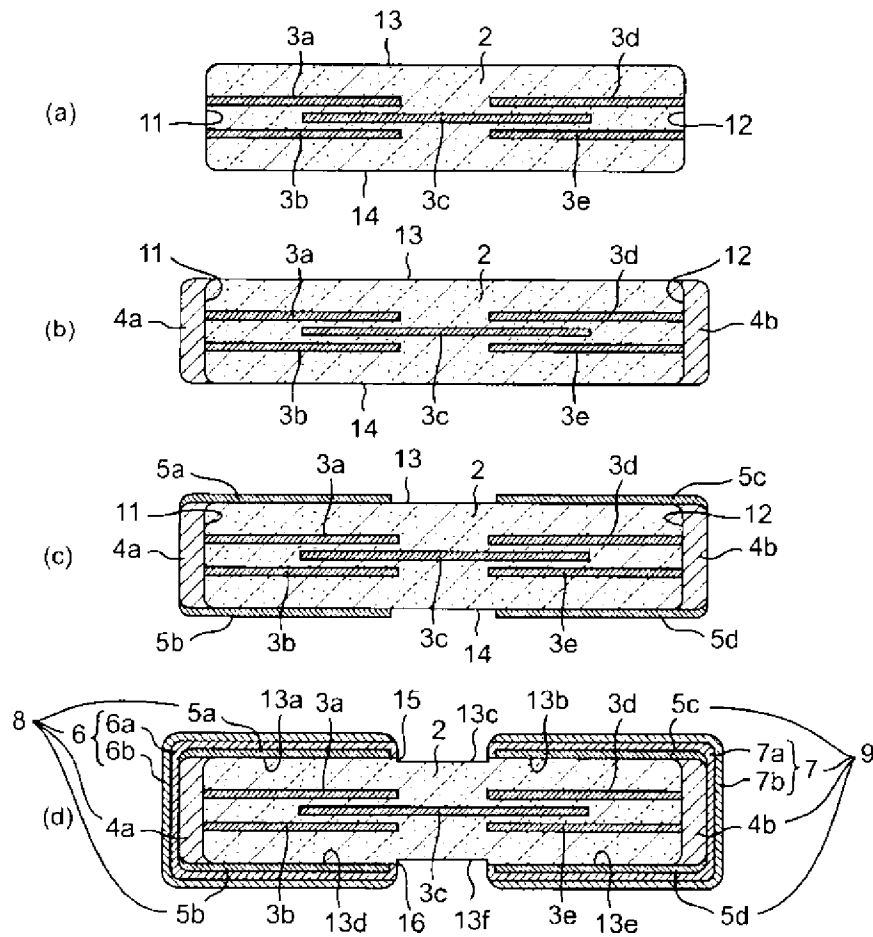
該第 1 電極と該 2 電極層を覆う少なくとも 1 層の第 3 電極層を形成
する工程を含む、該基板埋め込み用 NTC サーミスタの製造方法。

[請求項 8] 前記の第 3 電極層を形成する工程がメッキ法により第 3 電極層を形成する工程であって、第 2 電極層を形成後、前記サーミスタ素体の中央部の外表面であって、第 2 電極層で被覆されていない非被覆領域に対して、素体表面を除去する処理を行う、請求項 7 記載の製造方法。

[請求項 9] 前記第 2 電極層を形成する工程において、前記第 1 電極層より平坦になるように前記第 2 電極層を形成する、請求項 7 または 8 に記載の製造方法。

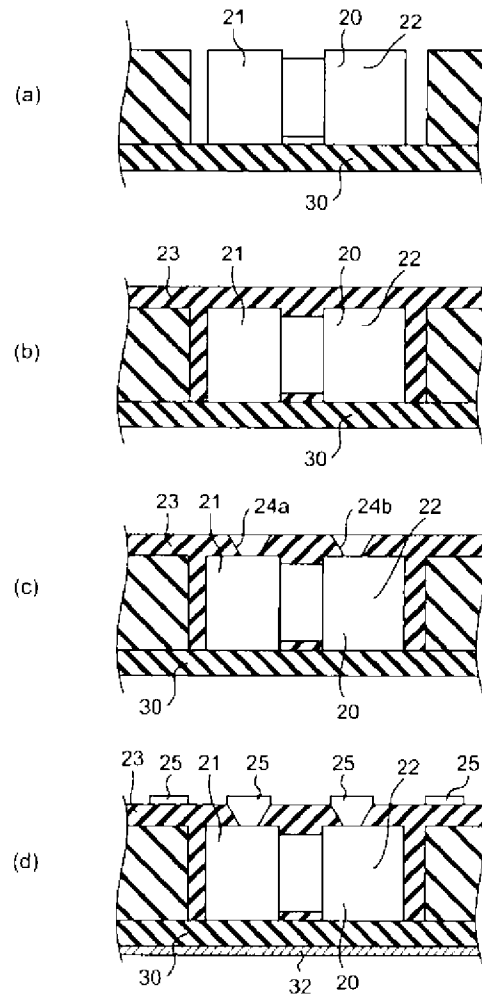
[図3]

図3



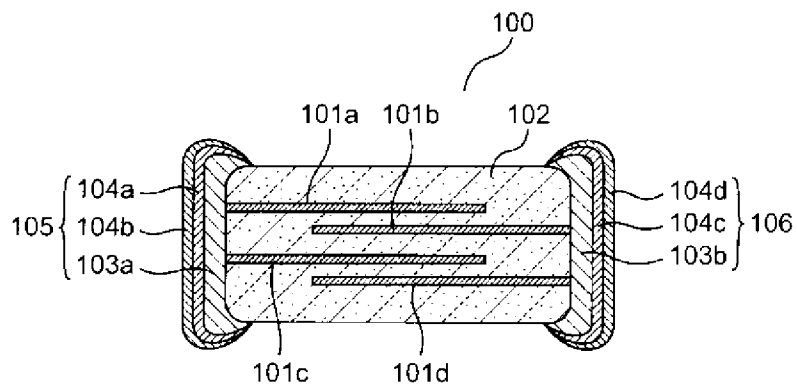
[図4]

図4



[図5]

図5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/051154

A. CLASSIFICATION OF SUBJECT MATTER

H01C7/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01C7/04, H01G4/12, H01G4/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-253010 A (Panasonic Corp.), 29 October 2009 (29.10.2009), paragraphs [0001], [0026] to [0036], [0102]; fig. 1 & US 2009/0284896 A1 paragraphs [0002], [0027] to [0033], [0079]; fig. 1	1-9
Y	JP 9-017607 A (Taiyo Yuden Co., Ltd.), 17 January 1997 (17.01.1997), paragraphs [0012] to [0013], [0015]; fig. 1 (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
03 March 2016 (03.03.16)

Date of mailing of the international search report
15 March 2016 (15.03.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/051154

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-183109 A (Murata Mfg. Co., Ltd.), 12 September 2013 (12.09.2013), paragraphs [0015] to [0017] & US 2013/0229256 A1 paragraphs [0019] to [0021] & CN 103295709 A & TW 201337970 A	1-9
Y	JP 2010-045372 A (AVX Corp.), 25 February 2010 (25.02.2010), paragraph [0008]; fig. 1 & US 2010/0039749 A1 paragraph [0008]; fig. 1 & DE 102009028629 A & CN 101677035 A	6, 8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01C7/04 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01C7/04, H01G4/12, H01G4/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-253010 A（パナソニック株式会社）2009.10.29, 段落[0001], [0026]-[0036], [0102], 図1 & US 2009/0284896 A1, 段落[0002], [0027]-[0033], [0079], 図1	1-9
Y	JP 9-017607 A（太陽誘電株式会社）1997.01.17, 段落[0012]-[0013], [0015], 図1（ファミリーなし）	1-9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

03.03.2016

国際調査報告の発送日

15.03.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 大介

5 D

9848

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-183109 A (株式会社村田製作所) 2013. 09. 12, 段落[0015]-[0017] & US 2013/0229256 A1, 段落[0019]-[0021] & CN 103295709 A & TW 201337970 A	1 - 9
Y	JP 2010-045372 A (エイブイエックス コーポレーション) 2010. 02. 25, 段落[0008], 図 1 & US 2010/0039749 A1, 段落[0008], 図 1 & DE 102009028629 A & CN 101677035 A	6, 8