



(12)发明专利申请

(10)申请公布号 CN 106133908 A

(43)申请公布日 2016. 11. 16

(21)申请号 201580016403.8

(74)专利代理机构 上海专利商标事务所有限公司 31100

(22)申请日 2015.08.28

代理人 干欣颖

(30)优先权数据

2014-208743 2014.10.10 JP

(51)Int.Cl.

H01L 25/07(2006.01)

(85)PCT国际申请进入国家阶段日

H01L 25/18(2006.01)

2016.09.26

H02M 7/48(2007.01)

(86)PCT国际申请的申请数据

H05K 7/06(2006.01)

PCT/JP2015/074456 2015.08.28

(87)PCT国际申请的公布数据

W02016/056320 JA 2016.04.14

(71)申请人 富士电机株式会社

地址 日本神奈川县

(72)发明人 市川裕章

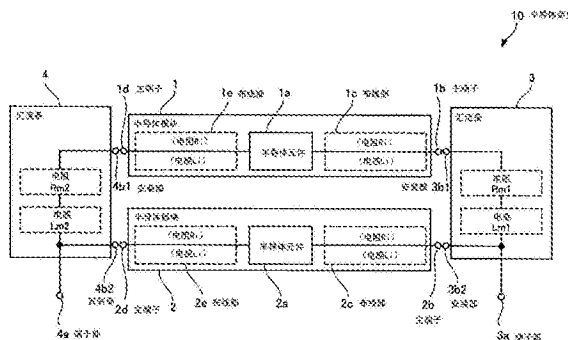
权利要求书1页 说明书8页 附图7页

(54)发明名称

半导体装置及汇流条

(57)摘要

本发明提供一种可靠性高的半导体装置。半导体装置(10)具有:半导体模块(1,2),该半导体模块(1,2)包括向外部导出的主端子(1b、1d、2b、2d),连接半导体元件(1a、2a)和主端子(1b、1d、2b、2d)的配线部(1c、1e、2c、2e);以及汇流条(3a、4a),该汇流条(3,4)包括端子部(3a、4a)和与主端子(1b、1d、2b、2d)连接的安装部(3b1、3b2、4b1、4b2),该汇流条(3,4)将半导体模块(1,2)并联连接,端子部(3a、4a)与各个安装部(3b1、4b1)之间的电阻中,最大的电阻(Rm1、Rm2)在布线部(1c、1e)的电阻(Ri)的10%以下,端子部(3a、4a)与各个安装部(3b1、4b1)之间的电感中,最大的电感(Lm1、Lm2)在布线部(1c、1e)的电感(Li)的10%以下。



1. 一种半导体装置,其特征在于,具有:

多个半导体模块,该半导体模块包括半导体元件,向外部导出的主端子,连接所述半导体元件和所述主端子的配线部;以及

一个以上的母线,该母线包括一个端子部和与所述主端子连接的多个安装部,该母线将所述半导体模块并联连接,

在所述端子部与各个所述安装部之间的电阻中,最大的电阻在所述布线部的电阻的10%以下,

在所述端子部与各个所述安装部之间的电感中,最大的电感在所述布线部的电感的10%以下。

2. 如权利要求1所述的半导体装置,其特征在于,

在所述端子部与各个所述安装部之间的电阻中,最大的电阻在所述布线部的电阻的5%以下,

在所述端子部与各个所述安装部之间的电感中,最大的电感在所述布线部的电感的5%以下。

3. 如权利要求1所述的半导体装置,其特征在于,

所述配线部具有绝缘基板,与所述绝缘基板相对的印刷布线基板,以及与所述印刷布线基板相连接的导电柱。

4. 如权利要求3所述的半导体装置,其特征在于,

所述主端子与所述绝缘基板或者所述印刷布线基板相连接。

5. 如权利要求1所述的半导体装置,其特征在于,

所述主端子包括第一主端子和第二主端子,

所述汇流条包括与所述第一主端子相连接的第一汇流条,以及与所述第二主端子相连接的第二汇流条,

所述第一汇流条和所述第二汇流条并列配置。

6. 如权利要求5所述的半导体装置,其特征在于,

所述第一汇流条与所述第二汇流条之间的间隔在1mm以下。

7. 一种汇流条,

该汇流条具有一个端子部和多个安装部,且该汇流条通过所述安装部将多个半导体模块并联连接,该汇流条的特征在于,

所述端子部与各个所述安装部之间的电阻中,最大的电阻与最小的电阻之差为 $25\text{n}\Omega$ 以下,

在将并联连接所述半导体模块的其它汇流条以1mm以下的间隔并列配置的情况下的所述端子部与各个所述安装部之间的电感中,最大的电感与最小的电感之差在 2nH 以下。

8. 如权利要求7所述的汇流条,其特征在于,

在将并联连接所述半导体模块的其它汇流条以1mm以下的间隔并列配置的情况下的所述端子部与各个所述安装部之间的电感中,最大的电感与最小的电感之差在 1nH 以下。

半导体装置及汇流条

技术领域

[0001] 本发明涉及半导体装置及汇流条。

背景技术

[0002] 已广泛地采用了将安装有IGBT(Insulated Gate Bipolar Transistor:绝缘栅双极型晶体管)、FWD(Free Wheeling Diode:续流二极管)等的多个半导体模块并联连接而成的半导体装置。

[0003] 对于这样的半导体装置的半导体模块,虽然在电路中为并联连接,但是在结构上它们距离电源的布线距离有时是不同的。在此情况下,并联连接的半导体模块彼此之间由于布线距离的差异而会使电感产生差异。因此,在半导体模块中,当断开时会产生高浪涌电压,而且由于开关波形的不同还会使开关损耗也产生差异。因此,提出了一种半导体装置,以使半导体模块各自的正侧及负侧的端子相互相对的方式,将并联连接的一组半导体模块分别连接至平行配置的汇流条,由此得到上述半导体装置(例如参照专利文献1)。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:日本专利特开2004-135444号公报

发明内容

[0007] 发明所要解决的技术问题

[0008] 然而,在专利文献1的半导体装置中,在将与与汇流条相互相对的方式并联连接的一组半导体模块连接了多组的情况下,从电源至一组半导体模块的距离和从电源至另一组半导体模块的距离会不同。由此,由于基于距离的差异而导致汇流条的电阻也产生差异,所以各组半导体模块上的电流也会产生差异。

[0009] 本发明正是鉴于上述问题而设计的,其目的在于提供一种能够降低电流相对于半导体模块的差异的半导体装置。

[0010] 解决技术问题所采用的技术方案

[0011] 根据本申请的第一个观点,提供一种半导体装置,该半导体装置具有:多个半导体模块,该半导体模块包括半导体元件,向外部导出的主端子,连接所述半导体元件和所述主端子的配线部;以及一个以上的汇流条,该汇流条包括一个端子部和与所述主端子连接的多个安装部,该汇流条将所述半导体模块并联连接,在所述端子部与各个所述安装部之间的电阻中,最大的电阻在所述布线部的电阻的10%以下,在所述端子部与各个所述安装部之间的电感中,最大的电感在所述布线部的电感的10%以下。

[0012] 另外,根据本申请的另一个观点,提供一种汇流条,该汇流条具有一个端子部和多个安装部,且该汇流条通过所述安装部将多个半导体模块并联连接,该汇流条的特征在于,所述端子部与各个所述安装部之间的电阻中,最大的电阻与最小的电阻之差为 $25\text{n}\Omega$ 以下,在将并联连接所述半导体模块的其它汇流条以 1mm 以下的间隔并列配置的情况下的所述端

子部与各个所述安装部之间的电感中,最大的电感与最小的电感之差在 $2nH$ 以下。

[0013] 发明效果

[0014] 根据所揭示的技术,能够降低施加于半导体模块的电流的差异,能够抑制半导体装置的特性降低。

[0015] 通过表示作为本发明的示例的优选实施方式的附图以及相关的下述说明可进一步明确本发明的上述和其他目的、特征以及优点。

附图说明

[0016] 图1是示出了实施方式1的半导体装置的图。

[0017] 图2是示出了实施方式1的半导体元件一壳体间的温度差及动力循环寿命的曲线。

[0018] 图3是示出了实施方式2的半导体模块的图。

[0019] 图4是示出了实施方式2的半导体装置的立体图。

[0020] 图5是示出了实施方式2的汇流条的图。

[0021] 图6是用于说明实施方式2中并联连接半导体模块的汇流条的图。

[0022] 图7是示出了由实施方式2的半导体装置构成的电路的图。

具体实施方式

[0023] 下面参照附图,对实施方式进行说明。

[0024] <实施方式1>

[0025] 图1是示出了实施方式1的半导体装置的图。

[0026] 半导体装置10具有多个半导体模块1、2,以及并联地电连接多个半导体模块1、2的汇流条3、4。另外,在半导体装置10中,能够利用汇流条3、4来电连接2个以上的半导体模块。在实施方式1中,对利用了2个半导体模块1、2的情况进行说明。

[0027] 半导体模块1具有半导体元件1a,导出到外部的主端子1b、1d,以及布线部1c、1e。同样地,半导体模块2具有半导体元件2a,导出到外部的主端子2b、2d,以及布线部2c、2e。

[0028] 半导体元件1a、2a例如是功率半导体。具体而言,由IGBT、FWD、功率MOSFET(Metal Oxide Semiconductor Field Effect Transistor:金属氧化物半导体场效应晶体管)等中任一个或多个来构成。

[0029] 主端子1b、1d和半导体元件1a的主电极(省略图示)利用布线部1c、1e进行电连接。同样地,主端子2b、2d和半导体元件2a的主电极(省略图示)利用布线部2c、2e进行电连接。另外,布线部1c、1e、2c、2e分别具有电阻 R_i 以及电感 L_i 。另外,布线部1c、1e、2c、2e的电阻 R_i 有时被称为半导体模块1、2的内部电阻,布线部1c、1e、2c、2e的电感 L_i 有时被称为半导体模块1、2的内部电感。

[0030] 汇流条3中,安装部3b1与半导体模块1的主端子1b相连接,安装部3b2与半导体模块2的主端子2b相连接。汇流条4中,安装部4b1与半导体模块1的主端子1d相连接,安装部4b2与半导体模块2的主端子2d相连接。另外,汇流条3的端子部3a及汇流条4的端子部4a连接至未图示的外部电源。

[0031] 此处,汇流条3的端子部3a与安装部3b1之间,对于所流过的电流存在电阻 R_{m1} 和电感 L_{m1} 。另一方面,汇流条3的端子部3a与安装部3b2之间的电阻和电感设为是小到可以无视

的值。也就是说,端子部3a与各个安装部3b1、3b2之间的电阻之中最大的电阻是电阻 R_{m1} 。而且,端子部3a与各个安装部3b1、3b2之间的电感之中最大的电感是电感 L_{m1} 。

[0032] 另外,汇流条4的端子部4a与安装部4b1之间存在电阻 R_{m2} 和电感 L_{m2} 。另外,与汇流条3相同地,端子部4a与各个安装部4b1、4b2之间的电阻之中最大的电阻是电阻 R_{m2} 。而且,端子部4a与各个安装部4b1、4b2之间的电感之中最大的电感是电感 L_{m2} 。

[0033] 而且,在实施方式1中,汇流条3、4的端子部3a、4a与安装部3b1、3b2、4b1、4b2之间的电阻之中最大的电阻 R_{m1} 、 R_{m2} 为半导体模块1、2的布线部1c、1e、2c、2e的电阻 R_i 的10%以下。另外,汇流条3、4的端子部3a、4a与安装部3b1、3b2、4b1、4b2之间的电感之中最大的电感 L_{m1} 、 L_{m2} 为半导体模块1、2的布线部1c、1e、2c、2e的电感 L_i 的10%以下。

[0034] 接着,对从连接至汇流条3、4的端子部3a、4a的外部电源向半导体装置10流过电流的情况进行说明。

[0035] 此时,半导体模块1的半导体元件1a连接有组合了布线部1c、1e的2个电阻 R_i 以及汇流条3、4的电阻 R_{m1} 、 R_{m2} 后的电阻。同样地,半导体元件1a上连接有组合了布线部1c、1e的2个电感 L_i 以及汇流条3、4的电感 L_{m1} 、 L_{m2} 后的电感。

[0036] 另一方面,半导体模块2的半导体元件2a连接有组合了布线部2c、2e的2个电阻 R_i 后的电阻。而且,半导体元件2a连接有组合了布线部2c、2e的2个电感 L_i 后的电感。

[0037] 也就是说,若从汇流条3、4的端子部3a、4a向半导体装置10施加电流,则相比于半导体模块2,半导体模块1的电阻要增加组合电阻 R_{m1} 和电阻 R_{m2} 后的电阻。同样地,相比于半导体模块2,半导体模块1的电感要增加组合电感 L_{m1} 和电感 L_{m2} 后的电阻。

[0038] 尤其地,在能够降低半导体模块1、2的电阻 R_i 和电感 L_i 的情况下,由汇流条3、4的电阻 R_{m1} 、 R_{m2} 和电感 L_{m1} 、 L_{m2} 所产生的影响会变得显著。也就是说,在半导体模块1中,基于上述电阻 R_{m1} 、 R_{m2} 以及电感 L_{m1} 、 L_{m2} 的增加量,所流过的电流会变得小于半导体模块2的电流。此处,假设并行地配置连接半导体模块1、2的汇流条3、4,则即使能够降低因汇流条3、4的电感 L_{m1} 、 L_{m2} 所造成的影响,但要降低汇流条3、4的电阻 R_{m1} 、 R_{m2} 的影响也很困难。因此,尤其是因为汇流条3、4的电阻 R_{m1} 、 R_{m2} 的影响,会导致半导体模块1中流过的电流会小于半导体模块2的电流。

[0039] 此处,实施方式1的半导体装置10中,将电阻 R_{m1} 、 R_{m2} 设为电阻 R_i 的10%以下,且将电感 L_{m1} 、 L_{m2} 设为电感 L_i 的10%以下。因此,半导体装置10中,能够降低因汇流条3、4的电阻 R_{m1} 、 R_{m2} 和电感 L_{m1} 、 L_{m2} 而造成的影响。

[0040] 接着,对基于电阻 R_{m1} 、 R_{m2} (以及电感 L_{m1} 、 L_{m2})相对于电阻 R_i (以及电感 L_i)的比例而得到的半导体元件一壳体间的温度差以及动力循环寿命进行说明。

[0041] 图2是示出了实施方式1的半导体元件一壳体间的温度差及动力循环寿命的曲线。

[0042] 另外,图2(A)中,横轴示出了半导体元件1a与半导体元件2a之间的电流差(%),纵轴示出了温度更高的半导体模块2中的半导体元件2a与壳体之间的温度差 ΔT_j 的相对值。另外,纵轴中,以半导体元件1a与半导体元件2a的电流差为0%(即半导体元件1a与半导体元件2a之间没有电流差)的情况下的 ΔT_j 作为基准(100%)。

[0043] 另外,图2(B)中,横轴以对数的形式示出了上述的 ΔT_j 的相对值,纵轴以对数的形式示出了半导体元件2a相对于半导体元件1a的动力循环寿命(循环)的相对值。另外,纵轴中,以半导体元件1a与半导体元件2a的电流差为0%的情况下的动力循环寿命作为基准

(100%)。

[0044] 另外,如以下所述那样进行图2(A)的评价。

[0045] 电流流过作为评价对象的半导体元件1a、2a,通过改变该电流值,从而设定半导体元件1a与半导体元件2a之间的电流差。另外,半导体元件1a、2a的额定电压为1200V,额定电流为100A。连接至半导体元件1a、2a的电源中,电压为600V,频率为15kHz,功率因素为0.9。

[0046] 接着,将半导体元件1a与半导体元件2a之间的电流差的比例设为0%、5%、10%、15%、20%,对从基准值(0%)起使流过半导体元件2a的电流增加5%、10%、15%、20%的情况下的半导体元件2a与壳体之间的温度差 ΔT_j 进行测定。

[0047] 根据图2(A)的曲线,可知:随着半导体元件1a与半导体元件2a之间的电流差增加,温度差 ΔT_j 也会增加。也就是说,示出了与半导体元件1a相比、半导体元件2a的温度上升的情况。

[0048] 另外,如上所述,在半导体装置10中,若降低汇流条3、4的电阻 R_{m1} 、 R_{m2} 以及电感 L_{m1} 、 L_{m2} ,则能够降低半导体模块1与半导体模块2之间的电流差。也就是说,可以认为随着电阻 R_{m1} 、 R_{m2} (电感 L_{m1} 、 L_{m2})相对于电阻 R_i (电感 L_i)的比例增加,半导体元件1a与半导体元件2a之间的电流差会变大。因此,根据图2(A)可知:随着电阻 R_{m1} 、 R_{m2} (电感 L_{m1} 、 L_{m2})增大,温度差 ΔT_j 也会增加。

[0049] 另外,对图2(A)所示的各个温度差 ΔT_j 中半导体元件1a的动力循环寿命(循环)进行评价。

[0050] 根据示出了该评价结果的图2(B)的曲线,可知:随着温度差 ΔT_j 增加,半导体元件2a的动力循环寿命下降。另外,各个温度差 ΔT_j 对应于图2(A)中所记载的半导体元件1a与半导体元件2a之间的电流差。也就是说,该评价结果示出了随着半导体元件1a与半导体元件2a之间的电流差增加、半导体元件2a的动力循环寿命降低的情况。

[0051] 尤其是,在半导体元件1a与半导体元件2a的电流差为10%的情况下,相对于该电流差为0%的情况,动力循环寿命大约降低为1/4(23.9%)。另外,在该电流差为15%的情况下,相对于电流差为0%的情况,动力循环寿命大约降低为1/8(12.6%)。此处,对于半导体元件2a的动力循环寿命,允许降低到半导体元件1a的1/5左右。因此,将半导体元件1a与半导体元件2a之间的电流差的比例设为10%以下即可。

[0052] 此处,向端子部3a与端子部4a之间施加电压,将流过半导体元件1a的电流设为 I_1 ,将流过半导体元件2a的电流设为 I_2 ,在此情况下,下述的数学式(1)成立。

[0053]
$$I_2 = ((R_{m1} + R_{m2}) / 2R_i) * I_1 \dots (1)$$

[0054] 也就是说,半导体元件1a与半导体元件2a之间的电流差等于汇流条3和汇流条4的电阻总计值 $R_{m1} + R_{m2}$ 相对于半导体模块1、2的布线部1c、1e、2c、2e的电阻总计值 $2R_i$ 的比例。因此,为了将半导体元件1a与半导体元件2a的电流差设为10%以下,则相对于半导体模块1、2的布线部1c、1e、2c、2e的电阻($2R_i$),将汇流条3、4的电阻($R_{m1} + R_{m2}$)设为10%以下。

[0055] 另外,关于数学式(1),电感也同样满足。因此,为了将半导体元件1a与半导体元件2a的电流差设为10%以下,则相对于半导体模块的布线部的电感($2L_i$),将汇流条3、4的电感($L_{m1} + L_{m2}$)设为10%以下。

[0056] 另外,相对于半导体模块1、2的布线部1c、1e、2c、2e的电阻及电感,若将汇流条3和汇流条4的电阻及电感的差设为5%以下,则由于能够使半导体元件2a的动力循环寿命降低

为半导体元件1a的动力循环寿命的大约1/2,因此更为优选。

[0057] 如上所述,根据本实施方式,能够抑制半导体装置10的寿命降低,能够改善半导体装置的可靠性。

[0058] <实施方式2>

[0059] 在实施方式2中,对实施方式1的半导体装置进行更具体说明。

[0060] 图3是示出了实施方式2的半导体模块的一个示例的图。

[0061] 另外,图3(A)示出了半导体模块50所包括的结构侧视图,图3(B)示出了半导体模块50的立体图,图3(C)示出了半导体模块50的电路图。

[0062] 半导体模块50如图3(A)所示那样,具有半导体芯片53a、53b,绝缘基板52a、52b,导电柱54,印刷基板55,以及端子56~59。半导体芯片53a、53b是IGBT、功率MOSFET、FWD等的功率半导体。另外,图3(A)中,对于绝缘基板52a、52b分别仅显示了1个半导体芯片53a、53b。实际上,在绝缘基板52a、52b各自的表面侧的电路板上配置IGBT等开关器件和FWD,构成图3(C)所示的等效电路。

[0063] 绝缘基板52a、52b具有:热传导性较好的铝等陶瓷板,以及由在其表面和背面配置有铜等的导电性材料构成的电路板和金属板。在表面侧的电路板上形成有规定的电路图案。绝缘基板52a、52b例如是DCB(Direct Copper Bonding:直接键合铜)基板、AMB(Active Metal Blazing:活性金属钎)基板等。另外,如图3(A)所示那样,在绝缘基板52a、52b与半导体芯片53a、53b之间可以配置能提高散热性的铜板51a、51b。

[0064] 印刷基板55被配置为与绝缘基板52a、52b的电路板相对。印刷基板55具有布线用的金属层。

[0065] 筒状的导电柱54的一端连接至印刷基板55的金属层,另一端连接至半导体芯片53a、53b或绝缘基板52a、52b的电路板。

[0066] 由此,在半导体模块50的布线部中采用绝缘基板51a、51b,印刷基板55以及导电柱54。

[0067] 在现有的半导体模块中,在布线部中广泛地采用接合线。然而,在利用作为细线的接合线来进行连接的情况下,较难降低布线部的电阻或电感。

[0068] 另一方面,如实施方式2所示那样,若在布线部上采用导电柱或印刷基板,则相比于接合线,能增大布线的截面积,能够降低布线部的电阻或电感。另外,通过在印刷基板的两个面反并联地配置金属层,能够进一步降低布线部的电感。

[0069] 如图3(C)的电路图所示那样,将半导体模块50与开关器件(下面仅称为晶体管)Q1和FWD(下面称为二极管)D1的反并联电路,以及晶体管Q2和二极管D2的反并联电路进行串联连接。而且,上述电路布线分别具有内部电阻R1、R2以及内部电感L1、L2。

[0070] 此处,配置在绝缘基板52a、52b上的半导体芯片53a、53b等效地构成为图3(C)所示的晶体管Q1、Q2和二极管D1、D2的反并联电路。因此,也可以使晶体管Q1、Q2和二极管D1、D2中的任一个或者两者安装有相同额定值的半导体芯片。

[0071] 半导体芯片53a的下表面配置有晶体管Q1的集电极,且经由电路板连接至半导体模块50的集电极端子C1即端子56。另一个半导体芯片53b的背面所配置的晶体管Q2的集电极也经由电路板连接至集电极/发射极端子C2/E1即端子58。另外,在半导体芯片53a、53b的表面配置有晶体管Q1、Q2的发射极电极和栅极电极,分别经由导电柱54连接至印刷基板55。

这些晶体管Q1的发射极电极经由导电柱54或印刷基板55而连接至端子58,晶体管Q2的发射极电极经由导电柱或印刷基板55而连接至发射端子E2即端子57。

[0072] 如图3(B)所示的那样,端子56~58在半导体模块50中配置为每2个端子相对。另外,半导体模块50除了端子56~58以外,还具有在前端突起的4个端子59。这些端子59之中的2个是对半桥电路的晶体管Q1、Q2的栅极电极提供栅极控制信号的栅极端子G1、G2,且连接至印刷基板55。另外,其余的2个是控制(辅助)端子,构成为对感测晶体管Q1、Q2的集电极-发射极之间所流过的电流的感测信号进行输出的检测端子(图3(C)中省略了图示)。也就是说,端子56~58是流过半导体模块50的主电流的主端子,端子59是用于控制半导体模块50的控制端子。

[0073] 半导体模块50的各个结构要素由例如环氧树脂等热固化性树脂来模塑并保护。半导体模块50作为整体是图3(B)所示的长方体。而且,10个端子56~59的端部从半导体模块50的上表面突出。半导体模块50的底面配置有铜板51c、51d,以使得该铜板51c、51d分别与绝缘基板52、53的底面侧的金属板相对应地形成为一个平面。

[0074] 接着,利用附图4对由上述半导体模块50构成的半导体装置进行说明。

[0075] 图4是示出了实施方式2的半导体装置的立体图。

[0076] 另外,图4所示的半导体模块50a~50e构成为与半导体模块50相同的结构。另外,半导体模块50是半导体模块50a~50e的总称。

[0077] 半导体装置100包括沿着相同方向配置的5个半导体模块50a~50e。

[0078] 另外,半导体装置100具有:将各个半导体模块50a~50e的主端子即端子56彼此电连接的汇流条60,将各个半导体模块50a~50e的主端子即端子57彼此电连接的汇流条70,以及将各个半导体模块50a~50e的主端子即端子58彼此电连接的汇流条80。

[0079] 汇流条60、70、80分别具有设置有圆孔64、74、84的端子部63(P端子)、端子部73(N端子)、以及端子部83(AC端子)。电源从外部连接至端子部63、73、83。

[0080] 图5是示出了实施方式2的汇流条的图。

[0081] 另外,图5以汇流条60为例,图5(A)示出了主视图,图5(B)示出了图5(A)的相反侧的背面图,图5(C)示出了侧视图,图5(D)示出了俯视图。

[0082] 汇流条60包括:具有凸部62的板部61,设置于凸部62的前端的端子部63,以及设置于板部61的下端侧的多个安装部65。圆孔64设置于端子部63,圆孔66设置于安装部65。另外,端子部63和安装部65配置成与板部61成大致垂直。

[0083] 另外,汇流条70、80与汇流条60相比,仅仅是凸部及端子部的位置如图4所示那样分别有所不同,但是其它结构是相同的。

[0084] 而且,将5个并排的半导体模块50a~50e的端子56分别插入汇流条60的安装部65所对应的圆孔66中,并使其突出。而且,从圆孔66突出的端子56被焊接至安装部65,对汇流条60和半导体模块50a~50e进行电连接。汇流条70、80也同样地连接至半导体模块50a~50e的端子57、58,从而构成半导体装置100。

[0085] 图6是用于说明实施方式2中并联连接半导体模块的汇流条的图。

[0086] 汇流条60的各个半导体模块50a~50e之间,分别存在电阻R11、R13、R15、R17以及电感L11、L13、L15、L17。另外,汇流条60的端子部63连接至电阻R13与电阻R15之间,端子部63和半导体模块50c的安装部之间的电阻及电感小得可以忽略。

[0087] 另外,虽然省略了图示,但是汇流条70也同样地在各个半导体模块50之间分别存在电阻及电感。

[0088] 而且,汇流条60、70例如采用铜合金等导电性的材料。另外,对于汇流条60、70,选择电阻及电感尽可能小的尺寸(长度、高度、厚度)。

[0089] 另外,通过如图4所示那样并列地配置汇流条60及汇流条70,从而能够降低汇流条60及汇流条70内所存在的电感。

[0090] 图7是示出了由实施方式2的半导体装置构成的电路的图。

[0091] 半导体装置100中并联地连接有半导体模块50a~50e。

[0092] 半导体模块50a~50e的各个集电极端子C1分别由汇流条60来连接。半导体模块50a~50e的各个发射极端子E2分别由汇流条70来连接。而且,各个集电极/发射极端子C2/E1分别由汇流条80来连接。

[0093] 汇流条60如上所述那样,在半导体模块50a~50e的各个集电极端子C1之间,分别存在电阻R11、R13、R15、R17以及电感L11、L13、L15、L17。另外,汇流条70也同样地,在半导体模块50a~50e的发射极端子E2之间分别存在电阻R12、R14、R16、R18以及电感L12、L14、L16、L18。

[0094] 在上述电路结构中,下面对于连接至各个半导体模块50a~50e的汇流条60及汇流条70中从端子部(N端子、P端子)到各个安装部为止的电阻及电感进行说明。

[0095] 连接至半导体模块50a的汇流条的电阻为 $R11+R12+R13+R14$,电感为 $L11+L12+L13+L14$ 。

[0096] 连接至半导体模块50b的汇流条的电阻为 $R13+R14$,电感为 $L13+L14$ 。

[0097] 连接至半导体模块50c的汇流条的电阻及电感小得可以忽略。

[0098] 连接至半导体模块50d的汇流条的电阻为 $R15+R16$,电感为 $L15+L16$ 。

[0099] 连接至半导体模块50e的汇流条的电阻为 $R15+R16+R17+R18$,电感为 $L15+L16+L17+L18$ 。

[0100] 也就是说,各个半导体模块50a~50e的端子部与各个安装部之间的电阻中的最大电阻为 $R11+R12+R13+R14$ (半导体模块50a)或者 $R15+R16+R17+R18$ (半导体模块50e)中的某一个。此处,将上述的最大电阻设为半导体模块50的布线部的电阻 $R1+R2$ 的10%以下。由此,连接至各个半导体模块50a~50e的汇流条的从端子部到安装部为止的所有电阻均为半导体模块50的布线部的电阻的10%以下。

[0101] 另外,各个半导体模块50a~50e的端子部与各个安装部之间的电感中的最大电感为 $L11+L12+L13+L14$ (半导体模块50a)或者 $L15+L16+L17+L18$ (半导体模块50e)中的某一个。而且,将上述最大电感设为半导体模块50的布线部的电感 $L1+L2$ 的10%以下。由此,连接至各个半导体模块50a~50e的汇流条的从端子部到安装部为止的所有电感均为半导体模块50的布线部的电阻的10%以下。

[0102] 由此,与实施方式1相同地,能够使流过各个半导体模块50a~50e的电流差为10%以下。因此,能够抑制半导体装置100的寿命减少,能够改善可靠性。

[0103] 作为具体示例,对于以并联连接的方式利用布线部的电阻为 $0.6\text{m}\Omega$ 、电感为 15nH 的半导体模块50的情况进行说明。

[0104] 在此情况下,使汇流条60的从端子部到电阻及电感最大的安装部为止的宽度设为

44mm,使高度为30mm,且使厚度为1mm,从而使其与平行配置的汇流条70之间的距离为1mm。于是,汇流条60的从端子部到安装部为止的电阻为48 Ω ,电感为2nH。

[0105] 由此,端子部与各个安装部之间的电阻中,最大的电阻与最小的电阻之差为25n Ω 以下。另外,最大的电感与最小的电感之差在2nH以下。

[0106] 由此,能够使汇流条的电阻及电感在布线部的电阻及电感的10%以下,能够使流过各个半导体模块的电流差在10%以下。

[0107] 而且,若将上述汇流条的高度设为60mm,则汇流条的从端子部到安装部为止的电阻为0.59 Ω ,电感为1nH。

[0108] 由此,由于能够使汇流条的电阻及电感在布线部的电阻及电感的5%以下,能够使流过各个半导体模块的电流差在5%以下,因此更为优选。

[0109] 上述内容仅为示出本发明的原理。此外,本领域技术人员可对其进行多种变形、变更,本发明并不限于上文所示出的和进行了说明的正确结构及应用例,相对应的所有变形例以及等同物被视为由所附权利要求及其等同物所限定的本发明的保护范围。

[0110] 标号说明

[0111] 1、2 半导体模块

[0112] 1a、2a 半导体元件

[0113] 1b、1d、2b、2d 主端子

[0114] 1c、1e、2c、2e 布线部

[0115] 3、4 汇流条

[0116] 3a、4a 端子部

[0117] 3b1、3b2、4b1、4b2 安装部

[0118] 10 半导体装置

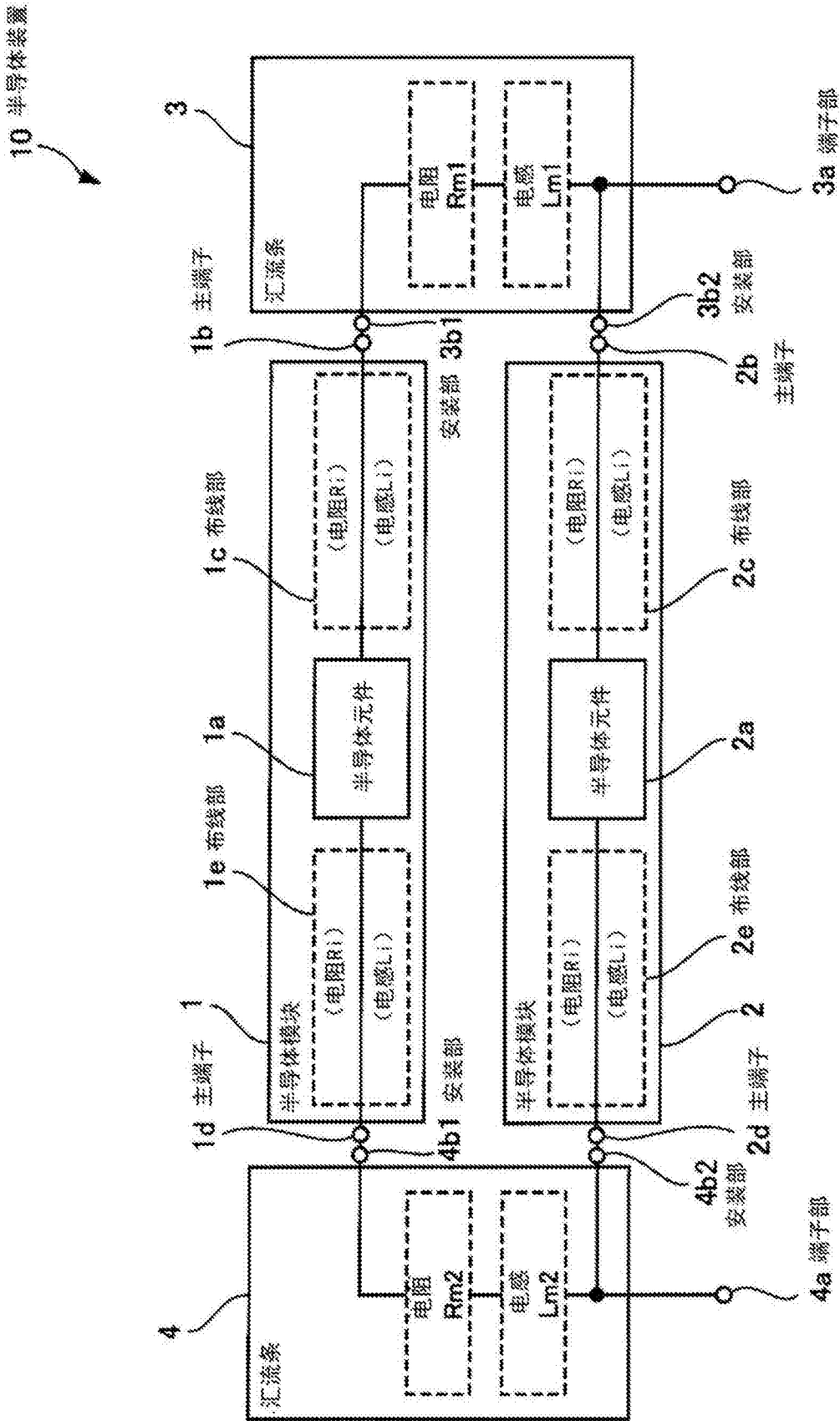


图1

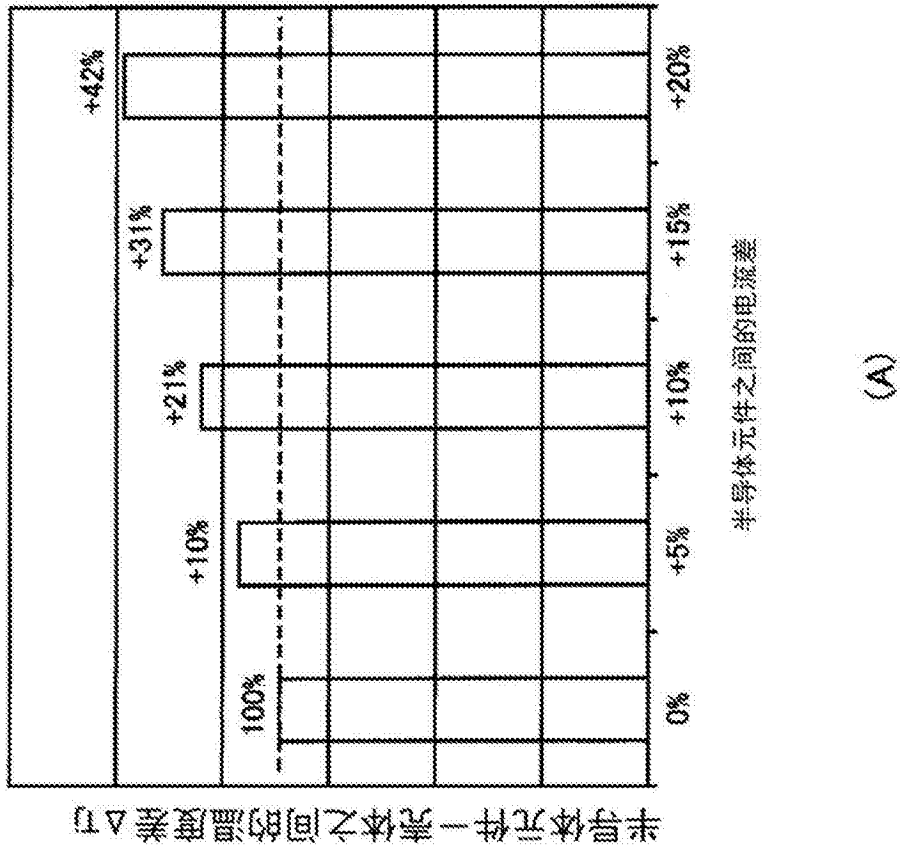
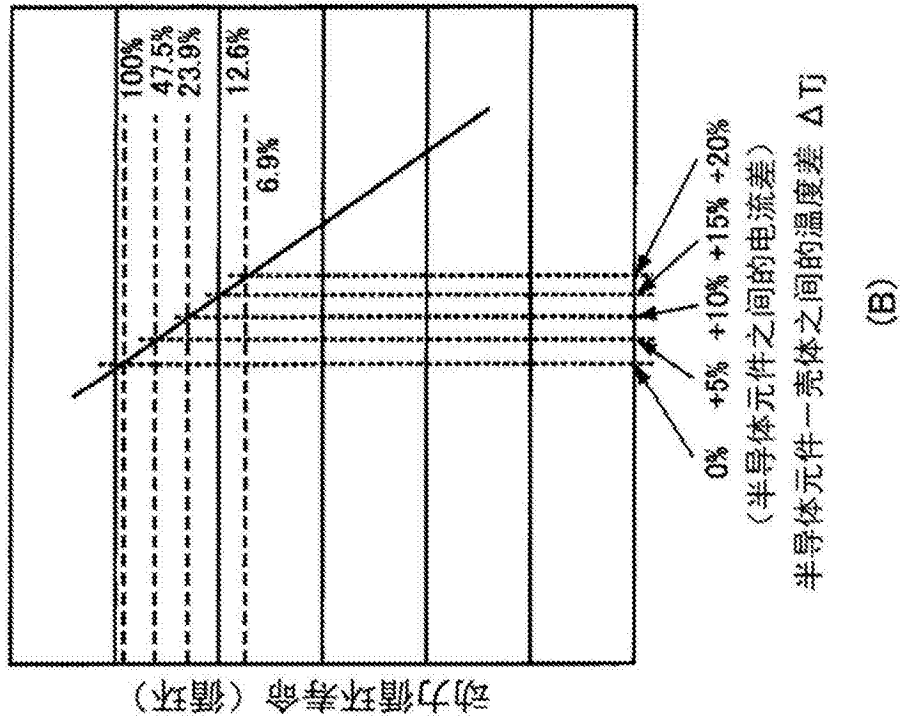


图2

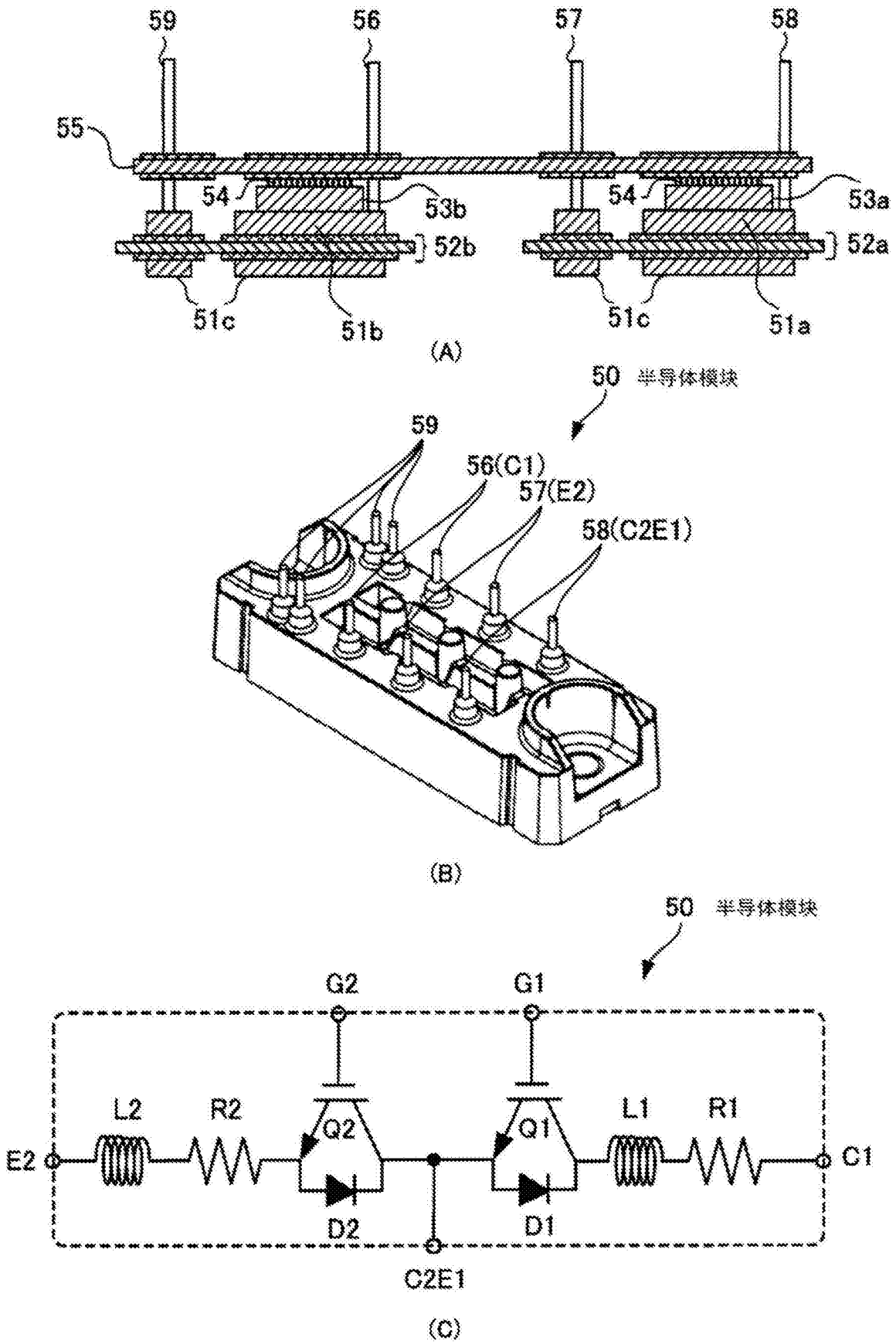


图3

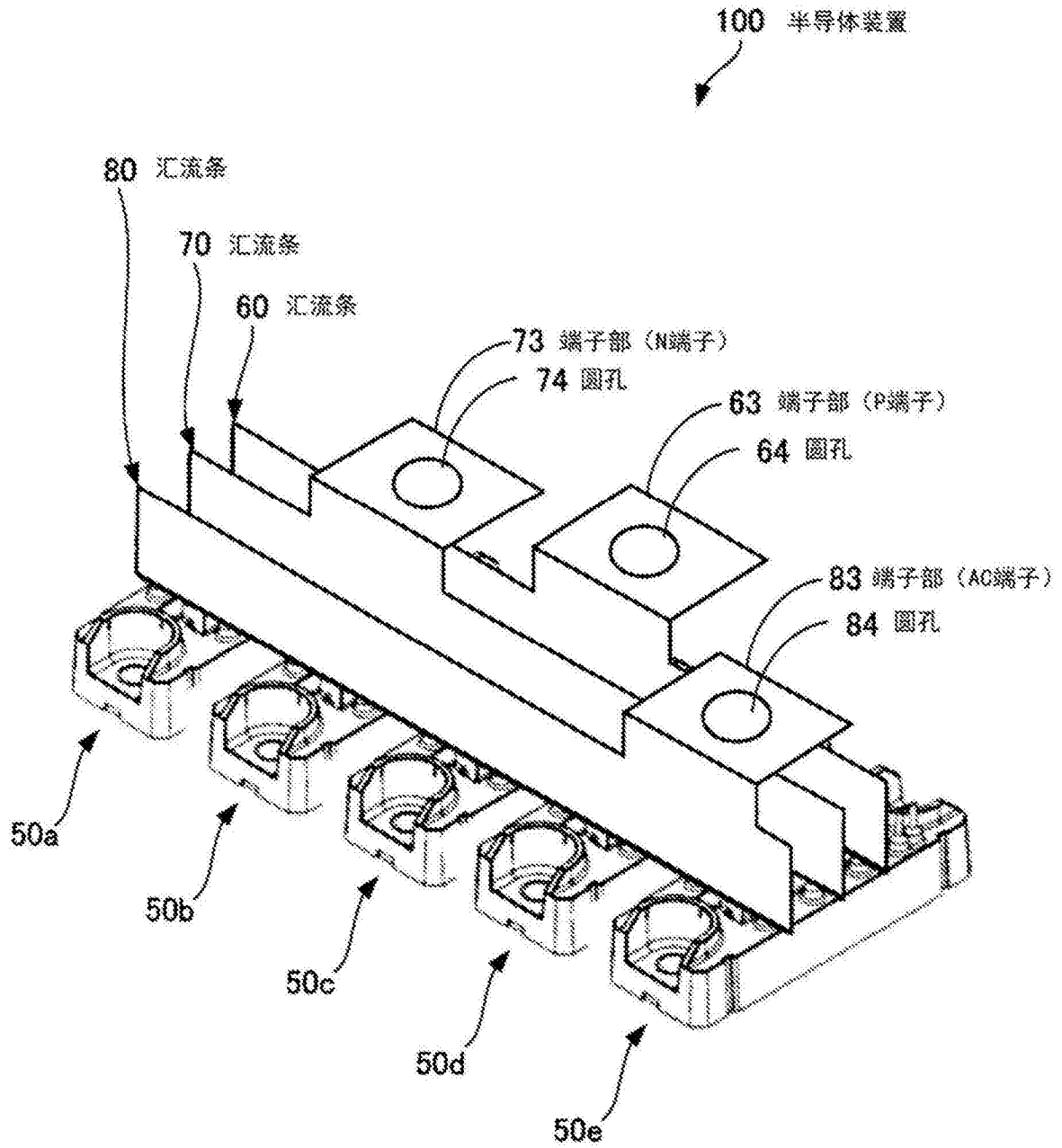


图4

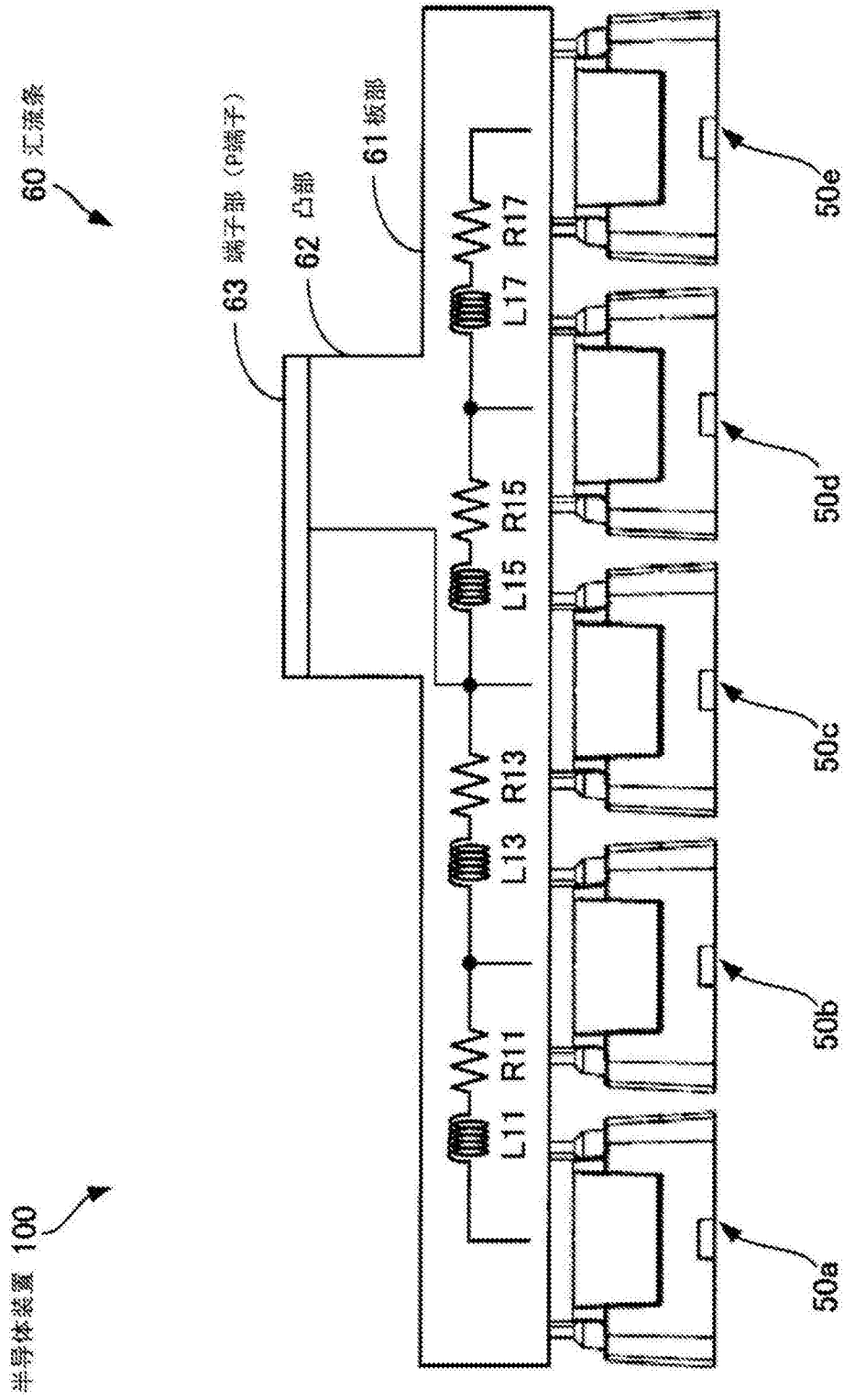


图6

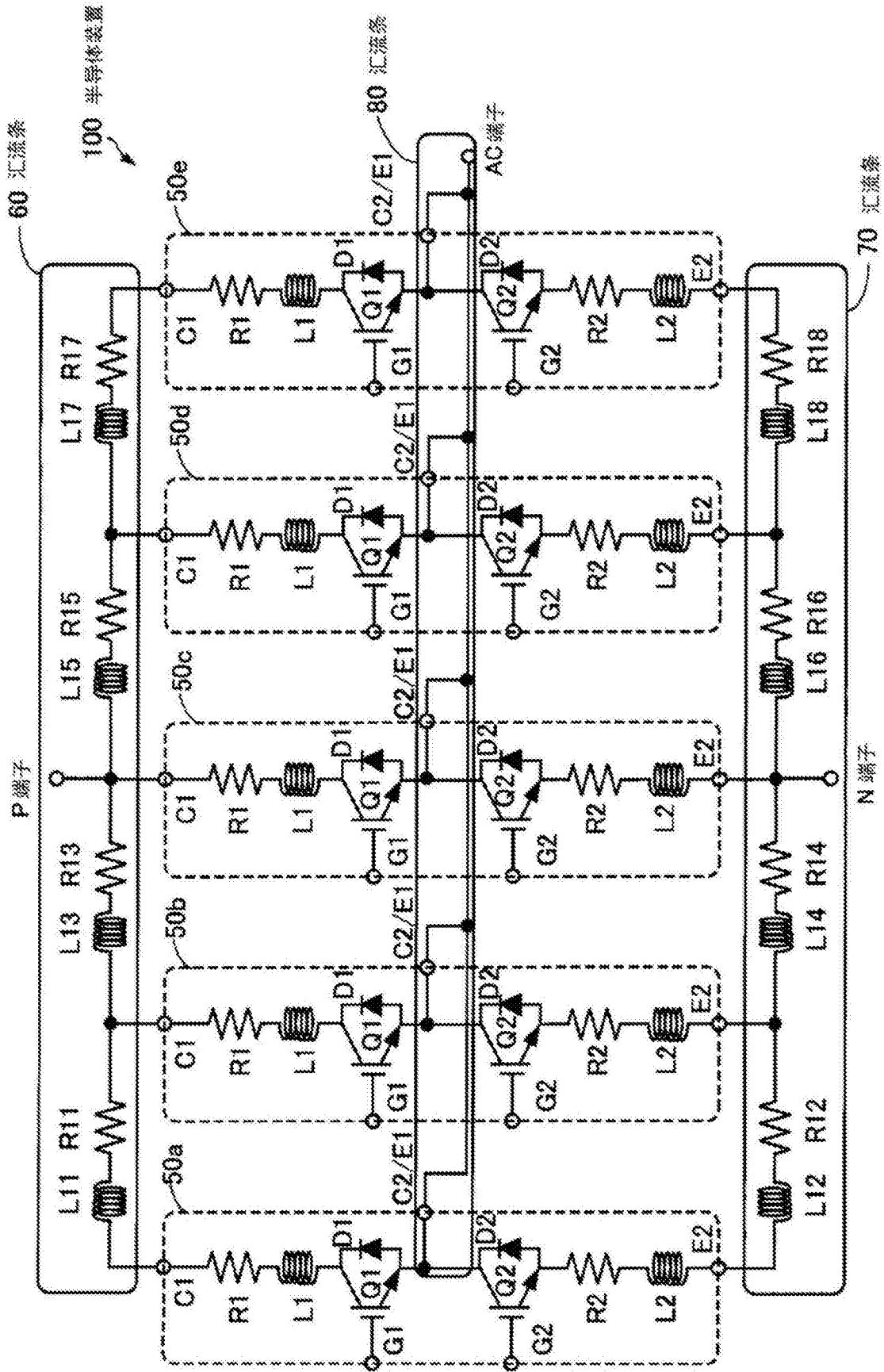


图7