(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 1748291 B
(45)授权公告日 2010.09.08

(21)申请号 200380109762.5

(22)申请日 2003.12.16

(30)优先权数据
60/434,671 2002.12.20 US

(85)PCT申请进入国家阶段日
2005.08.16

(86)PCT申请的申请数据
PCT/US2003/039876 2003.12.16

(87)PCT申请的公布数据
WO2004/061922 EN 2004.07.22

(73)专利权人 诺瓦勒克斯公司
地址 美国加利福尼亚州

(72)发明人 G·卡里 I·詹克斯 A·路易斯 R·卢延 H·周 J·R·蒂特斯 G·W·约菲 M·A·伊曼纽尔 A·摩尔拉蒂安

(74)专利代理机构 中国专利代理(香港)有限公司 72001
代理人 杨凯 张志醒

(51)Int.Cl.
H01L 21/20(2006.01)
H01L 21/203(2006.01) (续)

(56)对比文件

US 20020054618 A1,2002.05.09, 说明书第3页0026-0028段、第5页0043-0044段、图3A.

US 6327293 B1,2001.12.04, 说明书第5栏第41行-第7栏第41行、图1, 2.

US 20020080836 A1,2002.06.27, 说明书第5页第0053-第6页0060、0063段、第7页0063-0067段、图2-7.

US 3649382 A,1972.03.14, 说明书第2栏第65-67行、第3栏第3-8、54-56行、第4栏第20-26行.

US 5442203 A,1995.08.15, 说明书第3页第46-50行.

Jenichen B et al.Crystal defects in vertical cavity by X-ray methods. Materials science and engineering BVol.28 No.1/3.1994,Vol.28(No.1/3),520-522页.

B.Corbett,K.Rodgers,F.A.Stam,D.O′Connell,P.V.Kelly,G.M.Crean.Low-stress hybridisation of emitters,detectorsanddrivercircuitryon a siliconmotherboardforopoelectronicinterconnectarchitecture.Materials (续)

审查员 杨丽丽

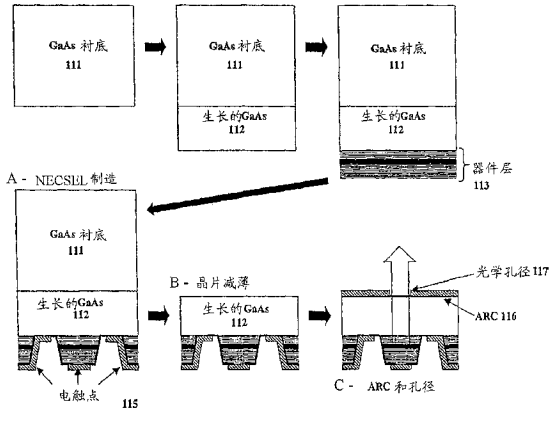
权利要求书 3 页 说明书 5 页 附图 6 页

(54)发明名称

半导体器件支撑结构的制造方法

(57)摘要

描述了制造半导体器件的方法。在此方法中，选择有足够厚度的起始衬底，它具有所需的缺陷密度级，并会导致不理想的掺杂级。随后在起始衬底上形成具有所需掺杂级的半导体层。得到的半导体层具有最终产品应用所需的缺陷密度和掺杂级。将有源元件、电导体和任何其它所需结构形成在所述半导体层上之后，去除起始衬底，留下所需厚度的半导体层。在VECSEL应用中，有源元件可以是增益腔，其中半导体层具有必需的缺陷密度和掺杂级以便使插头效率(WPE)达到最大值。在一个实施例中，半导体层的掺杂是不均匀的。例如，大部分半导体层的掺杂为低掺杂级，而其余部分的掺杂为高得多的掺杂级。这导致在较重掺杂材料的特定厚度下提高WPE。



CN 1748291 B

[转续页]

[接上页]

(51)Int.Cl.

H01S 5/183(2006.01)

H01S 5/02(2006.01)

(56)对比文件

Science in Semiconductor Processing3 5-6.2000,3(5-6),449-450 页.

1. 一种制造半导体器件的方法，所述方法包括：

选择具有第一缺陷密度和第一掺杂级的起始半导体衬底；

在所述起始半导体衬底上形成半导体层；

在所述半导体层上形成有源元件；以及

去除所述起始半导体衬底，其中所述半导体层具有的厚度对所述有源元件提供足够的机械支撑。

2. 如权利要求 1 所述的方法，进一步包括：

在所述半导体层的形成期间控制所述半导体层的掺杂级，其中所述半导体层具有等于或小于第一缺陷密度的第二缺陷密度，所述半导体层被掺杂，以具有小于第一掺杂级的第二掺杂级。

3. 如权利要求 2 所述的方法，其中所述掺杂级被控制，以便在第二掺杂级上均匀掺杂所述半导体层。

4. 如权利要求 1 所述的方法，其中所述起始半导体衬底和所述半导体层由 GaAs 制成。

5. 如权利要求 1 所述的方法，其中所述起始半导体衬底由 GaAs 制成，并且所述半导体层由单晶材料的外延生长而制成。

6. 如权利要求 5 所述的方法，其中所述半导体层由 AlGaAsP 制成。

7. 如权利要求 1 所述的方法，其中所述起始半导体衬底具有小于 $500cm^{-2}$ 的缺陷密度。

8. 如权利要求 7 所述的方法，进一步包括：

在所述半导体层的形成期间，控制所述半导体层的掺杂级。

9. 如权利要求 8 所述的方法，其中在小于所述第一掺杂级的第二掺杂级上均匀掺杂所述半导体层。

10. 如权利要求 7 所述的方法，其中所述起始半导体衬底和所述半导体层由 GaAs 制成。

11. 如权利要求 7 所述的方法，其中所述起始半导体衬底由 GaAs 制成，并且所述半导体层由单晶材料的外延生长而制成。

12. 如权利要求 11 所述的方法，其中所述半导体层由 AlGaAsP 制成。

13. 如权利要求 1 或 2 所述的方法，其中所述形成有源元件包括：在与所述半导体衬底相对的所述半导体层的表面上形成光学增益腔，所述光学增益腔被设置成经所述半导体层发射光。

14. 如权利要求 13 所述的方法，进一步包括：

在所述半导体层的形成期间，控制所述半导体层的掺杂级。

15. 如权利要求 14 所述的方法，其中所述掺杂级被控制，以便在小于所述第一掺杂级的第二掺杂级上均匀掺杂所述半导体层。

16. 如权利要求 13 所述的方法，其中所述起始半导体衬底和所述半导体层由 GaAs 制成。

17. 如权利要求 13 所述的方法，其中所述起始半导体衬底由 GaAs 制成，并且所述半导体层由单晶材料的外延生长而制成。

18. 如权利要求 17 所述的方法，其中所述半导体层由 AlGaAsP 制成。

19. 如权利要求 13 所述的方法，进一步包括：

在去除所述起始半导体衬底之后暴露的所述半导体层的表面上，形成光学孔径；以及

相对于所述半导体层的暴露表面，设置外镜面，以生成扩展的光学腔。

20. 如权利要求 19 所述的方法，进一步包括：

在所述半导体层的形成期间，控制所述半导体层的掺杂级。

21. 如权利要求 20 所述的方法，其中均匀掺杂所述半导体层。

22. 如权利要求 19 所述的方法，其中所述起始半导体衬底和所述半导体层由 GaAs 制成。

23. 如权利要求 19 所述的方法，其中所述起始半导体衬底由 GaAs 制成，并且所述半导体层由单晶材料的外延生长而制成。

24. 如权利要求 23 所述的方法，其中所述半导体层由 AlGaAsP 制成。

25. 如权利要求 2 所述的方法，其中所述第二掺杂级在 $5x10^{16}cm^{-3}$ 和 $5x10^{17}cm^{-3}$ 之间。

26. 如权利要求 20 所述的方法，其中所述掺杂级被控制，以便在第二掺杂级上掺杂所述半导体层的厚度的大多数，并在高于所述第一和第二掺杂级的第三掺杂级上掺杂与所述光学增益腔相邻的所述半导体层的区域。

27. 如权利要求 1 所述的方法，进一步包括：

在形成所述半导体层之前，在所述起始半导体衬底上形成蚀刻阻挡层，其中所述蚀刻阻挡层由不同于所述起始半导体衬底和所述半导体层的材料构成。

28. 如权利要求 27 所述的方法，进一步包括：

在去除所述起始半导体衬底之后，去除所述蚀刻阻挡层。

29. 如权利要求 1 所述的方法，进一步包括：

在所述有源元件上形成第一电接触；以及

形成第二电接触，以便电接触与所述有源元件相邻的所述半导体层的表面，所述第一和第二电接触形成在所述半导体层的同一侧上。

30. 如权利要求 29 所述的方法，进一步包括：

在所述半导体层的形成期间控制所述半导体层的掺杂级，所述掺杂级被控制，以便均匀掺杂所述半导体层。

31. 如权利要求 29 所述的方法，进一步包括：

在所述半导体层的形成期间控制所述半导体层的掺杂级，所述掺杂级被控制，以便在第二掺杂级上掺杂所述半导体层的厚度的大多数，并在高于所述第一和第二掺杂级的第三掺杂级上掺杂与一表面相邻的所述半导体层的区域，所述表面与所述有源元件相邻。

32. 如权利要求 2 所述的方法，其中所述掺杂级被控制，以便在第二掺杂级上掺杂所述半导体层的厚度的大多数，并在高于所述第一和第二掺杂级的第三掺杂级上掺杂与所述有源元件相邻的所述半导体层的区域。

33. 如权利要求 13 所述的方法，其中所述形成有源元件进一步包括：

在所述光学增益腔上形成第一电接触；以及

在所述光学增益腔上形成第二电接触，以便电接触与所述光学增益腔相邻的所述半导体层的表面，所述第一和第二电接触形成在所述半导体层的同一侧上。

34. 如权利要求 33 所述的方法，进一步包括：

在所述半导体层的形成期间控制所述半导体层的掺杂层，所述掺杂级被控制，以便在第二掺杂级上掺杂所述半导体层的厚度的大多数，并在高于所述第一和第二掺杂级的第三

掺杂级上掺杂与所述光学增益腔相邻的所述半导体层的区域。

35. 如权利要求 13 所述的方法，进一步包括：

在所述半导体层的形成期间控制所述半导体层的掺杂级，所述掺杂级被控制，以便在第二掺杂级上掺杂所述半导体层的厚度的大多数，并在高于所述第一和第二掺杂级的第三掺杂级上掺杂与所述光学增益腔相邻的所述半导体层的区域。

36. 如权利要求 19 所述的方法，进一步包括：

在去除所述起始半导体衬底之后，在所述半导体层的暴露表面上形成消反射涂层，所述光学孔径将形成在所述消反射涂层上。

半导体器件支撑结构的制造方法

技术领域

[0001] 本发明涉及半导体器件或集成电路(IC)的制造。更具体地说,本发明涉及通过在传统晶片上外延生长具有所需掺杂分布和缺陷密度的半导体层来制造器件或IC。

背景技术

[0002] 电子器件和集成电路及其制造方法在业界已众所周知。通常,制造过程是从具有适当掺杂级和缺陷密度的半导体衬底开始的。通过添加过程(例如利用化学气相沉积(CVD)或溅射进行材料沉积)、去除过程(例如蚀刻)或更改原有材料特性的过程(例如离子注入或热退火),将器件或电路的元件形成在衬底表面之上或之下。利用众所周知的光刻技术在衬底表面形成掩模层就可选择性地进行这些过程。

[0003] 可以利用这些过程形成的电子器件的一个实例是表面发射激光器。

[0004] 一般来说,电子器件的性能不仅取决于在衬底表面上生长或形成的结构,而且还取决于衬底本身的特性。例如,如果电流流过衬底,那么,衬底的掺杂级就会影响串联电阻和电流密度分布,对于结隔离器件则会影响结电容,或者在具有寄生闸流管的器件例如(CMOS IC)中则会影响闭锁容限。缺陷密度也很重要,它会影响漏电流和器件可靠性。在通过衬底发射的光学器件(例如NECSEL(Novalux®扩展腔面发射激光器Extended Cavity Surface Emitting Laser))的情况下,衬底的光吸收也很重要。

[0005] 在NECSEL或底部发射VCSEL(垂直腔面发射激光器)的特定情况下,衬底特性的重要性如下。流入增益区的电流将穿过衬底。于是需要有高导电率以保持低串联电阻并防止太多电流聚集在器件外周。通过使用重掺杂的厚衬底就可实现这一点。另一方面,必需保持低的光损耗,这就要求低掺杂和薄衬底。第三个要求来自于需要在器件的整个寿命期间把器件的工作维持在技术规范内。实现这一点的关键要素是保持衬底中的缺陷密度很低。在市售的衬底材料中很难做到在这三项要求(低电阻、低光损耗和低缺陷密度)之间可接受的折中方案。

[0006] 因此,需要一种改进的电子器件或集成电路的制造方法,所述方法不需要所述起始衬底满足所有上述三个要求。

发明内容

[0007] 根据本发明,提供一种制造半导体器件的方法,所述方法包括:选择具有第一缺陷密度和第一掺杂级的起始半导体衬底;在所述起始半导体衬底上形成半导体层;在所述半导体层上形成有源元件;以及去除所述起始半导体衬底,其中所述半导体层具有的厚度对所述有源元件提供足够的机械支撑。

[0008] 按照本发明的实施例,描述了半导体器件的制造方法。在所述方法中,选择具有足够厚度的、具有所需(通常是低的)缺陷密度的起始衬底。衬底生长的一般方法,例如VGF(垂直梯度凝固法)技术,只能达到低缺陷密度,如果掺杂级高(例如在GaAs中大于$1x10^{18}cm^{-3}$)的话。这种高的掺杂级对于上述底部发射的VCSEL或NECSEL是不理想的。但

是，按照本发明，高掺杂低缺陷密度的衬底可以用作起始材料。将半导体层外延生长在低缺陷密度的起始材料上面。所生长的材料可以是能以高晶体质量在起始材料上生长的任何材料。通常，它是和起始材料相同的材料（例如，GaAs 上的 GaAs），但也可用其它的材料组合（例如 GaAs 上的 AlGaAsP，其中将 AlGaAsP 成分调节成与下面的 GaAs 有相近的晶格匹配）。任何适用的外延生长技术都可用于半导体层（包括金属有机 CVD(MOCVD)、分子束外延 (MBE) 等）。如果生长条件选择正确，晶体质量（包括缺陷密度）都会与下面材料的晶体质量相匹配或更好。

[0009] 利用成熟的晶片制造技术在生长的半导体层上面形成有源元件、电触点等。在此制造过程中的适当阶段，用任何适合的技术（机械抛光、化学蚀刻、化学机械抛光 (CMP)、化学或物理等离子蚀刻等）将原来的衬底材料从整个晶片中去除掉，只留下足够厚度的生长半导体层，以便在有源元件被分隔成单个芯片时对它们提供支撑。通常晶片的减薄是在有源元件的制造工序快要结束或结束时进行的，因此在大部分的晶片制造工序中一直有较厚的起始材料提供机械支撑。

[0010] 在本发明的一个实施例中，生长的半导体层的掺杂是均匀的并可以加以选择以获得最佳的器件性能。低缺陷密度可以如上所述实现，且与掺杂密度完全无关。在第二实施例中，掺杂密度是不均匀的。例如，在大部分的生长层中掺杂密度非常低（小于 $1x10^{16}cm^{-3}$）以减少光吸收，仅在靠近有源器件的薄区域中掺杂密度增加以提供优良的电传导。

附图说明

[0011] 图 1 是提供本专业中已知的 NECSEL 半导体器件的制造过程的示意图。

[0012] 图 2 是提供按照本发明实施例的半导体器件制造过程的示意图。

[0013] 图 3a-b 是显示包括按照本发明实施例制造的图 2 的半导体层的 NECSEL 器件的插头效率 (WPE) 的示意图。

[0014] 图 4 是按照本发明实施例的半导体制造过程的流程图。

[0015] 图 5 描绘利用图 2 的半导体层的光学器件的制造过程。

[0016] 图 6 描绘按照本发明实施例制造的完整的光学半导体器件（例如 NECSEL）。

具体实施方式

[0017] 参阅图 1，图中示出本专业中已知的光学器件（此图为 NECSEL）的半导体制造过程的实例。在此实例中，起始衬底 101 是低掺杂 4 英寸 GaAs 晶片。在第二个图中，在晶片的一个表面上外延生长器件层 103。在 NECSEL 的情况下，器件层包括分布布拉格反射器 (DBR) 和量子阱，用以提供光增益。在第三个图中，进一步制造 NECSEL 器件，并且加上电触点 105。在第四个图中，把衬底减薄到所需的最终厚度并抛光，以便给出所需的光学质量光洁度。在第五个图中，在抛光表面上形成消反射涂层 (ARC)106 和光学孔径 107，以便完成 NECSEL 管芯。工作时，在器件中产生并发射光，如大箭头所示。

[0018] 参阅图 2，图中示出按照本发明实施例的光学器件的半导体制造过程的实例。在此实施例中，选择起始衬底 111 以便在不考虑掺杂密度的情况下满足缺陷密度要求。具有低缺陷密度（蚀刻坑密度或简称 EPD，数值小于 $500cm^{-2}$）的合适的 GaAs 很容易从制造商处购得，但通常其掺杂密度大约为 $1x10^{18}cm^{-3}$ 或更高。这种材料通常是利用众所周知的 VGF（垂

直梯度凝固法）技术生长的。高掺杂级常使它们不适用于NECSEL。然后在起始衬底上生长支撑层112。选择这一层的以便为最终器件提供足够的机械支撑，同时为最佳激光器性能而选择掺杂级（均匀或非均匀）。正确选择生长条件，就可以使生长层中的缺陷密度类似于或优于起始衬底的缺陷密度。一旦生长了高质量的支撑层112，器件制造的其余步骤可按图1所示进行。生长器件层113，并制造具有电触点115的NECSEL器件。但本发明的一个关键要素是晶片减薄步骤，现在要去除全部起始衬底111。这样，当器件制成时，具有消反射涂层(ARC)116和光学孔径117，一点也没有原来的衬底。这样就可以将任意的掺杂分布（包括非常低的掺杂密度）与通常要求高掺杂密度的低缺陷密度相结合。

[0019] 按照本发明的第一实施例，支撑层112具有在$5x10^{16}cm^{-3}$和$5x10^{17}cm^{-3}$之间的均匀掺杂级，厚度为大约100μm。

[0020] 按照本发明的第二实施例，支撑层112在其大部分材料中被非常轻微地掺杂（例如，小于$1x10^{16}cm^{-3}$），以减少光吸收，同时在紧靠器件层处形成较重掺杂材料（例如$5x10^{17}cm^{-3}$和$5x10^{18}cm^{-3}$）的薄层（例如2到20μm厚）以提供电导。例如通过在利用金属有机化学气相沉积(MOCVD)进行外延生长时调节掺杂源的流速，可以容易地获得这种定制的掺杂分布。

[0021] 用这种方法定制掺杂分布的效果可以参阅图3a-b作更为详细的说明。这些图示出各种NECSEL设计的模型插头效率(WPE)。插头效率是NECSEL发射的光能和输入电能之比，是二极管激光器的一个重要性能数值。一般都希望有高的插头效率。图3a示出在均匀衬底掺杂时改变掺杂级可获得什么结果。由于该实例的缘故，采用80μm的NECSEL直径和100μm的衬底厚度。峰值WPE为大约10％，是利用大约$2x10^{17}cm^{-2}$的均匀衬底掺杂获得的。从最大化WPE的观点来看，这种衬底掺杂代表了在低串联电阻和低光吸收之间的最好折中方案。

[0022] 但图3b示出通过利用定制衬底掺杂分布可以获得更好的性能。在这种情况下，将大部分生长的支撑衬底掺杂到$1x10^{16}cm^{-3}$，但在邻近器件层处加上具有更重掺杂材料的薄分层(shunt layer)（具有在0和10μm之间的厚度），如上所述。在分层中可考虑三种n型掺杂级：$2x10^{17}cm^{-3}$、$5x10^{17}cm^{-3}$和$1x10^{18}cm^{-3}$。三条曲线示出在调节分层厚度时WPE的变化：曲线200a示出分层掺杂为$2x10^{17}cm^{-3}$的模拟结果、曲线200b示出分层掺杂为$5x10^{17}cm^{-3}$的结果，而曲线200c示出分层掺杂为$1x10^{18}cm^{-3}$的结果。显然，与利用均匀掺杂衬底能够获得的WPE值相比，在定制的衬底掺杂设计的情况下，利用两个较高分层掺杂级可以获得更高的WPE值。例如，当分层掺杂为$1x10^{18}cm^{-3}$，分层厚度大约为8μm时，峰值WPE大约为12％。

[0023] 上述计算表明本发明的实施例不仅改善了可靠性（由于较低的衬底缺陷密度），而且提供了更好的器件性能。此计算是基于NECSEL设计的一个实例。但定制衬底掺杂分布可适用于具有不同的器件直径，衬底厚度或器件层设计的其它NECSEL和光学器件设计。对于不同的光学器件设计，具体的最佳掺杂分布（分层厚度和掺杂级）通常也是不同的。

[0024] 下面参考图4概述按照本发明实施例的制造半导体器件的总体加工工序的实例。在流程图的方框121，选择起始衬底。如上所述，起始衬底可以仅根据缺陷密度来选择，不考虑掺杂级，或甚至不考虑掺杂类型。在方框123，在具有所需掺杂分布的起始衬底上布置具有所需厚度的半导体层。在上述实例中，半导体层可以具有在$5x10^{16}cm^{-3}$和$5x10^{17}cm^{-3}$之间的均匀掺杂，或具有更复杂的掺杂分布，即，在不同深度上有两种或两种以上掺杂级，并

且在这些掺杂级之间有选择的梯度。半导体层的材料应当或者与起始衬底相同（例如，在GaAs 上生长的 GaAs）或者具有这样的成分，使得能够以良好的晶体质量将其外延生长（例如在 GaAs 上生长的 AlGaAsP，其中这样选择 AlGaAsP 成分以便给出与 GaAs 的良好的晶格匹配）。在方框 125，可以进行任选的晶片表面整修，准备生长有源器件层。在方框 127，生长器件所需的有源层。例如，对于 NECSEL，生长适当的分布布拉格反射器 (DBR) 和量子阱。在方框 129，利用已知技术，例如电介质和金属沉积、光刻、蚀刻、注入和退火等，进行形成有源器件所需的加工。在方框 131，利用诸如机械或化学机械抛光或化学蚀刻，完全去除原来的起始衬底。最后在方框 133，利用已知技术，在半导体层的相反一侧形成所需的附加层或结构。这样在晶片上制成所述器件。利用已知方法将晶片分割成单个管芯，安装管芯并制作电触点。

[0025] 为实现本发明的实施例，可以使用数种技术来去除起始衬底材料。在一个实施例中，用机械或化学－机械抛光去除材料。在上述实施例中，生长的材料和起始材料非常类似（都是 GaAs，只是掺杂级不同）。所以很难准确确定什么时候原来的起始材料已完全去除掉。这个问题的克服方法是：在层 112 中生长比最终器件所需要的更多的材料，并和衬底一起去除掉部分生长层（例如 10 到 20μm）。抛光过程可以定时，或测量晶片厚度，以便确保完全去除衬底。

[0026] 另一个实施例使用化学蚀刻来去除起始衬底。在生长支撑层 112 之前在起始衬底上生长适合的蚀刻阻挡层。适合的蚀刻阻挡层实例包括 AlGaAs 和 GaAsP。在 AlGaAs 蚀刻阻挡层的情况下，GaAs 衬底可用例如柠檬酸／过氧化氢／水的混合物来去除，比起 AlGaAs，这种混合物会优先去除 GaAs。在 GaAsP 蚀刻阻挡层的情况下，适合的蚀刻剂实例为氢氧化铵／过氧化氢／水。一旦起始衬底被去除，蚀刻阻挡层可留在原处或再用化学蚀刻去除。

[0027] 也可将上述衬底去除过程组合起来。例如，可以用抛光去除大部分的起始GaAs，用化学蚀刻去除其余的材料，并精确地结束在蚀刻阻挡层上。

[0028] 本发明的实施例是基于在半导体衬底上生长单晶材料。各种实施例都可以利用任何适用的外延生长方法来实现，包括但不限于：金属有机化学气相沉积 (MOCVD)、分子束外延 (MBE)、气相外延 (VPE) 或液相外延 (LPE)。

[0029] 现参阅图 5 对利用本发明的半导体器件制造实例加以说明。第一图示出外延生长后的晶片截面图，包括支撑半导体层和器件有源层。制造过程组合了以下的已知半导体加工步骤来形成 NECSEL 管芯：

[0030] a. 创建基准符号，用以对准形成随后各层图案的掩模（步骤 1-3）。

[0031] b. 电流限制（步骤 4-8）。这是利用质子注入物来实现的，所述质子注入物将所需增益孔径之外的 p-DBR 的导电率降低大约 10,000 倍。不用这种注入物，NECSEL 仍可工作，但电流在增益孔径外流动，降低了插头效率。在这整个过程中，保护氮化层覆盖着晶片。高能注入物很容易穿透这一层，且这一层的去除可确保因注入或掩模步骤引起的任何污染不会留在晶片上。

[0032] c. 将外延层分离成隔离的台面（步骤 9-11）。这不仅允许对衬底层的电接触，还可以减轻外延层中的内在应力，使最终管芯平整，以便获得改进的管芯的固定、更一致的性能和更好的可靠性。

[0033] d. 晶片钝化（步骤 12-15）。氮化物层使晶片表面和台面侧壁钝化；在氮化物中打

通用作电触点的通孔。

[0034] e. 创建连接到激光二极管的正极和负极的电触点（步骤 16-26）。触点形成在管芯的同一侧，以便在晶片加工完成后能进行健壮和可靠的管芯固定过程。

[0035] f. 片上测试（步骤 27）。可以在制造过程的这个早期阶段检查所有激光器操作。

[0036] g. 晶片减薄，去除起始衬底材料（步骤 28-29）。

[0037] h. 在输出表面上形成消反射涂层，这对最终产品的良好模式控制以及平滑的 L-I 特性是至关重要的（步骤 30）。

[0038] i. 在输出表面上形成光学孔径，以改善模式控制（步骤 31-33）。利用金属层来限定孔径。

[0039] 下面参考图 6 描述制成的 NESCEL 结构。按照上述方法制造包括外延层 303 的 NESCEL 管芯 301。利用已知技术将管芯焊接到副支座 / 散热片 305 上。利用外镜面 307 形成外腔 309，从而制成所述激光器。在现有技术（美国专利 6,243,407 和 6,404,797，其公开内容已作为参考全部包括在本文内）中描述了这种结构。

[0040] 虽然在本文中用 NESCEL 的制造工序以示说明，但是本发明也可用于制造其它类型的半导体器件。

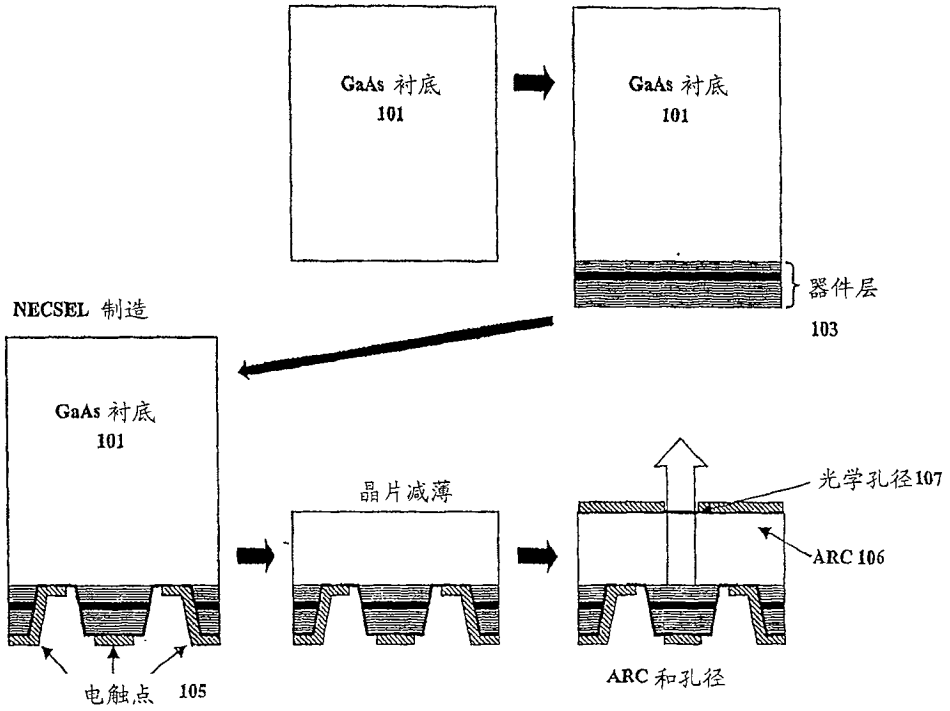

GaAs 衬底
101
GaAs 衬底
101
器件层
103
NECSEL 制造
GaAs 衬底
101
晶片减薄
光学孔径107
ARC 106
电触点 105
ARC 和孔径

图 1

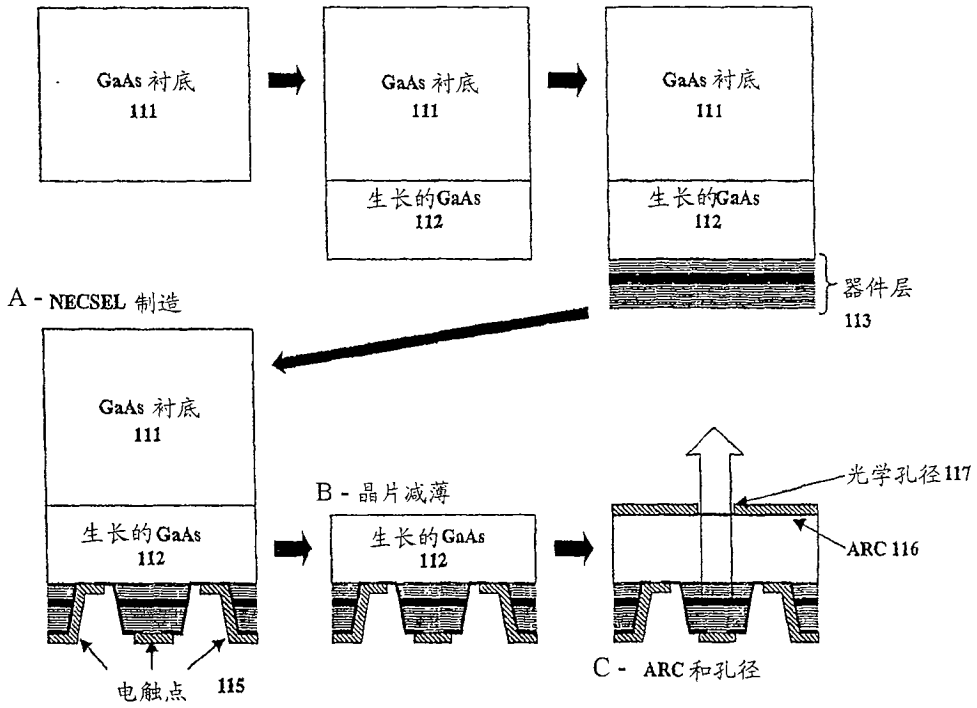

GaAs 衬底
111
GaAs 衬底
111
生长的GaAs
112
GaAs 衬底
111
生长的GaAs
112
器件层
113
A - NECSEL 制造
GaAs 衬底
111
生长的GaAs
112
B - 晶片减薄
生长的GaAs
112
光学孔径117
ARC 116
电触点
115
C - ARC 和孔径

图 2

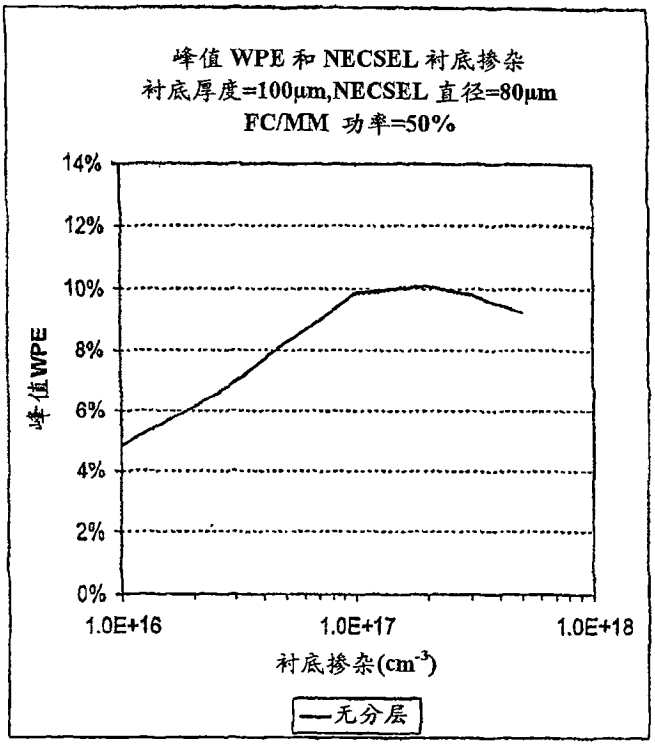

峰值 WPE 和 NECSEL 衬底掺杂
衬底厚度=100μm,NECSEL 直径=80μm
FC/MM 功率=50%
14%
12%
10%
8%
6%
4%
2%
0%
峰值WPE
1.0E+16
1.0E+17
1.0E+18
衬底掺杂(cm-3)
—无分层

图 3a

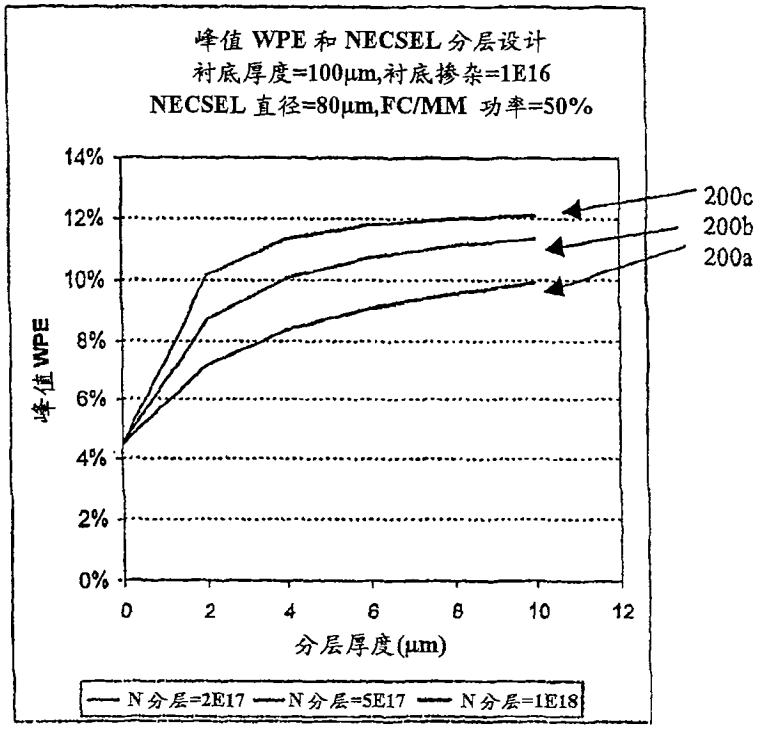

峰值 WPE 和 NECSEL 分层设计
衬底厚度=100μm,衬底掺杂=1E16
NECSEL 直径=80μm,FC/MM 功率=50%
14%
12%
10%
8%
6%
4%
2%
0%
峰值WPE
0
2
4
6
8
10
12
分层厚度(μm)
200c
200b
200a
— N 分层=2E17 — N 分层=5E17 — N 分层=1E18

图 3b

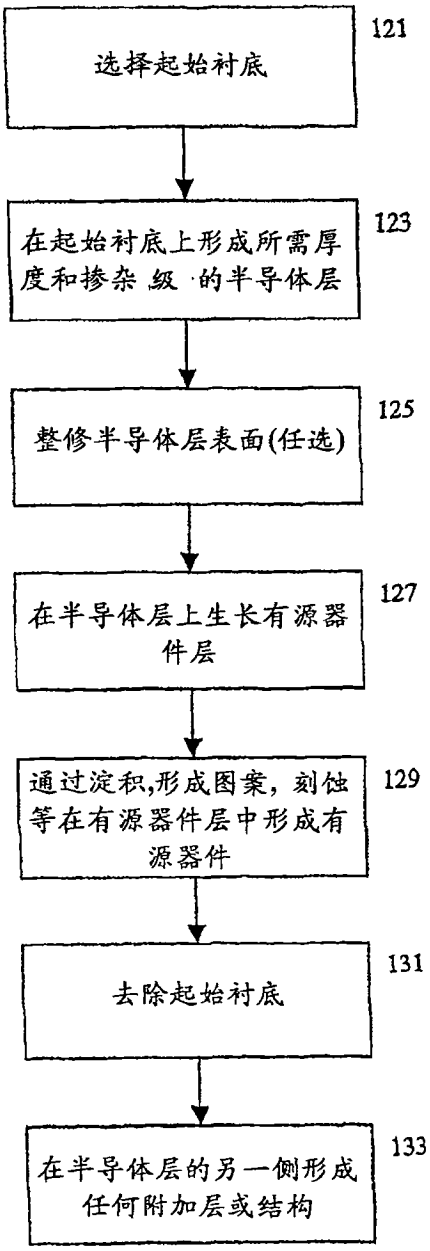
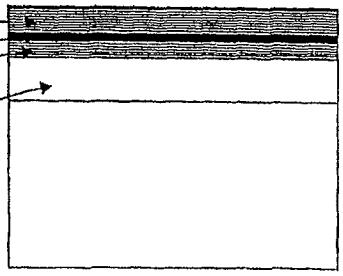
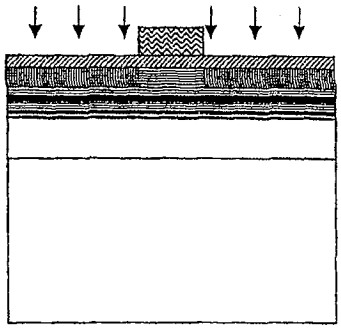

选择起始衬底
121
在起始衬底上形成所需厚度和掺杂 级 的半导体层
123
整修半导体层表面(任选)
125
在半导体层上生长有源器件层
127
通过淀积,形成图案,刻蚀等在有源器件层中形成有源器件
129
去除起始衬底
131
在半导体层的另一侧形成任何附加层或结构
133

图 4

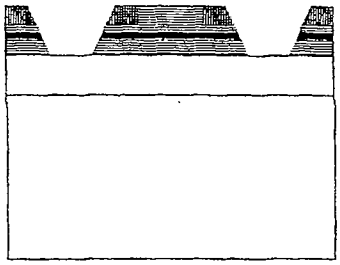
1. 外延生长后的起始晶片 .....

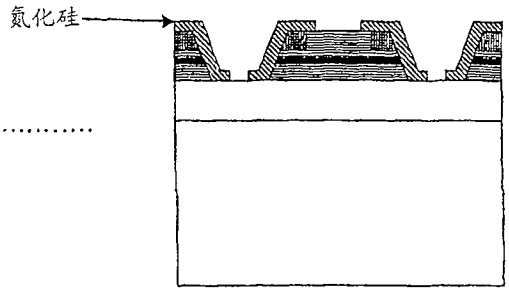


2. 光刻1：基准掩模(用于以后的对准)
3. 基准金属淀积和去除(未示出)
4. 氮化物淀积
5. 光刻2：用于注入的抗蚀剂掩模
6. 质子注入 .....
7. 剥离抗蚀剂
8. 去除氮化物

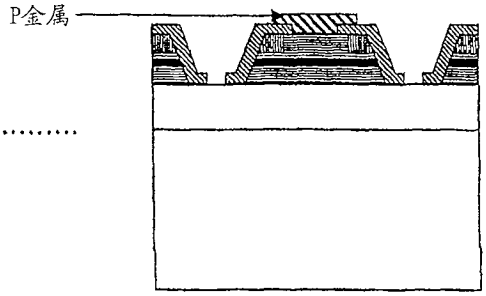


9. 光刻3：台面掩模
10. 刻蚀台面 .....
11. 剥离抗蚀剂





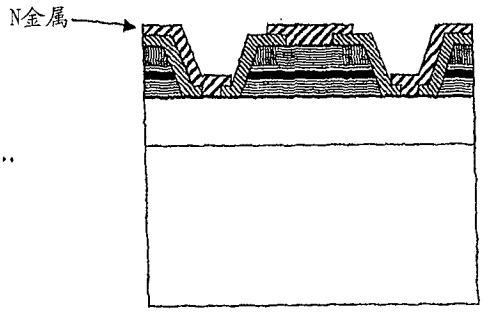
12. 氮化物淀积
13. 光刻4：氮化物
14. 刻蚀氮化物 .....
15. 剥离抗蚀剂



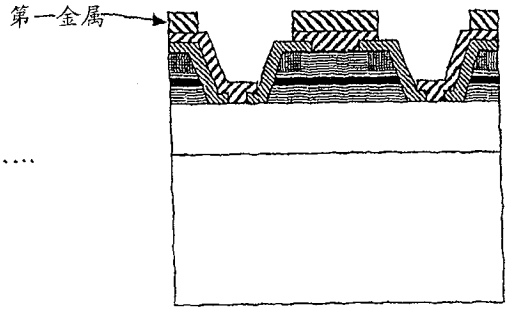
16. 光刻5：P金属去除掩模
17. P金属堆叠淀积
18. P金属去除 .....
19. P金属烧结

图 5

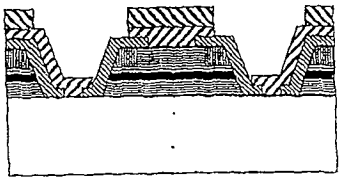
20. 光刻6：N金属去除掩模
21. N金属堆叠淀积
22. N金属去除 .....
23. N金属烧结



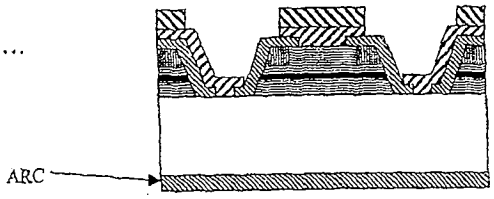
24. 光刻7：第一金属去除掩模
25. 第一金属淀积
26. 第一金属去除 .....
27. 片上测试



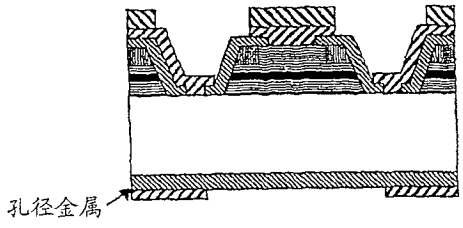
28. 晶片安装(外延侧朝下)在蓝宝石衬底上
29. 晶片减薄(研磨和抛光) .....



30. 消反射涂层(ARC)淀积 .....



31. 光刻8：孔径金属去除掩模
32. 孔径金属淀积
33. 孔径金属去除 .....
34. 从蓝宝石衬底上卸下
35. 划线切割



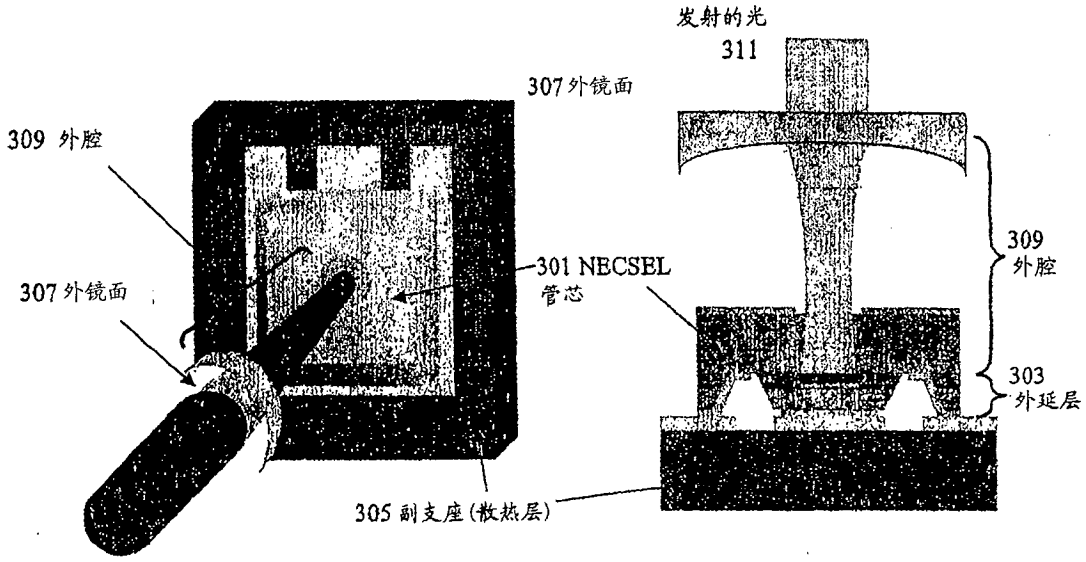

发射的光
311
307外镜面
309 外腔
307外镜面
301 NECSEL
管芯
309
外腔
303
外延层
305 副支座(散热层)

图 6