

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-244008

(P2012-244008A)

(43) 公開日 平成24年12月10日(2012.12.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 8 1	5 F 1 0 1
HO 1 L 27/10 (2006.01)	HO 1 L 29/78 3 7 1	
HO 1 L 21/336 (2006.01)		
HO 1 L 29/788 (2006.01)		

審査請求 未請求 請求項の数 21 O L (全 67 頁) 最終頁に続く

(21) 出願番号 特願2011-113841 (P2011-113841)
 (22) 出願日 平成23年5月20日 (2011.5.20)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100080001
 弁理士 筒井 大和
 (74) 代理人 100113642
 弁理士 菅田 篤志
 (74) 代理人 100117008
 弁理士 筒井 章子
 (74) 代理人 100147050
 弁理士 中原 亨
 (74) 代理人 100147430
 弁理士 坂次 哲也

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

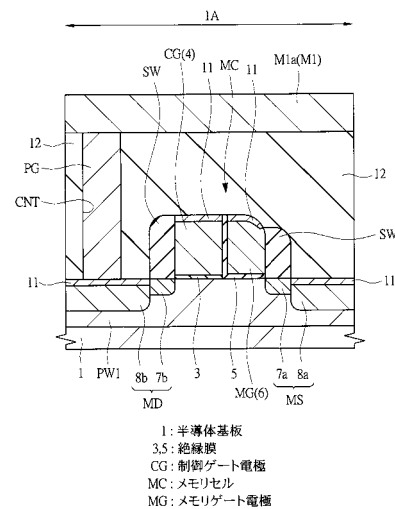
(57) 【要約】

【課題】 不揮発性メモリおよび容量素子を有する半導体装置の性能を向上させる。

【解決手段】 同一の半導体基板1上に、不揮発性メモリのメモリセルMCと容量素子とが形成されている。メモリセルMCは、半導体基板の上部に絶縁膜3を介して形成された制御ゲート電極CGと、半導体基板1の上部に形成されて制御ゲート電極CGと隣合うメモリゲート電極MGと、メモリゲート電極MGと半導体基板1との間および制御ゲート電極CGとメモリゲート電極MGとの間に形成されて内部に電荷蓄積部を有する絶縁膜5とを有している。容量素子は、制御ゲート電極CGと同層のシリコン膜で形成された下部電極と、絶縁膜5と同層の絶縁膜で形成された容量絶縁膜と、メモリゲート電極MGと同層のシリコン膜で形成された上部電極とを有している。そして、上部電極の不純物濃度は、メモリゲート電極MGの不純物濃度よりも高くなっている。

【選択図】 図1

図1



【特許請求の範囲】**【請求項 1】**

半導体基板上に形成された不揮発性メモリのメモリセルと容量素子とを有する半導体装置であって、

前記メモリセルは、

前記半導体基板の上部に形成された、シリコンからなる第 1 ゲート電極と、

前記半導体基板の上部に形成され、前記第 1 ゲート電極と隣合う、シリコンからなる第 2 ゲート電極と、

前記第 1 ゲート電極と前記半導体基板との間に形成された第 1 絶縁膜と、

前記第 2 ゲート電極と前記半導体基板との間および前記第 1 ゲート電極と前記第 2 ゲート電極との間に形成された第 2 絶縁膜であって、その内部に電荷蓄積部を有する前記第 2 絶縁膜と、

を有し、

前記容量素子は、

前記半導体基板の上部に形成された、シリコンからなる第 1 電極と、

前記第 1 電極上に容量絶縁膜を介して形成された、シリコンからなる第 2 電極と、

を有し、

前記第 2 電極の不純物濃度は、前記第 2 ゲート電極の不純物濃度よりも高いことを特徴とする半導体装置。

10

【請求項 2】

20

請求項 1 記載の半導体装置において、

前記第 1 ゲート電極と前記第 1 電極とは、同層の第 1 シリコン膜により形成され、

前記第 2 ゲート電極と前記第 2 電極とは、同層の第 2 シリコン膜により形成されていることを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記第 2 電極の抵抗率は、前記第 2 ゲート電極の抵抗率よりも低いことを特徴とする半導体装置。

【請求項 4】

30

請求項 3 記載の半導体装置において、

前記第 2 絶縁膜と前記容量絶縁膜とは、同層の絶縁膜により形成されていることを特徴とする半導体装置。

【請求項 5】

請求項 4 記載の半導体装置において、

前記第 1 ゲート電極および前記第 1 電極は、不純物が導入された前記第 1 シリコン膜により形成されていることを特徴とする半導体装置。

【請求項 6】

請求項 5 記載の半導体装置において、

前記第 2 電極は、不純物が導入された前記第 2 シリコン膜により形成されていることを特徴とする半導体装置。

40

【請求項 7】

請求項 6 記載の半導体装置において、

前記第 2 電極は、ノンドープの前記第 2 シリコン膜により形成されていることを特徴とする半導体装置。

【請求項 8】

請求項 7 記載の半導体装置において、

前記半導体基板に形成された素子分離領域を更に有し、

前記第 1 電極は、前記素子分離領域上に形成されていることを特徴とする半導体装置。

【請求項 9】

請求項 5 記載の半導体装置において、

50

前記第 2 ゲート電極の上部と前記第 2 電極の上部に金属シリサイド層が形成されていることを特徴とする半導体装置。

【請求項 10】

請求項 9 記載の半導体装置において、

前記第 2 ゲート電極は、前記第 1 ゲート電極とともに前記半導体基板上に延在しており、

前記第 2 ゲート電極は、前記第 1 ゲート電極の側壁に隣接する位置から前記第 1 ゲート電極から離れる方向に延在するコンタクト部を含み、

前記コンタクト部上の層間絶縁膜にコンタクトホールが形成され、前記コンタクトホールに埋め込まれたプラグと前記コンタクト部とが電氣的に接続されており、

前記コンタクト部の不純物濃度は、前記メモリセルを構成する前記第 2 ゲート電極の不純物濃度よりも高いことを特徴とする半導体装置。

【請求項 11】

請求項 10 記載の半導体装置において、

前記コンタクト部の抵抗率は、前記メモリセルを構成する前記第 2 ゲート電極の抵抗率よりも低いことを特徴とする半導体装置。

【請求項 12】

半導体基板の第 1 領域に形成された不揮発性メモリのメモリセルと、前記半導体基板の第 2 領域に形成された容量素子とを備え、

前記メモリセルは、前記半導体基板の上部に形成されて互いに隣合う第 1 ゲート電極および第 2 ゲート電極と、前記第 1 ゲート電極と前記半導体基板との間に形成された第 1 ゲート絶縁膜と、前記第 2 ゲート電極と前記半導体基板との間に形成されて内部に電荷蓄積部を有する第 2 ゲート絶縁膜とを有し、

前記容量素子は、前記半導体基板の上部に形成された第 1 電極と、前記第 1 電極上に容量絶縁膜を介して形成された第 2 電極とを有する半導体装置の製造方法であって、

(a) 前記半導体基板を用意する工程、

(b) 前記半導体基板の主面上に、前記第 1 ゲート電極用と前記第 1 電極用とを兼ねた第 1 シリコン膜を形成する工程、

(c) 前記第 1 シリコン膜をパターンニングして、前記第 1 領域に前記第 1 ゲート電極を、前記第 2 領域に前記第 1 電極を形成する工程、

(d) 前記半導体基板の主面と前記第 1 ゲート電極の表面と前記第 1 電極の表面とに、前記第 2 ゲート絶縁膜用と前記容量絶縁膜用とを兼ねた第 2 絶縁膜を形成する工程、

(e) 前記第 2 絶縁膜上に、前記第 2 ゲート電極用と前記第 2 電極用とを兼ねた第 2 シリコン膜を形成する工程、

(f) 前記第 2 電極となるべき部分の前記第 2 シリコン膜上に、第 1 マスク層を形成する工程、

(g) 前記第 1 マスク層をエッチングマスクとして前記第 2 シリコン膜をエッチバックすることにより、前記第 1 ゲート電極の側壁上に前記第 2 絶縁膜を介して前記第 2 シリコン膜を残して前記第 2 ゲート電極を形成し、前記第 1 マスク層の下に前記第 2 シリコン膜を残して前記第 2 電極を形成する工程、

(h) 前記第 1 マスク層を除去する工程、

(i) 前記半導体基板上に、前記第 2 ゲート電極を覆い、かつ前記第 2 電極を露出する第 2 マスク層を形成する工程、

(j) 前記第 2 マスク層をイオン注入阻止マスクとして用いて、前記第 2 電極に不純物をイオン注入する工程、

(k) 前記第 2 マスク層を除去する工程、

を有し、

前記 (j) 工程では、前記第 2 ゲート電極には、不純物がイオン注入されないことを特徴とする半導体装置の製造方法。

【請求項 13】

請求項 1 2 記載の半導体装置の製造方法において、
前記 (k) 工程の後、

(1) 第 1 熱処理を行って、前記 (1) 工程で前記第 2 電極に導入された不純物を拡散させる工程、

を更に有することを特徴とする半導体装置の製造方法。

【請求項 1 4】

請求項 1 3 記載の半導体装置の製造方法において、

前記 (g) 工程で形成された前記第 2 ゲート電極と前記半導体基板との間および前記第 2 ゲート電極と前記第 1 ゲート電極の間には、前記第 2 絶縁膜が介在することを特徴とする半導体装置の製造方法。

10

【請求項 1 5】

請求項 1 4 記載の半導体装置の製造方法において、

前記 (e) 工程で形成された前記第 2 シリコン膜は、ノンドープのシリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項 1 6】

請求項 1 5 記載の半導体装置の製造方法において、

前記 (1) 工程後に、

(m) イオン注入により前記第 1 領域の前記半導体基板にソースまたはドレイン用の半導体領域を形成する工程、

(n) 前記 (m) 工程後、前記ソースまたはドレイン用の半導体領域に導入された不純物を活性化させる第 2 熱処理を行う工程、

20

を更に有し、

前記 (n) 工程後、前記第 2 電極の不純物濃度は、前記第 2 ゲート電極の不純物濃度よりも高いことを特徴とする半導体装置の製造方法。

【請求項 1 7】

請求項 1 6 記載の半導体装置の製造方法において、

前記 (m) 工程は、前記第 2 電極に不純物がイオン注入されないように行われることを特徴とする半導体装置の製造方法。

【請求項 1 8】

請求項 1 7 記載の半導体装置の製造方法において、

前記 (j) 工程のイオン注入のドーズ量は、前記 (m) 工程のイオン注入のドーズ量よりも大きいことを特徴とする半導体装置の製造方法。

30

【請求項 1 9】

請求項 1 8 記載の半導体装置の製造方法において、

前記 (a) 工程の後で、前記 (b) 工程の前に、

(a 1) 前記第 2 領域の前記半導体基板に素子分離領域を形成する工程、

(a 2) 前記第 1 領域の前記半導体基板上に、前記第 1 ゲート絶縁膜用の第 1 絶縁膜を形成する工程、

を更に有し、

前記 (b) 工程では、前記第 1 領域の前記第 1 絶縁膜上と、前記第 2 領域の前記素子分離領域上とに、前記第 1 シリコン膜が形成されることを特徴とする半導体装置の製造方法。

40

【請求項 2 0】

請求項 1 9 記載の半導体装置の製造方法において、

前記半導体装置は、前記半導体基板の第 3 領域に形成された M I S F E T を更に備え、

前記 (a 2) 工程では、前記第 3 領域の前記半導体基板上にも前記第 1 絶縁膜が形成され、

前記 (b) 工程では、前記第 3 領域の前記第 1 絶縁膜上にも前記第 1 シリコン膜が形成され、

前記 (c) 工程では、前記第 3 領域に前記第 1 シリコン膜が残され、

50

前記 (i) 工程では、前記第 3 領域の前記第 1 シリコン膜が前記第 2 マスク層で覆われないように、前記第 2 マスク層を形成し、

前記 (j) 工程では、前記第 3 領域の前記第 1 シリコン膜にも不純物がイオン注入され、

前記 (k) 工程の後、

(o) 前記第 3 領域の前記第 1 シリコン膜をパターンングして、前記第 3 領域に前記 M I S F E T 用の第 3 ゲート電極を形成する工程、

を更に有することを特徴とする半導体装置の製造方法。

【請求項 2 1】

請求項 2 0 記載の半導体装置の製造方法において、

10

前記 (b) 工程の後、

(b 1) 前記第 3 領域の前記第 1 シリコン膜を覆い、かつ前記第 1 領域および第 2 領域の前記第 1 シリコン膜を露出する第 3 マスク層を前記第 1 シリコン膜上に形成する工程、

(b 2) 前記第 3 マスク層をイオン注入阻止マスクとして用いて、前記第 1 領域および第 2 領域の前記第 1 シリコン膜に不純物をイオン注入する工程、

を更に有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体装置およびその製造方法に関し、特に、不揮発性メモリを有する半導体装置およびその製造方法に適用して有効な技術に関する。

20

【背景技術】

【0 0 0 2】

電氣的に書込・消去が可能な不揮発性半導体記憶装置として、E E P R O M (Electrically Erasable and Programmable Read Only Memory) が広く使用されている。現在広く用いられているフラッシュメモリに代表されるこれらの記憶装置(メモリ)は、M I S F E T のゲート電極下に、酸化膜で囲まれた導電性の浮遊ゲート電極やトラップ性絶縁膜を有しており、浮遊ゲートやトラップ性絶縁膜での電荷蓄積状態を記憶情報とし、それをトランジスタの閾値として読み出すものである。このトラップ性絶縁膜とは、電荷の蓄積可能な絶縁膜をいい、一例として、窒化シリコン膜などがあげられる。このような電荷蓄積領域への電荷の注入・放出によって M I S F E T のしきい値をシフトさせ記憶素子として動作させる。このフラッシュメモリとしては、M O N O S (Metal-Oxide-Nitride-Oxide-Semiconductor) 膜を用いたスプリットゲート型セルがある。かかるメモリにおいては、電荷蓄積領域として窒化シリコン膜を用いることで、導電性の浮遊ゲート膜と比べ、離散的に電荷を蓄積するためにデータ保持の信頼性に優れ、また、データ保持の信頼性に優れているために窒化シリコン膜上下の酸化膜を薄膜化でき、書込み・消去動作の低電圧化が可能である、等の利点を有する。

30

【0 0 0 3】

特開 2 0 1 0 - 1 8 3 0 2 2 号公報(特許文献 1)には、メモリ領域と給電領域とキャパシタ領域とを有する半導体装置に関する技術が記載されている。

40

【先行技術文献】

【特許文献】

【0 0 0 4】

【特許文献 1】特開 2 0 1 0 - 1 8 3 0 2 2 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 5】

従来のスプリットゲート型の不揮発性メモリのメモリゲート電極は、例えば、不純物を導入して低抵抗率とされたドーフトポリシリコン膜で形成されていた。また、同一の半導体基板上に不揮発性メモリと P I P 型の容量素子とを混載させた半導体装置がある。この

50

ような半導体装置においては、不揮発性メモリと容量素子の両者の特性を向上させて、半導体装置の性能向上を図ることが望まれている。

【0006】

本発明の目的は、半導体装置の性能を向上できる技術を提供することにある。

【0007】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】

代表的な実施の形態による半導体装置は、不揮発性メモリのメモリセルと容量素子とが混載され、容量素子の上部電極の不純物濃度が、メモリセルのメモリゲート電極の不純物濃度よりも高いものである。

【0010】

また、代表的な実施の形態による半導体装置の製造方法は、不揮発性メモリのメモリセルと容量素子とが混載された半導体装置の製造方法である。まず、半導体基板の主面上にメモリセルの制御ゲート電極用と容量素子の下部電極用とを兼ねた第1シリコン膜を形成し、この第1シリコン膜をパターニングして、制御ゲート電極と下部電極を形成する。それから、半導体基板の主面と制御ゲート電極の表面と下部電極の表面とに、メモリセルの電荷蓄積用の絶縁膜用と容量素子の容量絶縁膜用とを兼ねた絶縁膜を形成し、この絶縁膜上に、メモリセルのメモリゲート電極用と容量素子の上部電極用とを兼ねた第2シリコン膜を形成する。それから、上部電極となるべき部分の第2シリコン膜上に第1マスク層を形成してから、第2シリコン膜をエッチバックして、制御ゲート電極の側壁上に第2シリコン膜を残してメモリゲート電極を形成するとともに、第1マスク層の下に第2シリコン膜を残して上部電極を形成する。その後、半導体基板上に、メモリゲート電極を覆いかつ上部電極を露出する第2マスク層を形成し、この第2マスク層をイオン注入阻止マスクとして用いて、上部電極に不純物をイオン注入するが、この際、メモリゲート電極には、不純物がイオン注入されないようにする。

【発明の効果】

【0011】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0012】

代表的な実施の形態によれば、半導体装置の性能を向上させることができる。

【図面の簡単な説明】

【0013】

【図1】本発明の一実施の形態である半導体装置の要部断面図（メモリセル領域）である。

【図2】本発明の一実施の形態である半導体装置の要部断面図（メモリゲートシャント領域）である。

【図3】本発明の一実施の形態である半導体装置の要部断面図（キャパシタ形成領域）である。

【図4】図1の一部を拡大した部分拡大断面図である。

【図5】図3の一部を拡大した部分拡大断面図である。

【図6】本発明の一実施の形態である半導体装置の要部平面図である。

【図7】メモリセルの等価回路図である。

【図8】「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。

10

20

30

40

50

【図 9】本発明の一実施の形態である半導体装置の製造工程の一部を示すプロセスフロー図である。

【図 10】本発明の一実施の形態である半導体装置の製造工程の一部を示すプロセスフロー図である。

【図 11】本発明の一実施の形態の半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 12】図 11 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 13】図 11 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 14】図 11 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 15】図 11 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 16】図 15 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 17】図 15 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 18】図 15 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 19】図 15 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 20】図 19 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 21】図 19 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 22】図 19 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 23】図 19 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 24】図 23 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 25】図 23 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 26】図 23 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 27】図 23 の部分拡大断面図である。

【図 28】図 25 の部分拡大断面図である。

【図 29】図 23 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 30】図 29 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 31】図 29 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 32】図 29 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 33】図 29 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 34】図 33 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

10

20

30

40

50

【図 3 5】図 3 3 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 3 6】図 3 3 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 3 7】図 3 3 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 3 8】図 3 7 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 3 9】図 3 7 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 4 0】図 3 7 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 4 1】図 3 7 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 4 2】図 4 1 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 4 3】図 4 1 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 4 4】図 4 1 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 4 5】図 4 1 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 4 6】図 4 5 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 4 7】図 4 5 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 4 8】図 4 5 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 4 9】図 4 5 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 5 0】図 4 9 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 5 1】図 4 9 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 5 2】図 4 9 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 5 3】図 4 9 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 5 4】図 5 3 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 5 5】図 5 3 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 5 6】図 5 3 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 5 7】図 5 3 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 5 8】図 5 7 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 5 9】図 5 7 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

10

20

30

40

50

【図60】図57と同じ半導体装置の製造工程中の要部断面図（周辺nMIS領域、周辺pMIS領域）である。

【図61】図57に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図62】図61と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図63】図61と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図64】図61と同じ半導体装置の製造工程中の要部断面図（周辺nMIS領域、周辺pMIS領域）である。

10

【図65】図61に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図66】図65と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図67】図65と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図68】図65と同じ半導体装置の製造工程中の要部断面図（周辺nMIS領域、周辺pMIS領域）である。

【図69】図65に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

20

【図70】図69と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図71】図69と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図72】図69と同じ半導体装置の製造工程中の要部断面図（周辺nMIS領域、周辺pMIS領域）である。

【図73】図69に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図74】図73と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

30

【図75】図73と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図76】図73と同じ半導体装置の製造工程中の要部断面図（周辺nMIS領域、周辺pMIS領域）である。

【図77】図73に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図78】図77と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図79】図77と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

40

【図80】図77と同じ半導体装置の製造工程中の要部断面図（周辺nMIS領域、周辺pMIS領域）である。

【図81】図77に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図82】図81と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図83】図81と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図84】図81と同じ半導体装置の製造工程中の要部断面図（周辺nMIS領域、周辺pMIS領域）である。

50

【図 8 5】図 8 1 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 8 6】図 8 5 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 8 7】図 8 5 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 8 8】図 8 5 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 8 9】図 8 5 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 9 0】図 8 9 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 9 1】図 8 9 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 9 2】図 8 9 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 9 3】図 8 9 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 9 4】図 9 3 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 9 5】図 9 3 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 9 6】図 9 3 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 9 7】図 9 6 に続く半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 9 8】変形例の半導体装置の要部断面図（メモリゲートシャント領域）である。

【図 9 9】本発明の他の実施の形態である半導体装置の要部断面図（メモリセル領域）である。

【図 1 0 0】本発明の他の実施の形態である半導体装置の要部断面図（メモリゲートシャント領域）である。

【図 1 0 1】本発明の他の実施の形態である半導体装置の要部断面図（メモリゲートシャント領域）である。

【図 1 0 2】本発明の一実施の形態である半導体装置の要部断面図（キャパシタ形成領域）である。

【図 1 0 3】本発明の一実施の形態の半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 1 0 4】図 1 0 3 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 1 0 5】図 1 0 3 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 1 0 6】図 1 0 3 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、周辺 p M I S 領域）である。

【図 1 0 7】図 1 0 3 に続く半導体装置の製造工程中の要部断面図（メモリセル領域）である。

【図 1 0 8】図 1 0 7 と同じ半導体装置の製造工程中の要部断面図（メモリゲートシャント領域）である。

【図 1 0 9】図 1 0 7 と同じ半導体装置の製造工程中の要部断面図（キャパシタ形成領域）である。

【図 1 1 0】図 1 0 7 と同じ半導体装置の製造工程中の要部断面図（周辺 n M I S 領域、

10

20

30

40

50

周辺 p M I S 領域)である。

【図 1 1 1】図 1 0 7 に続く半導体装置の製造工程中の要部断面図(メモリセル領域)である。

【図 1 1 2】図 1 1 1 と同じ半導体装置の製造工程中の要部断面図(メモリゲートシャント領域)である。

【図 1 1 3】図 1 1 1 と同じ半導体装置の製造工程中の要部断面図(キャパシタ形成領域)である。

【図 1 1 4】図 1 1 1 と同じ半導体装置の製造工程中の要部断面図(周辺 n M I S 領域、周辺 p M I S 領域)である。

【発明を実施するための形態】

【0 0 1 4】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素(要素ステップ等を含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0 0 1 5】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0 0 1 6】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0 0 1 7】

(実施の形態 1)

本発明は、不揮発性メモリ(不揮発性記憶素子、フラッシュメモリ、不揮発性半導体記憶装置)を備えた半導体装置であり、不揮発性メモリは、主として電荷蓄積部にトラップ性絶縁膜(電荷を蓄積可能な絶縁膜)を用いたものである。以下の実施の形態では、不揮発性メモリは、nチャネル型 M I S F E T (M I S F E T : Metal Insulator Semiconductor Field Effect Transistor) を基本としトラップ性絶縁膜を用いたメモリセルをもとに説明を行う。また、以下の実施の形態での極性(書込・消去・読出時の印加電圧の極性やキャリアの極性)は、nチャネル型 M I S F E T を基本としたメモリセルの場合の動作を説明するためのものであり、pチャネル型 M I S F E T を基本とする場合は、印加電位やキャリアの導電型等の全ての極性を反転させることで、原理的には同じ動作を得ることができる。

【0 0 1 8】

本実施の形態の半導体装置を図面を参照して説明する。

【0 0 1 9】

図 1 ~ 図 3 は、本実施の形態の半導体装置の要部断面図であり、図 1 には、不揮発性メモリのメモリセル領域 1 A の要部断面図が示され、図 2 には、メモリゲートシャント領域 1 B の要部断面図が示され、図 3 には、キャパシタ形成領域 1 C の要部断面図が示されて

10

20

30

40

50

いる。図4は、本実施の形態の半導体装置におけるメモリセルMCの部分拡大断面図（要部断面図）であり、図1の一部（メモリセル領域1Aの一部）が拡大して示してある。なお、図4は、理解を簡単にするために、図1の構造のうち、制御ゲート電極CG、メモリゲート電極MGおよび絶縁膜3, 5と、それらの直下の基板領域（p型ウエルPW1を構成する半導体基板1の一部）のみが図示されている。図5は、図3の一部を拡大した部分拡大断面図である。

【0020】

本実施の形態の半導体装置は、不揮発性メモリを備えた半導体装置であり、図1～図3には、不揮発性メモリのメモリセル領域1A、メモリゲートシャント領域1Bおよびキャパシタ形成領域1Cの要部断面図がそれぞれ示されている。メモリセル領域1Aは不揮発性メモリのメモリセルMCが形成された領域である。メモリゲートシャント領域（給電領域）1Bは、メモリゲート電極MGを配線M1に引き上げるために用いる領域、すなわち、プラグPGを介してメモリゲート電極MG（のコンタクト部MGa）を配線M1と接続した領域である。キャパシタ形成領域1Cは、PIP型の容量素子CPが形成された領域である。メモリセル領域1Aとメモリゲートシャント領域1Bとキャパシタ形成領域1Cとは、同一の半導体基板1の主面における互いに異なる領域に対応する。また、図1および図2は、制御ゲート電極CGおよびメモリゲート電極MGの延在方向（図1および図2の紙面に垂直な方向）に垂直な断面が示されており、図1に示された制御ゲート電極CGと図2に示された制御ゲート電極CGとは一体的に形成されており、また、図1に示されたメモリゲート電極MGと図2に示されたコンタクト部MGa（メモリゲート電極MGのコンタクト部MGa）とは一体的に形成されている。また、図1～図3では、メモリセル領域1Aとメモリゲートシャント領域1Bとキャパシタ形成領域1Cとを互いに異なる断面図で示しているが、これらは同一の半導体基板1に形成されている。キャパシタ形成領域1Cに形成された容量素子CPは、周辺回路などで用いられる。ここで、周辺回路とは、例えばCPUなどのプロセッサ、制御回路、センスアンプ、カラムデコーダ、ロウデコーダ、入出力回路などである。

10

20

【0021】

図1～図5に示されるように、例えば1～10 cm程度の比抵抗を有するp型の単結晶シリコンなどからなる半導体基板（半導体ウエハ）1には、素子を分離するための素子分離領域2が形成されており、この素子分離領域2で分離（規定）された活性領域に、p型ウエルPW1が形成されている。p型ウエルPW1は、主としてメモリセル領域1Aに形成されており、メモリゲートシャント領域1Bおよびキャパシタ形成領域1Cには、素子分離領域2が形成されているため、p型ウエルPW1は形成されていない。

30

【0022】

メモリセル領域1Aのp型ウエルPW1には、図1に示されるようなメモリトランジスタおよび制御トランジスタ（選択トランジスタ）からなる不揮発性メモリのメモリセルMCが形成されている。メモリセル領域1Aには、実際には複数のメモリセルMCがアレイ状に形成されているが、図1のメモリセル領域1Aには、そのうちの1つのメモリセルMCの断面が示されている。メモリセル領域1Aは、素子分離領域2によって他の領域から電氣的に分離されている。

40

【0023】

図1および図4に示されるように、本実施の形態の半導体装置における不揮発性メモリのメモリセルMCは、スプリットゲート型のメモリセルであり、制御ゲート電極（選択ゲート電極）CGを有する制御トランジスタ（選択トランジスタ）とメモリゲート電極（メモリ用ゲート電極）MGを有するメモリトランジスタとの2つのMISFETを接続したものである。

【0024】

ここで、電荷蓄積部（電荷蓄積層）を含むゲート絶縁膜およびメモリゲート電極MGを備えるMISFET（Metal Insulator Semiconductor Field Effect Transistor）をメモリトランジスタ（記憶用トランジスタ）といい、また、ゲート絶縁膜および制御ゲート

50

電極CGを備えるMISFETを制御トランジスタ（選択トランジスタ、メモリセル選択用トランジスタ）という。従って、メモリゲート電極MGは、メモリトランジスタのゲート電極であり、制御ゲート電極CGは、制御トランジスタのゲート電極であり、制御ゲート電極CGおよびメモリゲート電極MGは、不揮発性メモリ（のメモリセル）を構成するゲート電極である。

【0025】

以下に、メモリセルMCの構成を具体的に説明する。

【0026】

図1および図4に示されるように、不揮発性メモリのメモリセルMCは、半導体基板1のp型ウエルPW1中に形成されたソースおよびドレイン用のn型の半導体領域MS、MDと、半導体基板1（p型ウエルPW1）の上部に形成された制御ゲート電極CGと、半導体基板1（p型ウエルPW1）の上部に形成されて制御ゲート電極CGと隣合うメモリゲート電極MGとを有している。そして、不揮発性メモリのメモリセルMCは、更に、制御ゲート電極CGおよび半導体基板1（p型ウエルPW1）間に形成された絶縁膜（ゲート絶縁膜）3と、メモリゲート電極MGおよび半導体基板1（p型ウエルPW1）間とメモリゲート電極MGおよび制御ゲート電極CG間とに形成された絶縁膜5とを有している。

10

【0027】

制御ゲート電極（第1ゲート電極）CGおよびメモリゲート電極（第2ゲート電極）MGは、それらの対向側面（側壁）の間に絶縁膜5を介した状態で、半導体基板1の主面に沿って延在し、並んで配置されている。制御ゲート電極CGおよびメモリゲート電極MGの延在方向は、図1および図4の紙面に垂直な方向である。制御ゲート電極CGおよびメモリゲート電極MGは、半導体領域MDおよび半導体領域MS間の半導体基板1（p型ウエルPW1）の上部に絶縁膜3、5を介して（但し、制御ゲート電極CGは絶縁膜3を介し、メモリゲート電極MGは絶縁膜5を介して）形成されており、半導体領域MS側にメモリゲート電極MGが位置し、半導体領域MD側に制御ゲート電極CGが位置している。

20

【0028】

制御ゲート電極CGとメモリゲート電極MGとは、間に絶縁膜5を介在して互いに隣り合っており、メモリゲート電極MGは、制御ゲート電極CGの側壁（側面）上に絶縁膜5を介してサイドウォールスペース状に形成されている。また、絶縁膜5は、メモリゲート電極MGと半導体基板1（p型ウエルPW1）の間の領域と、メモリゲート電極MGと制御ゲート電極CGの間の領域の、両領域にわたって延在している。

30

【0029】

制御ゲート電極CGと半導体基板1（p型ウエルPW1）の間に形成された絶縁膜3（すなわち制御ゲート電極CGの下の絶縁膜3）が、制御トランジスタのゲート絶縁膜として機能し、メモリゲート電極MGと半導体基板1（p型ウエルPW1）の間の絶縁膜5（すなわちメモリゲート電極MGの下の絶縁膜5）が、メモリトランジスタのゲート絶縁膜（内部に電荷蓄積部を有するゲート絶縁膜）として機能する。

【0030】

絶縁膜3は、例えば酸化シリコン膜または酸化窒化シリコン膜などにより形成することができる。また、絶縁膜3は、上述の酸化シリコン膜または酸化窒化シリコン膜など以外にも、酸化ハフニウム膜、酸化アルミニウム膜（アルミナ）または酸化タンタル膜など、窒化シリコン膜よりも高い誘電率を有する金属酸化膜を使用してもよい。

40

【0031】

絶縁膜5は、酸化シリコン膜（酸化膜）5aと、酸化シリコン膜5a上の窒化シリコン膜（窒化膜、電荷蓄積層）5bと、窒化シリコン膜5b上の酸化シリコン膜（酸化膜）5cとを有する積層膜からなる。

【0032】

なお、図1～図3では、図面を見やすくするために、酸化シリコン膜5a、窒化シリコン膜5bおよび酸化シリコン膜5cの積層膜を、単に絶縁膜5として図示しているが、実

50

際には、図4に示されるように、絶縁膜5は、酸化シリコン膜5aと、酸化シリコン膜5a上の窒化シリコン膜5bと、窒化シリコン膜5b上の酸化シリコン膜5cとの積層膜からなる。

【0033】

絶縁膜5は、酸化シリコン膜5aと窒化シリコン膜5bと酸化シリコン膜5cとの積層構造を有しているため、メモリゲート電極MGおよび半導体基板1(p型ウエルPW1)間の領域とメモリゲート電極MGおよび制御ゲート電極CG間の領域とに延在している絶縁膜5を、積層ゲート絶縁膜(積層構造のゲート絶縁膜)とみなすこともできる。但し、メモリゲート電極MGと半導体基板1(p型ウエルPW1)との間の絶縁膜5は、メモリトランジスタのゲート絶縁膜として機能するが、メモリゲート電極MGと制御ゲート電極CGとの間の絶縁膜5は、メモリゲート電極MGと制御ゲート電極CGとの間を絶縁(電氣的に分離)するための絶縁膜として機能する。

10

【0034】

絶縁膜5のうち、窒化シリコン膜5bは、電荷を蓄積するための絶縁膜であり、電荷蓄積層(電荷蓄積部)として機能する。すなわち、窒化シリコン膜5bは、絶縁膜5中に形成されたトラップ性絶縁膜である。このため、絶縁膜5は、その内部に電荷蓄積部(電荷蓄積層、ここでは窒化シリコン膜5b)を有する絶縁膜とみなすことができる。

【0035】

窒化シリコン膜5bの上下に位置する酸化シリコン膜5cおよび酸化シリコン膜5aは、電荷ブロック層(電荷ブロック膜、電荷閉じ込め層)として機能することができる。窒化シリコン膜5bを酸化シリコン膜5cおよび酸化シリコン膜5aで挟んだ構造とすることで、窒化シリコン膜5bへの電荷の蓄積が可能となる。酸化シリコン膜5a、窒化シリコン膜5bおよび酸化シリコン膜5cは、ONO(oxide-nitride-oxide)膜とみなすこともできる。

20

【0036】

半導体領域MSは、ソース領域またはドレイン領域の一方として機能する半導体領域であり、半導体領域MDは、ソース領域またはドレイン領域の他方として機能する半導体領域である。ここでは、半導体領域MSはソース領域として機能する半導体領域、半導体領域MDはドレイン領域として機能する半導体領域である。半導体領域MS, MDは、n型の不純物が導入された半導体領域(n型不純物拡散層)よりなり、それぞれLDD(lightly doped drain)構造を備えている。すなわち、ソース用の半導体領域MSは、n⁻型半導体領域7aと、n⁻型半導体領域7aよりも高い不純物濃度を有するn⁺型半導体領域8aとを有し、ドレイン用の半導体領域MDは、n⁻型半導体領域7bと、n⁻型半導体領域7bよりも高い不純物濃度を有するn⁺型半導体領域8bとを有している。n⁺型半導体領域8aは、n⁻型半導体領域7aよりも接合深さが深くかつ不純物濃度が高く、また、n⁺型半導体領域8bは、n⁻型半導体領域7bよりも接合深さが深くかつ不純物濃度が高い。

30

【0037】

メモリゲート電極MGおよび制御ゲート電極CGの側壁(互いに隣接していない側の側壁)上には、酸化シリコンなどの絶縁体(酸化シリコン膜、絶縁膜)からなる側壁絶縁膜(サイドウォール、サイドウォールスペーサ)SWが形成されている。すなわち、絶縁膜5を介して制御ゲート電極CGに隣接する側とは逆側のメモリゲート電極MGの側壁(側面)上と、絶縁膜5を介してメモリゲート電極MGに隣接する側とは逆側の制御ゲート電極CGの側壁(側面)上とに、側壁絶縁膜SWが形成されている。

40

【0038】

ソース部のn⁻型半導体領域7aはメモリゲート電極MGの側壁に対して自己整合的に形成され、n⁺型半導体領域8aはメモリゲート電極MGの側壁上の側壁絶縁膜SWの側面(メモリゲート電極MGに接する側とは逆側の側面)に対して自己整合的に形成されている。このため、低濃度のn⁻型半導体領域7aはメモリゲート電極MGの側壁上の側壁絶縁膜SWの下(下方)に形成され、高濃度のn⁺型半導体領域8aは低濃度のn⁻型半

50

導体領域 7 a の外側に形成されている。従って、低濃度の n^- 型半導体領域 7 a はメモリトランジスタのチャンネル領域に隣接するように形成され、高濃度の n^+ 型半導体領域 8 a は低濃度の n^- 型半導体領域 7 a に接し（隣接し）、メモリトランジスタのチャンネル領域から n^- 型半導体領域 7 a の分だけ離間するように形成されている。

【0039】

ドレイン部の n^- 型半導体領域 7 b は制御ゲート電極 CG の側壁に対して自己整合的に形成され、 n^+ 型半導体領域 8 b は制御ゲート電極 CG の側壁上の側壁絶縁膜 SW の側面（制御ゲート電極 CG と接する側とは逆側の側面）に対して自己整合的に形成されている。このため、低濃度の n^- 型半導体領域 7 b は制御ゲート電極 CG の側壁上の側壁絶縁膜 SW の下（下方）に形成され、高濃度の n^+ 型半導体領域 8 b は低濃度の n^- 型半導体領域 7 b の外側に形成されている。従って、低濃度の n^- 型半導体領域 7 b は制御トランジスタのチャンネル領域に隣接するように形成され、高濃度の n^+ 型半導体領域 8 b は低濃度の n^- 型半導体領域 7 b に接し（隣接し）、制御トランジスタのチャンネル領域から n^- 型半導体領域 7 b の分だけ離間するように形成されている。

10

【0040】

メモリゲート電極 MG 下の絶縁膜 5 の下にメモリトランジスタのチャンネル領域が形成され、制御ゲート電極 CG 下の絶縁膜 3 の下に制御トランジスタのチャンネル領域が形成される。制御ゲート電極 CG 下の絶縁膜 3 の下の制御トランジスタのチャンネル形成領域には、制御トランジスタのしきい値調整用の半導体領域（ p 型半導体領域または n 型半導体領域）が必要に応じて形成され、メモリゲート電極 MG 下の絶縁膜 5 の下のメモリトランジスタのチャンネル形成領域には、メモリトランジスタのしきい値調整用の半導体領域（ p 型半導体領域または n 型半導体領域）が必要に応じて形成されている。

20

【0041】

制御ゲート電極 CG は導電体（導電体膜）からなるが、好ましくは n 型ポリシリコン膜（ n 型不純物を導入した多結晶シリコン膜、ドーフトポリシリコン膜）のようなシリコン膜 4 からなる。制御ゲート電極 CG を構成するシリコン膜 4 は、 n 型のシリコン膜であり、 n 型不純物が導入されて低抵抗率とされている。具体的には、制御ゲート電極 CG は、パターンングされたシリコン膜 4 からなる。

【0042】

メモリゲート電極 MG は、シリコン膜 6 からなる。メモリゲート電極 MG を構成するシリコン膜 6 は、低不純物濃度のシリコン膜か、あるいは、ノンドープ（アンドープ）のシリコン膜となっていることが好ましい。シリコン膜 6 の不純物濃度は、より好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下である。

30

【0043】

ここで、ノンドープ（アンドープ）のシリコン膜とは、不純物を意図的には導入（添加、ドーピング）していないシリコン膜を意味する。このため、ノンドープ（アンドープ）のシリコン膜と言うときには、意図しない極微量の不純物が含まれる場合を除外するものではない。一方、不純物が導入（ドーピング）されたシリコン膜とは、不純物を意図的に導入（添加、ドーピング）したシリコン膜を意味する。

【0044】

シリコン膜 6 は、好ましくはポリシリコン（多結晶シリコン）膜であるため、メモリゲート電極 MG を構成するシリコン膜 6 は、好ましくは、低不純物濃度のポリシリコン（多結晶シリコン）膜か、あるいは、ノンドープのポリシリコン（多結晶シリコン）膜からなる。メモリゲート電極 MG を構成するシリコン膜 6 に不純物が導入される場合、導入する不純物は、 n 型の不純物（例えばヒ素（As）またはリン（P）など）が好ましい。従って、メモリゲート電極 MG を構成するシリコン膜 6 が低不純物濃度のポリシリコン（多結晶シリコン）膜からなる場合は、より好ましくは n 型ポリシリコン膜（ n 型不純物を導入した多結晶シリコン膜、 n 型のドーフトポリシリコン膜）である。

40

【0045】

本実施の形態は、メモリセル MC のメモリゲート電極 MG（を構成するシリコン膜 6）

50

の不純物濃度が、後述する下部電極LE（を構成するシリコン膜6）およびコンタクト部MGa（を構成するシリコン膜6）の不純物濃度よりも低いことを、主要な特徴の一つとしているが、これについては、後で述べる。

【0046】

メモリゲート電極MG（を構成するシリコン膜6）の上部（上面）と制御ゲート電極CG（を構成するシリコン膜4）の上部（上面）と n^+ 型半導体領域8a, 8bの上部（上面、表面）には、サリサイド（Salicide: Self Aligned Silicide）技術などにより、金属シリサイド層（金属シリサイド膜）11が形成されている。金属シリサイド層11は、例えばコバルトシリサイド層またはニッケルシリサイド層などからなる。金属シリサイド層11により、拡散抵抗やコンタクト抵抗を低抵抗化することができる。制御ゲート電極CGを構成するシリコン膜4と、その上部の金属シリサイド層11とを合わせたものを、制御ゲート電極CGとみなすこともでき、また、メモリゲート電極MGを構成するシリコン膜6と、その上部の金属シリサイド層11とを合わせたものを、メモリゲート電極MGとみなすこともできる。また、メモリゲート電極MGと制御ゲート電極CGとの間のショートをできるだけ防止するという観点から、メモリゲート電極MGと制御ゲート電極CGの一方または両方の上部に金属シリサイド層11を形成しない場合もあり得る。

10

【0047】

また、図2に示されるように、コンタクトホールCNTおよびそれを埋めるプラグPGのうち、メモリゲート電極MGに接続するためのコンタクトホールCNT1およびそれを埋めるプラグPG1は、メモリゲートシャント領域1Bにおいて、メモリゲート電極MGのコンタクト部MGaの上部に形成されている。コンタクト部MGaは、制御ゲート電極CGの側壁上に絶縁膜5を介してサイドウォールスペーサ状に形成されたメモリゲート電極MGと一体的に形成されている。すなわち、メモリゲート電極MGのうち、コンタクト部MGa以外の部分は、制御ゲート電極CGの一方の側壁上に絶縁膜5を介してサイドウォールスペーサ状に形成されており、このサイドウォールスペーサ状に形成されている部分とコンタクト部MGaとは一体的に形成されている。このため、コンタクト部MGaは、メモリゲート電極MGの一部とみなすことができるが、コンタクト部MGaは、不揮発性メモリのメモリセルMCのメモリトランジスタのゲート電極としては機能しない部分である。このため、コンタクト部MGaは、複数のメモリセルMCがアレイ状に配列したメモリセル領域1A以外の領域（例えばメモリセル領域1Aの近傍に配置されたメモリゲートシャント領域1B）に設けることが好ましく、素子分離領域2上に配置することが好ましい。

20

30

【0048】

コンタクト部MGaの下に素子分離領域2があれば、コンタクトホールCNT1の目外れ時に半導体基板1が露出するのを防止できたり、寄生容量が形成されるのを防止できるなど、より好適であるが、コンタクト部MGaの下に素子分離領域2が無い場合でも、半導体基板1とコンタクト部MGaとの間に絶縁膜5が介在するため、半導体基板1とコンタクト部MGaとの間の絶縁を確保できる。

【0049】

コンタクト部MGaは、絶縁膜5を介して制御ゲート電極CGの一方の側壁（メモリゲート電極MGが形成されている側の側壁）に隣接する位置から、その隣接する制御ゲート電極CGから離れる方向に延在している。コンタクト部MGaの一部は制御ゲート電極CG上に乗り上げているため、コンタクト部MGaは、制御ゲート電極CG上に位置する部分を有している。すなわち、コンタクト部MGaは、制御ゲート電極CG上から制御ゲート電極CGの側壁を介して素子分離領域2上にかけて延在している。但し、メモリゲート電極MGのコンタクト部MGaと制御ゲート電極CGの側壁との間には絶縁膜5が介在している。側壁絶縁膜SWは、コンタクト部MGaの側面（側壁）上にも形成されている。また、金属シリサイド層11は、側壁絶縁膜SWで覆われていない領域のコンタクト部MGaの上部（上面）にも形成されている。

40

【0050】

50

コンタクト部 M G a は、メモリゲート電極 M G に所定の電圧（電位）を供給（給電）するためのプラグ P G 1 を接続する部分である。配線 M 1 b からプラグ P G 1 を介してコンタクト部 M G a に所定の動作電圧（電位）が印加（供給）され、このコンタクト部 M G a に印加された電圧（電位）がメモリセルのメモリゲート電極 M G に伝わってメモリゲート電極 M G をこの所定の動作電圧（電位）とし、メモリセルが所定の動作を行うことができる。コンタクト部 M G a に印加する動作電圧が、後述の図 8 の V m g に対応している。

【 0 0 5 1 】

メモリゲート電極 M G は、後述するように、半導体基板 1 上に制御ゲート電極 C G を覆うように形成したシリコン膜 6 をエッチバック（異方性エッチング）し、制御ゲート電極 C G の側壁上に絶縁膜 5 を介してこのシリコン膜 6 をサイドウォールスペーサ状に残存させることにより、形成されている。このため、コンタクト部 M G a 以外の部分のメモリゲート電極 M G は、サイドウォールスペーサ状に残ったシリコン膜 6 により形成されている。詳細は後述するが、このシリコン膜 6 のエッチバック工程において、シリコン膜 6 上にレジストパターン（後述のフォトリソグレイパターニング R P 2 a に対応）を形成しておき、このレジストパターンの下にこのシリコン膜 6 を残存させることで、メモリゲート電極 M G のコンタクト部 M G a が形成されている。

10

【 0 0 5 2 】

サイドウォールスペーサ状のメモリゲート電極 M G と同様、コンタクト部 M G a も、シリコン膜 6 により形成されている。

【 0 0 5 3 】

本実施の形態では、コンタクト部 M G a（を構成するシリコン膜 6）の不純物濃度がメモリセル M C のメモリゲート電極 M G（を構成するシリコン膜 6）の不純物濃度よりも高くなっている。この不純物濃度の差により、コンタクト部 M G a（を構成するシリコン膜 6）の抵抗率は、メモリセル領域 1 A のメモリゲート電極 M G（を構成するシリコン膜 6）の抵抗率よりも低くなっている。

20

【 0 0 5 4 】

また、図 3 に示されるように、不揮発性メモリのメモリセル M C が形成されている半導体基板 1 と同一の半導体基板 1 上に、容量素子（キャパシタ）C P が形成されている。キャパシタ形成領域 1 C の容量素子 C P について具体的に説明する。

【 0 0 5 5 】

図 3 に示されるように、キャパシタ形成領域 1 C 全体で、半導体基板 1 に素子分離領域 2 が形成されている。図 3 に示されるように、キャパシタ形成領域 1 C の半導体基板 1 の上部、すなわち素子分離領域 2 上には、容量素子 C P の下部電極（第 1 電極）L E が形成されている。キャパシタ形成領域 1 C の下部電極 L E は、メモリセル領域 1 A およびメモリゲートシャント領域 1 B の制御ゲート電極 C G と同層の導電体膜（ここではシリコン膜 4）によって形成されている。すなわち、制御ゲート電極 C G と下部電極 L E とは、いずれもシリコン膜 4（パターニングされたシリコン膜 4）によって形成されている。制御ゲート電極 C G および下部電極 L E を構成するシリコン膜 4 は、n 型の不純物が導入されて低抵抗率とされている。

30

【 0 0 5 6 】

詳細は後述するが、メモリセル領域 1 A、メモリゲートシャント領域 1 B およびキャパシタ形成領域 1 C を含む半導体基板 1 の主面上にシリコン膜 4 を形成してから、このシリコン膜 4 に n 型不純物をイオン注入し、そのシリコン膜 4 をフォトリソグラフィ法およびドライエッチング法などを用いてパターニングすることで、制御ゲート電極 C G および下部電極 L E が形成されている。

40

【 0 0 5 7 】

下部電極 L E 上には、容量絶縁膜 D E を介して上部電極（第 2 電極）U E が形成されている。この容量絶縁膜 D E は、メモリセル領域 1 A およびメモリゲートシャント領域 1 B の絶縁膜 5 と同層の絶縁膜によって形成されている。すなわち、容量素子 C P の容量絶縁膜 D E は、メモリセル M C のメモリトランジスタのゲート絶縁膜（メモリゲート絶縁膜、

50

ここでは絶縁膜 5) と同層の絶縁膜 5 によって形成されている。換言すれば、容量素子 C P の容量絶縁膜 D E と、メモリセル M C のメモリトランジスタのゲート絶縁膜 (メモリゲート絶縁膜) とは、いずれも絶縁膜 5 によって形成されている。このため、容量素子 C P の容量絶縁膜 D E は、図 5 に示されるように、酸化シリコン膜 5 a と、酸化シリコン膜 5 a 上の窒化シリコン膜 5 b と、窒化シリコン膜 5 b 上の酸化シリコン膜 5 c とを有する積層膜 (すなわち絶縁膜 5) からなるが、図 3 では、図面を見やすくするために、酸化シリコン膜 5 a、窒化シリコン膜 5 b および酸化シリコン膜 5 c の積層膜を、単に容量絶縁膜 D E として図示している。

【 0 0 5 8 】

容量絶縁膜 D E および上部電極 U E は積層パターンとしてパターン化されており、下部電極 L E の少なくとも一部を覆うように形成されている。

10

【 0 0 5 9 】

また、キャパシタ形成領域 1 C の上部電極 U E は、メモリセル領域 1 A およびメモリゲートシャント領域 1 B のメモリゲート電極 M G と同層の導電体膜によって形成されている。すなわち、キャパシタ形成領域 1 C の上部電極 U E は、メモリゲート電極 M G を構成するシリコン膜 6 と同層のシリコン膜 6 により形成されている。つまり、メモリゲート電極 M G と上部電極 U E とは、いずれもシリコン膜 6 によって形成されている。但し、メモリゲート電極 M G と上部電極 U E とは、互いに分離されている。

【 0 0 6 0 】

メモリセル領域 1 A のメモリゲート電極 M G とキャパシタ形成領域 1 C の上部電極 U E とは、同層のシリコン膜 6 により形成されているが、不純物濃度が相違している。すなわち、本実施の形態の主要な特徴の一つは、キャパシタ形成領域 1 C の上部電極 U E (を構成するシリコン膜 6) の不純物濃度が、メモリセル領域 1 A のメモリゲート電極 M G (を構成するシリコン膜 6) の不純物濃度よりも高くなっていることである。つまり、キャパシタ形成領域 1 C の上部電極 U E とメモリセル領域 1 A のメモリゲート電極 M G とは、同層のシリコン膜 6 により形成されているが、キャパシタ形成領域 1 C の上部電極 U E を構成するシリコン膜 6 における不純物濃度 (より特定的には n 型不純物濃度) は、メモリセル領域 1 A のメモリゲート電極 M G を構成するシリコン膜 6 における不純物濃度 (より特定的には n 型不純物濃度) よりも高く (高濃度に) なっているのである。この不純物濃度の差により、キャパシタ形成領域 1 C の上部電極 U E (を構成するシリコン膜 6) の抵抗率は、メモリセル領域 1 A のメモリゲート電極 M G (を構成するシリコン膜 6) の抵抗率よりも低くなっている。

20

30

【 0 0 6 1 】

メモリゲート電極 M G および上部電極 U E は、メモリセル領域 1 A、メモリゲートシャント領域 1 B およびキャパシタ形成領域 1 C を含む半導体基板 1 の主面上に制御ゲート電極 C G および下部電極 L E を覆うようにシリコン膜 6 を形成してから、このシリコン膜 6 を異方性エッチングすることによって、形成されている。この際、上部電極 U E は、この異方性エッチングの前に、シリコン膜 6 上にレジストパターン (後述のフォトリソパターン R P 2 b に対応) を形成しておき、このレジストパターンの下にシリコン膜 6 を残すことで、形成されている。このため、上部電極 U E は、パターンニングされたシリコン膜 6 によって形成されている。その後で、メモリセル領域 1 A のメモリゲート電極 M G (を構成するシリコン膜 6) に不純物が導入されないようにしながら、キャパシタ形成領域 1 C の上部電極 U E (を構成するシリコン膜 6) に不純物を導入することにより、キャパシタ形成領域 1 C の上部電極 U E (を構成するシリコン膜 6) の不純物濃度を、メモリセル領域 1 A のメモリゲート電極 M G (を構成するシリコン膜 6) の不純物濃度よりも高くすることができる。製造工程については後で詳述する。

40

【 0 0 6 2 】

下部電極 L E、容量絶縁膜 D E および上部電極 U E により、容量素子 (P I P 型容量素子) C P が形成される。下部電極 L E が容量素子 C P の一方の電極として機能し、上部電極 U E が容量素子 C P の他方の電極として機能し、容量絶縁膜 D E が容量素子 C P の誘電

50

体膜として機能する。側壁絶縁膜 S W は、上部電極 U E の側面上や、容量絶縁膜 D E および上部電極 U E の積層パターンで覆われていない領域における下部電極 L E の側面上にも、形成されている。また、金属シリサイド層 1 1 は、側壁絶縁膜 S W で覆われていない領域の上部電極 U E の上部（上面）と、容量絶縁膜 D E および上部電極 U E の積層パターンで覆われていない領域の下部電極 L E の上部（上面）とも形成されている。

【 0 0 6 3 】

なお、容量絶縁膜 D E および上部電極 U E の積層パターンは、下部電極 L E の全面を覆っているのではなく、図 3 とは異なる断面において、下部電極 L E の一部は、容量絶縁膜 D E および上部電極 U E の積層パターンで覆われていない状態となっている。これは、容量絶縁膜 D E および上部電極 U E の積層パターンで覆われていない領域の下部電極 L E にプラグ P G を接続できるようにするためである。

10

【 0 0 6 4 】

また、図 3 に示されるように、上部電極 U E は、下部電極 L E 上に位置しない部分を有し、この上部電極 U E の下部電極 L E 上に位置しない部分上の絶縁膜 1 2 にコンタクトホール C N T（このコンタクトホール C N T をコンタクトホール C N T 2 と称す）が形成され、このコンタクトホール C N T 2 に埋め込まれたプラグ P G（このプラグをプラグ P G 2 と称す）と上部電極 U E とが電氣的に接続されている。このプラグ P G 2 は、配線 M 1 c に接続されているため、配線 M 1 c はプラグ P G 2 を介して上部電極 U E に電氣的に接続された状態となっている。

20

【 0 0 6 5 】

容量素子 C P は、いわゆる P I P（Polysilicon Insulator Polysilicon）型容量素子である。ここで P I P 型容量素子とは、2 層のポリシリコン層（ここでは下部電極 L E および上部電極 U E）と、それらの間に挟まれた絶縁膜（ここでは容量絶縁膜 D E）とからなる容量素子（ポリシリコン容量素子）である。

【 0 0 6 6 】

また、容量素子 C P は、素子分離領域 2 上に配置することが好ましく、容量素子 C P の下に素子分離領域 2 があれば、半導体基板 1 と容量素子 C P との間の絶縁を確実にし、不要な規制容量などが形成されるのも防止できる。しかしながら、容量素子 C P の下に素子分離領域 2 が無い場合でも、下部電極 L E と半導体基板 1 との間に絶縁膜 3 と同層の絶縁膜が形成され（この構造は、後述のステップ S 4 でメモリセル領域 1 A とともにキャパシタ形成領域 1 C にも絶縁膜 3 を形成すれば得られる）、下部電極 L E 上に位置しない部分の上部電極 U E と半導体基板 1 との間に絶縁膜 5 が介在すれば、半導体基板 1 と下部電極や上部電極 U E との間の絶縁を確保できる。

30

【 0 0 6 7 】

半導体基板 1 上には、制御ゲート電極 C G、メモリゲート電極 M G、下部電極 L E、上部電極 U E および側壁絶縁膜 S W を覆うように、層間絶縁膜として絶縁膜 1 2 が形成されている。絶縁膜 1 2 は、酸化シリコン膜の単体膜、あるいは、窒化シリコン膜と該窒化シリコン膜上に該窒化シリコン膜よりも厚く形成された酸化シリコン膜との積層膜などからなる。絶縁膜 1 2 の上面は平坦化されている。

【 0 0 6 8 】

絶縁膜 1 2 にはコンタクトホール（開口部、貫通孔）C N T が形成されており、コンタクトホール C N T 内に、導電体部（接続用導電体部）として導電性のプラグ P G が埋め込まれている。

40

【 0 0 6 9 】

プラグ P G は、コンタクトホール C N T の底部および側壁（側面）上に形成された薄いバリア導体膜と、このバリア導体膜上にコンタクトホール C N T を埋め込むように形成された主導体膜とで形成されているが、図面の簡略化のために、図 1 および図 3 では、プラグ P G を構成するバリア導体膜および主導体膜を一体化して示してある。なお、プラグ P G を構成するバリア導体膜は、例えば、チタン膜、窒化チタン膜、あるいはそれらの積層膜とすることができ、プラグ P G を構成する主導体膜は、タングステン膜とすることがで

50

きる。

【0070】

コンタクトホールCNTおよびそれに埋め込まれたプラグPGは、 n^+ 型半導体領域8a、8b、制御ゲート電極CG、メモリゲート電極MG、下部電極LEおよび上部電極UEの上部などに形成される。コンタクトホールCNTの底部では、半導体基板1の主面の一部、例えば n^+ 型半導体領域8a、8b（の表面上の金属シリサイド層11）の一部、制御ゲート電極CG（の表面上の金属シリサイド層11）の一部、メモリゲート電極MGのコンタクト部Mga（の表面上の金属シリサイド層11）の一部、下部電極LE（の表面上の金属シリサイド層11）の一部、上部電極UE（の表面上の金属シリサイド層11）の一部などが露出される。そして、その露出部（コンタクトホールCNTの底部の露出部）にプラグPGが接続される。

10

【0071】

なお、図1においては、 n^+ 型半導体領域8b（の表面上の金属シリサイド層11）の一部が、コンタクトホールCNTの底部で露出して、そのコンタクトホールCNTを埋めるプラグPGと電氣的に接続された断面が示されている。また、図2においては、メモリゲート電極MGのコンタクト部Mga（の表面上の金属シリサイド層11）が、コンタクトホールCNT（このコンタクトホールCNTをコンタクトホールCNT1と称する）の底部で露出して、そのコンタクトホールCNT1を埋めるプラグPG（このプラグPGをプラグPG1と称する）と電氣的に接続された断面が示されている。また、図3においては、上部電極UE（の表面上の金属シリサイド層11）の一部が、コンタクトホールCNTの底部で露出して、そのコンタクトホールCNTを埋めるプラグPGと電氣的に接続された断面が示されている。

20

【0072】

図2に示されるように、コンタクト部Mgaにおいて素子分離領域2上に位置して平坦となっている部分の上部にコンタクトホールCNTのうちコンタクトホールCNT1が形成され、このコンタクトホールCNT1に埋め込まれたプラグPG1が、コンタクト部Mgaと電氣的に接続されている。プラグPG1は、コンタクトホールCNT1の底部でメモリゲート電極MGのコンタクト部Mgaに接して電氣的に接続される。メモリゲート電極MGの上部に金属シリサイド層11を形成した場合には、図2に示されるように、コンタクトホールCNT1に埋め込まれたプラグPG1は、コンタクトホールCNT1の底部で、コンタクト部Mga上の金属シリサイド層11に接して電氣的に接続され、それによってメモリゲート電極MG（のコンタクト部Mga）に電氣的に接続されることになる。

30

【0073】

プラグPGが埋め込まれた絶縁膜12上には配線（配線層）M1が形成されている。配線M1は、例えばダマシ配線（埋込配線）であり、絶縁膜12上に形成された絶縁膜14に設けられた配線溝に埋め込まれている。配線M1は、プラグPGを介して、メモリトランジスタのソース領域（半導体領域MS）、制御トランジスタのドレイン領域（半導体領域MD）、制御ゲート電極CG、メモリゲート電極MG、上部電極UEあるいは下部電極LEなどと電氣的に接続される。なお、図1においては、配線M1の例として、制御トランジスタのドレイン領域（半導体領域MD）にプラグPGを介して電氣的に接続された配線M1aが示され、図2においては、メモリゲート電極MG（のコンタクト部Mga）にプラグPG1を介して電氣的に接続された配線M1bが示され、図3においては、上部電極UEにプラグPGを介して電氣的に接続された配線M1cが示されている。更に上層の配線および絶縁膜も形成されているが、ここではその図示および説明は省略する。また、配線M1およびそれよりも上層の配線は、ダマシ配線（埋込配線）に限定されず、配線用の導電体膜をパターンニングして形成することもでき、例えばタングステン配線またはアルミニウム配線などとすることもできる。

40

【0074】

図6は、本実施の形態の半導体装置の要部平面図であり、メモリセル領域1A、ソース

50

ダミー領域 1 F およびメモリゲートシャント領域 1 B の平面図が示されている。図 6 の A - A 線の断面が上記図 1 に対応し、図 6 の B - B 線の断面が上記図 2 に対応している。なお、理解を簡単にするために、図 6 の平面図には、制御ゲート電極 C G、メモリゲート電極 M G、制御ゲート電極 C G およびメモリゲート電極 M G 間の絶縁膜 5、ソース用の半導体領域 M S、ドレイン用の半導体領域 M D、素子分離領域 2 およびコンタクトホール C N T などの平面レイアウトを図示し、他の構成要素については図示を省略している。また、上記キャパシタ形成領域 1 C は、図 6 には示されていない。

【 0 0 7 5 】

図 6 にも示されるように、不揮発性メモリのメモリセル M C は半導体基板 1 の主面に（より特定的にはメモリセル領域 1 A に）複数アレイ状に配置されている。図 6 の X 方向および Y 方向にアレイ状（行列状）に配置された複数のメモリセル M C のうち、図 6 の X 方向に並ぶメモリセル M C の制御ゲート電極 C G 同士は、X 方向に繋がって一体的に形成されている。すなわち、図 6 の X 方向に延在する 1 本の制御ゲート電極 C G が、図 6 の X 方向に並ぶ複数のメモリセル M C の制御ゲート電極（選択ゲート電極）を形成しており、この X 方向に延在する制御ゲート電極 C G が図 6 の Y 方向に複数本並んで配置されている。従って、各制御ゲート電極 C G は、図 6 の X 方向に延在しており、図 6 の X 方向に並ぶ複数のメモリセル M C の制御ゲート電極（選択ゲート電極）と、図 1 の X 方向に並ぶ複数のメモリセル M C の制御ゲート電極同士を電氣的に接続する制御ゲート線（選択ゲート線）とを兼ねている。

【 0 0 7 6 】

また、図 6 の X 方向および Y 方向にアレイ状（行列状）に配置された複数のメモリセル M C のうち、図 6 の X 方向に並ぶメモリセル M C のメモリゲート電極 M G 同士は、X 方向に繋がって一体的に形成されている。すなわち、図 6 の X 方向に延在する 1 本のメモリゲート電極 M G が、図 6 の X 方向に並ぶ複数のメモリセル M C のメモリゲート電極を形成しており、この X 方向に延在するメモリゲート電極 M G が図 6 の Y 方向に複数本並んで配置されている。従って、各メモリゲート電極 M G は、図 6 の X 方向に延在しており、図 6 の X 方向に並ぶ複数のメモリセル M C のメモリゲート電極と、図 1 の X 方向に並ぶ複数のメモリセル M C のメモリゲート電極同士を電氣的に接続するメモリゲート線とを兼ねている。メモリゲート電極 M G は絶縁膜 5 を介して制御ゲート電極 C G に隣接している。なお、図 6 の X 方向および Y 方向は、半導体基板 1 の主面に平行な方向であり、Y 方向は X 方向に交差する方向であり、好ましくは Y 方向は X 方向に直交する方向である。

【 0 0 7 7 】

図 6 の X 方向および Y 方向にアレイ状に配置された複数のメモリセル M C のうち、ドレイン領域である半導体領域 M D を介して図 6 の Y 方向に隣り合う（隣接する）メモリセル M C 同士は、ドレイン領域である半導体領域 M D を共有しており、また、ソース領域である半導体領域 M S を介して図 6 の Y 方向に隣り合う（隣接する）メモリセル M C 同士は、ソース領域である半導体領域 M S を共有している。

【 0 0 7 8 】

コンタクトホール C N T およびそれを埋めるプラグ P G のうち、ソース用の半導体領域 M S に接続するためのコンタクトホール C N T およびそれを埋めるプラグ P G は、メモリセル領域 1 A の端部（外周部）のソースダミー領域 1 F の半導体領域 M S の上部に形成されている。ソース用の半導体領域 M S に接続するためのコンタクトホール C N T およびそれを埋めるプラグ P G は、メモリセル領域 1 A の端部（外周部）のソースダミー領域 1 F に配置しているので、このソースダミー領域 1 F がメモリセルダミー領域となり、結晶欠陥対策となる。このため、ソースダミー領域 1 F には、メモリセル M C を配置しない（メモリセル M C として用いない）ことが好ましい。

【 0 0 7 9 】

また、コンタクトホール C N T およびそれを埋めるプラグ P G のうち、ドレイン用の半導体領域 M D に接続するためのコンタクトホール C N T およびそれを埋める P G は、メモリセル領域 1 A の各メモリセル M C のドレイン用の半導体領域 M D （の上記 n⁺型半導体

10

20

30

40

50

領域 8 b) の上部に形成されている。

【 0 0 8 0 】

図 6 に示されるように、絶縁膜 5 を介して隣接する制御ゲート電極 C G およびメモリゲート電極 M G は、メモリセル領域 1 A に延在するだけでなく、更にメモリゲートシャント領域 1 B にまで延在している。メモリゲートシャント領域 1 B は、制御ゲート電極 C G およびメモリゲート電極 M G を配線 M 1 に引き上げるために用いる領域であり、メモリゲートシャント領域 1 B 全体に素子分離領域 2 が形成されている。従って、メモリゲートシャント領域 1 B においては、上記図 2 にも示されるように、絶縁膜 5 を介して隣接する制御ゲート電極 C G およびメモリゲート電極 M G が、素子分離領域 2 上に延在した状態となっている。

10

【 0 0 8 1 】

メモリセル領域 1 A における制御ゲート電極 C G は、メモリセル M C を構成する制御トランジスタのゲート電極として機能するが、メモリゲートシャント領域 1 B における制御ゲート電極 C G は、素子分離領域 2 上に位置しており、メモリセル M C の制御トランジスタのゲート電極として機能するのではなく、図 6 の X 方向に並ぶ複数のメモリセル M C の制御ゲート電極同士を電氣的に接続する制御ゲート線（選択ゲート線）として機能する。また、メモリセル領域 1 A におけるメモリゲート電極 M G は、メモリセル M C を構成するメモリトランジスタのゲート電極として機能するが、メモリゲートシャント領域 1 B におけるメモリゲート電極 M G は、素子分離領域 2 上に位置しており、メモリセル M C のメモリトランジスタのゲート電極として機能するのではなく、図 6 の X 方向に並ぶ複数のメモリセル M C のメモリゲート電極同士を電氣的に接続するメモリゲート線として機能する。

20

【 0 0 8 2 】

コンタクトホール C N T およびそれを埋めるプラグ P G のうち、制御ゲート電極 C G に接続するためのコンタクトホール C N T およびそれを埋めるプラグ P G は、メモリゲートシャント領域 1 B において、制御ゲート電極 C G のコンタクト部 C G a の上部に形成されている。制御ゲート電極 C G のコンタクト部 C G a は、コンタクトホール C N T の下部において幅（Y 方向の幅）が相対的に広がっている部分（幅広部）であり、制御ゲート電極 C G と一体的に形成されている。制御ゲート電極 C G において相対的に幅が広がっているコンタクト部 C G a 上にコンタクトホール C N T を形成し、コンタクトホール C N T に埋め込んだプラグ P G をコンタクト部 C G a に接続することで、コンタクトホール C N T の目外れを防止し、コンタクトホール C N T の底部で制御ゲート電極 C G を確実に露出させ、プラグ P G を制御ゲート電極 C G に確実に接続（電氣的に接続）することができる。

30

【 0 0 8 3 】

コンタクトホール C N T およびそれを埋めるプラグ P G のうち、メモリゲート電極 M G に接続するためのコンタクトホール C N T 1 およびそれを埋めるプラグ P G 1 は、メモリゲートシャント領域 1 B において、メモリゲート電極 M G のコンタクト部 M G a の上部に形成されている。上述のように、メモリゲート電極 M G のコンタクト部 M G a は、制御ゲート電極 C G 上から制御ゲート電極 C G の側壁を経て素子分離領域 2 上にかけて延在（図 6 の Y 方向に延在）しており、メモリゲート電極 M G と一体的に形成されている。

40

【 0 0 8 4 】

本実施の形態とは異なり、コンタクト部 M G a が無く、サイドウォールスペーサ状のメモリゲート電極 M G 上にコンタクトホール C N T 1 およびそれを埋めるプラグ P G 1 を形成した場合には、制御ゲート電極 C G に重なることなく、サイドウォール状のメモリゲート電極 M G 上に確実にコンタクトホール C N T 1 を形成するのは容易ではない。例えば、コンタクトホールの位置ずれに対するマージンが少ないため、コンタクトホール C N T 1 を埋めるプラグ P G 1 とメモリゲート電極 M G との電氣的接続の信頼性が低下し、半導体装置の製造歩留まりの低下を招く可能性がある。

【 0 0 8 5 】

それに対して、本実施の形態では、コンタクトホール C N T 1 およびそれを埋めるプラ

50

グ P G 1 を、メモリゲート電極 M G のコンタクト部 M G a 上に形成したことで、コンタクトホール C N T 1 の底部でメモリゲート電極 M G の一部であるコンタクト部 M G a を確実に露出させることができ、プラグ P G 1 をメモリゲート電極 M G (のコンタクト部 M G a) に確実に接続 (電氣的に接続) することができる。また、コンタクトホール C N T 1 の底部で制御ゲート電極 C G が露出してしまふのを的確に防止することができ、制御ゲート電極 C G とメモリゲート電極 M G とがプラグ P G 1 によってショートするのを防止することができる。

【 0 0 8 6 】

図 7 は、メモリセル M C の等価回路図である。図 8 は、本実施の形態の「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。図 8 の表には、「書込」、「消去」および「読出」時のそれぞれにおいて、図 1 および図 4 に示されるようなメモリセル (選択メモリセル) のメモリゲート電極 M G に印加する電圧 V_{mg} 、ソース領域 (半導体領域 M S) に印加する電圧 V_s 、制御ゲート電極 C G に印加する電圧 V_{cg} 、ドレイン領域 (半導体領域 M D) に印加する電圧 V_d 、および p 型ウエル P W 1 に印加される電圧 V_b が記載されている。なお、図 8 の表に示したものは電圧の印加条件の好適な一例であり、これに限定されるものではなく、必要に応じて種々変更可能である。また、本実施の形態では、メモリトランジスタの絶縁膜 5 中の電荷蓄積層 (電荷蓄積部) である窒化シリコン膜 5 b への電子の注入を「書込」、ホール (hole : 正孔) の注入を「消去」と定義する。

【 0 0 8 7 】

書込み方式は、いわゆる S S I (Source Side Injection : ソースサイド注入) 方式と呼ばれるホットエレクトロン書込みを用いることができる。例えば図 8 の「書込」の欄に示されるような電圧を、書込みを行う選択メモリセルの各部位に印加し、選択メモリセルの絶縁膜 5 中の窒化シリコン膜 5 b 中に電子 (エレクトロン) を注入する。ホットエレクトロンは、2つのゲート電極 (メモリゲート電極 M G および制御ゲート電極 C G) 間の下のチャネル領域 (ソース、ドレイン間) で発生し、メモリゲート電極 M G の下の絶縁膜 5 中の電荷蓄積層 (電荷蓄積部) である窒化シリコン膜 5 b にホットエレクトロンが注入される。注入されたホットエレクトロン (電子) は、絶縁膜 5 中の窒化シリコン膜 5 b 中のトラップ準位に捕獲され、その結果、メモリトランジスタのしきい値電圧が上昇する。

【 0 0 8 8 】

消去方法は、B T B T (Band-To-Band Tunneling : バンド間トンネル現象) ホットホール注入消去方式を用いることができる。すなわち、B T B T (バンド間トンネル現象) により発生したホール (正孔) を電荷蓄積部 (絶縁膜 5 中の窒化シリコン膜 5 b) に注入することにより消去を行う。例えば図 8 の「消去」の欄に示されるような電圧を、消去を行う選択メモリセルの各部位に印加し、B T B T (Band-To-Band Tunneling) 現象によりホール (正孔) を発生させ電界加速することで選択メモリセルの絶縁膜 5 中の窒化シリコン膜 5 b 中にホールを注入し、それによってメモリトランジスタのしきい値電圧を低下させる。

【 0 0 8 9 】

読出し時には、例えば図 8 の「読出」の欄に示されるような電圧を、読出しを行う選択メモリセルの各部位に印加する。読出し時のメモリゲート電極 M G に印加する電圧 V_{mg} を、書込み状態におけるメモリトランジスタのしきい値電圧と消去状態におけるメモリトランジスタのしきい値電圧との間の値にすることで、書込み状態と消去状態とを判別することができる。

【 0 0 9 0 】

次に、本実施の形態の半導体装置の製造方法について説明する。

【 0 0 9 1 】

図 9 および図 10 は、本実施の形態の半導体装置の製造工程の一部を示すプロセスフロー図である。図 11 ~ 図 97 は、本実施の形態の半導体装置の製造工程中の要部断面図である。このうち、図 11、図 15、図 19、図 23、図 29、図 33、図 37、図 41、

10

20

30

40

50

図45、図49、図53、図57、図61、図65、図69、図73、図77、図81、図85、図89および図93には、メモリセル領域1Aの要部断面図が示されている。また、図12、図16、図20、図24、図30、図34、図38、図42、図46、図50、図54、図58、図62、図66、図70、図74、図78、図82、図86、図90および図94には、メモリゲートシャント領域1Bの要部断面図が示されている。また、図13、図17、図21、図25、図31、図35、図39、図43、図47、図51、図55、図59、図63、図67、図71、図75、図79、図83、図87、図91および図95には、キャパシタ形成領域1Cの要部断面図が示されている。また、図14、図18、図22、図26、図32、図36、図40、図44、図48、図52、図56、図60、図64、図68、図72、図76、図80、図84、図88、図92、図96および図97には、周辺nMIS領域1Dと周辺pMIS領域1Eの要部断面図が示されている。また、図27は、図23の部分拡大断面図であり、図23の一部(メモリセル領域1Aの一部)が拡大して示してある。図28は、図24の部分拡大断面図であり、図24の一部(キャパシタ形成領域1C)が拡大して示してある。なお、周辺nMIS領域1Dは、周辺回路のnチャンネル型MISFETが形成される領域であり、周辺pMIS領域1Eは、周辺回路のpチャンネル型MISFETが形成される領域である。ここで、周辺回路とは、不揮発性メモリ以外の回路であり、例えばCPUなどのプロセッサ、制御回路、センスアンプ、カラムデコーダ、ロウデコーダ、入出力回路などである。メモリセル領域1Aとメモリゲートシャント領域1Bとキャパシタ形成領域1Cと周辺nMIS領域1Dと周辺pMIS領域1Eとは、同じ半導体基板1に形成されている。周辺nMIS領域1Dと周辺pMIS領域1Eとは隣り合っていないくともよいが、理解を簡単にするために、図14等の断面図においては、周辺nMIS領域1Dの隣に周辺pMIS領域1Eを図示している。

【0092】

図11～図14に示されるように、まず、例えば1～10 cm程度の比抵抗を有するp型の単結晶シリコンなどからなる半導体基板(半導体ウエハ)1を用意(準備)する(図9のステップS1)。それから、半導体基板1の主面に、活性領域を規定(画定)する素子分離領域(素子間分離絶縁領域)2を形成する(図9のステップS2)。素子分離領域2は、酸化シリコンなどの絶縁体からなり、例えばSTI(Shallow Trench Isolation)法またはLOCOS(Local Oxidization of Silicon)法などにより形成することができる。例えば、半導体基板1の主面に素子分離用の溝を形成した後、この素子分離用の溝内に、例えば酸化シリコンなどからなる絶縁膜を埋め込むことで、素子分離領域2を形成することができる。メモリゲートシャント領域1Bおよびキャパシタ形成領域1Cでは、半導体基板1の主面全体に素子分離領域2が形成される。

【0093】

次に、半導体基板1のメモリセル領域1Aにp型ウエルPW1を、周辺nMIS領域1Dにp型ウエルPW2を、周辺pMIS領域1Eにn型ウエルNWを、それぞれ形成する(図9のステップS3)。p型ウエルPW1、PW2は、例えばホウ素(B)などのp型の不純物を半導体基板1にイオン注入することなどによって形成することができ、n型ウエルNWは、例えばリン(P)またヒ素(As)などのn型の不純物を半導体基板1にイオン注入することなどによって形成することができる。p型ウエルPW1、PW2およびn型ウエルNWは、半導体基板1の主面から所定の深さにわたって形成される。

【0094】

次に、メモリセル領域1Aに後で形成される制御トランジスタのしきい電圧を調整するために、必要に応じて、メモリセル領域1Aのp型ウエルPW1の表面部(表層部)に対してチャンネルドーピングイオン注入を行う。また、周辺nMIS領域1Dに後で形成されるnチャンネル型MISFETのしきい電圧を調整するために、必要に応じて、周辺nMIS領域1Dのp型ウエルPW2の表面部(表層部)に対してチャンネルドーピングイオン注入を行う。また、周辺pMIS領域1Eに後で形成されるpチャンネル型MISFETのしきい電圧を調整するために、必要に応じて、周辺pMIS領域1Dのn型ウエルNWの表面部(表

層部)に対してチャネルドーピング注入を行う。

【0095】

次に、図15～図18に示されるように、希釈フッ酸洗浄などによって半導体基板1(p型ウエルPW1, PW2およびn型ウエルNW)の表面を清浄化した後、半導体基板1の主面(p型ウエルPW1, PW2およびn型ウエルNWの表面)に、ゲート絶縁膜用の絶縁膜3を形成する(図9のステップS4)。絶縁膜3は、例えば薄い酸化シリコン膜または酸化窒化シリコン膜などにより形成することができる。絶縁膜3の膜厚(形成膜厚)は、例えば2～3nm程度とすることができる。絶縁膜3を熱酸化法により形成した場合には、素子分離領域2上には絶縁膜3は形成されない。

【0096】

次に、半導体基板1の主面(主面全面)上に、すなわちメモリセル領域1A、周辺nMIS領域1Dおよび周辺pMIS領域1Eの絶縁膜3上とメモリゲートシャント領域1Bおよびキャパシタ形成領域1Cの素子分離領域2上とに、制御ゲート電極CG形成用と下部電極LE形成用とを兼ねる導電体膜としてシリコン膜4を形成(堆積)する(図9のステップS5)。

【0097】

シリコン膜4は、多結晶シリコン膜(ポリシリコン膜)からなり、CVD(Chemical Vapor Deposition: 化学的気相成長)法などを用いて形成することができる。シリコン膜4の膜厚(堆積膜厚)は、例えば50～250nm程度とすることができる。成膜時はシリコン膜4をアモルファスシリコン膜として形成してから、その後の熱処理でアモルファスシリコン膜を多結晶シリコン膜とすることもできる。また、シリコン膜4は、成膜時の段階では、ノンドープのシリコン膜とすることができる。

【0098】

次に、半導体基板1の主面上に、すなわちシリコン膜4上に、フォトリソグラフィ法を用いて、マスク層(マスク用のレジストパターン)としてフォトレジストパターンRP1を形成する。フォトレジストパターンRP1は、周辺nMIS領域1D全体と周辺pMIS領域1E全体とを覆い、かつメモリセル領域1A全体とメモリゲートシャント領域1B全体とキャパシタ形成領域1C全体とを露出するように形成される。

【0099】

次に、フォトレジストパターンRP1をイオン注入阻止マスクとして用いて、メモリセル領域1A、メモリゲートシャント領域1Bおよびキャパシタ形成領域1Cのシリコン膜4にn型不純物(例えばヒ素(As)またはリン(P)など)をイオン注入法などによって導入(注入)する(図9のステップS6)。これにより、メモリセル領域1A、メモリゲートシャント領域1Bおよびキャパシタ形成領域1Cのシリコン膜4が、n型不純物が導入されたn型のシリコン膜4となる。ステップS6のイオン注入におけるドーズ量は、例えば $5 \times 10^{15} / \text{cm}^2$ 程度とすることができる。ステップS6のイオン注入におけるドーズ量は、ソースまたはドレイン用の半導体領域を形成するためのイオン注入におけるドーズ量よりも大きく、具体的には、後述のステップS19, S20, S21, S22, S24の各イオン注入におけるドーズ量よりも大きい。一方、ステップS6のイオン注入において、周辺nMIS領域1Dおよび周辺pMIS領域1Eのシリコン膜4は、フォトレジストパターンRP1で覆われていることにより、不純物が導入(注入)されない。このため、シリコン膜4は、メモリセル領域1A、メモリゲートシャント領域1Bおよびキャパシタ形成領域1Cでは、n型不純物が導入されたn型のシリコン膜(n型不純物を導入した多結晶シリコン膜、ドープトポリシリコン膜)となり、周辺nMIS領域1Dおよび周辺pMIS領域1Eでは、ノンドープのシリコン膜(ノンドープポリシリコン膜)となる。その後、フォトレジストパターンRP1は除去される。

【0100】

次に、図19～図22に示されるように、メモリセル領域1A、メモリゲートシャント領域1Bおよびキャパシタ形成領域1Cのシリコン膜4をフォトリソグラフィ技術およびドライエッチング技術を用いてパターニングすることにより、制御ゲート電極CGおよび

10

20

30

40

50

下部電極 L E を形成する（図 9 のステップ S 7）。このステップ S 7 のパターニング工程は、例えば次のようにして行うことができる。

【 0 1 0 1 】

すなわち、シリコン領域 4 上にフォトリソグラフィ法を用いてフォトレジストパターン（ここでは図示しないけれども、制御ゲート電極 C G 形成予定領域と下部電極 L E 形成予定領域と周辺 n M I S 領域 1 D 全体と周辺 p M I S 領域 1 E 全体とにこのフォトレジストパターンが形成される）を形成し、このフォトレジストパターンをエッチングマスクとして用いて、シリコン膜 4 をエッチング（ドライエッチング）してパターニングする。その後、このフォトレジストパターンを除去する。

【 0 1 0 2 】

このようにして、ステップ S 7 でシリコン膜 4 がパターニングされ、図 1 9 および図 2 0 に示されるように、メモリセル領域 1 A およびメモリゲートシャント領域 1 B に、パターニングされたシリコン膜 4 からなる制御ゲート電極 C G が形成され、図 2 1 に示されるように、キャパシタ形成領域 1 C に、パターニングされたシリコン膜 4 からなる下部電極 L E が形成される。制御ゲート電極 C G と下部電極 L E とは、同層のシリコン膜 4 からなるが、互いに分離されている。この際、周辺 n M I S 領域 1 D および周辺 p M I S 領域 1 E では、上述したようにフォトレジストパターンを形成していたため、シリコン膜 4 のパターニングは行われていない。このため、図 2 2 に示されるように、周辺 n M I S 領域 1 D および周辺 p M I S 領域 1 E 全体に、シリコン膜 4 が残存している。また、メモリセル領域 1 A において、制御ゲート電極 C G の下に残存する絶縁膜 3 が、制御トランジスタのゲート絶縁膜となる。従って、シリコン膜 4 からなる制御ゲート電極 C G は、半導体基板 1（p 型ウエル P W 1）上にゲート絶縁膜としての絶縁膜 3 を介して形成された状態となる。なお、メモリゲートシャント領域 1 B においては、制御ゲート電極 C G は素子分離領域 2 上に形成される。

【 0 1 0 3 】

上述のように、ステップ S 6 のイオン注入によってメモリセル領域 1 A、メモリゲートシャント領域 1 B およびキャパシタ形成領域 1 C のシリコン膜 4 に n 型不純物が導入されていたため、ステップ S 7 のパターニング工程によって形成された制御ゲート電極 C G および下部電極 L E は、n 型不純物が導入された n 型のシリコン膜 4（n 型不純物を導入した多結晶シリコン膜、ドーフトポリシリコン膜）からなる。

【 0 1 0 4 】

メモリセル領域 1 A において、制御ゲート電極 C G で覆われた部分以外の絶縁膜 3（すなわちゲート絶縁膜となる部分以外の絶縁膜 3）は、ステップ S 7 のパターニング工程で行うドライエッチングや、あるいはそのドライエッチング後にウェットエッチングを行うことによって除去され得る。

【 0 1 0 5 】

次に、メモリセル領域 1 A に後で形成されるメモリトランジスタのしきい値電圧を調整するために、必要に応じて、メモリセル領域 1 A の p 型ウエル P W 1 の表面部（表層部）に対してチャネルドーピングイオン注入を行う。

【 0 1 0 6 】

次に、洗浄処理を行って、半導体基板 1 の主面を清浄化処理した後、図 2 3 ~ 図 2 8 に示されるように、半導体基板 1 の主面全面に、すなわち、半導体基板 1 の主面（表面）と制御ゲート電極 C G の表面（上面および側面）と下部電極 L E の表面（上面および側面）上に、メモリトランジスタのゲート絶縁膜用と容量素子の容量絶縁膜用とを兼ねる絶縁膜 5 を形成する（図 9 のステップ S 8）。

【 0 1 0 7 】

絶縁膜 5 は、上記のように、内部に電荷蓄積部（電荷蓄積層）を有する絶縁膜であり、絶縁膜として、下から順に形成された酸化シリコン膜 5 a、窒化シリコン膜 5 b および酸化シリコン膜 5 c の積層膜からなるが、図面を見やすくするために、図 2 3 ~ 図 2 6 および後述の図 2 9 ~ 図 9 7 では、酸化シリコン膜 5 a、窒化シリコン膜 5 b および酸化シリ

10

20

30

40

50

コン膜 5 c の積層膜を、単に絶縁膜 5 として図示している。従って、実際には、図 27 および図 28 に示されるように、絶縁膜 5 は、酸化シリコン膜 (酸化膜) 5 a と、酸化シリコン膜 5 a 上の窒化シリコン膜 (窒化膜) 5 b と、窒化シリコン膜 5 b 上の酸化シリコン膜 (酸化膜) 5 c との積層膜からなる。ステップ S 8 において、図 23 ~ 図 28 に示されるように、絶縁膜 5 は、半導体基板 1 (p 型ウエル PW 1 および素子分離領域 2 を含む) の主面 (表面) と制御ゲート電極 CG の表面 (側面および上面) と下部電極 LE の表面 (側面および上面) とシリコン膜 4 の表面 (側面および上面) とに形成される (但し制御ゲート電極 CG の下部と下部電極 LE の下部とシリコン膜 4 の下部とには絶縁膜 5 は形成されない)。また、成膜工程上、素子分離領域 2 上にも絶縁膜 5 が形成されることが一般的であるが、素子分離領域 2 上には絶縁膜 5 が形成されなくともよい。

10

【0108】

絶縁膜 5 のうち、酸化シリコン膜 5 a, 5 c は、例えば酸化処理 (熱酸化処理) または CVD 法あるいはその組み合わせにより形成することができる。この際の酸化処理 (熱酸化処理) には、ISSG (In Situ Steam Generation) 酸化を用いることも可能である。絶縁膜 5 のうち、窒化シリコン膜 5 b は、例えば CVD 法により形成することができる。

【0109】

また、本実施の形態においては、トラップ準位を有する絶縁膜 (電荷蓄積層) として、窒化シリコン膜 5 b を形成しているが、信頼性の面などで窒化シリコン膜が好適であるが、窒化シリコン膜に限定されものではなく、例えば酸化アルミニウム膜 (アルミナ)、酸化ハフニウム膜または酸化タンタル膜など、窒化シリコン膜よりも高い誘電率を有する高誘電率膜を電荷蓄積層 (電荷蓄積部) として使用することもできる。また、シリコンナノドットで電荷蓄積層 (電荷蓄積部) を形成することもできる。

20

【0110】

絶縁膜 5 を形成するには、例えば、まず、半導体基板 1 (p 型ウエル PW 1) の表面上と制御ゲート電極 CG の表面 (側面および上面) 上と下部電極 LE の表面 (側面および上面) 上とシリコン膜 4 の表面 (側面および上面) 上とに酸化シリコン膜 5 a を熱酸化法 (好ましくは ISSG 酸化) により形成する。それから、酸化シリコン膜 5 a 上に窒化シリコン膜 5 b を CVD 法で堆積し、更に窒化シリコン膜 5 b 上に酸化シリコン膜 5 c を CVD 法または熱酸化あるいはその両方で形成する。これにより、酸化シリコン膜 5 a、窒化シリコン膜 5 b および酸化シリコン膜 5 c の積層膜からなる絶縁膜 5 を形成することができる。

30

【0111】

酸化シリコン膜 5 a の厚みは、例えば 2 ~ 10 nm 程度とすることができ、窒化シリコン膜 5 b の厚みは、例えば 5 ~ 15 nm 程度とすることができ、酸化シリコン膜 5 c の厚みは、例えば 2 ~ 10 nm 程度とすることができる。最後の酸化膜 (絶縁膜 5 のうちの最上層の酸化シリコン膜 5 c) は、例えば窒化膜 (絶縁膜 5 のうちの中間層の窒化シリコン膜 5 b) の上層部分を酸化して形成することで、高耐圧膜を形成することもできる。

【0112】

メモリセル領域 1 A に形成された絶縁膜 5 は、後で形成されるメモリゲート電極 MG のゲート絶縁膜として機能し、電荷保持 (電荷蓄積) 機能を有し、また、キャパシタ形成領域 1 C に形成された絶縁膜 5 は、容量素子 CP の容量絶縁膜 (誘電体膜) として機能する。

40

【0113】

従って、絶縁膜 5 は、メモリトランジスタの電荷保持 (電荷蓄積) 機能を有するゲート絶縁膜として機能できるように、少なくとも 3 層の積層構造を有し、外側の層 (酸化シリコン膜 5 a, 5 c) のポテンシャル障壁高さに比べ、内側の層 (窒化シリコン膜 5 b) のポテンシャル障壁高さが低くなる。これは、本実施の形態のように、絶縁膜 5 を、酸化シリコン膜 5 a と、酸化シリコン膜 5 a 上の窒化シリコン膜 5 b と、窒化シリコン膜 5 b 上の酸化シリコン膜 5 c とを有する積層膜とすることで達成できる。

【0114】

50

次に、図 29 ~ 図 32 に示されるように、半導体基板 1 の主面（主面全面）上に、すなわち絶縁膜 5 上に、メモリセル領域 1 A およびメモリゲートシャント領域 1 B においては制御ゲート電極 CG を覆うように、キャパシタ形成領域 1 C においては下部電極 LE を覆うように、周辺 nMIS 領域 1 D および周辺 pMIS 領域 1 E においてはシリコン膜 4 を覆うように、シリコン膜 6 を形成（堆積）する（図 9 のステップ S 9）。

【0115】

シリコン膜 6 は、多結晶シリコン膜からなり、CVD 法などを用いて形成することができる。シリコン膜 6 の膜厚（堆積膜厚）は、例えば 30 ~ 150 nm 程度とすることができる。成膜時はシリコン膜 6 をアモルファスシリコン膜として形成してから、その後の熱処理でアモルファスシリコン膜を多結晶シリコン膜とすることもできる。シリコン膜 6 は、メモリゲート電極 MG 形成用と上部電極 UE 形成用とを兼ねたシリコン膜である。

10

【0116】

ステップ S 9 で形成されたシリコン膜 6 は、好ましくは、ノンドープ（アンドープ）のシリコン膜である。ステップ S 9 で形成されたシリコン膜 6 をノンドープのシリコン膜とする場合には、シリコン膜 6 の成膜時に、シリコン膜 6 には、不純物は意図的には導入（添加、ドープ）しない。このため、ステップ S 9 のシリコン膜 6 の形成（堆積）工程では、好ましくは、シリコン膜 6 の成膜用のガスがドーピングガス（不純物添加用のガス）を含まないようにする。

【0117】

次に、フォトリソグラフィ法を用いて、メモリゲートシャント領域 1 B におけるメモリゲート電極 MG のコンタクト部 MG a 形成予定領域のシリコン膜 6 上と、キャパシタ形成領域 1 C における上部電極 UE 形成予定領域のシリコン膜 6 上とに、マスク層（マスク用のレジストパターン）としてフォトレジストパターン RP 2 をフォトリソグラフィ法を用いて形成する。ここで、図 30 に示されるように、メモリゲートシャント領域 1 B においてメモリゲート電極 MG のコンタクト部 MG a 形成予定領域（すなわちコンタクト部 MG a となるべき部分のシリコン膜 6 上）に形成されたフォトレジストパターン RP 2 を、符号 RP 2 a を付してフォトレジストパターン RP 2 a と称することとする。また、図 31 に示されるように、キャパシタ形成領域 1 C において上部電極 UE 形成予定領域（すなわち上部電極 UE となるべき部分のシリコン膜 6 上）に形成されたフォトレジストパターン RP 2 を、符号 RP 2 b を付してフォトレジストパターン RP 2 b と称することとする。従って、フォトレジストパターン RP 2 a とフォトレジストパターン RP 2 b とは、同工程（すなわち同じフォトリソグラフィ工程）で形成された同層のフォトレジストパターン RP 2 で構成されているが、互いに分離されている。

20

30

【0118】

次に、図 33 ~ 図 36 に示されるように、異方性エッチング技術によりシリコン膜 6 をエッチバック（エッチング、ドライエッチング、異方性エッチング）する（図 9 のステップ S 10）。このステップ S 10 のエッチバック工程では、フォトレジストパターン RP 2 はエッチングマスクとして機能する。その後、フォトレジストパターン RP 2（すなわちフォトレジストパターン RP 2 a, RP 2 b）は除去される。

【0119】

ステップ S 10 のエッチバック工程では、シリコン膜 6 の堆積膜厚の分だけシリコン膜 6 を異方性エッチング（エッチバック）することにより、制御ゲート電極 CG の両方の側壁上に（絶縁膜 5 を介して）シリコン膜 6 をサイドウォールスペーサ状に残し、フォトレジストパターン RP 2 の下にシリコン膜 6 を残し、他の領域のシリコン膜 6 を除去する。これにより、図 33 に示されるように、メモリセル領域 1 A において、制御ゲート電極 CG の両方の側壁のうち、一方の側壁上に絶縁膜 5 を介してサイドウォールスペーサ状に残存したシリコン膜 6 により、メモリゲート電極 MG が形成され、また、他方の側壁上に絶縁膜 5 を介してサイドウォールスペーサ状に残存したシリコン膜 6 により、シリコンスペーサ SP 1 が形成される。メモリゲート電極 MG は、絶縁膜 5 上に、制御ゲート電極 CG と絶縁膜 5 を介して隣り合うように形成され、メモリゲート電極 MG と半導体基板 1（p

40

50

型ウエルPW1)との間およびメモリゲート電極MGと制御ゲート電極CGとの間には絶縁膜5が介在している。

【0120】

シリコンスペーサSP1は、シリコンからなるサイドウォールスペーサとみなすこともできる。メモリゲート電極MGとシリコンスペーサSP1とは、制御ゲート電極CGの互いに反対側となる側壁上に形成されており、制御ゲート電極CGを挟んでほぼ対称な構造を有している。また、図示はしないけれども、周辺nMIS領域1Dおよび周辺pMIS領域1Eに残存させているシリコン膜4の側壁上にも、絶縁膜5を介してシリコンスペーサSP1が形成され得る。

【0121】

また、ステップS10のエッチバック工程では、フォトレジストパターンRP2(すなわちフォトレジストパターンRP2a, RP2b)がエッチングマスクとして機能するため、図35に示されるように、キャパシタ形成領域1Cにおいて、フォトレジストパターンRP2bの下にシリコン膜6がエッチングされずに残存する。フォトレジストパターンRP2bの下でエッチングされずに残存したシリコン膜6により、上部電極UEが形成される。また、図34に示されるように、メモリゲートシャント領域1Bにおいて、フォトレジストパターンRP2aの下にシリコン膜6がエッチングされずに残存する。フォトレジストパターンRP2aの下でエッチングされずに残存したシリコン膜6により、コンタクト部MGaが形成される。ステップS10のエッチバック工程は異方性エッチングであるため、形成されたコンタクト部MGaは、フォトレジストパターンRP2aと同様のパターン形状(平面形状)を有し、また、形成された上部電極UEは、フォトレジストパターンRP2bと同様のパターン形状(平面形状)を有している。

【0122】

ステップS10のエッチバック工程を行った段階で、メモリゲート電極MG(コンタクト部MGaを含む)とシリコンスペーサSP1と上部電極UEとで覆われていない領域の絶縁膜5が露出される。メモリセル領域1Aにおけるメモリゲート電極MGの下の絶縁膜5が、メモリトランジスタのゲート絶縁膜となる。シリコン膜6の堆積膜厚によってメモリゲート長(メモリゲート電極MGのゲート長)が決まるので、上記ステップS9で堆積するシリコン膜6の堆積膜厚を調整することで、メモリゲート長を調整することができる。

【0123】

次に、フォトリソグラフィ技術を用いて、メモリゲート電極MG(コンタクト部MGaを含む)および上部電極UEが覆われかつシリコンスペーサSP1が露出されるようなフォトレジストパターン(図示せず)を半導体基板1上に形成してから、このフォトレジストパターンをエッチングマスクとしたドライエッチングにより、シリコンスペーサSP1を除去する(図9のステップS11)。その後、このフォトレジストパターンを除去する。図37~図40には、この段階が示されている。

【0124】

ステップS11のエッチング工程により、図37および図38に示されるように、シリコンスペーサSP1が除去されるが、メモリゲート電極MG(コンタクト部MGaを含む)および上部電極UEは、フォトレジストパターンで覆われていたので、エッチングされずに残存する。

【0125】

次に、図41~図44に示されるように、絶縁膜5のうち、メモリゲート電極MG(コンタクト部MGaを含む)および上部電極UEで覆われずに露出する部分をエッチング(例えばウェットエッチング)によって除去する(図9のステップS12)。この際、メモリセル領域1Aおよびメモリゲートシャント領域1Bにおいて、メモリゲート電極MGの下とメモリゲート電極MGおよび制御ゲート電極CG間とに位置する絶縁膜5は、除去されずに残存し、キャパシタ形成領域1Cにおいて、上部電極UEの下に位置する絶縁膜5は、除去されずに残存し、他の領域の絶縁膜5は除去される。キャパシタ形成領域1Cに

10

20

30

40

50

において、上部電極 U E の下に残存した絶縁膜 5 が、容量素子 C P の容量絶縁膜 D E となる。

【 0 1 2 6 】

次に、図 4 5 ~ 図 4 8 に示されるように、半導体基板 1 の主面上に、フォトリソグラフィ法を用いて、マスク層（マスク用のレジストパターン）としてフォトレジストパターン R P 3 を形成する（図 9 のステップ S 1 3 ）。

【 0 1 2 7 】

フォトレジストパターン R P 3 は、メモリセル領域 1 A 全体と周辺 p M I S 領域 1 E 全体とを覆い、キャパシタ形成領域 1 C 全体と周辺 n M I S 領域 1 D 全体とを露出するように、形成される。また、フォトレジストパターン R P 3 は、メモリゲートシャント領域 1 B のコンタクト部 M G a を露出するように、形成される。このため、メモリセル領域 1 A のメモリゲート電極 M G および制御ゲート電極 C G はフォトレジストパターン R P 3 で覆われ、メモリゲートシャント領域 1 B のコンタクト部 M G a はフォトレジストパターン R P 3 で覆われずに露出し、キャパシタ形成領域 1 C の上部電極 U E はフォトレジストパターン R P 3 で覆われずに露出した状態となる。また、周辺 n M I S 領域 1 D のシリコン膜 4 は、フォトレジストパターン R P 3 で覆われずに露出し、周辺 p M I S 領域 1 E のシリコン膜 4 は、フォトレジストパターン R P 3 で覆われた状態となる。

10

【 0 1 2 8 】

次に、フォトレジストパターン R P 3 をマスク（イオン注入阻止マスク）として用いて、イオン注入を行う（図 1 0 のステップ S 1 4 ）。ステップ S 1 4 のイオン注入は、n 型の不純物を注入し、そのドーズ量は、例えば $5 \times 10^{15} / \text{cm}^2$ 程度とすることができる。

20

【 0 1 2 9 】

ステップ S 1 4 のイオン注入では、周辺 n M I S 領域 1 D のシリコン膜 4 と、キャパシタ形成領域 1 C の上部電極 U E （を構成するシリコン膜 6 ）と、メモリゲートシャント領域 1 B のコンタクト部 M G a （を構成するシリコン膜 6 ）とに、n 型不純物がイオン注入によって導入（注入）される。なお、ステップ S 1 4 のイオン注入においては、メモリセル領域 1 A のメモリゲート電極 M G （を構成するシリコン膜 6 ）および制御ゲート電極 C G （を構成するシリコン膜 4 ）と、周辺 p M I S 領域 1 E のシリコン膜 4 とは、フォトレジストパターン R P 3 で覆われているため、n 型不純物はイオン注入（導入）されない。このため、ステップ S 1 4 の前は同じ不純物濃度であったものが、ステップ S 1 4 のイオン注入の後には、キャパシタ形成領域 1 C の上部電極 U E （を構成するシリコン膜 6 ）の不純物濃度と、メモリゲートシャント領域 1 B のコンタクト部 M G a （を構成するシリコン膜 6 ）とが、メモリセル領域 1 A のメモリゲート電極 M G （を構成するシリコン膜 6 ）の不純物濃度よりも高くなる。その後、フォトレジストパターン R P 3 は除去される。

30

【 0 1 3 0 】

次に、図 4 9 ~ 図 5 2 に示されるように、半導体基板 1 の主面上に、フォトリソグラフィ法を用いて、マスク層（マスク用のレジストパターン）としてフォトレジストパターン R P 4 を形成する（図 1 0 のステップ S 1 5 ）。フォトレジストパターン R P 4 は、メモリセル領域 1 A 全体と、メモリゲートシャント領域 1 B 全体と、キャパシタ形成領域 1 C 全体と、周辺 n M I S 領域 1 D 全体とを覆い、かつ、周辺 p M I S 領域 1 E を露出するように形成される。

40

【 0 1 3 1 】

次に、フォトレジストパターン R P 4 をマスク（イオン注入阻止マスク）として用いて、周辺 p M I S 領域 1 E のシリコン膜 4 に p 型不純物（例えばホウ素（ B ））をイオン注入によって導入（注入）する（図 1 0 のステップ S 1 6 ）。その後、フォトレジストパターン R P 4 は除去される。なお、ステップ S 1 6 のイオン注入においては、周辺 n M I S 領域 1 D のシリコン膜 4 と、メモリセル領域 1 A の制御ゲート電極 C G およびメモリゲート電極 M G と、メモリゲートシャント領域 1 B の制御ゲート電極 C G およびコンタクト部 M G a と、キャパシタ形成領域 1 C の下部電極 L E および上部電極 U E とは、フォトレジ

50

ストパターンで覆われていたため、p型不純物はイオン注入されない。

【0132】

次に、熱処理を行って、ステップS14, S16のイオン注入で導入された不純物を拡散させる(図10のステップS17)。ステップS17の熱処理は、例えば、700 ~ 1000の熱処理温度で、不活性ガス雰囲気中、より好ましくは窒素雰囲気中で行うことができる。

【0133】

ステップS14, S16のイオン注入でメモリゲートシャント領域1Bのコンタクト部MGa(を構成するシリコン膜6)と、キャパシタ形成領域1Cの上部電極UE(を構成するシリコン膜6)と、周辺nMIS領域1Dおよび周辺pMIS領域1Eのシリコン膜4とに導入(注入)された不純物は、ステップS17の熱処理により活性化されるとともに拡散する。この際、ステップS17の熱処理で、シリコン膜4, 6の厚み全体に不純物が拡散するようにすることが好ましい。

【0134】

すなわち、ステップS14のイオン注入では、イオン注入エネルギーを調整することで不純物イオンの注入深さを制御し、メモリゲートシャント領域1Bのコンタクト部MGaを構成するシリコン膜6と、キャパシタ形成領域1Cの上部電極UEを構成するシリコン膜6と、周辺nMIS領域1Dのシリコン膜4とにおいて、それらシリコン膜4, 6の上層部分にn型不純物を注入(導入)する。また、ステップS16のイオン注入では、イオン注入エネルギーを調整することで不純物イオンの注入深さを制御し、周辺pMIS領域1Eのシリコン膜4において、そのシリコン膜4の上層部分にp型不純物を注入(導入)する。そして、ステップS14, 16のイオン注入でシリコン膜4, 6の上層部分に注入(導入)された不純物をステップS17の熱処理で拡散させることで、シリコン膜4, 6の厚み方向全体に不純物が拡散された状態を得ることができる。

【0135】

ステップS14でイオン注入するn型不純物としては、リン(P)またはヒ素(As)などを用いることができるが、リン(P)を用いることが、より好ましい。これは、ヒ素(As)よりもリン(P)の方が拡散しやすいため、ステップS14でリン(P)をイオン注入した方が、ステップS17の熱処理でシリコン膜4, 6の厚み方向全体に不純物(ここではリン)を拡散させやすいからである。

【0136】

但し、ステップS17の熱処理を行っても、メモリセル領域1Aのメモリゲート電極MG(を構成するシリコン膜6)には、ステップS14, S16で注入した不純物は拡散しない。これは、メモリゲートシャント領域1Bのコンタクト部MGaはメモリセル領域1Aのメモリゲート電極MGと一体的に繋がってはいるが、ある程度の距離離れているため、ステップS14でメモリゲートシャント領域1Bのコンタクト部MGに注入された不純物は、ステップS17の熱処理を行っても、メモリセル領域1Aのメモリゲート電極MGまでは拡散できないためである。すなわち、ステップS14でメモリゲートシャント領域1Bのコンタクト部MGに注入された不純物が、メモリセル領域1Aのメモリゲート電極MGまでは拡散できないが、メモリゲートシャント領域1B、キャパシタ形成領域1C、周辺nMIS領域1D及び周辺pMIS領域1Eでシリコン膜4, 6に注入された不純物がシリコン膜4, 6の厚み方向全体に拡散できるような熱処理条件で、ステップS17の熱処理を行うことが好ましい。

【0137】

ステップS14のイオン注入およびステップS17の熱処理により、メモリゲートシャント領域1Bのコンタクト部MGaを構成するシリコン膜6と、キャパシタ形成領域1Cの上部電極UEを構成するシリコン膜6と、周辺nMIS領域1Dのシリコン膜4とは、n型のシリコン膜(n型不純物が導入された多結晶シリコン膜、n型のドーフトポリシリコン膜)となる。また、ステップS16のイオン注入およびステップS17の熱処理により、周辺pMIS領域1Eのシリコン膜4は、p型のシリコン膜(p型不純物が導入され

10

20

30

40

50

た多結晶シリコン膜、p型のドーフトポリシリコン膜)となる。

【0138】

また、ステップS13, S14を行った後にステップS15, S16を行う場合について説明したが、他の形態として、先にステップS15, S16を行ってから、ステップS13, S14を行うこともできる。

【0139】

次に、図53~図56に示されるように、半導体基板1の主面上に、フォトリソグラフィ法を用いて、マスク層(マスク用のレジストパターン)としてフォトレジストパターンRP5を形成する。フォトレジストパターンRP5は、メモリセル領域1A全体と、メモリゲートシャント領域1B全体と、キャパシタ形成領域1C全体と、周辺nMIS領域1Dおよび周辺pMIS領域1Eのゲート電極GE1, GE2形成予定領域とを覆うように、形成される。周辺nMIS領域1Dおよび周辺pMIS領域1Eにおいて、ゲート電極GE1, GE2形成予定領域以外のシリコン膜4は、フォトレジストパターンRP5で覆われずに露出される。

10

【0140】

次に、フォトレジストパターンRP5をエッチングマスクとして用いて、周辺nMIS領域1Dおよび周辺pMIS領域1Eのシリコン膜4をエッチング(ドライエッチング)してパターニングすることにより、図56に示されるように、ゲート電極GE1, GE2を形成する(図10のステップS18)。その後、フォトレジストパターンRP5を除去する。

20

【0141】

ゲート電極GE1は、パターニングされたシリコン膜4からなり、周辺nMIS領域1Dに形成され、ゲート電極GE2は、パターニングされたシリコン膜4からなり、周辺pMIS領域1Eに形成される。ゲート電極GE1は、nチャネル型MISFET用のゲート電極であり、ゲート電極GE2は、pチャネル型MISFET用のゲート電極である。上述のように、周辺nMIS領域1Dのシリコン膜4は、n型のシリコン膜となっていたため、周辺nMIS領域1Dに形成されたゲート電極GE1(nチャネル型MISFET用のゲート電極GE1)は、n型のシリコン膜(すなわちn型不純物が導入された部分のシリコン膜4)で形成されたものとなる。また、上述のように、周辺pMIS領域1Eのシリコン膜4は、p型のシリコン膜となっていたため、周辺pMIS領域1Eに形成されたゲート電極GE2(pチャネル型MISFET用のゲート電極GE2)は、p型のシリコン膜(すなわちp型不純物が導入された部分のシリコン膜4)で形成されたものとなる。なお、ゲート電極GE1, GE2を形成するために周辺nMIS領域1Dおよび周辺pMIS領域1Eのシリコン膜4をエッチングする際には、メモリセル領域1A、メモリゲートシャント領域1Bおよびキャパシタ形成領域1Cは、フォトレジストパターンRP5で覆われているため、エッチングされない。

30

【0142】

次に、図57~図60に示されるように、半導体基板1の主面上に、フォトリソグラフィ法を用いて、マスク層(マスク用のレジストパターン)としてフォトレジストパターンRP6を形成する。フォトレジストパターンRP6は、メモリゲートシャント領域1B全体と、キャパシタ形成領域1C全体と、周辺nMIS領域1D全体と、周辺pMIS領域1E全体とを覆い、かつ、メモリセル領域1Aのソース部を露出し、メモリセル領域1Aのドレイン部を覆うように、形成される。ここで、メモリセル領域1Aのソース部とは、後でメモリトランジスタのソース領域(半導体領域MS)が形成される領域に対応し、メモリセル領域1Aのドレイン部とは、後でメモリトランジスタのドレイン領域(半導体領域MD)が形成される領域に対応する。

40

【0143】

次に、フォトレジストパターンRP6をマスク(イオン注入阻止マスク)として用いて、イオン注入を行う(図10のステップS19)。ステップS19のイオン注入では、メモリセル領域1Aのソース部の半導体基板1(p型ウエルPW1)にn型不純物がイオン

50

注入によって導入（注入）されることにより、図57に示されるように、 n^- 型半導体領域7aが形成される。この際、メモリセル領域1Aの半導体基板1（ p 型ウエルPW1）において、 n^- 型半導体領域7aは、メモリゲート電極MGの側壁（絶縁膜5を介して制御ゲート電極CGと隣合う側とは反対側の側壁）に自己整合して形成されるが、これは、メモリゲート電極MGがイオン注入阻止マスクとして機能できるためである。 n^- 型半導体領域7aは、メモリセル領域1Aに形成されるメモリセルのソース領域（半導体領域MS）の一部として機能することができる。ステップS19のイオン注入は、 n 型の不純物を注入するが、そのドーズ量は、例えば $5 \times 10^{14} / \text{cm}^2$ 程度とすることができる。

【0144】

なお、ステップS19のイオン注入の際には、メモリゲートシャント領域1B、キャパシタ形成領域1C、周辺nMIS領域1Dおよび周辺pMIS領域1EはフォトレジストパターンRP6で覆われているため、それらの領域の半導体基板1やゲート電極GE1、GE2、下部電極LE、上部電極UE、およびコンタクト部MGaには、不純物はイオン注入されない。また、ステップS19のイオン注入の際には、メモリセル領域1Aのドレイン部もフォトレジストパターンRP6で覆われているため、メモリセル領域1Aのドレイン部の半導体基板1（ p 型ウエルPW1）には不純物はイオン注入されない。ステップS19のイオン注入工程の後、フォトレジストパターンRP6は除去される。

【0145】

フォトレジストパターンRP6は、メモリセル領域1Aのソース部を露出する必要があり、このソース部はメモリゲート電極MGに隣接しているため、メモリセル領域1Aのメモリゲート電極MG（を構成するシリコン膜6）の一部または全部がフォトレジストパターンRP6で覆われずに露出する場合もあり得る。そのような場合には、ステップS19のイオン注入で、メモリセル領域1Aのメモリゲート電極MG（を構成するシリコン膜6）に不純物（ n 型不純物）が導入（注入）されることになる。

【0146】

次に、図61～図64に示されるように、半導体基板1の主面上に、フォトリソグラフィ法を用いて、マスク層（マスク用のレジストパターン）としてフォトレジストパターンRP7を形成する。フォトレジストパターンRP7は、メモリゲートシャント領域1B全体と、キャパシタ形成領域1C全体と、周辺nMIS領域1D全体と、周辺pMIS領域1E全体とを覆い、かつ、メモリセル領域1Aのドレイン部を露出し、メモリセル領域1Aのソース部を覆うように、形成される。

【0147】

次に、フォトレジストパターンRP7をマスク（イオン注入阻止マスク）として用いて、イオン注入を行う（図10のステップS20）。ステップS20のイオン注入では、メモリセル領域1Aのドレイン部の半導体基板1（ p 型ウエルPW1）に n 型不純物がイオン注入によって導入（注入）されることにより、図61に示されるように、 n^- 型半導体領域7bが形成される。この際、メモリセル領域1Aの半導体基板1（ p 型ウエルPW1）において、 n^- 型半導体領域7bは、制御ゲート電極CGの側壁（絶縁膜5を介してメモリゲート電極MGと隣合う側とは反対側の側壁）に自己整合して形成されるが、これは、制御ゲート電極CGがイオン注入阻止マスクとして機能できるためである。 n^- 型半導体領域7bは、メモリセル領域1Aに形成されるメモリセルのドレイン領域（半導体領域MD）の一部として機能することができる。ステップS20のイオン注入は、 n 型の不純物を注入するが、そのドーズ量は、例えば $5 \times 10^{14} / \text{cm}^2$ 程度とすることができる。

【0148】

なお、ステップS20のイオン注入の際には、メモリゲートシャント領域1B、キャパシタ形成領域1C、周辺nMIS領域1Dおよび周辺pMIS領域1EはフォトレジストパターンRP7で覆われているため、それらの領域の半導体基板1やゲート電極GE1、GE2、下部電極LE、上部電極UE、およびコンタクト部MGaには、不純物はイオン注入されない。また、ステップS20のイオン注入の際には、メモリセル領域1Aのソー

10

20

30

40

50

ス部もフォトレジストパターン R P 7 で覆われているため、メモリセル領域 1 A のソース部の半導体基板 1 (p 型ウエル P W 1) には不純物はイオン注入されない。ステップ S 2 0 のイオン注入工程の後、フォトレジストパターン R P 7 は除去される。

【 0 1 4 9 】

フォトレジストパターン R P 6 は、メモリセル領域 1 A のドレイン部を露出する必要があり、このドレイン部は制御ゲート電極 C G に隣接しているため、メモリセル領域 1 A の制御ゲート電極 C G (を構成するシリコン膜 4) の一部または全部がフォトレジストパターン R P 7 で覆われずに露出する場合もあり得る。しかしながら、そのような場合でも、メモリセル領域 1 A のメモリゲート電極 M G (を構成するシリコン膜 6) がフォトレジストパターン R P 6 で覆われた状態とする (すなわちフォトレジストパターン R P 6 の開口部端部がメモリゲート電極 M G の直上ではなく制御ゲート電極 C G の直上に位置するようにする) ことが好ましい。そうすることで、ステップ S 1 9 イオン注入で、メモリセル領域 1 A のメモリゲート電極 M G (を構成するシリコン膜 6) に不純物 (n 型不純物) が導入 (注入) されることを防止することができる。

10

【 0 1 5 0 】

また、n⁻型半導体領域 7 a と n⁻型半導体領域 7 b とを異なるイオン注入工程 (ステップ S 1 9 のイオン注入工程およびステップ S 2 0 のイオン注入工程) で形成する場合について説明したが、他の形態として、n⁻型半導体領域 7 a と n⁻型半導体領域 7 b とを、同じイオン注入工程で形成することもできる。n⁻型半導体領域 7 a と n⁻型半導体領域 7 b とを、同じイオン注入工程で形成する場合には、フォトレジストパターン R P 6 がメモリセル領域 1 A においてソース部だけでなくドレイン部も露出する (より具体的にはメモリセル領域 1 A 全体を露出する) ようにし、ステップ S 1 9 のイオン注入で、n⁻型半導体領域 7 a と n⁻型半導体領域 7 b とを形成すればよい。この場合、フォトレジストパターン R P 7 の形成工程とステップ S 2 0 のイオン注入工程とを省略できるため、製造工程数を低減できるという効果を得ることができる。

20

【 0 1 5 1 】

一方、上述した工程のように n⁻型半導体領域 7 a と n⁻型半導体領域 7 b とを異なるイオン注入工程 (ステップ S 1 9 のイオン注入工程およびステップ S 2 0 のイオン注入工程) で形成した場合には、n⁻型半導体領域 7 a を形成するためのイオン注入 (ステップ S 1 9 のイオン注入) の条件と、n⁻型半導体領域 7 b を形成するためのイオン注入 (ステップ S 2 0 のイオン注入) の条件とを、異ならせることができる。このため、n⁻型半導体領域 7 a に相応しいイオン注入条件で、n⁻型半導体領域 7 a を形成することができ、n⁻型半導体領域 7 b に相応しいイオン注入条件で、n⁻型半導体領域 7 b を形成することができる。例えば、パンチスルーストップパ (p 型ハロー領域) を設けることが望ましいドレイン部の n⁻型半導体領域 7 b を形成する際のイオン注入 (ステップ S 2 0 のイオン注入) では、n 型不純物とともに p 型不純物 (例えばホウ素 (B)) もイオン注入することができる。一方、パンチスルーストップパ (p 型ハロー領域) を設けなくともよいソース部の n⁻型半導体領域 7 a を形成する際のイオン注入 (ステップ S 2 0 のイオン注入) では、n 型不純物のみ (p 型不純物はイオン注入しない) をイオン注入することができる。また、ドレイン部の n⁻型半導体領域 7 b の深さ (接合深さ) を、ソース部の n⁻型半導体領域 7 a の深さ (接合深さ) よりも深くすることができる。また、ドレイン部の n⁻型半導体領域 7 b の不純物濃度 (n 型不純物濃度) を、ソース部の n⁻型半導体領域 7 a の不純物濃度 (n 型不純物濃度) よりも低く (小さく) することも可能となる。

30

40

【 0 1 5 2 】

次に、図 6 5 ~ 図 6 8 に示されるように、半導体基板 1 の主面上に、フォトリソグラフィ法を用いて、マスク層 (マスク用のレジストパターン) としてフォトレジストパターン R P 8 を形成する。フォトレジストパターン R P 8 は、メモリセル領域 1 A 全体と、メモリゲートシャント領域 1 B 全体と、キャパシタ形成領域 1 C 全体と、周辺 p M I S 領域 1 E とを覆い、周辺 n M I S 領域 1 D を露出するように、形成される。

【 0 1 5 3 】

50

次に、フォトリソパターン R P 8 をマスク（イオン注入阻止マスク）として用いて、イオン注入を行う（図 10 のステップ S 2 1）。ステップ S 2 1 のイオン注入では、周辺 n M I S 領域 1 D の半導体基板 1（p 型ウエル P W 2）に n 型不純物（例えばヒ素（A s）またはリン（P））がイオン注入によって導入（注入）されることにより、図 6 8 に示されるように、n⁻型半導体領域 7 c が形成される。この際、周辺 n M I S 領域 1 D の半導体基板 1（p 型ウエル P W 2）において、n⁻型半導体領域 7 c は、ゲート電極 G E 1 の側壁に自己整合して形成されるが、これは、ゲート電極 G E 1 がイオン注入阻止マスクとして機能できるためである。n⁻型半導体領域 7 c は、周辺 n M I S 領域 1 D に形成される n チャネル型 M I S F E T のソース・ドレイン領域の一部として機能することができる。

10

【0154】

なお、ステップ S 2 1 のイオン注入の際には、メモリセル領域 1 A、メモリゲートシャント領域 1 B、キャパシタ形成領域 1 C および周辺 p M I S 領域 1 E はフォトリソパターン R P 8 で覆われているため、それらの領域の半導体基板 1 や制御ゲート電極 C G、メモリゲート電極 M G、コンタクト部 M G a、下部電極 L E、上部電極 U E およびゲート電極 G E 2 には、不純物はイオン注入されない。ステップ S 2 1 のイオン注入工程の後、フォトリソパターン R P 8 は除去される。

【0155】

次に、図 6 9 ~ 図 7 2 に示されるように、半導体基板 1 の主面上に、フォトリソグラフィ法を用いて、マスク層（マスク用のレジストパターン）としてフォトリソパターン R P 9 を形成する。フォトリソパターン R P 9 は、メモリセル領域 1 A 全体と、メモリゲートシャント領域 1 B 全体と、キャパシタ形成領域 1 C 全体と、周辺 n M I S 領域 1 D とを覆い、周辺 p M I S 領域 1 E を露出するように、形成される。

20

【0156】

次に、フォトリソパターン R P 9 をマスク（イオン注入阻止マスク）として用いて、イオン注入を行う（図 10 のステップ S 2 2）。ステップ S 2 2 のイオン注入では、周辺 p M I S 領域 1 E の半導体基板 1（n 型ウエル N W）に p 型不純物（例えばホウ素（B））がイオン注入によって導入（注入）されることにより、図 7 2 に示されるように、p⁻型半導体領域 7 d が形成される。この際、周辺 p M I S 領域 1 E の半導体基板 1（n 型ウエル N W）において、p⁻型半導体領域 7 d は、ゲート電極 G E 2 の側壁に自己整合して形成されるが、これは、ゲート電極 G E 2 がイオン注入阻止マスクとして機能できるためである。p⁻型半導体領域 7 d は、周辺 p M I S 領域 1 E に形成される p チャネル型 M I S F E T のソース・ドレイン領域の一部として機能することができる。

30

【0157】

なお、ステップ S 2 2 のイオン注入の際には、メモリセル領域 1 A、メモリゲートシャント領域 1 B、キャパシタ形成領域 1 C および周辺 n M I S 領域 1 D はフォトリソパターン R P 9 で覆われているため、それらの領域の半導体基板 1 や制御ゲート電極 C G、メモリゲート電極 M G、コンタクト部 M G a、下部電極 L E、上部電極 U E およびゲート電極 G E 1 には、不純物はイオン注入されない。ステップ S 2 2 のイオン注入工程の後、フォトリソパターン R P 9 は除去される。

40

【0158】

次に、図 7 3 ~ 図 7 6 に示されるように、制御ゲート電極 C G およびメモリゲート電極 M G の側壁（絶縁膜 5 を介して互いに隣合う側とは反対側の側壁）上と、ゲート電極 G E 1、G E 2 の側壁上とに、例えば酸化シリコンなどの絶縁体からなる側壁絶縁膜（サイドウォール、サイドウォールスペーサ）S W を形成する（図 10 のステップ S 2 3）。例えば、半導体基板 1 の主面全面上に酸化シリコン膜などの絶縁膜を堆積し、この絶縁膜を異方性エッチング（エッチバック）することによって、制御ゲート電極 C G およびメモリゲート電極 M G の側壁（絶縁膜 5 を介して互いに隣合う側とは反対側の側壁）上とゲート電極 G E 1、G E 2 の側壁上とに選択的にこの絶縁膜を残して、側壁絶縁膜 S W を形成することができる。図 7 5 に示されるように、側壁絶縁膜 S W は、上部電極 U E の側壁（側面

50

）上にも形成され得る。また、図示はしないけれども、下部電極 L E において、上部電極 U E で覆われていない側壁があれば、その側壁上にも側壁絶縁膜 S W が形成され得る。

【 0 1 5 9 】

次に、図 7 7 ~ 図 8 0 に示されるように、半導体基板 1 の主面上に、フォトリソグラフィ法を用いて、マスク層（マスク用のレジストパターン）としてフォトレジストパターン R P 1 0 を形成する。フォトレジストパターン R P 1 0 は、メモリゲートシャント領域 1 B 全体と、キャパシタ形成領域 1 C 全体と、周辺 p M I S 領域 1 E とを覆い、メモリセル領域 1 A と周辺 n M I S 領域 1 D とを露出するように、形成される。

【 0 1 6 0 】

次に、フォトレジストパターン R P 1 0 をマスク（イオン注入阻止マスク）として用いて、イオン注入を行う（図 1 0 のステップ S 2 4）。ステップ S 2 4 では、n 型不純物（例えばヒ素（A s）またはリン（P））をイオン注入する。ステップ S 2 4 のイオン注入におけるドーズ量は、例えば $1 \times 10^{15} / \text{cm}^2$ 程度とすることができる。

【 0 1 6 1 】

ステップ S 2 4 のイオン注入では、メモリセル領域 1 A のソース部およびドレイン部の半導体基板 1（p 型ウエル P W 1）に n 型不純物がイオン注入によって導入（注入）されることにより、高不純物濃度の n⁺ 型半導体領域（不純物拡散層）8 a, 8 b が形成される。また、ステップ S 2 4 のイオン注入では、周辺 n M I S 領域 1 D の半導体基板 1（p 型ウエル P W 2）に n 型不純物がイオン注入によって導入（注入）されることにより、高不純物濃度の n⁺ 型半導体領域（不純物拡散層）8 c が形成される。なお、n⁺ 型半導体領域 8 a は、メモリセル領域 1 A のソース部の半導体基板 1（p 型ウエル P W 1）に形成され、n⁺ 型半導体領域 8 b は、メモリセル領域 1 A のドレイン部の半導体基板 1（p 型ウエル P W 1）に形成される。この際、メモリセル領域 1 A の半導体基板 1（p 型ウエル P W 1）において、n⁺ 型半導体領域 8 a は、メモリゲート電極 M G の側壁（絶縁膜 5 を介して制御ゲート電極 C G と隣合う側とは反対側の側壁）上の側壁絶縁膜 S W に自己整合して形成され、n⁺ 型半導体領域 8 b は、制御ゲート電極 C G の側壁（絶縁膜 5 を介してメモリゲート電極 M G と隣合う側とは反対側の側壁）上の側壁絶縁膜 S W に自己整合して形成される。これは、ステップ S 2 4 のイオン注入において、制御ゲート電極 C G およびメモリゲート電極 M G とその側壁上の側壁絶縁膜 S W とが、イオン注入阻止マスクとして機能できるためである。また、周辺 n M I S 領域 1 D の半導体基板 1（p 型ウエル P W 2）において、n⁺ 型半導体領域 8 c は、ゲート電極 G E 1 の側壁上の側壁絶縁膜 S W に自己整合して形成されるが、これは、ゲート電極 G E 1 とその側壁上の側壁絶縁膜 S W とがイオン注入阻止マスクとして機能できるためである。

【 0 1 6 2 】

なお、ステップ S 2 4 のイオン注入の際には、メモリゲートシャント領域 1 B、キャパシタ形成領域 1 C および周辺 p M I S 領域 1 E はフォトレジストパターン R P 1 0 で覆われているため、それらの領域の半導体基板 1 やゲート電極 G E 2、下部電極 L E、上部電極 U E、およびコンタクト部 M G a には、不純物はイオン注入されない。ステップ S 2 4 のイオン注入工程の後、フォトレジストパターン R P 1 0 は除去される。

【 0 1 6 3 】

次に、図 8 1 ~ 図 8 4 に示されるように、半導体基板 1 の主面上に、フォトリソグラフィ法を用いて、マスク層（マスク用のレジストパターン）としてフォトレジストパターン R P 1 1 を形成する。フォトレジストパターン R P 1 1 は、メモリセル領域 1 A 全体と、メモリゲートシャント領域 1 B 全体と、キャパシタ形成領域 1 C 全体と、周辺 n M I S 領域 1 D 全体とを覆い、周辺 p M I S 領域 1 E を露出するように、形成される。

【 0 1 6 4 】

次に、フォトレジストパターン R P 1 1 をマスク（イオン注入阻止マスク）として用いて、イオン注入を行う（図 1 0 のステップ S 2 5）。ステップ S 2 5 では、p 型不純物（例えばホウ素（B））をイオン注入する。ステップ S 2 5 のイオン注入では、周辺 p M I S 領域 1 E の半導体基板 1（n 型ウエル N W）に p 型不純物がイオン注入によって導入（

10

20

30

40

50

注入)されることにより、高不純物濃度の p^+ 型半導体領域(不純物拡散層)8dが形成される。この際、周辺 p MIS領域1Eの半導体基板1(n 型ウエルNW)において、 p^+ 型半導体領域8dは、ゲート電極GE2の側壁上の側壁絶縁膜SWに自己整合して形成されるが、これは、ゲート電極GE2とその側壁上の側壁絶縁膜SWとがイオン注入阻止マスクとして機能できるためである。

【0165】

なお、ステップS25のイオン注入の際には、メモリセル領域1A、メモリゲートシャント領域1B、キャパシタ形成領域1Cおよび周辺 n MIS領域1DはフォトレジストパターンRP11で覆われているため、それらの領域の半導体基板1や制御ゲート電極CG、メモリゲート電極MG、ゲート電極GE1、下部電極LE、上部電極UE、およびコンタクト部Mgaには、不純物はイオン注入されない。ステップS25のイオン注入工程の後、フォトレジストパターンRP11は除去される。

10

【0166】

また、 n^+ 型半導体領域8aと n^+ 型半導体領域8bと n^+ 型半導体領域8cとを同じイオン注入工程(ステップS24のイオン注入工程)で形成する場合について説明したが、他の形態として、 n^+ 型半導体領域8aと n^+ 型半導体領域8bと n^+ 型半導体領域8cとを異なるイオン注入工程で形成することもできる。

【0167】

メモリセル領域1Aにおいて、 n^- 型半導体領域7aとそれよりも高不純物濃度の n^+ 型半導体領域8aとにより、メモリトランジスタのソース領域として機能する(LDD構造の) n 型の半導体領域MSが形成され、 n^- 型半導体領域7bとそれよりも高不純物濃度の n^+ 型半導体領域8bとにより、制御トランジスタ(選択トランジスタ)のドレイン領域として機能する(LDD構造の) n 型の半導体領域MDが形成される。また、周辺 n MIS領域1Dにおいて、 n^- 型半導体領域7cとそれよりも高不純物濃度の n^+ 型半導体領域8cとにより、 n チャネル型MISFETのLDD構造のソース・ドレイン領域が形成され、周辺 p MIS領域1Eにおいて、 p^- 型半導体領域7dとそれよりも高不純物濃度の p^+ 型半導体領域8dとにより、 p チャネル型MISFETのLDD構造のソース・ドレイン領域が形成される。

20

【0168】

次に、ソースおよびドレイン用の半導体領域(n^- 型半導体領域7a, 7b, 7c、 p^- 型半導体領域7d、 n^+ 型半導体領域8a, 8b, 8cおよび p^+ 型半導体領域8d)に導入された不純物を活性化するための熱処理である活性化アニールを行う(図10のステップS26)。

30

【0169】

このようにして、メモリセル領域1Aに不揮発性メモリのメモリセルMCが形成され、キャパシタ形成領域1Cに容量素子CPが形成され、周辺 n MIS領域1Dに n チャネル型MISFETQnが形成され、周辺 p MIS領域1Eに p チャネル型MISFETQpが形成される。

【0170】

この段階で、キャパシタ形成領域1Cの上部電極UE(を構成するシリコン膜6)の不純物濃度と、メモリゲートシャント領域1Bのコンタクト部Mga(を構成するシリコン膜6)とは、メモリセル領域1Aのメモリゲート電極MG(を構成するシリコン膜6)の不純物濃度よりも高くなっており、この不純物濃度の大小関係は、製造された半導体装置においても維持される。

40

【0171】

次に、金属シリサイド層11を形成するシリサイド(Salicide: Self Aligned Silicide)プロセスを行う。まず、必要に応じてエッチング(例えば希フッ酸などを用いたウェットエッチング)を行う。これにより、 n^+ 型半導体領域8a, 8b, 8cおよび p^+ 型半導体領域8dの上面(表面)と制御ゲート電極CGの上面とメモリゲート電極MGの上面(側壁絶縁膜SWで覆われていない部分)と上部電極UEの上面(側壁絶縁膜SWで覆

50

われていない部分)と下部電極LEの上面(容量絶縁膜DEおよび上部電極UEで覆われていない部分)とを清浄化(露出)させる。このときのエッチングは、自然酸化膜を除去する程度の軽いエッチングとすることができる。

【0172】

それから、図85~図88に示されるように、制御ゲート電極CG、メモリゲート電極MG、ゲート電極GE1、GE2、上部電極UE、 n^+ 型半導体領域8a、8b、8cおよび p^+ 型半導体領域8dの上面(表面)上を含む半導体基板1の主面全面上に、制御ゲート電極CG、メモリゲート電極MG、ゲート電極GE1、GE2、上部電極UEおよび側壁絶縁膜SWを覆うように、金属膜10を形成(堆積)する。この金属膜10は、例えばコバルト(Co)膜またはニッケル(Ni)膜などからなり、スパッタリング法などを用いて形成することができる。

10

【0173】

それから、半導体基板1に対して熱処理を施すことによって、制御ゲート電極CG、メモリゲート電極MG、ゲート電極GE1、GE2、上部電極UE、 n^+ 型半導体領域8a、8b、8cおよび p^+ 型半導体領域8dの上層部分(表層部分)を金属膜10と反応させる。これにより、制御ゲート電極CG、メモリゲート電極MG、ゲート電極GE1、GE2、上部電極UE、 n^+ 型半導体領域8a、8b、8cおよび p^+ 型半導体領域8dの上部(上面、表面、上層部)に、シリコンと金属の反応層である金属シリサイド層11がそれぞれ形成される。金属シリサイド層11は、例えばコバルトシリサイド層(金属膜10がコバルト膜の場合)またはニッケルシリサイド層(金属膜10がニッケル膜の場合)とすることができる。その後、未反応の金属膜10を除去する。図89~図92にはこの段階の断面図が示されている。また、図91の断面図では示されないが、下部電極LEの上面のうち、上部電極UEおよび容量絶縁膜DEの積層パターンで覆われていない領域には、金属シリサイド層11が形成され得る。

20

【0174】

このようにして、図89~図92に示されるように、制御ゲート電極CG、メモリゲート電極MG、ゲート電極GE1、GE2、 n^+ 型半導体領域8a、8b、8c、 p^+ 型半導体領域8d、および上部電極UEの上部(上面、表面、上層部)に、それぞれ金属シリサイド層(金属シリサイド膜)11が形成される。金属シリサイド層11を形成したことにより、拡散抵抗やコンタクト抵抗などを低抵抗化することができる。

30

【0175】

次に、図93~図96に示されるように、半導体基板1の主面全面上に、制御ゲート電極CG、メモリゲート電極MG、ゲート電極GE1、GE2、下部電極LE、上部電極UEおよび側壁絶縁膜SWを覆うように、層間絶縁膜として絶縁膜(層間絶縁膜)12を形成(堆積)する。絶縁膜12は、酸化シリコン膜の単体膜、あるいは、窒化シリコン膜と該窒化シリコン膜上に該窒化シリコン膜よりも厚く形成された酸化シリコン膜との積層膜などからなり、例えばCVD法などを用いて形成することができる。絶縁膜12の形成後、必要に応じてCMP(Chemical Mechanical Polishing)法などを用いて絶縁膜12の上面を平坦化する。

40

【0176】

次に、フォトリソグラフィ法を用いて絶縁膜12上に形成したフォトレジストパターン(図示せず)をエッチングマスクとして、絶縁膜12をドライエッチングすることにより、絶縁膜12にコンタクトホール(開口部、貫通孔)CNTを形成する。

【0177】

次に、コンタクトホールCNT内に、導電体部(接続用導電体部)として、タンゲステン(W)などからなる導電性のプラグPGを形成する。

【0178】

プラグPGを形成するには、例えば、コンタクトホールCNTの内部(底部および側壁上)を含む絶縁膜12上に、バリア導電膜を形成する。このバリア導電膜は、例えば、チタン膜、窒化チタン膜、あるいはそれらの積層膜とすることができる。それから、このバ

50

リア導体膜上にタンゲステン膜などからなる主導体膜をコンタクトホールCNTを埋めるように形成し、絶縁膜12上の不要な主導体膜およびバリア導体膜をCMP法またはエッチバック法などによって除去することにより、プラグPGを形成することができる。なお、図面の簡略化のために、図93～図96では、プラグPGを構成するバリア導体膜および主導体膜を一体化して示してある。

【0179】

コンタクトホールCNTおよびそれに埋め込まれたプラグPGは、 n^+ 型半導体領域8a, 8b, 8c、 p^+ 型半導体領域8d、制御ゲート電極CG、メモリゲート電極MG、下部電極LEおよび上部電極UEの上部などに形成される。コンタクトホールCNTの底部では、半導体基板1の主面の一部が露出される。例えば、 n^+ 型半導体領域8a, 8b, 8cや p^+ 型半導体領域8d(の表面上の金属シリサイド層11)の一部、制御ゲート電極CGやメモリゲート電極MG(の表面上の金属シリサイド層11)の一部、ゲート電極GE1, GE2(の表面上の金属シリサイド層11)の一部、下部電極LEや上部電極UE(の表面上の金属シリサイド層11)の一部などが露出される。

10

【0180】

なお、図93においては、 n^+ 型半導体領域8b(の表面上の金属シリサイド層11)の一部が、コンタクトホールCNTの底部で露出して、そのコンタクトホールCNTを埋めるプラグPGと電氣的に接続された断面が示されている。また、図94においては、メモリゲート電極MGのコンタクト部Mga(の表面上の金属シリサイド層11)が、コンタクトホールCNTの底部で露出して、そのコンタクトホールCNTを埋めるプラグPGと電氣的に接続された断面が示されている。また、図95においては、上部電極UE(の表面上の金属シリサイド層11)の一部が、コンタクトホールCNTの底部で露出して、そのコンタクトホールCNTを埋めるプラグPGと電氣的に接続された断面が示されている。また、図96においては、 n^+ 型半導体領域8c(の表面上の金属シリサイド層11)の一部が、コンタクトホールCNTの底部で露出して、そのコンタクトホールCNTを埋めるプラグPGと電氣的に接続され、また、 p^+ 型半導体領域8d(の表面上の金属シリサイド層11)の一部が、コンタクトホールCNTの底部で露出して、そのコンタクトホールCNTを埋めるプラグPGと電氣的に接続された断面が示されている。

20

【0181】

次に、上記図1～図3および図97に示されるように、プラグPGが埋め込まれた絶縁膜12上に配線(配線層)M1を形成する。この配線M1を、ダマシン技術(ここではシングルダマシン技術)を用いて形成する場合について説明する。

30

【0182】

まず、プラグPGが埋め込まれた絶縁膜12上に絶縁膜(層間絶縁膜)14を形成してから、この絶縁膜14に、フォトリソグラフィ技術およびドライエッチング技術を用いて配線溝(絶縁膜14において配線M1が埋め込まれる溝)を形成する。それから、半導体基板1の主面上(すなわち配線溝の底部および側壁を含む絶縁膜14上)にバリア導体膜(例えば窒化チタン膜、タンタル膜または窒化タンタル膜など)を形成し、続いて、CVD法またはスパッタリング法などによりバリア導体膜上に銅のシード層を形成し、さらに電解めっき法などを用いてシード層上に銅めっき膜を形成し、銅めっき膜により配線溝の内部を埋め込む。その後、配線溝内以外の領域の銅めっき膜、シード層およびバリアメタル膜をCMP法により除去して、銅を主導電材料とする第1層目の配線M1を形成する。配線M1は、絶縁膜14の配線溝に埋め込まれた状態となっている。なお、図面の簡略化のために、上記図1～図3および図97では、配線M1を構成する銅めっき膜、シード層およびバリア導体膜を一体化して示してある。

40

【0183】

配線M1は、プラグPGを介して、メモリトランジスタのソース領域(半導体領域MS)、制御トランジスタのドレイン領域(半導体領域MD)、制御ゲート電極CG、メモリゲート電極MG(のコンタクト部Mga)、上部電極UE、下部電極LE、ゲート電極GE1, GE2、 n チャネル型MISFET Q_n や p チャネル型MISFETのソース・ド

50

レイン領域などと電氣的に接続される。

【0184】

その後、デュアルダマシン法などにより2層目以降の配線を形成するが、ここでは図示およびその説明は省略する。また、配線M1およびそれよりも上層の配線は、ダマシン配線(埋込配線)に限定されず、配線用の導電体膜をパターンングして形成することもでき、例えばタングステン配線またはアルミニウム配線などとすることもできる。

【0185】

次に、本実施の形態の主要な特徴と効果について、より詳細に説明する。

【0186】

本実施の形態では、同じ半導体基板1に不揮発性メモリ(のメモリセルMC)と容量素子CPとが形成(混載)されている。この容量素子CPの下部電極LEは、制御ゲート電極CGと同層のシリコン膜4により形成され、容量素子CPの容量絶縁膜DEは、メモリトランジスタのメモリゲート絶縁膜(メモリセル領域1Aの絶縁膜5)と同層の絶縁膜5により形成され、容量素子CPの上部電極UEは、メモリゲート電極MGと同層のシリコン膜6により形成されている。これにより、不揮発性メモリ(のメモリセルMC)と容量素子CPとが混載された半導体装置を、容易かつ的確に製造することができ、製造工程の簡略化や製造工程数の低減を図ることができる。

【0187】

このように、本実施の形態では、メモリゲート電極MGとコンタクト部MGaと上部電極UEとは、同層のシリコン膜6により形成されているが、不純物濃度は同じではない。具体的には、キャパシタ形成領域1Cの上部電極UE(を構成するシリコン膜6)の不純物濃度が、メモリセル領域1Aのメモリゲート電極MG(を構成するシリコン膜6)の不純物濃度よりも高くなっている。また、コンタクト部MGa(を構成するシリコン膜6)の不純物濃度が、メモリセル領域1Aのメモリゲート電極MG(を構成するシリコン膜6)の不純物濃度よりも高くなっている。これを別の表現で言うと、メモリセル領域1Aのメモリゲート電極MG(を構成するシリコン膜6)の不純物濃度は、キャパシタ形成領域1Cの上部電極UE(を構成するシリコン膜6)の不純物濃度よりも低くなっており、また、メモリセル領域1Aのメモリゲート電極MG(を構成するシリコン膜6)の不純物濃度は、コンタクト部MGa(を構成するシリコン膜6)の不純物濃度よりも低くなっている。このような不純物濃度の差を反映して、キャパシタ形成領域1Cの上部電極UE(を構成するシリコン膜6)の抵抗率は、メモリセル領域1Aのメモリゲート電極MG(を構成するシリコン膜6)の抵抗率よりも低くなっており、また、コンタクト部MGa(を構成するシリコン膜6)の抵抗率は、メモリセル領域1Aのメモリゲート電極MG(を構成するシリコン膜6)の抵抗率よりも低くなっている。

【0188】

つまり、メモリゲート電極MGを構成するシリコン膜6は、低不純物濃度またはノンドープのシリコン膜とすることが好ましく、上部電極UEを構成するシリコン膜6とコンタクト部MGaを構成するシリコン膜6とは、高不純物濃度のシリコン膜とすることが好ましいのである。

【0189】

このようにする理由について以下に説明する。

【0190】

メモリセル領域1Aにおいては、メモリ素子の特性の観点から、メモリゲート電極MGを構成するシリコン膜6の不純物濃度は、低くすることが望ましい。これは、メモリゲート電極MGの不純物濃度が少ない方が、絶縁膜5に隣接するメモリゲート電極MGの空乏化により、電荷保持時の絶縁膜5近傍のメモリゲート電極MGにおける電界が緩和され、それによって、電荷蓄積層(窒化シリコン膜5bに対応)からメモリゲート電極MGに電荷が移動しにくくなり、データが反転する現象を抑制できるため、データ保持(データリテンション)特性の面で有利だからである。

【0191】

このため、メモリセルMCのメモリゲート電極MGを構成するシリコン膜6を、ノンドープまたは低不純物濃度のシリコン膜とすることで、不揮発性メモリのデータ保持特性を向上することができる。

【0192】

一方、キャパシタ形成領域1Cにおいては、容量素子の電極は低抵抗であることが好ましいため、容量素子CPの上部電極UEを構成するシリコン膜6は、不純物濃度を高くして低抵抗率にすることが望ましい。また、容量素子CPの上部電極UEが低不純物濃度またはノンドープであると、上部電極UEの容量絶縁膜DEに隣接する領域が空乏化してしまい、この空乏化により容量素子CPの容量が低下する（容量値の電圧依存性が大きくなる）虞があるため、この観点でも、容量素子CPの上部電極UEを構成するシリコン膜6は、不純物濃度を高くすることが望ましい。

10

【0193】

このため、容量素子CPの上部電極UEを構成するシリコン膜6を、高不純物濃度のシリコン膜とすることで、容量値が不安定になるのを抑制または防止でき、容量素子CPのC-V特性をフラットにする（容量値の電圧依存性を小さくする）ことができ、また、上部電極UEを低抵抗にすることができる。このため、容量素子CPの特性を向上させることができ、容量素子CPを有する半導体装置の性能を向上させることができる。

【0194】

つまり、上部電極UEの不純物濃度は高くし、メモリセルMCを構成するメモリゲート電極MGの不純物濃度は低くすることが、不揮発性メモリ（のメモリセルMC）と容量素子CPとが混載された半導体装置の総合的な性能を向上させる上で、重要である。本実施の形態とは異なり、上部電極UEの不純物濃度とメモリゲート電極MGの不純物濃度が同じ場合には、両者を低不純物濃度とすると、容量素子CPの特性が低下し、一方、両者を高不純物濃度とすると、不揮発性メモリのデータ保持特性を向上させることが難しくなるため、不揮発性メモリと容量素子CPとが混載された半導体装置の性能向上には限界がある。

20

【0195】

それに対して、本実施の形態では、キャパシタ形成領域1Cの上部電極UE（を構成するシリコン膜6）の不純物濃度が、メモリセル領域1Aのメモリゲート電極MG（を構成するシリコン膜6）の不純物濃度よりも高いことにより、不揮発性メモリのデータ保持特性の向上と、容量素子CPの特性向上とを両立させることができる。このため、不揮発性メモリと容量素子とを有する半導体装置の性能（特性）を向上させることができる。つまり、キャパシタ形成領域1Cの上部電極UEの不純物濃度とメモリセル領域1Aのメモリゲート電極MGの不純物濃度とが同じ場合に比べて、前者が後者よりも大きな（換言すれば後者が前者よりも小さな）本実施の形態では、メモリセル領域1Aのメモリゲート電極MGの不純物濃度が低いことで不揮発性メモリのデータ保持特性を向上でき、上部電極UEの不純物濃度が高いことで容量素子CPの特性向上を図ることができる。

30

【0196】

また、不揮発性メモリのデータ保持特性を向上させる観点からは、メモリゲート電極MG（を構成するシリコン膜6）をノンドープまたは低不純物濃度にすることが望ましいが、メモリゲート電極MG（を構成するシリコン膜6）の不純物濃度が $1 \times 10^{19} / \text{cm}^3$ 以下であれば、より好ましく、これにより、不揮発性メモリのデータ保持特性をよりの確に向上させることができる。

40

【0197】

また、容量素子CPの特性（C-V特性）向上や上部電極UEの低抵抗化の観点からは、上部電極UE（を構成するシリコン膜6）を高不純物濃度にすることが望ましいが、上部電極UE（を構成するシリコン膜6）の不純物濃度が $1 \times 10^{20} / \text{cm}^3$ 以上であれば、より好ましく、これにより、容量素子CPの特性（C-V特性）をよりの確に向上でき、また、上部電極UEをよりの確に低抵抗化することができる。

【0198】

50

また、メモリゲート電極 M G は、メモリセルアレイ（アレイ状に配列した複数のメモリセル M C）を形成する際に、長い配線（複数のメモリセルのメモリゲート電極同士を接続する配線）を兼ねるため、メモリゲート電極 M G の上部に金属シリサイド層 1 1 を形成することが好ましい。これにより、不揮発性メモリのデータ保持特性を向上させるためにメモリゲート電極 M G（を構成するシリコン膜 6）を低不純物濃度またはノンドープにした場合（この場合メモリゲート電極 M G を構成するシリコン膜 6 の抵抗率が高くなる）にも、メモリゲート電極 M G 上の金属シリサイド層 1 1 が配線として機能できるため、メモリゲート電極 M G の抵抗を低減して、不揮発性メモリの動作速度を向上させることができる。

【 0 1 9 9 】

しかしながら、上記図 7 4 から分かるように、コンタクト部 M G a には段差があるため、コンタクト部 M G a の段差の側壁（側面）2 1 上に側壁絶縁膜 S W（この側壁絶縁膜 S W を側壁絶縁膜 S W a と称する）が形成される。このため、上記図 8 6 や上記図 9 0 から分かるように、メモリゲート電極 M G の上部に金属シリサイド層 1 1 をシリサイド技術で形成したとしても、コンタクト部 M G a 上に形成された金属シリサイド層 1 1 は、側壁絶縁膜 S W a で分断され、コンタクト部 M G a の段差の側壁 2 1 上と側壁絶縁膜 S W a の下部とには金属層 1 1 は形成されない。このため、メモリゲート電極 M G（を構成するシリコン膜 6）を低不純物濃度またはノンドープのシリコン膜としたときに、コンタクト部 M G a（を構成するシリコン膜 6）もメモリゲート電極 M G と同じ不純物濃度にした場合には、シリサイド技術で金属シリサイド層 1 1 を形成したとしても、金属シリサイド層 1 1 が形成されずに低抵抗化の効果を得にくい高抵抗領域がコンタクト部 M G a に発生してしまう。コンタクト部 M G a において、この高抵抗領域は、絶縁膜 5 を介して制御ゲート電極 C G に隣接する領域に発生し得る。コンタクト部 M G a 以外の領域のメモリゲート電極 M G は、制御ゲート電極 C G の側壁上に絶縁膜 5 を介してサイドウォールスペーサ状に形成されているが、このサイドウォールスペーサ状のメモリゲート電極 M G は、コンタクト部 M G a のこの高抵抗領域に一体的に連結されるため、コンタクト部 M G a に高抵抗領域が存在すると、メモリゲート電極 M G の抵抗を高めてしまう。これは、不揮発性メモリを有する半導体装置の性能（例えば不揮発性メモリの動作速度）を低下させる可能性がある。

【 0 2 0 0 】

それに対して、本実施の形態では、コンタクト部 M G a（を構成するシリコン膜 6）の不純物濃度が、メモリセル領域 1 A のメモリゲート電極 M G（を構成するシリコン膜 6）の不純物濃度よりも高くなっている。この不純物濃度の差を反映して、コンタクト部 M G a（を構成するシリコン膜 6）の抵抗率は、メモリセル領域 1 A のメモリゲート電極 M G（を構成するシリコン膜 6）の抵抗率よりも低くなっている。すなわち、不揮発性メモリのデータ保持特性を向上させるためにメモリセル領域 1 A のメモリゲート電極 M G（を構成するシリコン膜 6）の不純物濃度を低くしたとしても、コンタクト部 M G a（を構成するシリコン膜 6）の不純物濃度を高くして、コンタクト部 M G a の低抵抗率化を図ることができる。このため、本実施の形態では、たとえコンタクト部 M G a の段差の側壁 2 1 上と側壁絶縁膜 S W a の下部とに金属シリサイド層 1 1 が形成されなくとも、コンタクト部 M G a（を構成するシリコン膜 6）自体を低抵抗率とすることができるため、コンタクト部 M G a に高抵抗領域が発生するのを抑制または防止することができる。従って、メモリゲート電極 M G に高抵抗部分が生じるのを抑制または防止でき、不揮発性メモリの動作速度を向上して不揮発性メモリを有する半導体装置の性能を向上させることができる。

【 0 2 0 1 】

コンタクト部 M G a に高抵抗領域が発生するのを抑制または防止する観点からは、コンタクト部 M G a（を構成するシリコン膜 6）を高不純物濃度にすることが望ましいが、コンタクト部 M G a（を構成するシリコン膜 6）の不純物濃度が $1 \times 10^{20} / \text{cm}^3$ 以上であれば、より好ましく、これにより、コンタクト部 M G a に高抵抗領域が発生するのをよりの確に抑制または防止することができる。

【0202】

また、上部電極UEの上部にサリサイド技術を用いて金属シリサイド層11を形成することで、上部電極UEの抵抗を低下させることができるため、容量素子CPを有する半導体装置の性能(特性)を向上させることができる。しかしながら、上記図75からも分かるように、上部電極UEが下部電極LE上に乗り上げた構造を有しているため、下地の下部電極LEを反映して上部電極UEには段差があり、上部電極UEの段差の側壁(側面)22上に側壁絶縁膜SW(この側壁絶縁膜SWを側壁絶縁膜SWbと称する)が形成される。このため、上記図87や図91からも分かるように、上部電極UEの上部に金属シリサイド層11をサリサイド技術で形成したとしても、上部電極UE上に形成された金属シリサイド層11は、側壁絶縁膜SWbで分断され、上部電極UEの段差の側壁22上と側壁絶縁膜SWbの下部とには金属シリサイド層11は形成されない。

10

【0203】

それに対して、本実施の形態では、上部電極UE(を構成するシリコン膜6)の不純物濃度が、メモリセル領域1Aのメモリゲート電極MG(を構成するシリコン膜6)の不純物濃度よりも高くなっている。この不純物濃度の差を反映して、上部電極UE(を構成するシリコン膜6)の抵抗率は、メモリセル領域1Aのメモリゲート電極MG(を構成するシリコン膜6)の抵抗率よりも低くなっている。すなわち、不揮発性メモリのデータ保持特性を向上させるためにメモリセル領域1Aのメモリゲート電極MG(を構成するシリコン膜6)の不純物濃度を低くしたとしても、上部電極UE(を構成するシリコン膜6)の不純物濃度を高くして、上部電極UEの低抵抗率化を図ることができる。このため、本実施の形態では、たとえ上部電極UEの段差の側壁22上と側壁絶縁膜SWbの下部とに金属シリサイド層11が形成されなくとも、上部電極UE(を構成するシリコン膜6)自体を低抵抗率化することができるため、上部電極UEに高抵抗領域が発生するのを抑制または防止することができる。このため、不揮発性メモリとともに容量素子CPを有する半導体装置の性能を向上させることができる。

20

【0204】

このように、本実施の形態では、容量素子CPの上部電極UE(を構成するシリコン膜6)の不純物濃度を、メモリセルMCのメモリゲート電極MG(を構成するシリコン膜6)の不純物濃度よりも高くしたことにより、不揮発性メモリと容量素子CPを有する半導体装置の性能を向上させることができる。また、コンタクト部MGa(を構成するシリコン膜6)の不純物濃度を、メモリセルMCのメモリゲート電極MG(を構成するシリコン膜6)の不純物濃度よりも高くしたことにより、不揮発性メモリを有する半導体装置の性能を向上させることができる。

30

【0205】

また、本実施の形態では、容量素子CPの上部電極UE(を構成するシリコン膜6)とメモリゲートシャント領域1Bのコンタクト部MGa(を構成するシリコン膜6)との不純物濃度を、メモリセルMCのメモリゲート電極MG(を構成するシリコン膜6)の不純物濃度よりも高くするために、上記ステップS14のイオン注入を用いている。すなわち、ステップS14のイオン注入では、メモリセル領域1Aのメモリゲート電極MGについては、フォトレジストパターンRP3で覆っておくことで不純物が注入(イオン注入)されるのを防止し、キャパシタ形成領域1Cの上部電極UEとメモリゲートシャント領域1Bのコンタクト部MGaとについては、フォトレジストパターンRP3で覆わずにn型不純物を注入(イオン注入)する。これにより、容量素子CPの上部電極UE(を構成するシリコン膜6)とメモリゲートシャント領域1Bのコンタクト部MGa(を構成するシリコン膜6)との不純物濃度を、メモリセルMCのメモリゲート電極MG(を構成するシリコン膜6)の不純物濃度よりも高くすることができる。

40

【0206】

このステップS14のイオン注入は、周辺nMIS領域1Dのシリコン膜4に対してイオン注入を行う工程でもある。周辺nMIS領域1Dのシリコン膜4に対してイオン注入を行うのは、周辺nMIS領域1Dに形成されるnチャンネル型MISFETQn用のゲー

50

ト電極 G E 1 が n 型のシリコン膜（ここではステップ S 1 4 のイオン注入によって n 型不純物が導入されたシリコン膜 4）で形成されるようにするためである。このため、周辺 n M I S 領域 1 D のシリコン膜 4 に n 型不純物をイオン注入する工程と、容量素子 C P の上部電極 U E に n 型不純物をイオン注入する工程と、メモリゲートシャント領域 1 B のコンタクト部 M G a に n 型不純物をイオン注入する工程とを、同じイオン注入（ステップ S 1 4 のイオン注入）工程として行うことで、半導体装置の製造工程数を低減することができる。

【 0 2 0 7 】

また、ステップ S 1 4 で上部電極 U E に不純物をイオン注入するが、このときのイオン注入エネルギーを調整することで不純物イオンの注入深さを制御し、キャパシタ形成領域 1 C の上部電極 U E を構成するシリコン膜 6 の上層部分に n 型不純物が注入されるが、上部電極 U E の下の容量絶縁膜 D E には、打ち込まれた不純物イオンが到達しない（すなわち容量絶縁膜 D E にはイオン注入されない）ようにすることが好ましい。これにより、ステップ S 1 4 のイオン注入で、上部電極 U E の下に位置する容量絶縁膜 D E がダメージを受けるのを防止することができる。そして、ステップ S 1 4 のイオン注入で上部電極 U E の上層部分に注入された不純物を、ステップ S 1 7 の熱処理で上部電極 U E の厚み方向全体にわたって拡散させる。これにより、上部電極 U E の下に位置する容量絶縁膜 D E がダメージを受けるのを防止しながら、上部電極 U E 全体に不純物を拡散させて、上部電極 U E 全体を低抵抗率とすることができ、上部電極 U E の低抵抗化を図ることができる。

10

【 0 2 0 8 】

また、ステップ S 1 4 で上部電極 U E に不純物を注入（イオン注入）した後は、キャパシタ形成領域 1 C（特に上部電極 U E）については、イオン注入されないようにすることが好ましい。具体的には、上記ステップ S 1 6, S 1 9, S 2 0, S 2 1, S 2 2, S 2 4, S 2 5 の各イオン注入の際には、キャパシタ形成領域 1 C（特に上部電極 U E）がフォトレジストパターン（上記フォトレジストパターン R P 4, R P 6, R P 7, R P 8, R P 9, R P 1 0 に対応）で覆われるようにし、それによって、キャパシタ形成領域 1 C（特に上部電極 U E）については、イオン注入されないようにすることが好ましい。特に、n⁺型半導体領域 8 a, 8 b, 8 c 形成用のイオン注入（上記ステップ S 2 4 のイオン注入に対応）は、n 型不純物をイオン注入するが、注入深さが比較的深い（n⁻型半導体領域 7 a, 7 b, 7 c 形成用のイオン注入よりも深い）ため、このイオン注入（上記ステップ S 2 4 のイオン注入に対応）の際に、上部電極 U E にはイオン注入されないようにすることが好ましい。これにより、これらのイオン注入工程で、上部電極 U E の下に位置する容量絶縁膜 D E がダメージを受けるのを的確に防止することができる。

20

30

【 0 2 0 9 】

また、n⁻型半導体領域 7 a 形成用のイオン注入（上記ステップ S 1 9 のイオン注入に対応）におけるドーズ量は、n⁻型半導体領域 7 a として相応しいドーズ量に設定し、n⁻型半導体領域 7 b 形成用のイオン注入（上記ステップ S 2 0 のイオン注入に対応）におけるドーズ量は、n⁻型半導体領域 7 b として相応しいドーズ量に設定することが好ましい。また、n⁺型半導体領域 8 a, 8 b 形成用のイオン注入（上記ステップ S 2 4 のイオン注入に対応）におけるドーズ量は、n⁺型半導体領域 8 a, 8 b に相応しいドーズ量に設定することが好ましい。このため、これらソースまたはドレイン領域形成用のイオン注入（ステップ S 1 9, S 2 0, S 2 4）でコンタクト部 M G a や上部電極 U E に不純物を注入（イオン注入）した場合でも、コンタクト部 M G a や上部電極 U E の低抵抗化に望まれる不純物量には不足する虞がある。それに対して、本実施の形態のように、これらソースまたはドレイン領域形成用のイオン注入（ステップ S 1 9, S 2 0, S 2 4）とは別のイオン注入工程（ここではステップ S 1 4）で、より高いドーズ量でコンタクト部 M G a や上部電極 U E にイオン注入を行うことで、コンタクト部 M G a や上部電極 U E の不純物濃度を、好適な値までの確に高めることができる。

40

【 0 2 1 0 】

また、n チャネル型 M I S F E T に相応しい n 型シリコンのゲート電極 G E 1 を形成す

50

るために、周辺 n M I S 領域 1 D のシリコン膜 4 に対してイオン注入を行う工程は、ソースまたはドレイン領域形成用のイオン注入工程に比べて、高ドーズ量で行われる。このため、この高ドーズ量で行われるべき周辺 n M I S 領域 1 D のシリコン膜 4 に対してイオン注入を行う工程（ここではステップ S 1 4 のイオン注入工程）で、コンタクト部 M G a や上部電極 U E にもイオン注入を行うことで、各領域に相応しい不純物濃度でソース・ドレイン領域やゲート電極を形成しながら、コンタクト部 M G a や上部電極 U E を的確に高不純物濃度とすることができる。

【 0 2 1 1 】

また、上述のように、ステップ S 1 4 のイオン注入は、ソースまたはドレイン領域形成用のイオン注入（ステップ S 1 9 , S 2 0 , S 2 4 ）よりも、ドーズ量大きい。すなわち、ステップ S 1 4 のイオン注入におけるドーズ量は、 n^- 型半導体領域 7 a 形成用のイオン注入（上記ステップ S 1 9 のイオン注入に対応）におけるドーズ量と、 n^- 型半導体領域 7 b 形成用のイオン注入（上記ステップ S 2 0 のイオン注入に対応）におけるドーズ量と、 n^+ 型半導体領域 8 a , 8 b 形成用のイオン注入（上記ステップ S 2 4 のイオン注入に対応）におけるドーズ量とのそれぞれよりも大きい。このとき、ステップ S 1 4 のイオン注入におけるドーズ量が、 n^- 型半導体領域 7 a 形成用のイオン注入（上記ステップ S 1 9 のイオン注入に対応）におけるドーズ量と、 n^- 型半導体領域 7 b 形成用のイオン注入（上記ステップ S 2 0 のイオン注入に対応）におけるドーズ量と、 n^+ 型半導体領域 8 a , 8 b 形成用のイオン注入（上記ステップ S 2 4 のイオン注入に対応）におけるドーズ量との合計よりも大きければ、より好ましい。このようにすることで、たとえ n^- 型半導体領域 7 a 形成用のイオン注入（ステップ S 1 9 のイオン注入）や n^- 型半導体領域 7 b 形成用のイオン注入（ステップ S 2 0 のイオン注入）や n^+ 型半導体領域 8 a , 8 b 形成用のイオン注入（ステップ S 2 4 のイオン注入）でメモリゲート電極 M G に不純物が注入されたとしても、メモリゲート電極 M G を、上部電極 U E およびコンタクト部 M G a よりも、低不純物濃度とすることができる。

【 0 2 1 2 】

また、不揮発性メモリのデータ保持特性を高める効果は、製造された半導体装置において、メモリゲート電極 M G がノンドープのシリコン膜となっている場合が最も大きく、不純物が導入されている場合でも、不純物濃度が低い方がより効果大きい。このため、ステップ S 9 でシリコン膜 6 を形成する際に、ノンドープのシリコン膜としてシリコン膜 6 を形成すれば、製造された半導体装置におけるメモリゲート電極 M G の不純物濃度を低くしやすいため、より好ましい。その後の工程では、メモリゲート電極 M G （を構成するシリコン膜 6 ）にはできるだけ不純物が導入されないようにすれば、製造された半導体装置におけるメモリゲート電極 M G の不純物濃度を低くできるため、不揮発性メモリのデータ保持特性を高める上では有利である。ステップ S 9 でシリコン膜 6 をノンドープのシリコン膜として形成し、その後の各工程で、メモリゲート電極 M G （を構成するシリコン膜 6 ）に不純物が導入（イオン注入）されないようにすれば、製造された半導体装置のメモリゲート電極 M G をノンドープとすることができる。しかしながら、 n^- 型半導体領域 7 a 形成用のイオン注入（上記ステップ S 1 9 のイオン注入に対応）や n^+ 型半導体領域 8 a 形成用のイオン注入（上記ステップ S 2 4 のイオン注入に対応）でメモリゲート電極 M G の一部または全部に不純物が注入（イオン注入）された場合でも、メモリゲート電極 M G は比較的 low 不純物濃度に行うため、不揮発性メモリのデータ保持特性を高める効果を得ることができる。

【 0 2 1 3 】

また、ステップ S 1 4 でイオン注入する n 型不純物としては、リン（P）またはヒ素（As）などを用いることができるが、リン（P）を用いることが、より好ましい。これは、ヒ素（As）よりもリン（P）の方が拡散しやすい（すなわち S i 領域中の拡散係数が大きい）ため、ステップ S 1 4 でリン（P）をイオン注入した方が、ステップ S 1 7 の熱処理でシリコン膜 4 , 6 の厚み方向全体に不純物（ここではリン）を拡散させやすいからである。

10

20

30

40

50

【0214】

また、 n^- 型半導体領域7a, 7bを形成するためのイオン注入(ステップS19, S20のイオン注入に対応)で注入する n 型不純物としては、リン(P)またはヒ素(As)などを用いることができるが、ヒ素(As)を用いることが、より好ましい。これは、 n^- 型半導体領域7aは、深さ(接合深さ)が浅いため、シリコン領域中の拡散係数が小さい(リンよりも小さい)ヒ素をイオン注入した方が、浅い n^- 型半導体領域7a, 7bを形成しやすいからである。

【0215】

また、 n^- 型半導体領域7bを形成するためのイオン注入(ステップS20のイオン注入に対応)では、 n 型不純物とともに p 型不純物(例えばホウ素(B))をイオン注入することもでき、これにより、 n^- 型半導体領域7bを包み込むように、パンチスルーステップ用の p 型ハロ-領域を形成することができる。

10

【0216】

また、 n^+ 型半導体領域8a, 8bを形成するためのイオン注入(ステップS24のイオン注入に対応)で注入する n 型不純物としては、リン(P)またはヒ素(As)などを用いることができるが、ヒ素(As)とリン(P)の両方を用いることが、より好ましい。これは、 n^+ 型半導体領域8a, 8bの低抵抗化と n^+ 接合の低電界化を両立できるからである。

【0217】

図98は、本実施の形態の変形例におけるメモリゲートシャント領域1Bの要部断面図であり、上記図2に対応するものである。

20

【0218】

上記図1~図5の半導体装置では、上記図2からも分かるように、コンタクト部MGaが制御ゲート電極CG上に乗りに上げていた(すなわちコンタクト部MGaの一部が制御ゲート電極CG上に位置していた)のに対して、図98に示される変形例の半導体装置では、コンタクト部MGaが制御ゲート電極CG上に乗りに上げていない(すなわちコンタクト部MGaは制御ゲート電極CG上に位置する部分を有していない)。それ以外の構造は、図98に示される変形例の半導体装置は、上記図1~図5の半導体装置と基本的には同じである。

【0219】

図98の変形例の半導体装置のように、コンタクト部MGaが制御ゲート電極CG上に乗りに上げていない場合であっても、上記図1~図5の半導体装置と同様にコンタクト部MGaの不純物濃度を高めることは有効である。すなわち、コンタクト部MGaが制御ゲート電極CG上に乗りに上げていない場合であっても、図98のようにコンタクト部MGaの段差の側壁(側面)21上に側壁絶縁膜SWaが形成され得る。このため、メモリゲート電極MGの上部に金属シリサイド層11をシリサイド技術で形成したとしても、コンタクト部MGa上に形成された金属シリサイド層11は、側壁絶縁膜SWaで分断され、コンタクト部MGaの段差の側壁21上と側壁絶縁膜SWaの下部とは金属層1は形成されない状態となり得る。このため、図98に示されるコンタクト部MGaにも、上記図2のコンタクト部MGaと同様の不純物濃度を適用することで、上記図1~図5の半導体装置と同様の効果を得ることができる。すなわち、上記図1~図5の半導体装置と同様に図98の変形例の半導体装置でも、たとえコンタクト部MGaの段差の側壁21上と側壁絶縁膜SWaの下部とに金属シリサイド層11が形成されなくとも、コンタクト部MGa(を構成するシリコン膜6)自体を低抵抗率とすることができるため、コンタクト部MGaに高抵抗領域が発生するのを抑制または防止することができる効果を得られる。これにより、メモリゲート電極MGに高抵抗部分が生じるのを抑制または防止でき、不揮発性メモリの動作速度を向上して不揮発性メモリを有する半導体装置の性能を向上させることができる。また、後述の実施の形態2においても、図98のようなコンタクト部MGaを適用することもできる。

30

40

【0220】

50

(実施の形態2)

本実施の形態においては、上記実施の形態1の不揮発性メモリの制御ゲート電極CGを絶縁膜とシリコン膜4との積層膜で形成する場合について説明する。

【0221】

図99～図102は、本実施の形態の半導体装置の要部断面図であり、図99には、不揮発性メモリのメモリセル領域1Aの要部断面図が示され、図100および図101には、メモリゲートシャント領域1Bの要部断面図が示され、図102には、キャパシタ形成領域1Cの要部断面図が示されている。

【0222】

図99に示されるように、本実施の形態における不揮発性メモリのメモリセルは、制御ゲート電極CGがシリコン膜4と絶縁膜31との積層膜(積層パターン、積層構造)で構成されている。より具体的には、制御ゲート電極CGが、シリコン膜4とシリコン膜4上の絶縁膜31aと絶縁膜31a上の絶縁膜31bとの積層膜(積層膜パターン)で構成されている。絶縁膜31は、シリコン膜4上の絶縁膜31aと絶縁膜31a上の絶縁膜31bとで構成されており、絶縁膜31aは、絶縁膜31bより薄く形成されている。絶縁膜31aは、好ましくは酸化シリコン膜からなり、絶縁膜31bは、好ましくは窒化シリコン膜からなる。

【0223】

本実施の形態においては、メモリセルの制御ゲート電極CGの上部に絶縁膜31(ここでは絶縁膜31a, 31b)が形成されているため、メモリセルの制御ゲート電極CG上には、金属シリサイド層11は形成されていない。すなわち、上記実施の形態1においてシリコン膜4とその上部の金属シリサイド層11によって形成されていた制御ゲート電極CGを、シリコン膜4と絶縁膜31との積層膜によって形成された制御ゲート電極CGに置き換えたものが、本実施の形態の半導体装置に相当している。

【0224】

本実施の形態の半導体装置のメモリセルの他の構成は、上記実施の形態1と同様であるので、ここではその説明は省略する。

【0225】

図100に示されるように、本実施の形態におけるメモリゲートシャント領域1Bにおいては、制御ゲート電極CGがシリコン膜4と絶縁膜31との積層膜で構成されている構成が考えられる。

【0226】

一方、図101に示されるように、メモリゲートシャント領域1Bにおいては、本実施の形態で形成される絶縁膜31を除去することにより、上記実施の形態1と同じ構成(制御ゲート電極CGを構成するシリコン膜4上に絶縁膜31が無い構成)となる場合も考えられる。

【0227】

但し、図101のようにメモリゲートシャント領域1Bを形成した場合は、シリコン膜4(制御ゲート電極CG)上の絶縁膜31が除去された分、メモリセル領域1Aに形成された制御ゲート電極CG(絶縁膜31を含む)よりも、メモリゲートシャント領域1Bに形成された制御ゲート電極CG(絶縁膜31を含まず)の高さが低くなる。このため、制御ゲート電極CGに乗り上げる状態でコンタクト部Mgaを形成しても、図101の場合には、絶縁膜31が除去された分、メモリゲートシャント領域1Bに形成される素子の高さが低くなるので、図100の場合に比べて、絶縁膜12の形成膜厚を薄くすることができる。このため、コンタクトホールCNTを形成する際に、形状異常を発生させることなく、所望のコンタクトホールCNTを形成することができ、半導体装置の信頼性を向上させることが可能となる。ここで、図101の場合は、メモリゲートシャント領域1Bで絶縁膜31が除去されている場合に対応し、図100の場合は、メモリセル領域1Aだけでなくメモリゲートシャント領域1Bでも制御ゲート電極CGの上部に絶縁膜31が存在する場合に対応する。

10

20

30

40

50

【0228】

図100、図101どちらの場合においても、図面では、制御ゲート電極CGが延在する方向に垂直な方向にコンタクト部Mgaが延在しているが、レイアウトによっては、制御ゲート電極CGが延在する方向と同じ方向にコンタクト部Mgaが延在するように形成してもよい。これは、上記実施の形態1についても同様である。メモリゲートシャント領域1Bにおけるその他の構成は、上記実施の形態1と同様であるので、その説明を省略する。

【0229】

図102に示されるキャパシタ形成領域1Cに形成される容量素子CPの構成は、上記実施の形態1と同じ構成となる。これは、図101の場合と同様に、キャパシタ形成領域1Cでは下部電極LEの上部に形成された絶縁膜31を除去するからである。そうすることにより、下部電極LEと上部電極UEとの間に形成される絶縁膜の膜厚が薄くなり、上記実施の形態1～3と同様に、下部電極LEと上部電極UEとの間の絶縁膜は、絶縁膜5と同層の容量絶縁膜DEのみとなるため、絶縁膜31を形成することによる容量素子CPの容量の減少を回避することが可能となり、半導体装置の性能を向上させることができる。

10

【0230】

次に、本実施の形態の半導体装置の製造工程について説明する。図103～図114は、本実施の形態の半導体装置の製造工程中の要部断面図である。このうち、図103、図107および図111には、メモリセル領域1Aの要部断面図が示され、図104、図108および図112には、メモリゲートシャント領域1Bの要部断面図が示され、図105、図109および図113には、キャパシタ形成領域1Cの要部断面図が示され、図106、図110および図114には、周辺nMIS領域1Dと周辺pMIS領域1Eの要部断面図が示されている。

20

【0231】

本実施の形態の半導体装置の製造工程は、上記実施の形態1の半導体装置の製造工程と基本的には同じであるため、以下では、主として上記実施の形態1の製造工程との相違点について説明する。

【0232】

上記実施の形態1と同様にして上記ステップS6までを行った後、本実施の形態では、上記ステップS6と上記ステップS7との間に、図103～図106に示されるように、シリコン膜4上に絶縁膜31を形成する工程が追加される。絶縁膜31形成工程は、シリコン膜4上に絶縁膜31aを形成する工程と、絶縁膜31a上に絶縁膜31bを形成する工程とを有している。

30

【0233】

それから、上記ステップS7において、上記実施の形態1ではシリコン膜4をパターニングして制御ゲート電極CGおよび下部電極LEを形成したが、本実施の形態では、シリコン膜4と絶縁膜31との積層膜をパターニングすることで、図107～図110に示されるように、シリコン膜4と絶縁膜31との積層膜パターンからなる制御ゲート電極CGおよび下部電極LEを形成する。

40

【0234】

それから、ステップS7とステップS8との間に、図111～図114に示されるように、絶縁膜31を除去すべき領域において、適宜絶縁膜31の除去を行う。この際、メモリセル領域1Aでは絶縁膜31を除去せずに残存させ、キャパシタ形成領域1Cと上記周辺nMIS領域1Dと周辺pMIS領域1Eとでは絶縁膜31を除去する。メモリゲートシャント領域1Bについては、絶縁膜31を除去せずに残せば上記図100の構造が得られ、絶縁膜31を除去すれば上記図101の構造が得られる。図112では、絶縁膜31を除去した場合（上記図101の構造が得られる場合）が示されている。

【0235】

以降の工程（ステップS8およびそれ以降の工程）は、上記実施の形態1と基本的には

50

同様であるため、ここではその説明は省略する。

【0236】

本実施の形態においても、上記実施の形態1と同様の効果を得ることができる。

【0237】

また、それに加えて、本実施の形態では、制御ゲート電極CGをシリコン膜4と絶縁膜31(より特定的には絶縁膜31a, 31b)との積層膜で形成するため、シリコン膜4を上記実施の形態1よりも薄く形成した場合においても、制御ゲート電極CGの側壁にサイドウォールスペーサ状に形成されるメモリゲート電極MGの高さを確保することができる。

【0238】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【産業上の利用可能性】

【0239】

本発明は、半導体装置およびその製造方法に適用して有効である。

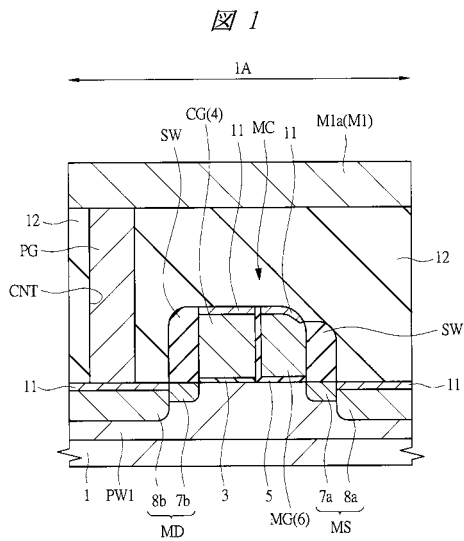
【符号の説明】

【0240】

1	半導体基板	
1A	メモリセル領域	20
1B	メモリゲートシャント領域	
1C	キャパシタ形成領域	
1D	周辺nMIS領域	
1E	周辺pMIS領域	
1F	ソースダミー領域	
2	素子分離領域	
3	絶縁膜	
4	シリコン膜	
5	絶縁膜	
5a, 5c	酸化シリコン膜	30
5b	窒化シリコン膜	
6	シリコン膜	
7a, 7b, 7c	n ⁻ 型半導体領域	
7d	p ⁻ 型半導体領域	
8a, 8b, 8c	n ⁺ 型半導体領域	
8d	p ⁺ 型半導体領域	
10	金属膜	
11	金属シリサイド層	
12	絶縁膜	
14	絶縁膜	40
21	側壁	
31, 31a, 31b	絶縁膜	
CP	容量素子	
CG	制御ゲート電極	
CNT, CNT1	コンタクトホール	
DE	容量絶縁膜	
GE1, GE2	ゲート電極	
LE	下部電極	
M1, M1a, M1b, M1c	配線	
MC	メモリセル	50

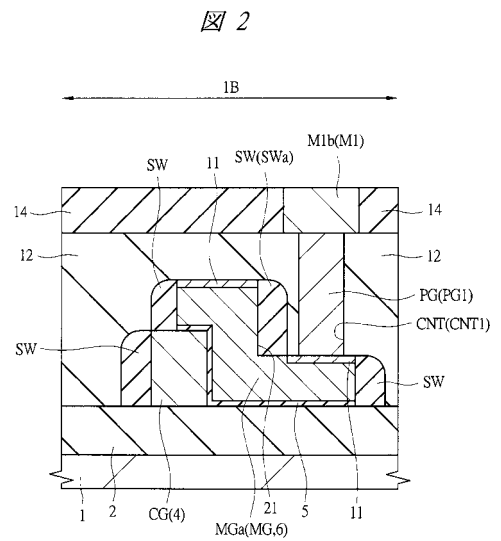
- MD, MS 半導体領域
- MG メモリゲート電極
- NW n型ウエル
- PG, PG1 プラグ
- PW1, PW2 p型ウエル
- SP1 シリコンスペーサ
- SW, SWa 側壁絶縁膜
- UE 上部電極

【 図 1 】



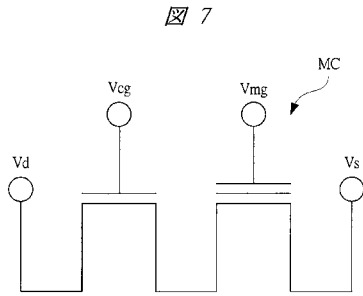
- 1: 半導体基板
- 3,5: 絶縁膜
- CG: 制御ゲート電極
- MC: メモリセル
- MG: メモリゲート電極

【 図 2 】



- 1: 半導体基板
- 3,5: 絶縁膜
- CG: 制御ゲート電極
- MC: メモリセル
- MG: メモリゲート電極

【 図 7 】



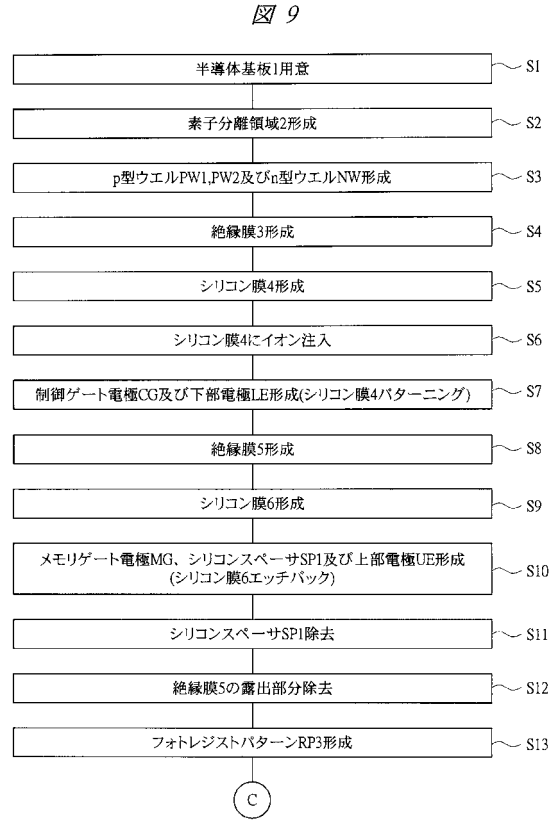
【 図 8 】

図 8

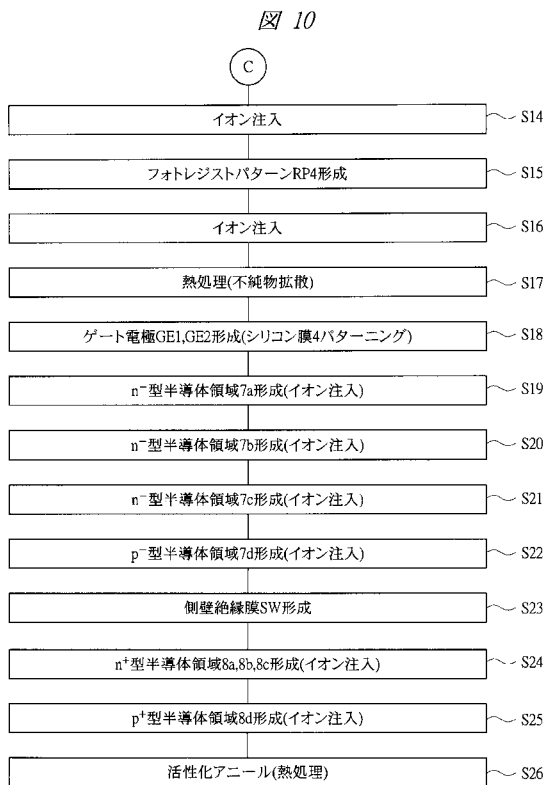
印加電圧 動作	Vd	Vcg	Vmg	Vs	Vb
書込	1V	Vdd	12V	6V	0
消去	0	0	-6V	6V	0
読出	Vdd	Vdd	Vdd	0	0

Vdd = 1.5V

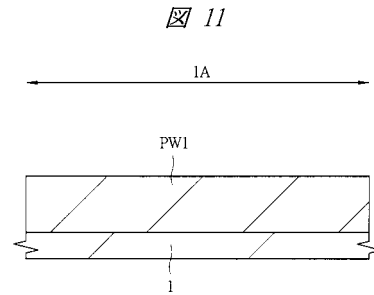
【 図 9 】



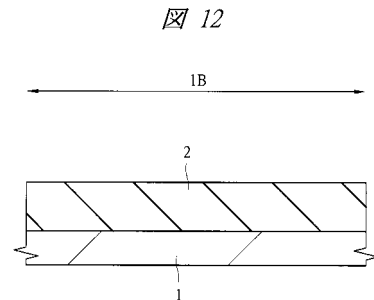
【 図 1 0 】



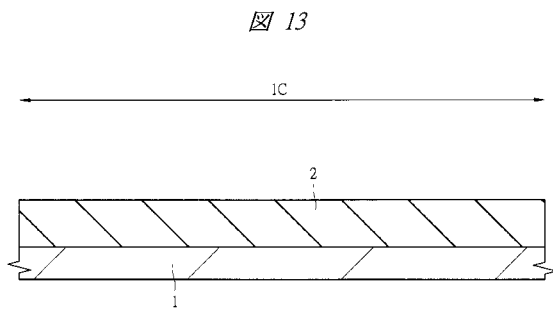
【 図 1 1 】



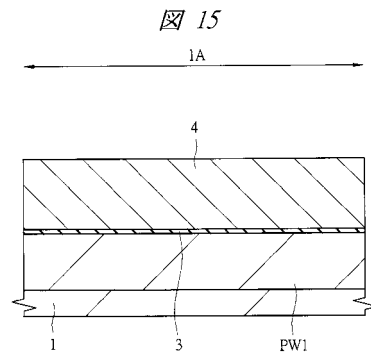
【 図 1 2 】



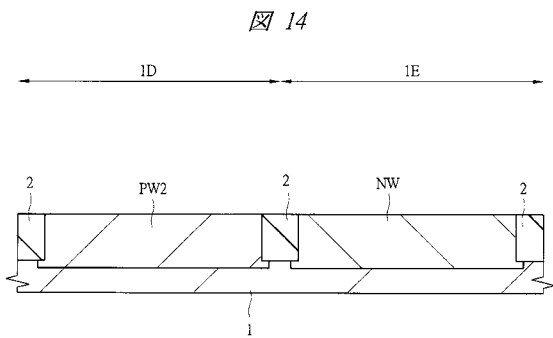
【図 13】



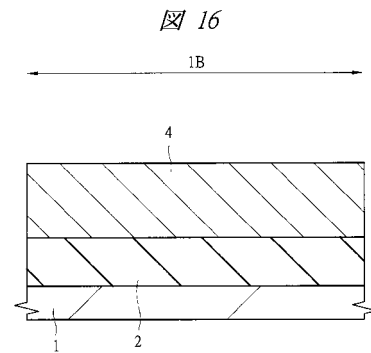
【図 15】



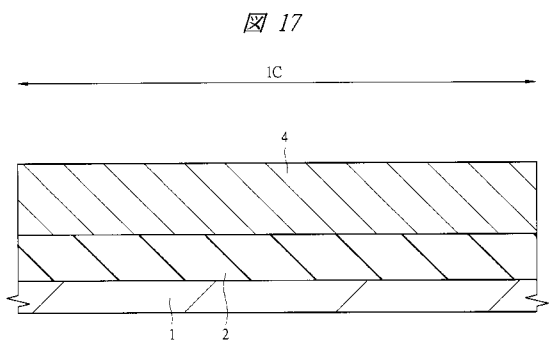
【図 14】



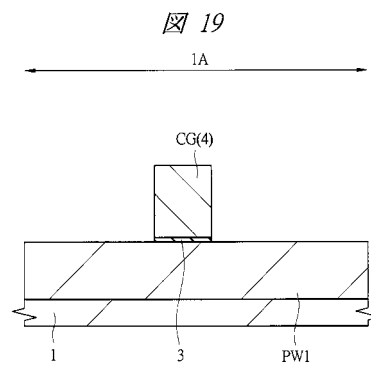
【図 16】



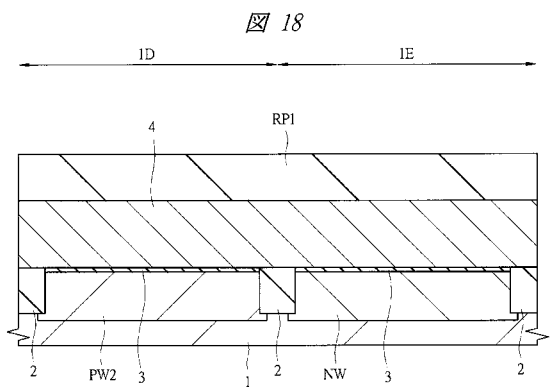
【図 17】



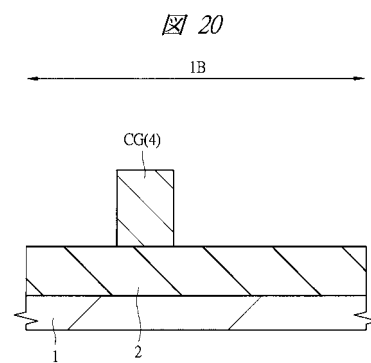
【図 19】



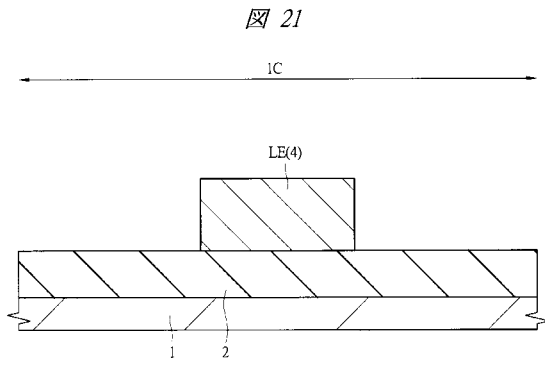
【図 18】



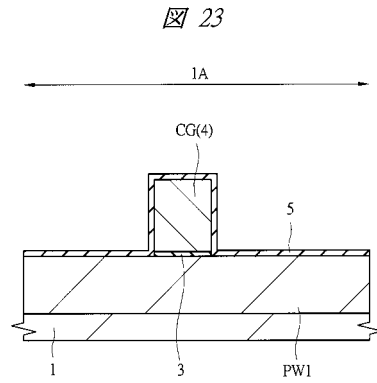
【図 20】



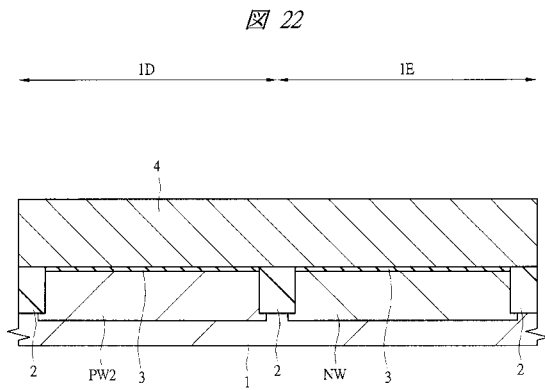
【 図 2 1 】



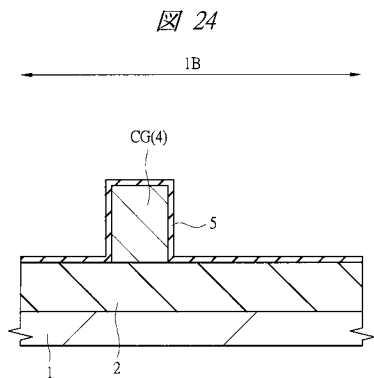
【 図 2 3 】



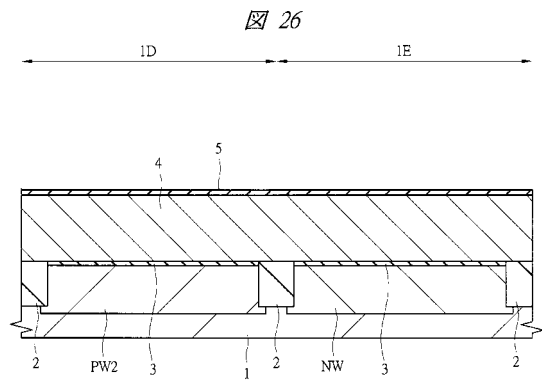
【 図 2 2 】



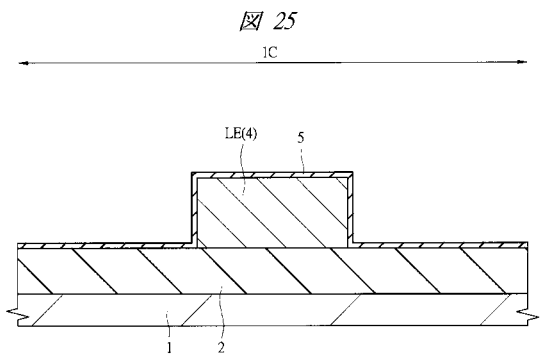
【 図 2 4 】



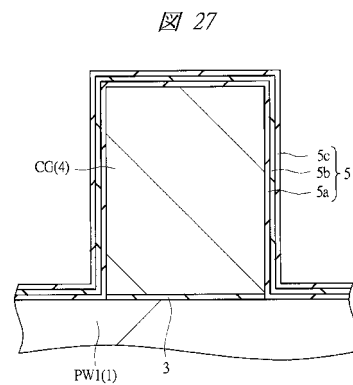
【 図 2 6 】



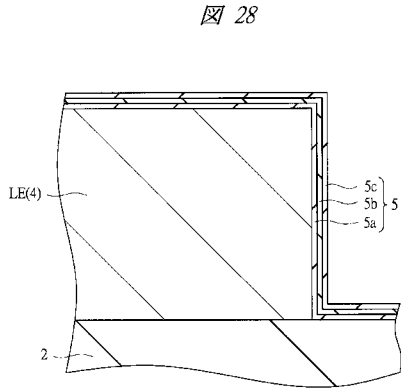
【 図 2 5 】



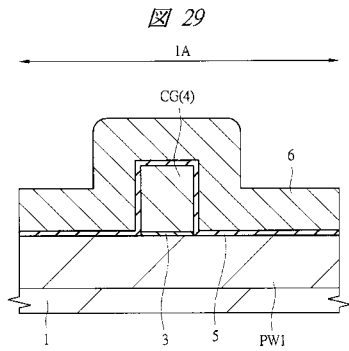
【 図 2 7 】



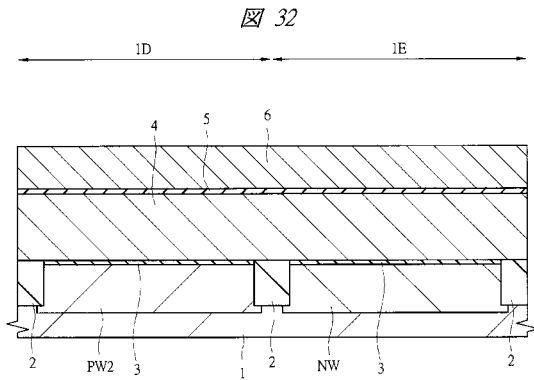
【 図 28 】



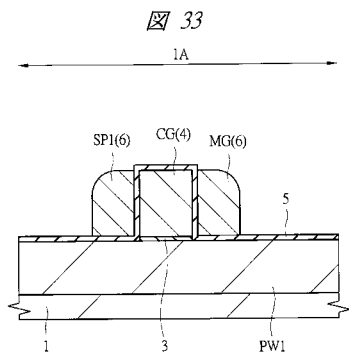
【 図 29 】



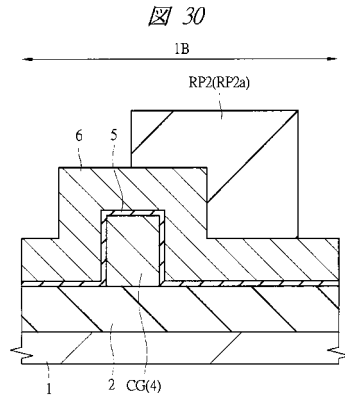
【 図 32 】



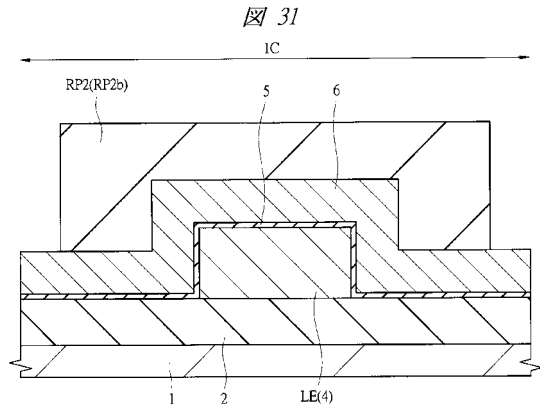
【 図 33 】



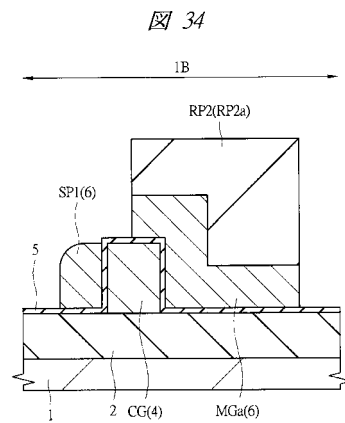
【 図 30 】



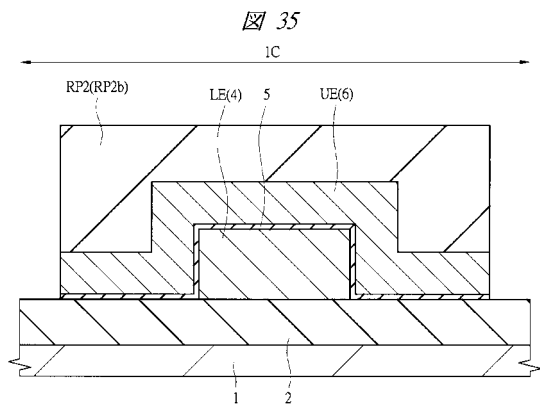
【 図 31 】



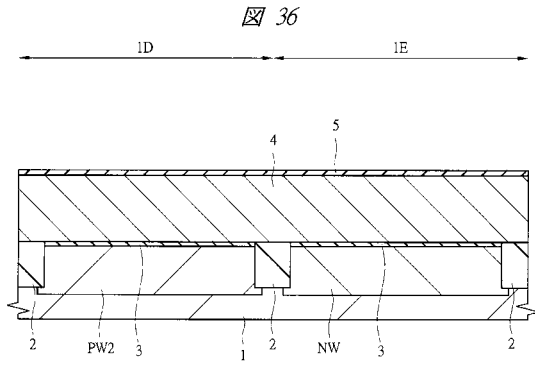
【 図 34 】



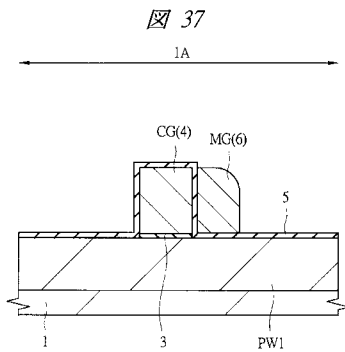
【 図 35 】



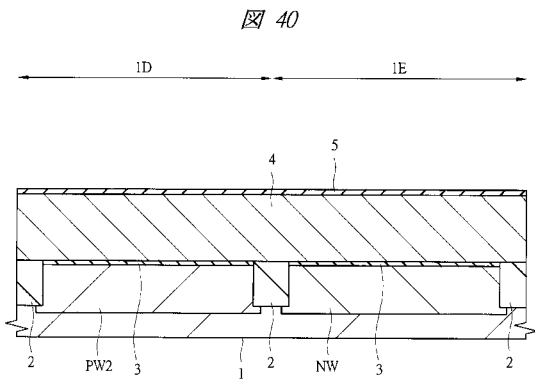
【 図 3 6 】



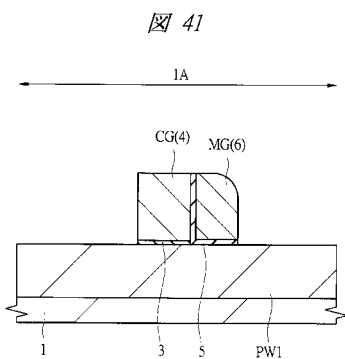
【 図 3 7 】



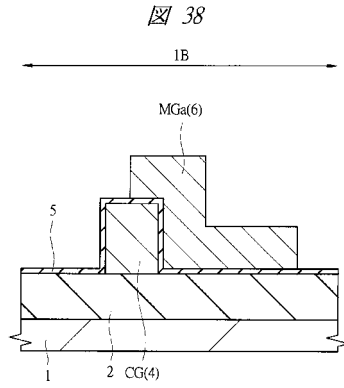
【 図 4 0 】



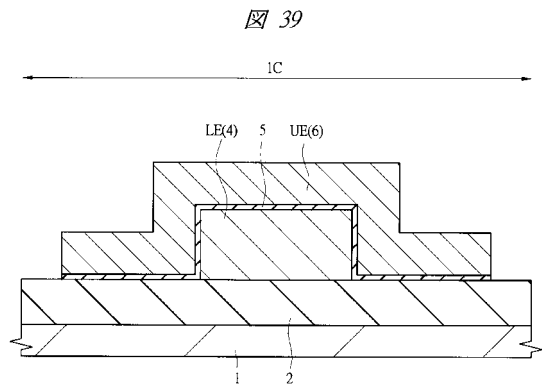
【 図 4 1 】



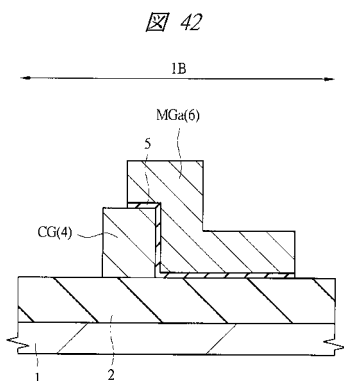
【 図 3 8 】



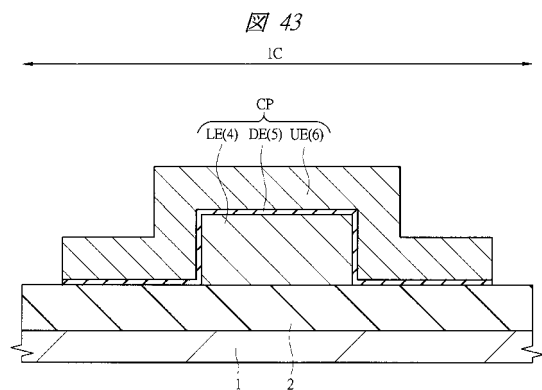
【 図 3 9 】



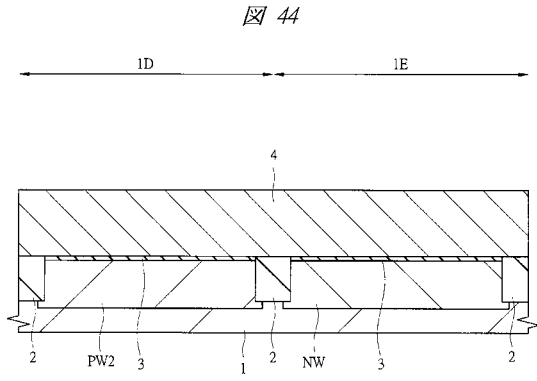
【 図 4 2 】



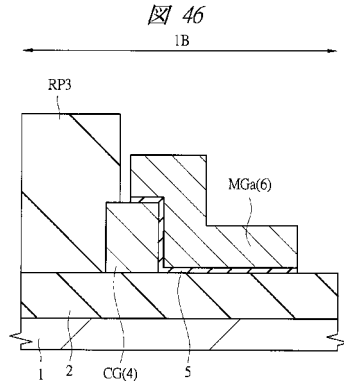
【 図 4 3 】



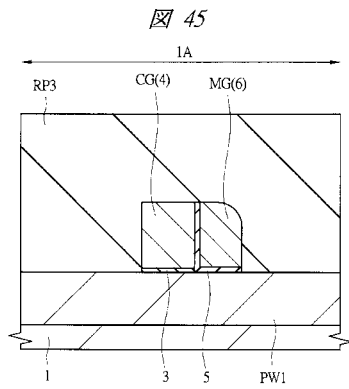
【 図 4 4 】



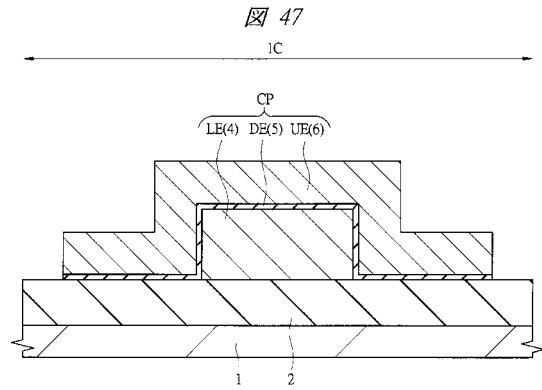
【 図 4 6 】



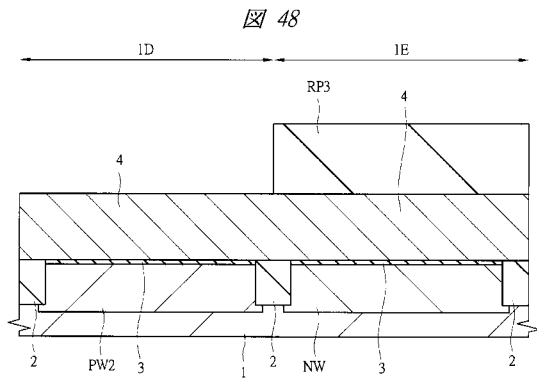
【 図 4 5 】



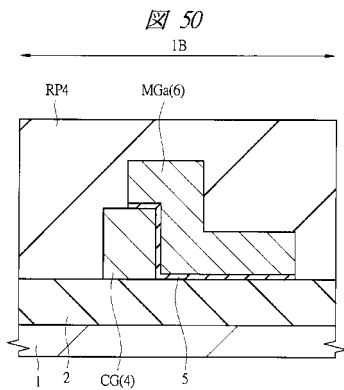
【 図 4 7 】



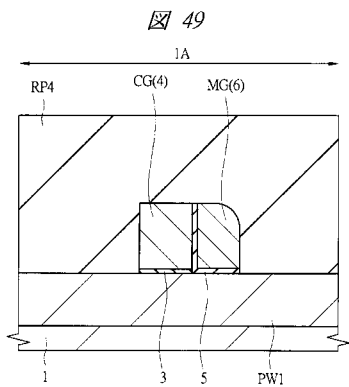
【 図 4 8 】



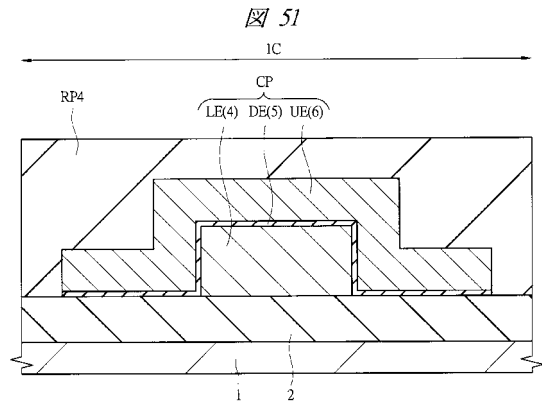
【 図 5 0 】



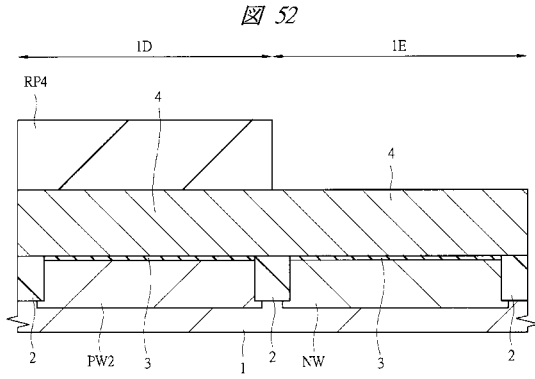
【 図 4 9 】



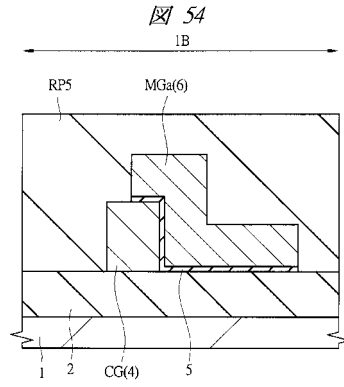
【 図 5 1 】



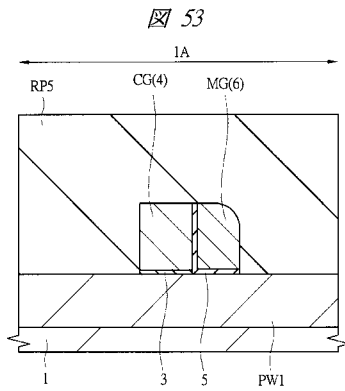
【 図 5 2 】



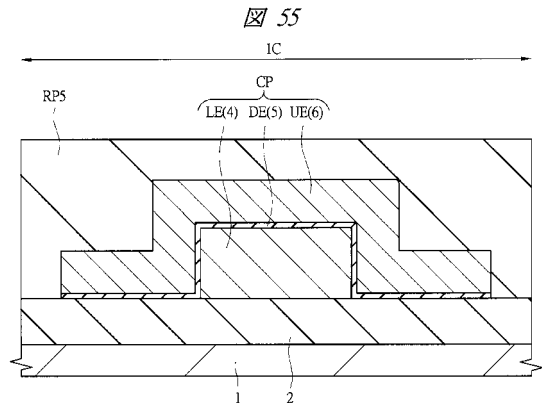
【 図 5 4 】



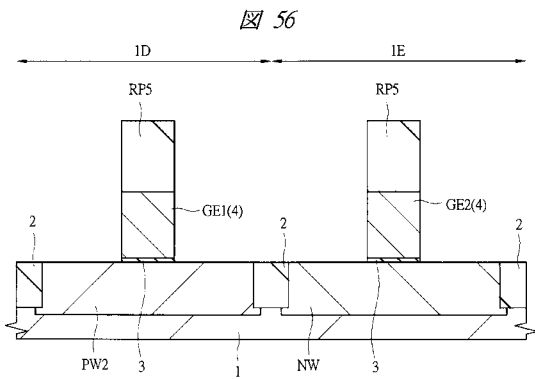
【 図 5 3 】



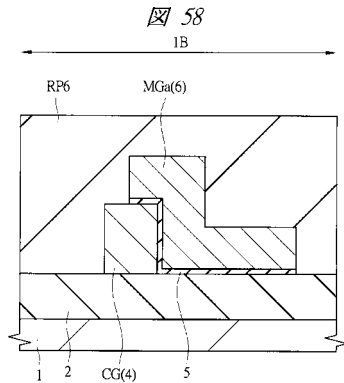
【 図 5 5 】



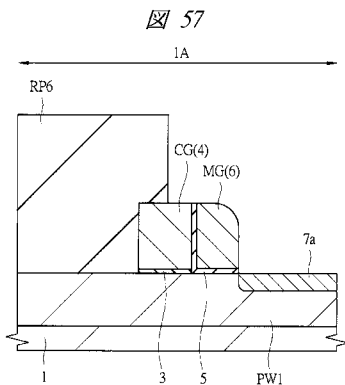
【 図 5 6 】



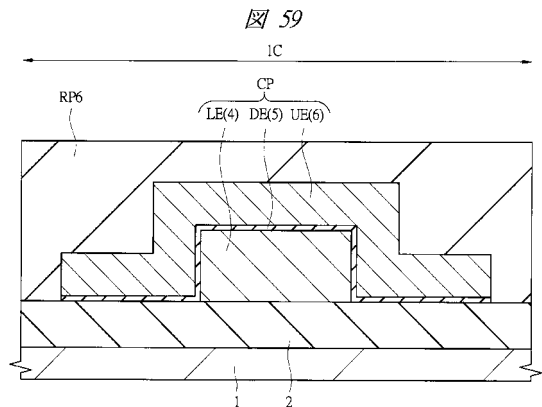
【 図 5 8 】



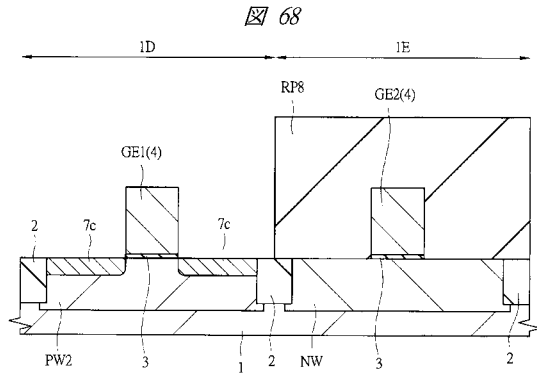
【 図 5 7 】



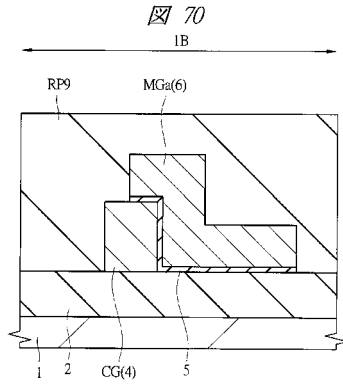
【 図 5 9 】



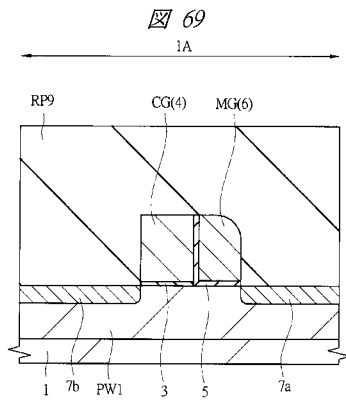
【 図 6 8 】



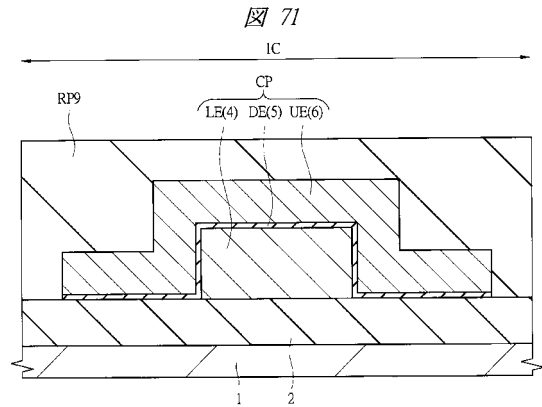
【 図 7 0 】



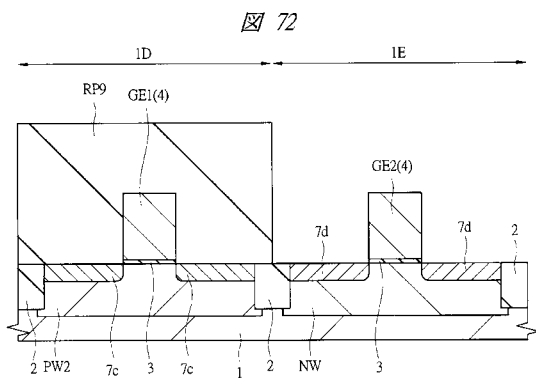
【 図 6 9 】



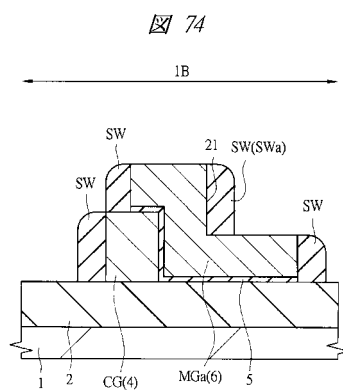
【 図 7 1 】



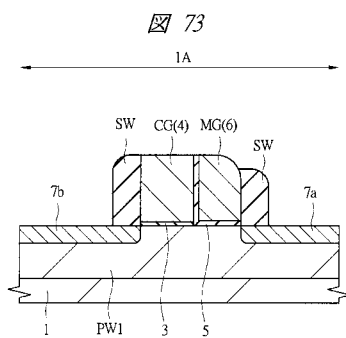
【 図 7 2 】



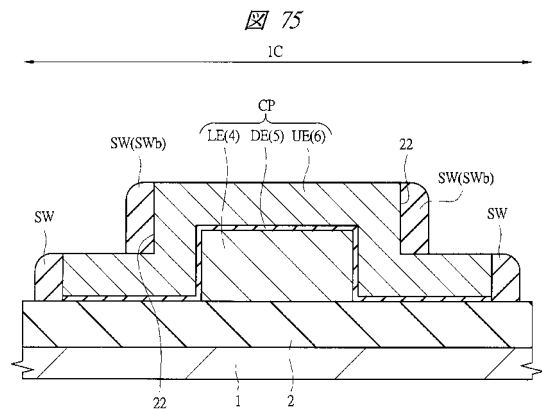
【 図 7 4 】



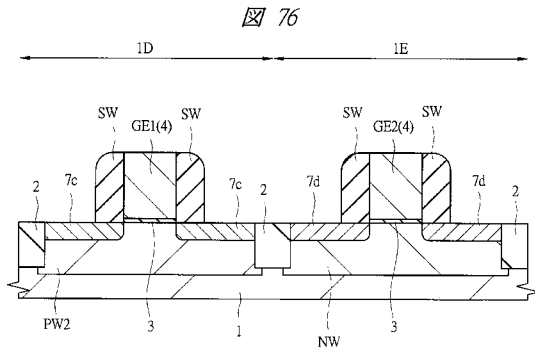
【 図 7 3 】



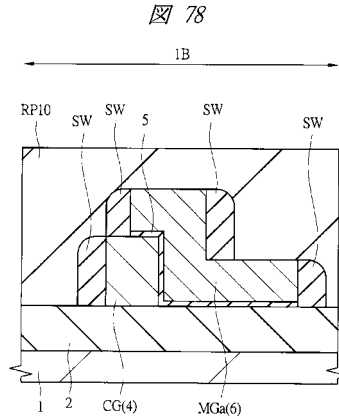
【 図 7 5 】



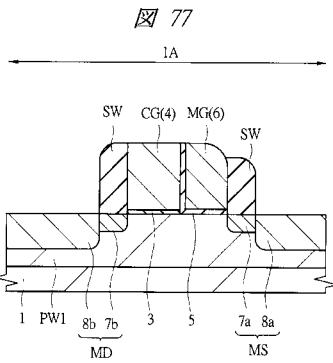
【 図 7 6 】



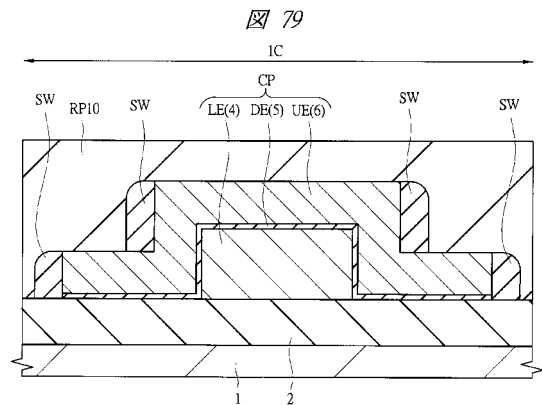
【 図 7 8 】



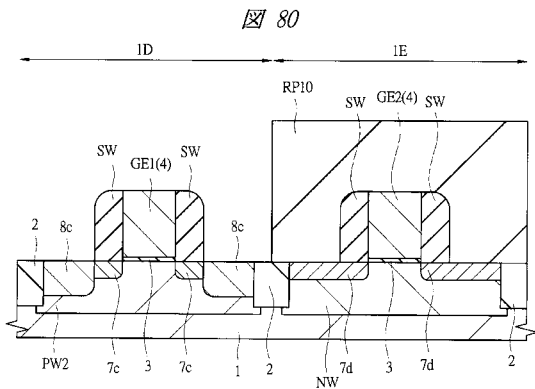
【 図 7 7 】



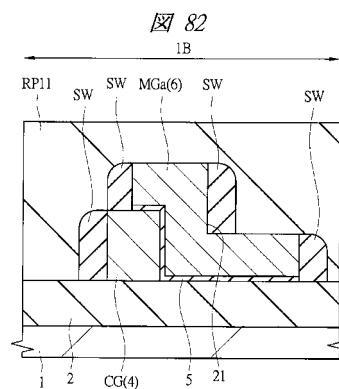
【 図 7 9 】



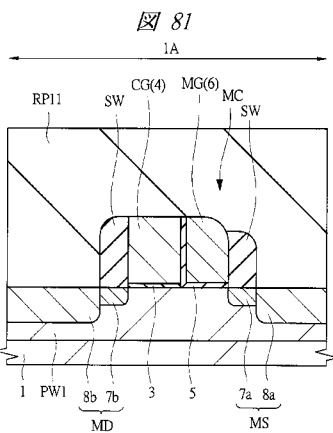
【 図 8 0 】



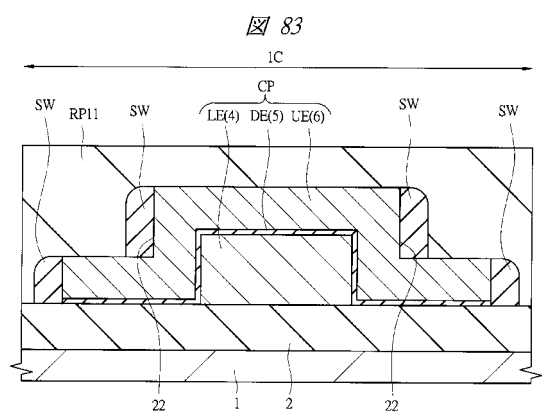
【 図 8 2 】



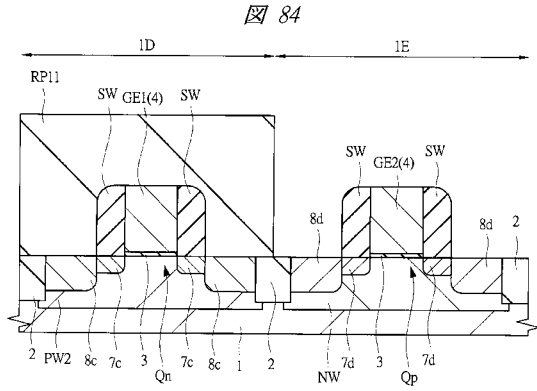
【 図 8 1 】



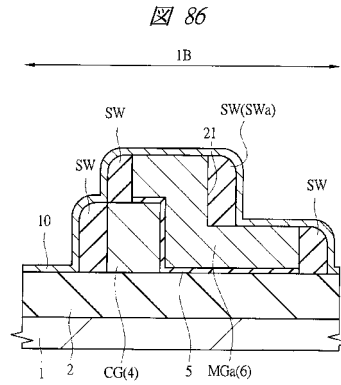
【 図 8 3 】



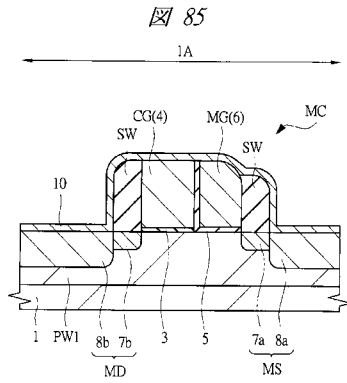
【 図 8 4 】



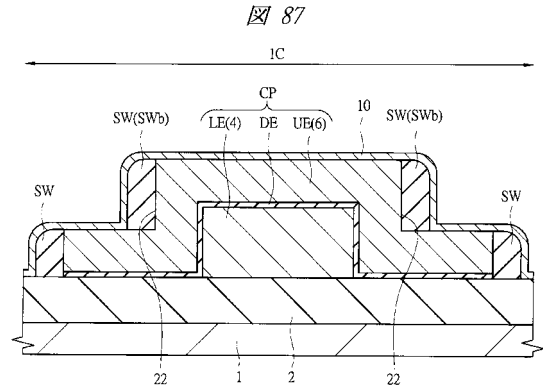
【 図 8 6 】



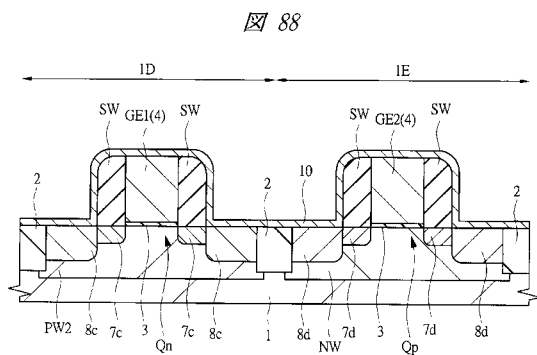
【 図 8 5 】



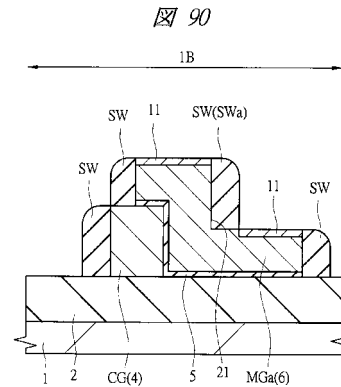
【 図 8 7 】



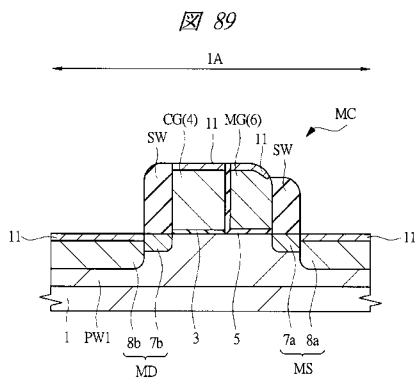
【 図 8 8 】



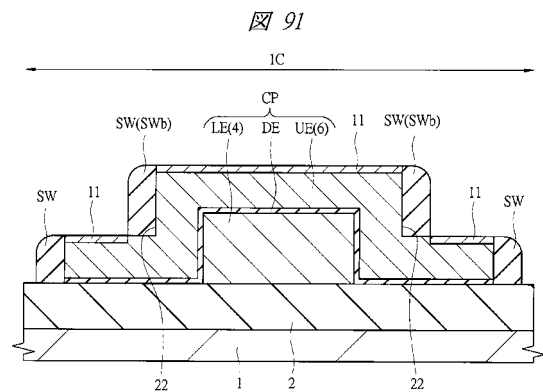
【 図 9 0 】



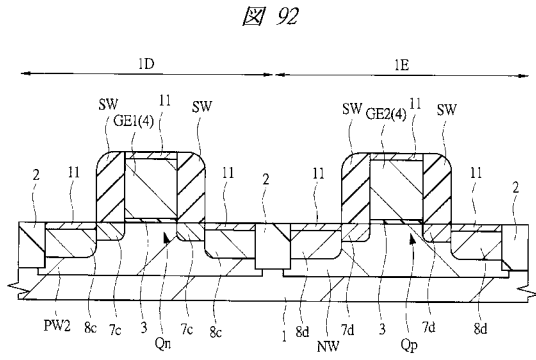
【 図 8 9 】



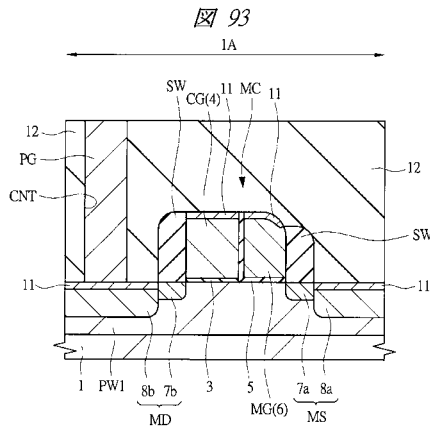
【 図 9 1 】



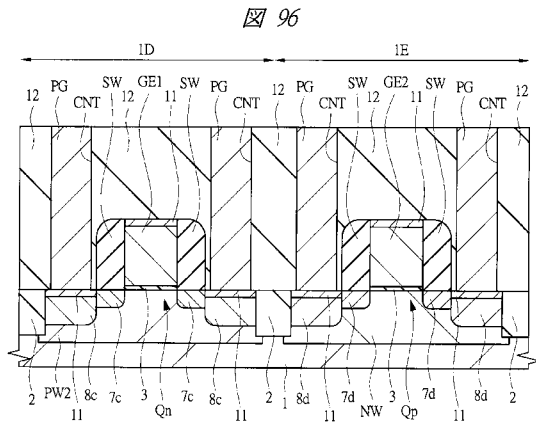
【 図 9 2 】



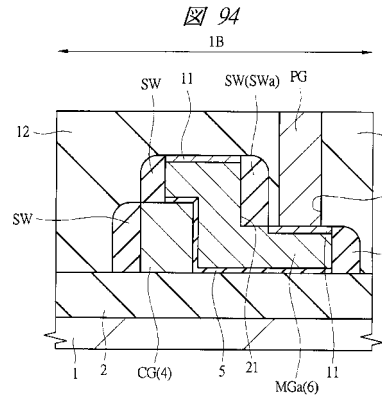
【 図 9 3 】



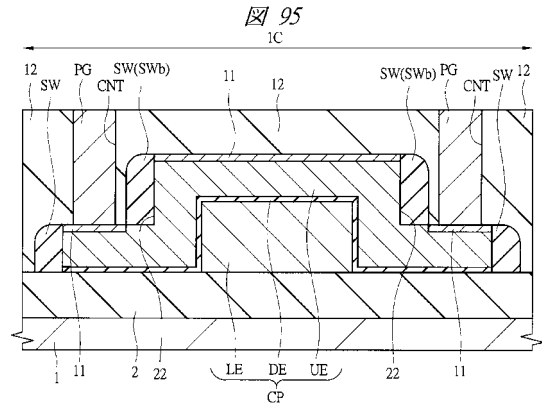
【 図 9 6 】



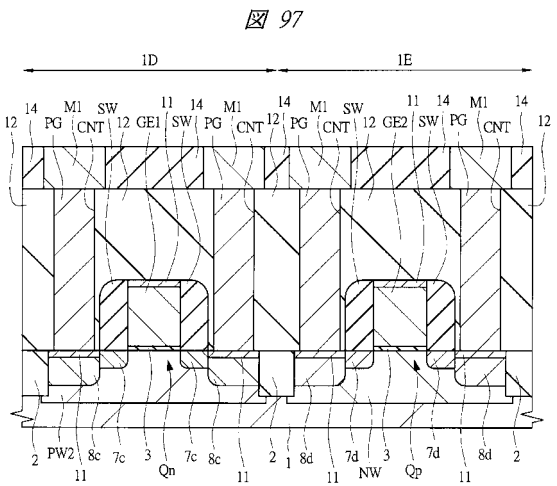
【 図 9 4 】



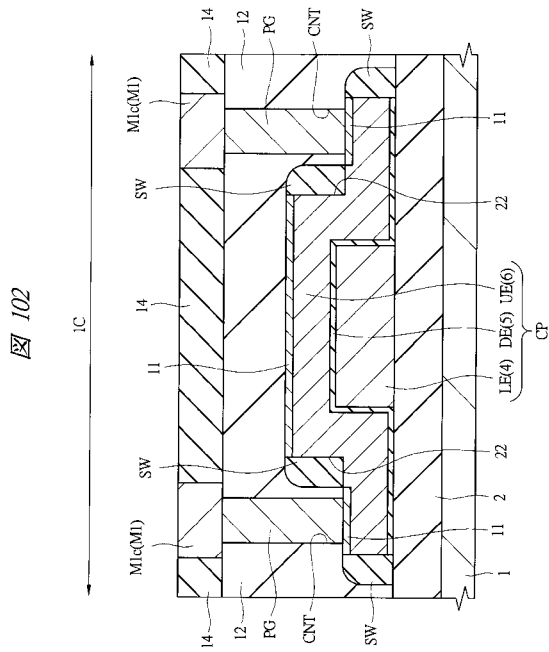
【 図 9 5 】



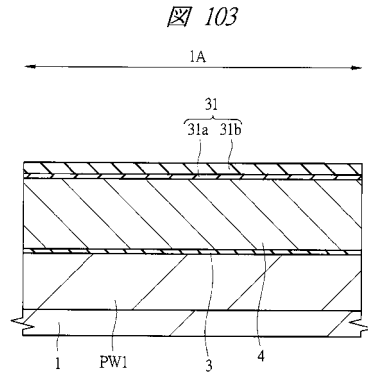
【 図 9 7 】



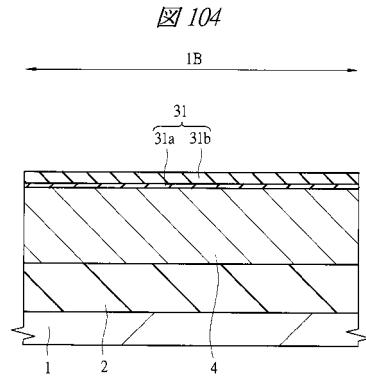
【図 102】



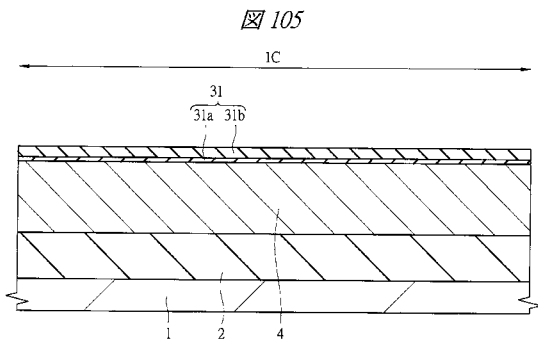
【図 103】



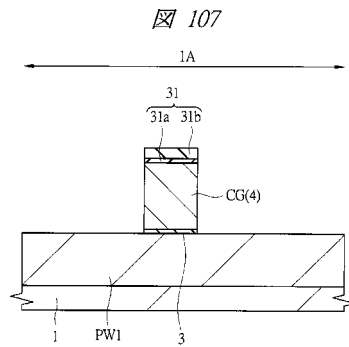
【図 104】



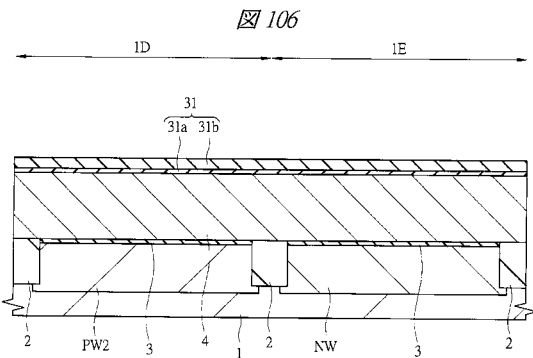
【図 105】



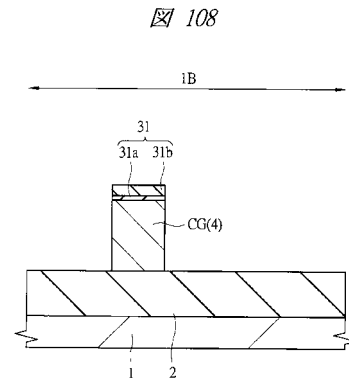
【図 107】



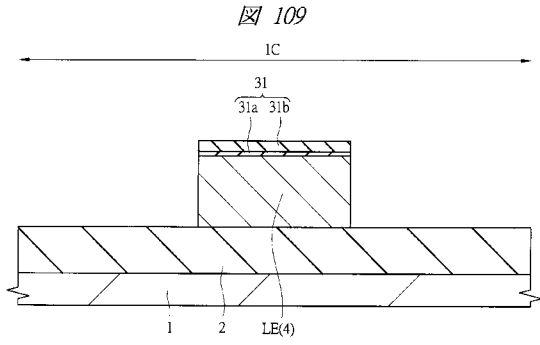
【図 106】



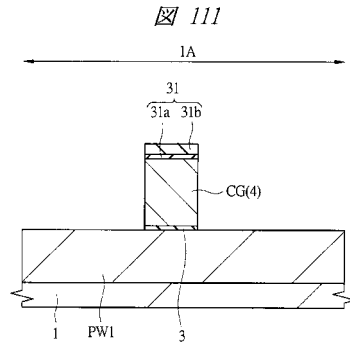
【図 108】



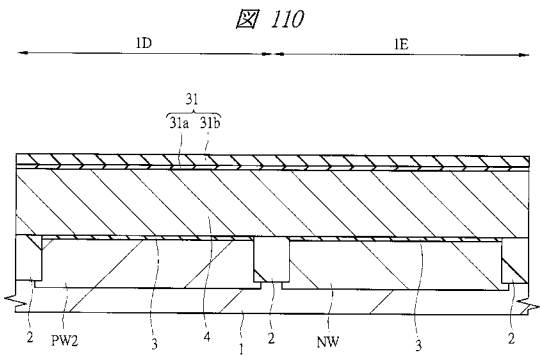
【図 109】



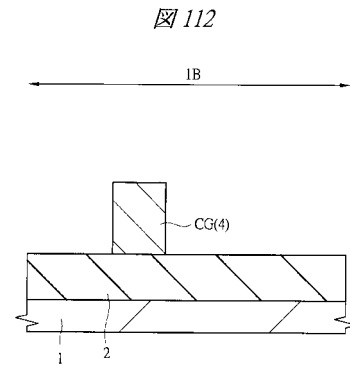
【図 111】



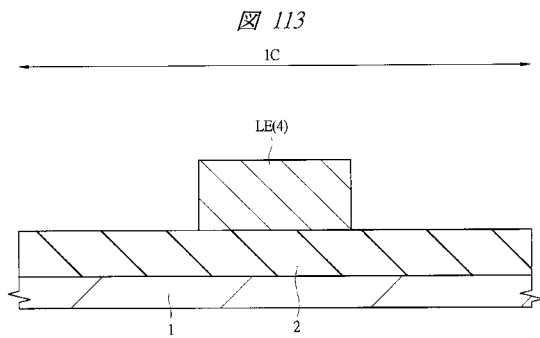
【図 110】



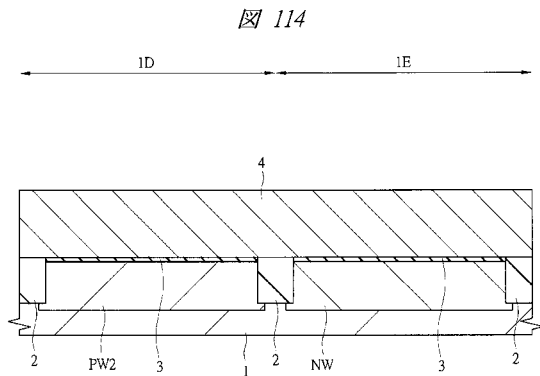
【図 112】



【図 113】



【図 114】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/792 (2006.01)

(72)発明者 舟山 幸太
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

(72)発明者 茶木原 啓
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

(72)発明者 石井 泰之
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

Fターム(参考) 5F083 EP17 EP18 EP23 EP33 EP35 EP49 EP63 EP68 ER02 ER11
 GA11 GA27 JA03 JA33 JA35 JA36 JA39 JA53 KA01 KA02
 LA16 LA21 MA01 MA05 MA06 MA16 MA18 MA19 NA01 PR33
 PR43 PR44 PR45 PR53 PR54 PR55
 5F101 BA42 BA45 BA47 BA54 BB05 BB08 BC12 BD07 BD20 BD22
 BD35 BD36 BE02 BE05 BE07 BH16 BH21