



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년10월29일

(11) 등록번호 10-1564232

(24) 등록일자 2015년10월23일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호

10-2009-0017194

(22) 출원일자

2009년02월27일

심사청구일자

2014년02월24일

(65) 공개번호

10-2009-0094199

(43) 공개일자

2009년09월04일

(30) 우선권주장

JP-P-2008-051436 2008년03월01일 일본(JP)

(56) 선행기술조사문현

JP05190857 A*

JP2005167051 A

JP07263698 A

JP06082831 A

*는 심사관에 의하여 인용된 문현

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

다이리키 케지

일본, 카나가와Ken 243-0036, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

이케다 타카유키

일본, 카나가와Ken 243-0036, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(뒷면에 계속)

(74) 대리인

장훈

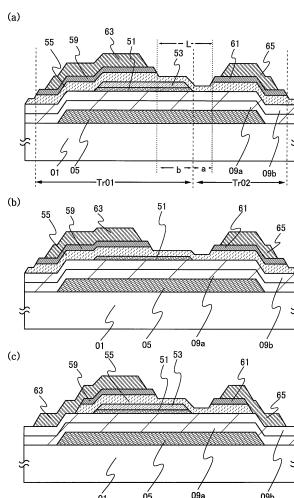
전체 청구항 수 : 총 23 항

심사관 : 최혜미

(54) 발명의 명칭 박막 트랜지스터 및 표시 장치

(57) 요약

본 발명은, 박막 트랜지스터의 온 전류 및 오프 전류에 따른 문제점을 개선한다. 이간(離間)하여 형성된, 일 도전형을 부여하는, 불순물 원소가 첨가된 한 쌍의 불순물 반도체층과, 상기 게이트 절연층 위에서 상기 게이트 전극 및 상기 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층의 한 쪽과 중첩하는 도전층과, 상기 도전층 위로부터 상기 게이트 절연층 위에 연장되고, 상기 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층의 양쪽과 접하여, 상기 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층간에 연속적으로 형성되는 비정질 반도체층을 갖는 박막 트랜지스터이다.

대표도 - 도1

(72) 발명자

미야이리 히데카즈

일본, 카나가와켄 243-0036, 아쓰기시, 하세, 398,
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

쿠로카와 요시유키

일본, 카나가와켄 243-0036, 아쓰기시, 하세, 398,
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

고도 히로미치

일본, 카나가와켄 243-0036, 아쓰기시, 하세, 398,
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

카와에 다이스케

일본, 카나가와켄 243-0036, 아쓰기시, 하세, 398,
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

이노우에 타카유키

일본, 카나가와켄 243-0036, 아쓰기시, 하세, 398,
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

코바야시 사토시

일본, 카나가와켄 243-0036, 아쓰기시, 하세, 398,
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

기판 위의 게이트 전극과;

상기 게이트 전극 위의 게이트 절연층과;

상기 게이트 절연층을 개재하여 상기 게이트 전극 위에 제공된 도전층과;

상기 도전층 위의, 제 1 부분 및 제 2 부분을 포함하는 비정질 반도체층으로서, 상기 제 1 부분은 상기 게이트 전극 및 상기 도전층과 중첩하고, 상기 제 2 부분은 상기 게이트 전극과 중첩하고 상기 게이트 절연층과 접하는, 상기 비정질 반도체층과;

상기 비정질 반도체층 위의 제 1 불순물 반도체층으로서, 상기 비정질 반도체층의 상기 제 1 부분과 중첩하는, 상기 제 1 불순물 반도체층과;

상기 비정질 반도체층 위의 제 2 불순물 반도체층으로서, 상기 비정질 반도체층의 상기 제 2 부분과 중첩하는, 상기 제 2 불순물 반도체층을 포함하고,

상기 도전층은 상기 제 1 불순물 반도체층 및 상기 제 2 불순물 반도체층 중 하나와는 중첩하고 상기 제 1 불순물 반도체층 및 상기 제 2 불순물 반도체층 중 다른 하나와는 중첩하지 않는, 박막 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 도전층 위에 버퍼층을 더 포함하는, 박막 트랜지스터.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

기판 위의 게이트 전극과;

상기 게이트 전극 위의 게이트 절연층과;

상기 게이트 절연층을 개재하여 상기 게이트 전극 위에 제공된 도전층과;

상기 도전층 위의, 제 1 부분 및 제 2 부분을 포함하는 비정질 반도체층으로서, 상기 제 1 부분은 상기 게이트 전극 및 상기 도전층과 중첩하고, 상기 제 2 부분은 상기 게이트 전극과 중첩하고, 상기 도전층과 중첩하지 않는, 상기 비정질 반도체층과;

상기 비정질 반도체층 위의 제 1 불순물 반도체층으로서, 상기 비정질 반도체층의 상기 제 1 부분과 중첩하는, 상기 제 1 불순물 반도체층과;

상기 비정질 반도체층 위의 제 2 불순물 반도체층으로서, 상기 비정질 반도체층의 상기 제 2 부분과 중첩하는, 상기 제 2 불순물 반도체층을 포함하고,

상기 도전층은 상기 제 1 불순물 반도체층 및 상기 제 2 불순물 반도체층 중 하나와는 중첩하고 상기 제 1 불순물 반도체층 및 상기 제 2 불순물 반도체층 중 다른 하나와는 중첩하지 않는, 박막 트랜지스터.

청구항 12

제 11 항에 있어서,

상기 도전층 위에 버퍼층을 더 포함하는, 박막 트랜지스터.

청구항 13

제 12 항에 있어서,

상기 도전층과 상기 버퍼층을 덮는 미결정 실리콘층을 더 포함하는, 박막 트랜지스터.

청구항 14

제 1 항 또는 제 11 항에 있어서,

상기 비정질 반도체층의 상기 제 1 부분은 상기 도전층과 접하는, 박막 트랜지스터.

청구항 15

제 1 항 또는 제 11 항에 있어서,

상기 도전층의 전기 전도도가 $0.1S/cm$ 내지 $1.8S/cm$ 인, 박막 트랜지스터.

청구항 16

제 1 항 또는 제 11 항에 있어서,

상기 도전층은 금속층, 금속질화물층, 금속탄화물층, 금속붕화물층, 또는 금속규화물층인, 박막 트랜지스터.

청구항 17

제 1 항 또는 제 11 항에 있어서,

상기 도전층은 도너가 되는 불순물 원소를 포함하는 반도체층인, 박막 트랜지스터.

청구항 18

제 17 항에 있어서,

상기 반도체층의 도너 농도는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이상 $2 \times 10^{20} \text{ atoms/cm}^3$ 이하인, 박막 트랜지스터.

청구항 19

제 1 항 또는 제 11 항에 있어서,

상기 도전층은 도너가 되는 불순물 원소를 포함하는 미결정 실리콘층인, 박막 트랜지스터.

청구항 20

제 1 항 또는 제 11 항에 있어서,

상기 비정질 반도체층은 아모퍼스 실리콘층인, 박막 트랜지스터.

청구항 21

제 1 항 또는 제 11 항에 따른 박막 트랜지스터가 화소부의 각 화소에 제공된, 표시 장치.

청구항 22

기판 위의 게이트 전극과;

상기 게이트 전극 위의 게이트 절연층과;

개구부를 갖고 상기 게이트 전극과 중첩하는, 상기 게이트 절연층 위의 도전층과;

상기 도전층의 상기 개구부를 통해 상기 게이트 절연층과 접하는, 상기 도전층 위의 비정질 반도체층과;

상기 도전층의 상기 개구부와 중첩하고 상기 비정질 반도체층에 전기적으로 접속된, 상기 비정질 반도체층 위의 제 1 배선과;

상기 도전층과 중첩하고 상기 비정질 반도체층에 전기적으로 접속된, 상기 비정질 반도체층 위의 제 2 배선을 포함하는, 반도체 장치.

청구항 23

기판 위의 게이트 전극과;

상기 게이트 전극 위의 게이트 절연층과;

개구부를 갖고 상기 게이트 전극과 중첩하는, 상기 게이트 절연층 위의 도전층과;

개구부를 갖는, 상기 도전층 위의 베퍼층과;

상기 도전층의 상기 개구부 및 상기 베퍼층의 상기 개구부를 통해 상기 게이트 절연층과 접하는, 상기 베퍼층 위의 비정질 반도체층과;

상기 도전층의 상기 개구부 및 상기 베퍼층의 상기 개구부와 중첩하는, 상기 비정질 반도체층 위의 제 1 불순물 반도체층과;

상기 도전층과 중첩하는, 상기 비정질 반도체층 위의 제 2 불순물 반도체층과;

상기 제 1 불순물 반도체층과 접하는, 상기 제 1 불순물 반도체층 위의 제 1 배선과;

상기 제 2 불순물 반도체층과 접하는, 상기 제 2 불순물 반도체층 위의 제 2 배선을 포함하는, 반도체 장치.

청구항 24

제 23 항에 있어서,

상기 제 1 불순물 반도체층은 원형막이고,

상기 제 2 불순물 반도체층은 환형막(ring-shaped film)인, 반도체 장치.

청구항 25

제 22 항 또는 제 23 항에 있어서,

상기 도전층은 금속층, 금속질화물층, 금속탄화물층, 금속붕화물층, 또는 금속규화물층인, 반도체 장치.

청구항 26

제 22 항 또는 제 23 항에 있어서,

상기 도전층은 도너가 되는 불순물 원소를 포함하는 반도체층인, 반도체 장치.

청구항 27

제 26 항에 있어서,

상기 반도체층의 도너 농도는 1×10^{18} atoms/cm³ 이상 2×10^{20} atoms/cm³ 이하인, 반도체 장치.

청구항 28

제 22 항 또는 제 23 항에 있어서,

상기 도전층은 도너가 되는 불순물 원소를 포함하는 미결정 실리콘층인, 반도체 장치.

청구항 29

제 26 항에 있어서,

상기 미결정 실리콘층의 도너 농도는 1×10^{18} atoms/cm³ 이상 2×10^{20} atoms/cm³ 이하인, 반도체 장치.

청구항 30

제 22 항 또는 제 23 항에 있어서,

상기 비정질 반도체층은 아모퍼스 실리콘층인, 반도체 장치.

청구항 31

제 23 항에 있어서,

상기 베퍼층은 할로겐을 포함하는 아모퍼스 실리콘층인, 반도체 장치.

발명의 설명**발명의 상세한 설명****기술 분야**

[0001] 본 발명은 박막 트랜지스터, 혹은 상기 박막 트랜지스터를 사용하여 동작하는 표시 장치에 관한 것이다.

배경 기술

[0002] 전계 효과 트랜지스터의 일종으로서, 절연 표면을 갖는 기판 위에 형성된 반도체층에 채널 영역이 형성되는 박막 트랜지스터가 알려져 있다. 박막 트랜지스터에 사용되는 반도체층으로서, 아모퍼스 실리콘, 미결정 실리콘 및 다결정 실리콘을 사용하는 기술이 개시되어 있다(특히 문헌 1 내지 특허 문헌 5 참조). 박막 트랜지스터의 대표적인 응용 예는, 액정 텔레비전 장치이며, 표시 패널을 구성하는 각 화소의 스위칭 트랜지스터로서 실용화되어 있다.

[0003] [특허문헌 1] 특개2001-053283호 공보

[0004] [특허문헌 2] 특개평5-129608호 공보

[0005] [특허문헌 3] 특개2005-049832호 공보

[0006] [특허문헌 4] 특개평7-131030호 공보

[0007] [특허문헌 5] 특개2005-191546호 공보

발명의 내용

해결 하고자하는 과제

- [0008] 아모퍼스 실리콘층에 채널이 형성되는 박막 트랜지스터는, 전계 효과 이동도가 $0.4\text{cm}^2/\text{V}\cdot\text{sec}$ 내지 $0.8\text{cm}^2/\text{V}\cdot\text{sec}$ 정도 밖에 얻어질 수 없고, 온 전류가 낮다는 문제가 있다. 한편, 미결정 실리콘층에 채널이 형성되는 박막 트랜지스터는, 아모퍼스 실리콘에 의한 박막 트랜지스터와 비교하여, 전계 효과 이동도가 향상되긴 하지만, 오프 전류가 높아지므로 충분한 스위칭 특성이 얻어질 수 없다는 문제가 있다.
- [0009] 다결정 실리콘층이 채널 형성 영역이 되는 박막 트랜지스터는, 상기 2종류의 박막 트랜지스터보다 전계 효과 이동도가 각별히 높고, 높은 온 전류가 얻어진다는 특성을 갖는다. 이 박막 트랜지스터는 상술한 특성에 의하여, 화소에 형성되는 스위칭용의 박막 트랜지스터뿐만 아니라, 고속 동작이 요구되는 드라이버 회로까지 구성할 수 있다.
- [0010] 그러나, 다결정 실리콘층이 채널 형성 영역이 되는 박막 트랜지스터는, 아모퍼스 실리콘층으로 박막 트랜지스터를 형성하는 경우에 비하여, 반도체층의 결정화 공정이 필요하고, 제작 비용이 증대되는 것이 문제가 되고 있다. 예를 들어, 다결정 실리콘층의 제작을 위하여 필요한 레이저 어닐 기술은, 레이저 범위 조사 면적이 작고, 대화면의 액정 패널을 효율 좋게 생산할 수 없다는 문제가 있다.
- [0011] 그런데, 표시 패널의 제작에 사용되는 유리 기판은, 제 3 세대($550\text{mm} \times 650\text{mm}$), 제 3.5 세대($600\text{mm} \times 720\text{mm}$, 또는 $620\text{mm} \times 750\text{mm}$), 제 4 세대($680\text{mm} \times 880\text{mm}$ 또는 $730\text{mm} \times 920\text{mm}$), 제 5 세대($1100\text{mm} \times 1300\text{mm}$), 제 6 세대($1500\text{mm} \times 1850\text{mm}$), 제 7 세대($1870\text{mm} \times 2200\text{mm}$), 제 8 세대($2200\text{mm} \times 2400\text{mm}$) 등, 해마다 대형화가 진행되고, 앞으로는 제 9 세대($2400\text{mm} \times 2800\text{mm}$, $2450\text{mm} \times 3050\text{mm}$), 제 10 세대($2950\text{mm} \times 3400\text{mm}$)로 계속하여 대형화가 진행될 것으로 예측된다. 유리 기판의 대형화는, 코스트 미니멈(cost minimum) 설계의 사상에 의거한다.
- [0012] 이것에 대하여, 제 10 세대($2950\text{mm} \times 3400\text{mm}$)에 있어서의 대면적의 마더 유리 기판에, 고속 동작이 가능한 박막 트랜지스터를, 생산성 좋게 제작할 수 있는 기술은, 여전히 확립되어 있지 않으며, 그것이 바로 산업계의 문제가 되고 있다.
- [0013] 따라서, 박막 트랜지스터의 온 전류 및 오프 전류에 따른 상기 문제점을 해결하는 것을 과제의 하나로 한다. 또한, 다른 과제로서는, 고속 동작이 가능한 박막 트랜지스터를 제공하는 것에 있다.
- 과제 해결수단
- [0014] 본 발명의 일 형태인 박막 트랜지스터는, 게이트 절연층을 통하여, 적어도 일부가 게이트 전극과 중첩하도록 이간하여 형성된, 소스 영역 및 드레인 영역을 형성하는 일 도전형을 부여하는, 불순물 원소가 첨가된 한 쌍의 불순물 반도체층을 갖는다. 게이트 절연층 위에서 게이트 전극 및 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층의 한 쪽과 중첩하는 도전층과, 상기 도전층으로부터 게이트 절연층 위에 연장되고, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층의 양쪽과 접하고, 상기 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층 사이에 연속적으로 형성되는 비정질 반도체층을 갖는다. 또한, 도전층과 중첩하는 버퍼층을 형성하여도 좋다.
- [0015] 본 발명의 일 형태인 박막 트랜지스터는, 게이트 전극을 피복하는 게이트 절연층과, 게이트 절연층 위에 형성된 비정질 반도체층과, 상기 비정질 반도체층 위에 이간하여 형성된 소스 영역 및 드레인 영역을 형성하는 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층을 갖는다. 게이트 절연층과 비정질 반도체층 사이에 형성되고, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층의 한 쪽과 중첩하고, 상기 소스 영역과 상기 드레인 영역 사이에서 연장되는 도전층을 갖는다. 또한, 상기 도전층 및 비정질 반도체층에 접하여, 도전층과 중첩하는 버퍼층을 갖는다.
- [0016] 본 발명의 일 형태인 박막 트랜지스터는, 게이트 절연층을 통하여 게이트 전극과 중첩하는 도전층과, 도전층의 측면을 피복하는 비정질 반도체층과, 비정질 반도체층 위에 형성되고, 소스 영역 또는 드레인 영역을 형성하는 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층을 갖는다. 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층의 한 쪽은, 도전층과 적어도 일부가 중첩하고, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층의 한 쪽은 도전층의 외측에 형성된다.
- [0017] 박막 트랜지스터는, 소스 영역 및 드레인 영역 사이를 흐르는 캐리어(전자 또는 전공)를, 게이트 전극에 인가하는 전압에 의하여 제어하지만, 소스 영역과 드레인 영역 사이를 흐르는 캐리어는, 게이트 전극과 중첩하여 형성되는 도전층과, 상기 도전층 위로부터 채널 길이 방향으로 연장되어 형성되는 비정질 반도체층을 흐른다.

[0018] 다만, 도전층은, 박막 트랜지스터의 채널 길이 방향의 전체에 걸쳐 연장되는 것이 아니라, 소스 영역 및 드레인 영역을 형성하는 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층의 한 쪽과는 중첩하지 않도록 형성된다. 즉, 이 박막 트랜지스터는 소스 영역 및 드레인 영역 사이의 채널 길이 방향의 일정 거리는, 채널간을 흐르는 캐리어가 비정질 반도체층을 흐르도록 구성된다.

[0019] 도전층의 전기 전도도가 $0.1\text{S}/\text{cm}$ 내지 $1.8\text{S}/\text{cm}$ 이며, 비정질 반도체층의 전기 전도도는 도전층의 전기 전도도보다 낮다. 미결정 반도체층의 도너 농도는, $1\times 10^{18}\text{ atoms}/\text{cm}^3$ 이상 $2\times 10^{20}\text{ atoms}/\text{cm}^3$ 이하이다. 도전층은, 적어도 박막 트랜지스터의 채널 길이 방향으로 연장되고, 상술한 전기 전도도를 가짐으로써, 높은 온 전류를 발생시키도록 작용한다. 한편, 채널 사이에 있고, 소위 오프셋 영역을 형성하는 비정질 반도체층은, 오프 전류를 저감하도록 작용한다.

[0020] 불순물 반도체란, 전기 전도에 관여한 캐리어의 대부분이 첨가된 불순물로부터 공급되는 반도체를 말한다. 불순물은, 캐리어로서 전자를 공급하는 도너가 될 수 있는 원소, 또는 정공을 공급하는 억셉터가 될 수 있는 원소이고, 대표적으로는 도너는 주기율표 제 15족 원소, 억셉터는 주기율표 제 13족 원소가 해당한다.

[0021] 미결정 반도체란, 예시적으로는 결정 입경이 2nm 이상 200nm 이하, 바람직하게는 10nm 이상 80nm 이하, 보다 바람직하게는 20nm 이상 50nm 이하이며, 전기 전도도가 대략 $10^{-7}\text{S}/\text{cm}$ 내지 $10^{-4}\text{S}/\text{cm}$ 인 것이, 가전자(價電子) 제어에 의하여 $10^1\text{S}/\text{cm}$ 정도까지 높아지는 반도체를 가리킨다. 하기야, 미결정 반도체의 개념은 상술한 결정 입경, 전기 전도도의 값으로만 고정되는 것이 아니라, 동등한 물성 값을 갖는 것이라면, 다른 반도체 재료로 치환할 수도 있다. 비정질 반도체란, 결정 구조를 갖지 않는(원자의 배열에 긴 거리 질서를 갖지 않는) 반도체를 가리킨다. 또한, 아모퍼스 실리콘에는, 수소가 포함되는 것을 포함한다.

[0022] 「온 전류」란 채널 형성 영역에 전류를 흘리기 위하여 게이트 전극에 적절한 게이트 전압을 인가한 경우(즉, 박막 트랜지스터가 온 상태인 경우)에, 채널 형성 영역을 흐르는 전류이다. 「오프 전류」란 박막 트랜지스터의 임계 값 전압보다 낮은 게이트 전압의 경우(즉, 박막 트랜지스터가 오프 상태인 경우)에, 소스와 드레인 사이에 흐르는 전류이다.

효과

[0023] 도전층을 박막 트랜지스터의 채널 길이 방향의 전체에 걸쳐 연장시키는 것이 아니라, 소스 영역 및 드레인 영역을 형성하는 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층의 한 쪽과는 중첩하지 않도록 형성하고, 소스 영역 및 드레인 영역 사이의 채널 길이 방향의 일정 거리는, 채널간을 흐르는 캐리어가 비정질 반도체층을 흐르도록 구성함으로써, 높은 온 전류를 얻는 것과 함께, 오프 전류를 저감시킬 수 있다.

[0024] 또한, 도전층의 도너 농도를 높임으로써, 전계 효과 이동도를 높일 수 있으므로, 고속 동작을 가능하게 할 수 있다.

발명의 실시를 위한 구체적인 내용

[0025] 이하의 발명의 실시형태에 대하여 도면을 사용하여 이하에 설명한다. 다만, 개시되는 발명은 이하의 설명에 한정되지 않고, 개시되는 발명의 취지 및 범위로부터 벗어남이 없이 그의 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 개시되는 발명은 하기에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 이하에 개시되는 발명의 구성에 있어서, 동일 부분을 가리키는 부호는 상이한 도면간에서 공통으로 사용한다.

[0026] 또한, 이하의 실시형태에서는, 게이트 전극(05)이 게이트 배선의 일부인 형태를 나타낸다. 그래서, 게이트 전극(05)을 게이트 배선(05)이라고 기재하는 경우가 있다. 또한, 마찬가지로 배선(63)을 소스 배선(63) 또는 소스 전극(63)이라고 기재하는 경우가 있다.

[0027] (실시형태 1)

[0028] 여기서는, 미결정 반도체층을 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여 오프 전류가 낮고, 비정질 반도체층을 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여 고속 동작이 가능하고, 온 전류가 높은 박막 트랜지스터의 구조에 대하여 도 1a 내지 도 1c를 사용하여 설명한다.

[0029] 도 1a에 도시하는 박막 트랜지스터는, 기판(01) 위에 게이트 전극(05)이 형성되고, 게이트 전극(05) 위에 게이

트 절연층(09a, 09b)이 형성되고, 게이트 절연층(09b) 위에, 도전층(51)이 형성되고, 도전층(51) 위에 베퍼층(53)이 형성된다. 이 베퍼층(53)은, 도전층(51)과 대략 중첩하여 형성된다. 또한, 도전층(51) 및 베퍼층(53)의 측면 및 상면을 덮는 비정질 반도체층(55)이 형성된다. 비정질 반도체층(55) 위에 소스 영역 및 드레인 영역을 형성하는 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)(제 1 불순물 반도체층(59) 및 제 2 불순물 반도체층(61))이 형성되고, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61) 위에 배선(63, 65)이 형성된다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)의 한 쪽(61)은 베퍼층(53)에 중첩하지 않는다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)의 다른 쪽(59)의 일 단부는, 베퍼층(53)에 중첩한다.

[0030] 도전층(51)은, 전기 전도율이 0.1Scm^{-1} 내지 1.8Scm^{-1} 의 도전층으로 형성한다. 도전층(51)으로서는, 상기 전기 전도율을 충족시키는 금속층, 금속질화물층, 금속탄화물층, 금속붕화물층, 금속규화물층, 도너가 되는 불순물 원소가 첨가된 반도체층 등이 있다.

[0031] 금속층으로서는, 대표적으로는, 알루미늄, 구리, 티타늄, 네오디뮴, 스칸듐, 몰리브덴, 탄탈, 텉스텐, 코발트, 니켈, 은, 금, 백금, 주석, 아리듐 등의 금속층, 또는 이들의 복수로 이루어지는 금속합금층을 적절히 사용할 수 있다. 또한, 상기 금속층 또는 금속합금층의 단층 또는 적층으로 형성할 수 있다.

[0032] 금속질화물층으로서는, 질화티타늄층, 질화지르코늄층, 질화하프늄층, 질화탄탈층, 질화바나듐층, 질화니오븀층, 질화크롬층, 질화란탄층, 질화아이트륨층 등을 사용할 수 있다. 또한, 상기 금속질화물층의 단층 또는 적층으로 형성할 수 있다.

[0033] 금속탄화물층으로서는, 탄화티타늄층, 탄화하프늄층, 탄화니오븀층, 탄화탄탈층, 탄화바나듐층, 탄화지르코늄층, 탄화크롬층, 탄화코발트층, 탄화몰리브덴층, 탄화텅스텐층 등을 사용할 수 있다. 또한, 상기 금속탄화물층의 단층 또는 적층으로 형성할 수 있다.

[0034] 금속붕화물층으로서는, 봉화티타늄층을 사용할 수 있다.

[0035] 금속규화물층으로서는, 규화백금층, 규화티타늄층, 규화몰리브덴층, 규화니켈층, 규화크롬층, 규화코발트층, 규화바나듐층, 규화텅스텐층, 규화지르코늄층, 규화하프늄층, 규화니오븀층, 규화탄탈층 등을 사용할 수 있다. 또한, 상기 금속규화물층의 단층 또는 적층으로 형성할 수 있다.

[0036] 또한, 도전층(51)을 금속층, 금속질화물층, 금속탄화물층, 금속붕화물층, 금속규화물층 중의 복수를 사용한 적층 구조로 할 수 있다.

[0037] 또한, 도전층(51)으로서 금속층, 금속질화물층, 금속탄화물층, 금속붕화물층, 금속규화물층을 형성하는 경우, 비정질 반도체층(55)과 오직 접촉을 시키기 위하여, 금속층, 금속질화물층, 금속탄화물층, 금속붕화물층, 금속규화물층 등 중의 어느 것 위에 도너가 되는 불순물 원소, 또는 억셉터가 되는 불순물 원소가 첨가된 반도체층(72a)을 형성한 적층 구조로 하여도 좋다(도 32a 참조). 또한, 도너가 되는 불순물 원소, 또는 억셉터가 되는 불순물 원소가 첨가된 반도체층(72c)은, 금속층, 금속질화물층, 금속탄화물층, 금속붕화물층, 금속규화물층 등 중의 어느 것의 상면 및 측면을 덮어도 좋다(도 32b 참조). 또한, 게이트 절연층(09b) 위에 도너가 되는 불순물 원소, 또는 억셉터가 되는 불순물 원소가 첨가된 반도체층(72e)을 형성하고, 그 위에 금속층, 금속질화물층, 금속탄화물층, 금속붕화물층, 금속규화물층 중의 어느 것을 형성하는 적층 구조로 하여도 좋다(도 32c 참조). 이러한 구조로 함으로써, 금속층, 금속질화물층, 금속탄화물층, 금속붕화물층, 금속규화물층 등 중의 어느 것과, 비정질 반도체층의 계면에 있어서의 쇼트키(Schottky) 접합을 회피할 수 있고, 박막 트랜ジ스터의 특성이 향상된다.

[0038] 도너가 되는 불순물 원소가 첨가된 반도체층은, 캐리어로서 전자를 공급하는 원소인 도너가 첨가된다. 도너가 되는 불순물 원소는, 대표적으로는 주기율표 제 15족 원소인 인, 비소, 안티몬 등이 있다. 도너가 되는 불순물 원소가 첨가된 반도체층으로서는, 아모퍼스 실리콘층, 아모퍼스 실리콘 게르마늄층, 비정질 게르마늄층, 미결정 실리콘층, 미결정 실리콘 게르마늄층, 미결정 게르마늄층, 다결정 실리콘층, 다결정 실리콘 게르마늄층, 다결정 게르마늄층 등으로 형성된다. 또한, 반도체층이 비정질 게르마늄층 및 미결정 게르마늄층의 경우는, 저항률이 낮으므로, 도너가 되는 불순물 원소를 포함하지 않아도 좋다.

[0039] 도너가 되는 불순물 원소가 첨가된 반도체층에 첨가된 도너가 되는 불순물 원소의 농도를, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 측정한 경우에, $1\times10^{18}\text{ atoms/cm}^3$ 이상 $2\times10^{20}\text{ atoms/cm}^3$ 이하로 함으로써, 게이트 절연층(09b)과 도너가 되는 불순물 원소가 첨가된 반도체층의 계면에 있어서의 저항을 저

감할 수 있고, 또한, 고속 동작이 가능하고, 온 전류가 높은 박막 트랜지스터를 제작할 수 있다.

[0040] 여기서의 미결정 반도체란, 비정질과 결정 구조(단결정, 다결정을 포함함)의 중간적인 구조의 반도체이다. 이 반도체는 자유 에너지적으로 안정된 제 3 상태를 갖는 반도체로서, 단거리 질서를 갖고 격자 왜곡을 갖는 결정 질의 것이고, 입경이 0.2nm 이상 200nm 이하, 바람직하게는 10nm 이상 80nm 이하, 보다 바람직하게는 20nm 이상 50nm 이하의 주상(柱狀) 또는 침상(針狀)의 결정이 기판 표면에 대하여 법선(法線) 방향으로 성장한다. 또한, 전기 전도도가 대략 10^{-7} S/cm 내지 10^{-4} S/cm인 것이, 가전자 제어에 위하여 10^1 S/cm 정도까지 높아지는 반도체를 가리킨다. 또한, 복수의 미결정 반도체간에 비단결정 반도체가 존재한다. 미결정 반도체의 대표예인 미결정 실리콘은, 그의 라만 스펙트럼이 단결정 실리콘을 나타내는 520cm^{-1} 보다도 저파수(低波數) 측으로 시프트(shift)한다. 즉, 단결정 실리콘을 나타내는 520cm^{-1} 와 아모퍼스 실리콘을 나타내는 480cm^{-1} 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 있다. 또한, 미결합수(未結合手)(댕글링 본드(dangling bond))를 종단하기 위하여, 수소 또는 할로겐을 적어도 1atoms%, 또는 그 이상 포함하게 한다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희가스 원소를 포함시켜 격자 왜곡을 더욱 조장시킴으로써, 안정성이 높아지고 양호한 미결정 반도체를 얻을 수 있다. 이러한 미결정 반도체에 관한 기재는, 예를 들어, 미국특허 4,409,134호에 개시되어 있다. 하기야, 미결정 반도체의 개념은 상술한 결정 입경, 전기 전도도의 값으로만 고정되는 것이 아니라, 동등한 물성 값을 갖는 것이라면, 다른 반도체 재료로 치환할 수도 있다.

[0041] 도전층(51)의 두께는, 5nm 이상 50nm 이하, 바람직하게는 5nm 이상 30nm 이하로 형성한다.

[0042] 또한, 도전층(51)이 도너가 되는 불순물 원소가 첨가된 반도체층의 경우, 산소 농도 및 질소 농도는, 도너가 되는 불순물 원소의 농도의 10배 미만, 대표적으로는, 3×10^{19} atoms/cm³ 미만, 보다 바람직하게는, 3×10^{18} atoms/cm³ 미만, 탄소 농도를 3×10^{18} atoms/cm³ 이하로 하는 것이 바람직하다. 산소, 질소, 및 탄소가 도너가 되는 불순물 원소가 첨가된 반도체층에 혼입하는 농도를 저감함으로써, 도너가 되는 불순물 원소가 첨가된 반도체층이 미결정 반도체층의 경우, 미결정 반도체층의 결함의 생성을 억제할 수 있다. 또한, 산소 및 질소가 미결정 반도체층 중에 혼입되면, 결정화하기 어렵다. 따라서, 도너가 되는 불순물 원소가 첨가된 반도체층이 미결정 반도체층의 경우, 미결정 반도체층 중의 산소 농도, 질소 농도가 비교적으로 낮고, 또 도너가 되는 불순물 원소를 첨가함으로써 미결정 반도체층의 결정성을 높일 수 있다.

[0043] 또한, 도너가 되는 불순물 원소가 첨가된 반도체층의 경우, 도너가 되는 불순물 원소가 첨가된 반도체층에 억셉터가 되는 불순물 원소를 성막과 동시에, 또는 성막한 후에 첨가함으로써, 임계 값 전압을 제어할 수 있다. 억셉터가 되는 불순물 원소로서는, 대표적으로는, 붕소이고, B₂H₆, BF₃ 등의 불순물 기체를 1ppm 내지 1000ppm, 바람직하게는, 1ppm 내지 100ppm의 비율로 수소화 실리콘에 혼입시키면 좋다. 그리고, 붕소의 농도는, 도너가 되는 불순물 원소의 1/10 정도, 예를 들어, 1×10^{14} atoms/cm³ 내지 6×10^{16} atoms/cm³로 하면 좋다.

[0044] 베피층(53)은, 비정질 반도체층을 사용하여 형성한다. 또는, 불소 또는 염소 등의 할로겐이 첨가되는 비정질 반도체층을 사용한다. 베피층(53)의 두께를 30nm 내지 200nm, 바람직하게는 50nm 내지 150nm로 한다. 비정질 반도체층으로서는, 아모퍼스 실리콘층, 또는 게르마늄을 포함하는 아모퍼스 실리콘층 등이 있다.

[0045] 베피층(53)의 측면을 30° 내지 60°로 경사시킴으로써, 도전층(51)이 미결정 반도체층의 경우, 상기 미결정 반도체층을 결정 성장 핵으로 하여, 미결정 반도체층에 접하는 비정질 반도체층(55)의 계면의 결정성을 높일 수 있으므로, 박막 트랜지스터의 고속 동작이 가능하여, 온 전류를 높일 수 있다.

[0046] 도전층(51)이 미결정 반도체층의 경우, 베피층(53)으로서 비정질 반도체층, 또한 수소, 질소, 또는 할로겐을 포함하는 비정질 반도체층을 형성함으로써, 도너가 되는 불순물 원소가 첨가되는 반도체층의 결정립의 표면의 자연 산화를 방지할 수 있다. 특히, 미결정 반도체층에 있어서, 비정질 반도체층과 미결정립이 접하는 영역에서는, 국부 응력에 의하여 균열이 생기기 쉽다. 이 균열이 산소에 노출되면, 결정립은 산화되어 산화 실리콘이 형성된다. 그렇지만, 도너가 되는 불순물 원소가 첨가된 반도체층의 표면에 베피층(53)을 형성함으로써, 미결정립의 산화를 방지할 수 있다. 그래서, 캐리어가 포획되는 결함, 또는 캐리어의 진행을 막는 영역을 저감할 수 있고, 박막 트랜지스터의 고속 동작이 가능하여, 온 전류를 높일 수 있다.

[0047] 비정질 반도체층(55)은, 아모퍼스 실리콘층, 또는 게르마늄을 포함하는 아모퍼스 실리콘층 등이 있다. 또한, 비정질 반도체층(55)에 불소, 염소 등이 포함되어도 좋다. 또한, 도전층(51)에 도너가 되는 불순물 원소가 첨가된 반도체층이 첨가된 반도체층이 형성된 경우, 도너가 되는 불순물 원소가 첨가된 반도체층보다 낮은 농도의

인이 첨가된 비정질 반도체층을 사용하여도 좋다. 또한, 배선과 중복하는 비정질 반도체층(55)의 두께를 50nm 이상 500nm 미만으로 한다.

[0048] 비정질 반도체층(55)은, 도전층(51) 및 베피층(53)의 측면을 덮는다. 또한, 도전층(51)의 주변부에 있어서, 게이트 절연층(09b)과 비정질 반도체층(55)이 접한다. 이들의 구조에 의하여, 도전층(51)과 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)이 격리되어, 도전층(51)과 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)과의 사이에서 발생하는 누설 전류를 저감시킬 수 있다. 또한, 비정질 반도체층(55)은, 베피층(53)과 중첩되는 것이 바람직하다. 비정질 반도체층(55)이 베피층(53)과 중첩됨으로써, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)과, 베피층(53)이 직접 접하지 않으므로 누설 전류를 저감할 수 있다.

[0049] 또한, 게이트 절연층(09b)이 산화실리콘층 또는 질화실리콘층의 경우, 도전층(51)에 도너가 되는 불순물 원소가 첨가된 반도체층을 사용한 경우, 도너가 되는 불순물 원소가 첨가된 반도체층보다 낮은 농도의 인이 첨가된 비정질 반도체층을 비정질 반도체층(55)으로서 사용함으로써, 임계 간 전압의 변동을 저감시킬 수 있다.

[0050] 기판(01)은, 바륨 보로실리케이트 유리, 알루미노 보로실리케이트 유리, 또는 알루미노 실리케이트 유리 등, 퓨전법이나 플로팅법으로 제작되는 무 알칼리 유리 기판, 세라믹스 기판 이외에, 본 제작 공정의 처리 온도에 견딜 수 있는 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 또한, 스테인리스 합금 등의 금속 기판 표면에 절연층을 형성한 기판을 적용하여도 좋다. 기판(01)이 마더 유리인 경우, 기판의 크기는, 제 1 세대(320mm×400mm), 제 2 세대(400mm×500mm), 제 3 세대(550mm×650mm), 제 4 세대(680mm×880mm 또는 730mm×920mm), 제 5 세대(1000mm×1200mm 또는 1100mm×1250mm), 제 6 세대(1500mm×1800mm), 제 7 세대(1900mm×2200mm), 제 8 세대(2160mm×2460mm), 제 9 세대(2400mm×2800mm, 2450mm×3050mm), 제 10 세대(2950mm×3400mm) 등을 사용할 수 있다.

[0051] 게이트 전극(05)은 금속 재료로 형성된다. 금속 재료로서는, 알루미늄, 크롬, 티타늄, 탄탈, 몰리브덴, 구리 등이 적용된다. 게이트 전극(05)의 적합한 예는, 알루미늄 또는 알루미늄과 배리어 금속의 적층 구조체에 의하여 형성된다. 배리어 금속으로서는, 티타늄, 몰리브덴, 크롬 등의 고용접 금속이 적용된다. 배리어 금속은 알루미늄의 힐록(hilllock) 방지, 산화 방지를 위하여 형성하는 것이 바람직하다.

[0052] 게이트 전극(05)은 두께 50nm 이상 300nm 이하로 형성한다. 게이트 전극(05)의 두께를 50nm 이상 100nm 이하로 함으로써, 후에 형성되는 반도체층이나 배선의 단절(段切) 방지가 가능하다. 또한, 게이트 전극(05)의 두께를 150nm 이상 300nm 이하로 함으로써, 게이트 전극(05)의 저항을 저감할 수 있고, 대면적화가 가능하다.

[0053] 또한, 게이트 전극(05) 위에는 반도체층이나 배선을 형성하기 때문에, 단절 방지를 위하여 단부가 테이퍼 형상이 되도록 가공하는 것이 바람직하다. 또한, 도시하지 않지만, 이 공정에 의하여 게이트 전극에 접속하는 배선이나 용량 배선도 동시에 형성할 수 있다.

[0054] 게이트 절연층(09a, 09b)은 각각, 두께 50nm 내지 150nm의 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 또는 질화산화 실리콘층으로 형성할 수 있다. 여기서는, 게이트 절연층(09a)으로서 질화 실리콘층 또는 질화산화 실리콘층을 형성하고, 게이트 절연층(09b)으로서 산화 실리콘층 또는 산화질화 실리콘층을 형성하여 적층하는 형태를 나타낸다. 또한, 게이트 절연층을 2층으로 하지 않고, 게이트 절연층을 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 또는 질화산화 실리콘층의 단층으로 형성할 수도 있다.

[0055] 게이트 절연층(09a)을 질화실리콘층, 또는 질화산화 실리콘층을 사용하여 형성함으로써, 기판(01)과 게이트 절연층(09a)과의 밀착력이 높아지고, 기판(01)으로서 유리 기판을 사용한 경우, 기판(01)으로부터의 불순물이, 도전층(51), 베피층(53) 및 비정질 반도체층(55)으로 확산되는 것을 방지할 수 있고, 또한, 게이트 전극(05)의 산화 방지를 할 수 있다. 즉, 막이 벗겨지는 것을 방지할 수 있음과 동시에, 후에 형성되는 박막 트랜지스터의 전기 특성을 향상시킬 수 있다. 또한, 게이트 절연층(09a, 09b)은 각각 두께 50nm 이상이라면, 게이트 전극(05)의 요철(凹凸)에 의한 피복률의 저감을 완화할 수 있기 때문에 바람직하다.

[0056] 여기서는, 산화질화 실리콘층이란, 그의 조성으로서, 질소보다 산소의 함유량이 많은 것으로서, 러더퍼더 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 및, 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 사용하여 측정한 경우에, 조성 범위로서 산소가 50atoms% 내지 70atoms%, 질소가 0.5atoms% 내지 15atoms%, Si가 25atoms% 내지 35atoms%, 수소가 0.1atoms% 내지 10atoms%의 범위로 함유되는 것을 가리킨다. 또한, 질화산화 실리콘층이란, 그의 조성으로서, 산소보다 질소의 함유량이 많은 것으로서, RBS 및 HFS를 사용하여 측정한 경우에, 조성 범위로서 산소가 5atoms% 내지 30atoms%, 질소가 20atoms% 내지 55atoms%, Si가

25atoms% 내지 35atoms%, 수소가 10atoms% 내지 30atoms%의 범위로 함유되는 것을 가리킨다. 다만, 산화질화 실리콘 또는 질화산화 실리콘을 구성하는 원자의 합계를 100atoms%로 한 경우, 질소, 산소, Si 및 수소의 함유 비율이 상기 범위 내로 포함되는 것으로 한다.

[0057] 일 도전형을 부여하는 불순물 원소가 침가된 한 쌍의 불순물 반도체층(59, 61)은, n채널형 박막 트랜지스터를 형성하는 경우에는, 대표적인 불순물 원소로서 인을 침가하면 좋고, 수소화 실리콘에 PH₃ 등의 불순물 기체를 더하면 좋다. 또한, p채널형 박막 트랜지스터를 형성하는 경우에는, 대표적인 불순물 원소로서 봉소를 침가하면 좋고, 수소화 실리콘에 B₂H₆ 등의 불순물 기체를 더하면 좋다. 인 또는 봉소의 농도를 1×10^{19} atoms/cm³ 내지 1×10^{21} atoms/cm³로 함으로써, 배선(63, 65)과 오믹 접촉(ohmic contact)할 수 있고, 소스 영역 및 드레인 영역으로서 기능한다. 일 도전형을 부여하는 불순물 원소가 침가된 한 쌍의 불순물 반도체층(59, 61)은 미결정 반도체층 또는 비정질 반도체층으로 형성할 수 있다. 일 도전형을 부여하는 불순물 원소가 침가된 한 쌍의 불순물 반도체층(59, 61)은 10nm 이상 100nm 이하, 바람직하게는 30nm 이상 50nm이하의 두께로 형성한다. 일 도전형을 부여하는 불순물 원소가 침가된 한 쌍의 불순물 반도체층(59, 61)의 막 두께를 얇게 함으로써, 스루풋(throughput)을 향상시킬 수 있다.

[0058] 일 도전형을 부여하는 불순물 원소가 침가된 한 쌍의 불순물 반도체층(59, 61)의 한 쪽, 여기서는 일 도전형을 부여하는 불순물 원소가 침가된 불순물 반도체층(61)은, 도전층(51)에 중첩하지 않고, 도전층(51)과 일정의 거리(거리 a)를 갖는다. 일 도전형을 부여하는 불순물 원소가 침가된 불순물 반도체층(59)의 단부와 도전층(51)의 단부와의 거리(거리 b)보다 거리(a)를 작게 함으로써, 박막 트랜지스터의 오프 전류를 저감하는 것과 함께, 온 전류를 높이며 고속 동작시킬 수 있다.

[0059] 배선(63, 65)은, 알루미늄, 구리, 또는 구리, 실리콘, 티타늄, 네오디뮴, 스칸듐, 몰리브덴 등의 마이그레이션(migration) 방지 원소, 내열성 향상 원소 또는 힐록(hillock) 방지 원소가 침가된 알루미늄 합금의 단층 또는 적층으로 형성하는 것이 바람직하다. 또한, 일 도전형을 부여하는 불순물 원소가 침가된 한 쌍의 불순물 반도체층(59, 61)과 접하는 측의 층을 티타늄, 탄탈, 몰리브덴, 텅스텐, 또는 이들 원소의 질화물로 형성하고, 그 위에, 알루미늄 또는 알루미늄 합금을 형성한 적층 구조로 하여도 좋다. 또한, 알루미늄 또는 알루미늄 합금의 상면 및 하면을, 티타늄, 탄탈, 몰리브덴, 텅스텐, 또는 이들 원소의 질화물로 끼운 적층 구조로 하여도 좋다. 여기서는, 배선(63, 65)으로서는, 티타늄층, 알루미늄층 및 티타늄층의 적층 구조를 사용할 수 있다.

[0060] 또한, 도 1b에 도시하는 바와 같이, 베퍼층(53)을 형성하지 않고, 도전층(51)에 접하여 비정질 반도체층(55)을 형성하여도 좋다. 베퍼층(53)을 형성하지 않음으로써 스루풋을 향상시킬 수 있다.

[0061] 또한, 도 1a에 도시하는 박막 트랜지스터는, 비정질 반도체층(55)이 배선(63, 65)과 접하지 않고, 일 도전형을 부여하는 불순물 원소가 침가된 한 쌍의 불순물 반도체층(59, 61)을 통하여 베퍼층(53) 위에 배선(63, 65)이 형성되는 구조를 도시하지만, 도 1c에 도시하는 바와 같이, 비정질 반도체층(55)의 측면이 배선(63, 65)과 접하는 구조로 할 수 있다.

[0062] 또한, 본 실시형태에서 나타내는 박막 트랜지스터는, 제 1 박막 트랜지스터(Tr01) 및 제 2 박막 트랜지스터(Tr02)가 접속된다. 제 1 박막 트랜지스터(Tr01)는, 게이트 전극(05), 게이트 절연층(09a, 09b), 도전층(51), 베퍼층(53), 비정질 반도체층(55), 일 도전형을 부여하는 불순물 원소가 침가된 불순물 반도체층(59), 및 배선(63)으로 구성된다. 제 2 박막 트랜지스터(Tr02)는, 게이트 전극(05), 게이트 절연층(09a, 09b), 비정질 반도체층(55), 일 도전형을 부여하는 불순물 원소가 침가된 불순물 반도체층(61) 및 배선(65)으로 구성된다.

[0063] 제 2 박막 트랜지스터(Tr02)는, 비정질 반도체층을 채널 형성 영역에 사용한 박막 트랜지스터이다. 그렇지만, 제 1 박막 트랜지스터(Tr01)에 있어서, 캐리어가 흐르는 영역은 도전층(51)이다. 상기 영역은, 전기 전도도가 $0.1S/cm$ 내지 $1.8S/cm$ 이므로, 일반적인 비정질 반도체층 및 미결정 반도체층과 비교하여 저항률이 낮다. 그래서, 게이트 전극(05)에 제 2 박막 트랜지스터(Tr02)의 임계 값 전압 미만의 정 전압이 인가되는 상태라도 도전층(51)에 다수의 캐리어가 유기된 상태가 된다. 제 2 박막 트랜지스터(Tr02)의 임계값 전압 이상의 정전압이 게이트 전극(05)에 인가되면, 제 2 박막 트랜지스터(Tr02)가 온이 되어, 도전층(51)에 유기되어 있던 다수의 캐리어가 제 1 박막 트랜지스터(Tr01)의 배선(63) 또는 제 2 박막 트랜지스터(Tr02)의 배선(65)으로 흐른다.

[0064] 본 실시형태의 박막 트랜지스터의 채널 길이(L)는, 일 도전형을 부여하는 불순물 원소가 침가된 불순물 반도체층(61)의 단부의 한 쪽과, 도전층(51)의 단부의 한 쪽의 거리(a), 및 일 도전형을 부여하는 불순물 원소가 침가된 불순물 반도체층(59)의 단부의 한 쪽과 도전층(51)의 단부의 한 쪽의 거리(b)의 합계이다. 채널 길이(L)에

대하여, 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(61)의 단부의 한 쪽과, 도전층(51)의 단부의 한 쪽의 거리(a)를 짧게 하고, 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(59)의 단부의 한 쪽과 도전층(51)의 단부의 한 쪽의 거리(b)를 길게 함으로써, 온 전류가 높아져 전계 효과 이동도도 높아진다.

[0065] 또한, 본 실시형태에 의하여, 제 2 박막 트랜지스터(Tr02)의 채널 길이(즉, 거리(a))를 짧게 할 수 있으므로, 제 2 박막 트랜지스터(Tr02)에 있어서, 단 채널 효과가 생기기 않도록 게이트 절연막의 막 두께를 얇게 하는 것이 바람직하다.

[0066] 한편, 게이트 전극(05)에 부의 전압을 인가하면, 도전층(51)에는, 캐리어가 유기되더라도, 제 2 박막 트랜지스터(Tr02)는 비정질 반도체층으로 형성되므로, 제 2 박막 트랜지스터(Tr02)가 박막 트랜지스터의 오프 전류의 흐름을 막을 수 있고, 오프 전류를 저감할 수 있다.

[0067] 이상으로, 본 실시형태에 나타내는 박막 트랜지스터는, 온 전류 및 전계 효과 이동도가 높고, 오프 전류가 낮은 박막 트랜지스터이다.

[0068] 또한, 소스 영역 및 드레인 영역을 연결하는 비정질 반도체층(55) 표면(백채널)은 요철 형상이 되고, 거리가 길기 때문에, 소스 영역 및 드레인 영역 사이의 비정질 반도체층(55) 표면을 흐르는 누설 패스의 거리가 길어진다. 결과적으로, 비정질 반도체층(55) 표면에 흐르는 누설 전류를 저감할 수 있다.

[0069] 또한, 게이트 전극(05)과, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61) 사이에는, 게이트 절연층(09a, 09b) 이외에 비정질 반도체층(55)이 형성되므로, 게이트 전극(05)과, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61) 사이의 간격이 넓어진다. 그래서, 게이트 전극(05)과, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61) 사이에 발생하는 기생 용량을 저감시킬 수 있다. 특히, 드레인 측의 전압 강하를 저감시키는 박막 트랜지스터로 할 수 있다. 그래서, 상기 구조를 사용한 표시 장치는, 화소의 응답 속도를 향상시킬 수 있다. 특히, 액정 표시 장치의 화소에 형성되는 박막 트랜지스터의 경우, 드레인 전압의 전압 강하를 저감할 수 있으므로, 액정 재료의 응답 속도를 상승시킬 수 있다.

[0070] (실시형태 2)

[0071] 본 실시형태에서는, 도전층(51) 및 베퍼층(53)의 다른 형상에 대하여, 도 2를 사용하여 도시한다.

[0072] 도 2에 도시하는 박막 트랜지스터는, 단면 구조에 있어서, 도전층(51a)의 내측에 베퍼층(53a)이 형성되는 박막 트랜지스터이다. 즉, 도전층(51a)보다 면적이 작은 베퍼층(53a)이 형성되고, 도전층(51a)의 일부가 베퍼층(53a)보다 노출되는 박막 트랜지스터이다. 이러한 구조로 함으로써, 도전층(51a)이 미결정 반도체층, 금속규화물층, 또는 금속층의 경우, 상기 미결정 반도체층, 금속규화물층, 또는 금속층을 결정 성장 핵으로 하여, 도전층(51a)에 접하는 비정질 반도체층(55)의 결정성을 높일 수 있으므로, 박막 트랜지스터의 고속 동작이 가능하여, 온 전류를 높일 수 있다.

[0073] 또한, 도시하지 않지만, 도 1a 내지 도 1c 및 도 2에 있어서, 도전층(51) 및 베퍼층(53)의 측벽, 및 도전층(51a) 및 베퍼층(53a)의 측벽이 거의 수직, 또는 측면의 경사 각도가 80° 내지 100° 바람직하게는 85° 내지 95° 이어도 좋다. 도전층(51) 및 베퍼층(53)의 측벽, 및 도전층(51a) 및 베퍼층(53a)의 측벽을 거의 수직으로 함으로써, 박막 트랜지스터가 차지하는 면적을 축소시킬 수 있다. 따라서, 상기 박막 트랜지스터를 화소에 사용한 투과형 표시 장치의 개구율을 높일 수 있다.

[0074] 또한, 본 실시형태는 실시형태 1과 조합할 수 있다.

[0075] (실시형태 3)

[0076] 본 실시형태에서는, 베퍼층의 다른 형태를 도 3a 및 도 3b를 사용하여 도시한다. 본 실시형태에서는, 베퍼층(52)을 절연층으로 형성하는 것을 특징으로 한다.

[0077] 도 3a에 도시하는 박막 트랜지스터는, 기판(01) 위에 게이트 전극(05)이 형성되고, 게이트 전극(05) 위에 게이트 절연층(09a, 09b)이 형성되고, 게이트 절연층(09b) 위에 도전층(51)이 형성되고, 도전층(51) 위에 베퍼층(52)이 형성된다. 이 베퍼층(52)은, 도전층(51)과 대략 중첩하여 형성된다. 또한, 도전층(51) 및 베퍼층(52)의 측면 및 상면을 덮는 비정질 반도체층(55)이 형성된다. 비정질 반도체층(55) 위에 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)이 형성되고, 일 도전형을 부여하는 불순물 원소가 첨가된

한 쌍의 불순물 반도체층(59, 61) 위에 배선(63, 65)이 형성된다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)의 한 쪽(61)은 베피층(53)에 중첩하지 않는다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)의 다른 쪽(59)의 일 단부는, 베피층(53)에 중첩한다.

[0078] 본 실시형태에서는 베피층(52)을 절연층으로 형성한다. 대표적으로는, 베피층(52)을 질화실리콘층, 산화실리콘층, 질화산화실리콘층, 산화질화실리콘층, 그 이외의 무기 절연층을 사용하여 형성한다. 또한, 폴리이미드, 아크릴수지, 에폭시수지, 그 이외의 유기절연층을 사용하여 형성한다. 또한, 베피층(52)의 두께를 10nm 내지 150nm로 한다. 베피층(52)을 절연층으로 형성함으로써, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)으로부터 비정질 반도체층(55)으로 흐르는 누설 전류를 베피층(52)으로 막을 수 있으므로, 누설 전류를 저감시킬 수 있다. 또한, 오프 전류를 저감할 수 있다.

[0079] 또한, 도 3b에 도시하는 바와 같이, 도전층(51) 위에 반도체층으로 형성되는 베피층(53)이 형성되고, 베피층(53) 위에 절연층으로 형성되는 베피층(54)이 형성된다. 베피층(54)으로서는, 질화실리콘층, 산화실리콘층, 질화산화실리콘층, 산화질화실리콘층, 그 이외의 무기 절연층을 사용하여 형성한다. 또한, 폴리이미드, 아크릴수지, 에폭시수지, 그 이외의 유기 절연층을 사용하여 형성한다.

[0080] 도 3b에 있어서는, 반도체층으로 형성되는 베피층(53)이 절연층으로 형성되는 베피층(54)의 두께보다 두껍지만, 베피층(53)보다 베피층(54)의 두께를 두껍게 하여도 좋다. 또한, 베피층(53) 및 베피층(54)의 합계의 막 두께를 30nm 내지 200nm, 바람직하게는 50nm 내지 150nm로 한다. 도전층(51)이 도너가 되는 불순물 원소가 첨가된 반도체층의 경우, 도너가 되는 불순물 원소가 첨가된 반도체층 위에 반도체층으로 형성되는 베피층(53)이 형성됨으로써, 도너가 되는 불순물 원소가 첨가된 반도체층의 산화를 저감할 수 있고, 도너가 되는 불순물 원소가 첨가된 반도체층의 저항률의 저감을 억제할 수 있다. 또한, 반도체층으로 형성되는 베피층(53) 위에 절연층으로 형성되는 베피층(54)을 형성함으로써, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)으로부터 비정질 반도체층(55)으로 흐르는 누설 전류를 베피층(54)으로 막을 수 있으므로, 누설 전류를 저감시킬 수 있다. 또한, 오프 전류를 저감할 수 있다.

[0081] 또한, 본 실시형태는 실시형태 1, 실시형태 2 각각과 조합할 수 있다.

[0082] (실시형태 4)

[0083] 본 실시형태에서는, 도전층(51)의 다른 형태를 나타낸다.

[0084] 도 4a에 도시하는 박막 트랜지스터는, 기판(01) 위에 게이트 전극(05)이 형성되고, 게이트 전극(05) 위에 게이트 절연층(09a, 09b)이 형성되고, 게이트 절연층(09b) 위에 도전성 입자(56)가 형성되고, 도전성 입자(56) 및 게이트 절연층(09b) 위에 베피층(53)이 형성된다. 이 베피층(53)은, 도전성 입자(56)와 대략 중첩하여 형성된다. 또한, 베피층(53)의 측면 및 상면을 덮는 비정질 반도체층(55)이 형성된다. 비정질 반도체층(55) 위에 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)이 형성되고, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61) 위에 배선(63, 65)이 형성된다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)의 한 쪽(61)의 양쪽 단부는 베피층(53)에 중첩하지 않는다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)의 다른 쪽(59)의 일 단부는, 베피층(53)에 중첩한다.

[0085] 도전성 입자(56)는, 실시형태에 나타내는 도전층의 재료를 적절히 사용하여 형성한 도전성 입자를 사용하여 형성할 수 있다. 또한, 도전성 입자(56)가 도너가 되는 불순물 원소가 첨가된 반도체 결정립의 경우, 도너가 되는 불순물 원소가 첨가된 반도체 결정립은 실리콘 또는 게르마늄보다 많은 실리콘을 포함하는 실리콘 게르마늄($\text{Si}_x\text{Ge}_{1-x}$, $0.5 < x < 1$) 등으로 형성할 수 있다. 도전성 입자(56)의 크기를 1nm 내지 30nm로 하고, 밀도를 $1 \times 10^{13}/\text{cm}^2$ 미만, 바람직하게는 $1 \times 10^{10}/\text{cm}^2$ 미만으로 하면, 분리된 결정립을 형성할 수 있고, 그 후에 형성하는 베피층(53)과 게이트 절연층(09b)의 밀착성을 높일 수 있다. 따라서, 박막 트랜지스터의 수율을 높일 수 있다.

[0086] 도전성 입자(56)가 금속 입자, 금속질화물 입자, 금속탄화물 입자, 금속붕화물 입자, 금속규화물 입자의 경우, 스펀팅법, 중착법, 액적토출법, 또는 CVD법으로 형성할 수 있다.

[0087] 도너가 되는 불순물 원소가 첨가된 반도체 결정립의 형성 방법으로서는, 도너가 되는 불순물 원소가 첨가된 미결정 반도체층을 스펀팅법 또는 플라즈마 CVD법에 의하여 성막한 후에, 도너가 되는 불순물 원소가 첨가된 미결정 반도체층에 수소 플라즈마를 노출시켜, 도너가 되는 불순물 원소가 첨가된 미결정 반도체층의 비정질 반도

체 성분을 에칭함으로써, 도너가 되는 불순물 원소가 첨가된 반도체 결정립을 형성할 수 있다. 또한, 결정립이 연속되지 않으며 분산된 상태의 두께로 도너가 되는 불순물 원소가 첨가된 미결정 반도체층 또는 결정성 반도체층을 스퍼터링법 또는 플라즈마 CVD법에 의하여 성막함으로써, 도너가 되는 불순물 원소가 첨가된 반도체 결정립을 형성할 수 있다.

[0088] 또한, 도전성 입자(56) 대신에, 게이트 절연층(09b) 위에 게이트 절연층(09b) 위에 도전층을 형성한 후, 포토리소그래피 공정에 의하여 형성한 레지스트 마스크를 사용하여 도전층을 에칭함으로써, 분리된 도전층을 형성하여도 좋다.

[0089] 도 4b에 도시하는 박막 트랜지스터는, 기판(01) 위에 게이트 전극(05)이 형성되고, 게이트 전극(05) 위에 게이트 절연층(09a, 09b)이 형성되고, 게이트 절연층(09b) 위에 도전성 입자(56)가 형성되고, 도전성 입자(56) 및 게이트 절연층(09b) 위에 베퍼층이 형성되지 않고, 비정질 반도체층(55)이 형성된다. 비정질 반도체층(55) 위에 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)이 형성되고, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61) 위에 배선(63, 65)이 형성된다.

[0090] 도전성 입자(56)는 연속되지 않고, 그 사이에 비정질 반도체층(55)이 형성되므로, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)에 중첩하도록 도전성 입자(56)가 형성되어도 오프 전류의 상승을 저감시킬 수 있다. 또한, 베퍼층을 형성하지 않으므로, 포토 마스크 수를 1장 삭감할 수 있고, 스루풋의 향상 및 비용 삭감이 가능하다.

[0091] 또한, 본 실시형태는, 실시형태 1 내지 실시형태 3 각각과 조합할 수 있다.

[0092] (실시형태 5)

[0093] 본 실시형태에서는, 비정질 반도체층의 다른 형태를 나타낸다.

[0094] 도 5에 도시하는 박막 트랜지스터는, 기판(01) 위에 게이트 전극(05)이 형성되고, 게이트 전극(05) 위에 게이트 절연층(09a, 09b)이 형성되고, 게이트 절연층(09b) 위에 도전층(51)이 형성되고, 도전층(51) 위에 베퍼층(53)이 형성된다. 이 베퍼층(53)은, 도전층(51)과 대략 중첩하여 형성된다. 또한, 도전층(51) 및 베퍼층(53)의 측면 및 상면을 덮는 미결정 반도체층(58)이 형성되고, 미결정 반도체층(58) 위에 비정질 반도체층(55)이 형성된다. 미결정 반도체층(58) 및 비정질 반도체층(55)의 형상은, 대략 동일하다. 비정질 반도체층(55) 위에 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)이 형성되고, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61) 위에 배선(63, 65)이 형성된다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)의 한 쪽(61)은 베퍼층(53) 및 도전층(51)에 중첩하지 않는다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)의 다른 쪽(59)의 일 단부는, 베퍼층(53) 및 도전층(51)에 중첩한다.

[0095] 미결정 반도체층(58)은, 미결정실리콘층, 미결정실리콘 게르마늄층, 미결정게르마늄층으로 형성할 수 있다. 또한, 도전층(51)에 사용할 수 있는 도너가 되는 불순물 원소가 첨가된 반도체층에 포함하는 도너가 되는 불순물 원소 농도보다 낮은 농도의 도너가 되는 불순물 원소가 첨가되어도 좋다. 저농도의 도너가 되는 불순물 원소가 첨가됨으로써 박막 트랜지스터의 임계 값 전압을 제어할 수 있다.

[0096] 또한, 도전층(51) 위에 베퍼층(53)을 형성하지 않고, 도전층에 접하여 미결정 반도체층(58)을 형성하여도 좋다.

[0097] 미결정 반도체층(58)의 두께를 5nm 내지 30nm, 바람직하게는 10nm 내지 20nm로 얇게 함으로써, 박막 트랜지스터의 오프 전류를 낮게 유지할 수 있다. 또한, 미결정 반도체층(58) 및 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61) 사이에 비정질 반도체층(55)이 형성되므로, 미결정 반도체층을 사용하여 형성한 박막 트랜지스터와 비교하여, 오프 전류를 저감할 수 있다. 또한, 비정질 반도체층(55) 및 게이트 절연층(09b) 사이에 비정질 반도체층과 비교하여 저항률이 낮은 미결정 반도체층(58)을 형성함으로써 캐리어가 흐르기 쉬워지므로, 박막 트랜지스터의 고속 동작이 가능하다.

[0098] 또한, 게이트 절연층(09b)을 산화 실리콘층 또는 산화질화 실리콘층으로 하여 미결정 반도체층(58)으로서 미결정 실리콘층을 형성함으로써, 게이트 절연층(09b)을 질화 실리콘층으로 하여 미결정 반도체층을 형성하지 않고 비정질 반도체층을 형성할 때와 비교하여, 임계 값 전압의 변동을 저감할 수 있다.

[0099] 또한, 본 실시형태는, 실시형태 1 내지 실시형태 4 각각과 조합할 수 있다.

[0100] (실시형태 6)

[0101] 본 실시형태에서는, 박막 트랜지스터의 구조의 다른 형태를 나타낸다.

[0102] 도 6a 및 도 6b에 도시하는 박막 트랜지스터는, 기판(01) 위에 게이트 전극(05)이 형성되고, 게이트 전극(05) 위에 게이트 절연층(09a, 09b)이 형성되고, 게이트 절연층(09b) 위에 도전층(51e)이 환형(環形)으로 형성되고, 도전층(51e) 위에 베피층(53e)이 환형으로 형성된다. 이 베피층(53e)은, 도전층(51e)과 대략 중첩하여 형성된다. 또한, 도전층(51e) 및 베피층(53e)의 측면 및 상면을 덮는 비정질 반도체층(55)이 형성된다. 비정질 반도체층(55) 위에, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)이 형성되고, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61) 위에 배선(63, 65)이 형성된다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)의 한 쪽(61)은 베피층(53e)에 중첩하지 않는다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)의 다른 쪽(59)의 일 단부는, 베피층(53e)에 중첩한다.

[0103] 도 6a 및 도 6b에 도시하는 박막 트랜지스터는, 소스 영역 및 드레인 영역이 대향하는 채널 형성 영역이 원형인 것이 특징이다. 구체적으로는, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)의 한 쪽(59)은 환형이고, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)의 다른 쪽(61)은 원형이다. 즉, 소스 영역 또는 드레인 영역의 한 쪽은, 소스 영역 또는 드레인 영역의 다른 쪽을 일정한 간격을 두고 둘러싸는 구조가 된다. 그래서, 배선(63)을 소스 배선으로 하고, 배선(65)을 드레인 배선으로 한 경우, 채널 형성 영역이 곡선 형상이면, 임계 값 전압의 변동을 저감시킬 수 있고, 박막 트랜지스터의 특성의 신뢰성을 높일 수 있다. 또한, 소스 배선 및 드레인 배선이 평행형의 박막 트랜지스터와 비교하여, 소스 영역 및 드레인 영역의 대향 면적이 크므로, 같은 채널 폭의 박막 트랜지스터를 설계할 경우, 박막 트랜지스터의 면적을 작게 할 수 있다.

[0104] 또한, 본 실시형태는, 실시형태 1 내지 실시형태 5 각각과 조합할 수 있다.

[0105] (실시형태 7)

[0106] 본 실시형태에서는, 도 1a에 도시하는 바와 같은, 고속 동작이 가능하며, 온 전류가 높고, 또 오프 전류가 낮은 박막 트랜지스터의 제작 공정에 대하여 나타낸다.

[0107] 비정질 반도체층 또는 미결정 반도체층을 갖는 박막 트랜지스터는, p형보다 n형의 쪽이 전계 효과 이동도가 높기 때문에, 구동 회로에 사용하는 데에 보다 적합하다. 동일 기판 위에 형성하는 박막 트랜지스터를 모두 동일한 극성으로 일치시키는 것이 공정수를 억제하기 위해서도 바람직하다. 여기서는, n채널형 박막 트랜지스터를 사용하여 설명한다.

[0108] 도 1a에 도시하는 박막 트랜지스터의 제작 공정에 대하여, 도 7a 내지 도 10을 사용하여 도시한다. 또한, 도 7a 내지 도 8c에 있어서, 좌측은 도 10의 A-B의 단면도이고, 박막 트랜지스터가 형성되는 영역의 단면을 도시하고, 우측은 도 10의 C-D의 단면도이고, 화소에 있어서 게이트 배선 및 소스 배선이 교차되는 영역의 단면을 도시한다.

[0109] 도 7a에 도시하는 바와 같이, 기판(01) 위에 도전층(03)을 형성한다. 도전층(03)으로서는, 실시형태 1에 나타내는 게이트 전극(05)에 열거한 재료를 사용하여 형성할 수 있다. 도전층(03)은, 스퍼터링법, CVD법, 도금법, 인쇄법, 액적 토출법 등을 사용하여 형성한다.

[0110] 다음에, 제 1 포토 마스크를 사용한 포토리소그래피 공정을 사용하여 형성한 레지스트 마스크를 사용하여 도전층(03)을 원하는 형상으로 에칭하여, 도 7b에 도시하는 바와 같이, 게이트 배선(05)을 형성한다. 그 후에, 레지스트 마스크를 제거한다.

[0111] 다음에, 게이트 배선(05) 및 기판(01) 위에 게이트 절연층(09)을 형성한다. 게이트 절연층(09)으로서는, 실시형태 1에 나타내는 게이트 절연층(09a), 게이트 절연층(09b)에 열거한 재료를 사용하여 형성할 수 있다. 게이트 절연층(09)은, CVD법이나 스퍼터링 법 등을 사용하여 형성한다.

[0112] 다음에, 게이트 절연층(09) 위에 도전층(11), 및 베피층(13)을 적층하여 형성한다. 도전층(11)이 도너가 되는 불순물 원소가 첨가된 반도체층의 경우의 성막 방법을 이하에 나타낸다.

[0113] 플라즈마 CVD 장치의 반응실 내에 있어서, 실리콘 또는 게르마늄을 포함하는 퇴적성 기체와, 수소를 혼합시켜, 글로우 방전 플라즈마에 의하여 미결정 반도체층 또는 비정질 반도체층을 형성한다. 실리콘 또는 게르마늄을 포함하는 퇴적성 기체의 유량에 대하여, 수소의 유량을 10배 내지 2000배, 바람직하게는 50배 내지 200배로 희석하여 미결정 반도체층을 형성한다. 실리콘 또는 게르마늄을 포함하는 퇴적성 기체의 유량에 대하여, 수소의

유량을 0배 내지 10배, 바람직하게는 1배 내지 5배로 희석하여 비정질 반도체층을 형성한다. 기판의 가열 온도는 100°C 내지 300°C, 바람직하게는 120°C 내지 220°C로 행한다. 또한, 상기 원료 가스와 함께, 인, 비소, 앤티몬 등을 포함하는 기체를 혼합함으로써, 도너가 되는 불순물 원소가 첨가된 반도체층을 형성할 수 있다. 여기서는, 실란과, 수소 및/또는 희가스와 함께, 포스핀을 혼합하여 글로우 방전 플라즈마에 의하여, 도너가 되는 불순물 원소가 첨가된 반도체층으로서 인을 포함하는 미결정 실리콘층을 형성할 수 있다.

[0114] 도너가 되는 불순물 원소가 첨가된 반도체층의 형성 공정에 있어서, 글로우 방전 플라즈마의 생성은, 3MHz 내지 30MHz 정도까지의 HF(High Frequency) 대역, 대표적으로는 13.56MHz, 27.12MHz의 고주파 전력, 또는 30MHz보다 크고 300MHz 정도까지의 VHF(Very High Frequency) 대역의 고주파 전력, 대표적으로는 60MHz를 인가함으로써 행해진다.

[0115] 또한, 실리콘 또는 게르마늄을 포함하는 퇴적성 기체의 대표적인 예로서는, SiH₄, Si₂H₆, GeH₄, Ge₂H₆ 등이 있다.

[0116] 또한, 도너가 되는 불순물 원소가 첨가된 반도체층을 형성하는 대신에, 게이트 절연층(09)으로서 도너가 되는 불순물 원소가 첨가된 절연층을 형성하고, 그 위에 도너가 되는 불순물 원소를 포함하지 않는 반도체층을 형성 하여도 좋다. 예를 들어, 도너가 되는 불순물 원소(인, 비소, 또는 앤티몬)를 포함하는 산화실리콘층, 질화실리콘층, 산화질화실리콘층, 또는 질화산화실리콘층 등을 게이트 절연층으로서 형성할 수 있다. 또한, 게이트 절연층(09)을 적층 구조로 할 경우, 미결정 반도체층에 접하는 층, 또는 기판(01)에 접하는 층에 도너가 되는 불순물 원소를 첨가하여도 좋다.

[0117] 게이트 절연층(09)으로서 도너가 되는 불순물 원소가 첨가된 절연층의 형성 방법으로서는, 절연층의 원료 기체와 함께, 도너가 되는 불순물 원소를 포함하는 기체를 사용하여 절연층을 형성하면 좋다. 예를 들어, 실란, 암모니아, 및 포스핀을 사용한 플라즈마 CVD법에 의하여 인을 포함하는 질화실리콘층을 형성할 수 있다. 또한, 실란, 일산하이질소, 및 암모니아, 및 포스핀을 사용한 플라즈마 CVD법에 의하여, 인을 포함하는 산화질화실리콘층을 형성할 수 있다.

[0118] 또한, 게이트 절연층(09)을 형성하기 전에, 성막 장치의 반응실 내에 도너가 되는 불순물 원소를 포함하는 기체를 훌림으로써, 기판(01) 표면 및 반응실 내벽에 도너가 되는 불순물 원소를 흡착시켜도 좋다. 그 후, 게이트 절연층(09)을 형성함으로써 도너가 되는 불순물 원소를 도입하면서 절연층이 퇴적하므로, 도너가 되는 불순물 원소가 첨가된 절연층을 형성할 수 있다.

[0119] 또한, 도너가 되는 불순물 원소가 첨가된 반도체층을 형성하기 전에, 성막 장치의 반응실 내에 도너가 되는 불순물 원소를 포함하는 기체를 훌림으로써, 게이트 절연층(09) 및 반응실 내벽에 도너가 되는 불순물 원소를 흡착시켜도 좋다. 그 후, 반도체층을 퇴적함으로써, 도너가 되는 불순물 원소를 도입하면서 반도체층이 퇴적하므로, 도너가 되는 불순물 원소가 첨가된 반도체층을 형성할 수 있다.

[0120] 또한, 도전층(11)으로서, 금속층, 금속질화물층, 금속탄화물층, 금속붕화물층, 금속규화물층을 형성하는 경우, 스퍼터링법, 증착법, CVD법, 액적토출법, 인쇄법 등에 의하여 도전층을 형성한다.

[0121] 또한, 게이트 절연층(09)이, 산화실리콘층 또는 산화질화실리콘층의 경우, 도전층(11)을 형성하기 전에, 게이트 절연층(09) 표면을 플라즈마 처리하여도 좋다. 대표적으로는, 수소 플라즈마, 암모니아 플라즈마, H₂O 플라즈마, 헬륨 플라즈마, 아르곤 플라즈마, 네온 플라즈마 등의 플라즈마를 게이트 절연층(09) 표면에 노출시킨다. 결과적으로, 게이트 절연층 표면의 결함을 저감할 수 있다. 대표적으로는, 게이트 절연층(09) 표면의 냉글링 본드를 종단화할 수 있다. 그 후, 도전층 또는 비정질 반도체층을 형성하면, 도전층 또는 비정질 반도체의 계면에 있어서의 결함을 저감할 수 있다. 결과적으로, 결함으로 인한 캐리어의 포획을 저감할 수 있으므로, 온전류를 높일 수 있다.

[0122] 다음에, 베퍼층(13)을 형성한다. 베퍼층(13)으로서, 반도체층을 형성하는 경우, 실리콘 또는 게르마늄을 포함하는 퇴적성 기체를 사용한 플라즈마 CVD법에 의하여, 비정질 반도체층을 형성할 수 있다. 또는, 실리콘 또는 게르마늄을 포함하는 퇴적성 기체에 헬륨, 아르곤, 크립톤, 네온 중에서 선택된 1종류 혹은 복수 종류의 희가스 원소로 희석하여 비정질 반도체층을 형성할 수 있다. 또한, 실란 가스의 유량의 0배 이상 10배 이하, 보다 바람직하게는 1배 이상 5배 이하의 유량의 수소를 사용하여, 수소를 포함하는 비정질 반도체층을 형성할 수 있다. 또한, 상기 수소화 반도체층에 불소, 염소 등의 할로겐을 첨가하여도 좋다.

[0123] 또한, 비정질 반도체층은 타깃에 실리콘, 게르마늄 등의 반도체 타깃을 사용하여 수소 또는 희가스로 스퍼터링하여 비정질 반도체층을 형성할 수 있다.

[0124] 베피층(13)으로서, 절연층을 형성하는 경우, 게이트 절연층(09)과 마찬가지로 형성할 수 있다. 또한, 폴리이미드, 아크릴 수지, 에폭시 수지, 그 이외의 유기 절연층의 원료를 도포한 후, 소성하여 절연층을 형성할 수 있다.

[0125] 또한, 도전층(11)이 도너가 되는 불순물 원소가 첨가된 반도체층의 경우, 플라즈마 CVD법에 의하여, 베피층(13)을 300°C 내지 400°C의 온도에서 성막하는 것이 바람직하다. 이 성막 처리에 의하여, 수소가 도너가 되는 불순물 원소가 첨가된 반도체층에 공급되고, 도너가 되는 불순물 원소가 첨가된 반도체층을 수소화한 것과 동등한 효과가 얻어진다. 즉, 도너가 되는 불순물 원소가 첨가된 반도체층 위에 베피층(13)을 퇴적함으로써, 도너가 되는 불순물 원소가 첨가된 반도체층에 수소를 확산시켜 댕글링 본드의 종단을 할 수 있다.

[0126] 도너가 되는 불순물 원소가 첨가된 반도체층이 미결정 반도체층으로 형성되는 경우, 도너가 되는 불순물 원소가 첨가된 반도체층 표면에 베피층(13)으로서 비정질 반도체층, 또한 수소, 질소, 또는 할로겐을 포함하는 비정질 반도체층을 형성함으로써, 도너가 되는 불순물 원소가 첨가된 반도체층에 포함되는 결정립 표면의 자연 산화를 방지할 수 있다. 특히, 비정질 반도체와 미결정립이 접하는 영역에서는, 국부 응력에 의하여 균열이 생기기 쉽다. 이 균열이 산소에 노출되면, 결정립은 산화되어, 산화실리콘의 형성된다. 그렇지만, 도너가 되는 불순물 원소가 첨가된 반도체층 표면에 비정질 반도체층을 형성함으로써, 미결정립의 산화를 막을 수 있다. 또한, 박막 트랜지스터에의 인가 전압이 높은(예를 들어, 15V 정도) 표시 장치, 대표적으로는, 액정 표시 장치에 있어서, 베피층의 막 두께를 두껍게 형성하면, 드레인 내압이 높아지고, 박막 트랜지스터에 높은 전압이 인가되어도, 박막 트랜지스터가 열화되는 것을 저감할 수 있다.

[0127] 다음에, 베피층(13) 위에 레지스트를 도포한 후, 제 2 포토 마스크를 사용한 포토리소그래피 공정을 사용하여 형성한 레지스트 마스크를 사용하여, 베피층(13) 및 도전층(11)을 원하는 형상으로 에칭하여, 도 7c에 도시하는 바와 같이, 박막 트랜지스터를 형성하는 영역에 있어서, 도전층(51) 및 베피층(19)을 형성한다. 또한, 게이트 배선 및 소스 배선이 교차하는 영역에 있어서, 도전층(17) 및 베피층(21)을 형성한다. 그 후, 레지스트 마스크를 제거한다.

[0128] 다음에, 도 7d에 도시하는 바와 같이, 비정질 반도체층(23), 및 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(25)을 형성한다.

[0129] 비정질 반도체층(23)으로서는, 베피층(13)으로서 반도체층을 사용하여 형성하는 경우와 마찬가지로 형성할 수 있다.

[0130] 또한, 비정질 반도체층(23)을 형성할 때, 플라즈마 CVD 장치의 성막실 내벽에 질화산화 실리콘층, 질화 실리콘층, 산화 실리콘층, 산화질화 실리콘층을 프리코팅한 후, 실리콘 또는 게르마늄을 포함하는 퇴적성 기체의 유량에 대하여, 수소의 유량을 10배 내지 2000배, 바람직하게는 50배 내지 200배로 희석하여 반도체층을 형성하면, 막 중에 성막실 내벽의 산소, 질소 등을 도입하면서 막이 퇴적하므로, 결정화되지 않고, 치밀한 비정질 반도체층을 형성할 수 있다. 또한, 상기 반도체층에 미결정이 포함되는 경우도 있다. 또한, 게이트 절연층(09)이 질화 실리콘층의 경우는, 상기 성막 방법에 의하여 비정질 반도체층을 형성함으로써, 막 벗겨짐이 생기지 않으므로 수율을 높일 수 있다.

[0131] 여기서는, n채널형의 박막 트랜지스터를 형성하기 위하여, 일 도전성을 부여하는 불순물 원소가 첨가된 불순물 반도체층(25)으로서는, 실리콘 또는 게르마늄을 포함하는 퇴적성 기체와, 포스핀을 사용한 플라즈마 CVD법에 의하여 형성한다. 또한, p채널형 박막 트랜지스터를 형성하는 경우는, 실리콘 또는 게르마늄을 포함하는 퇴적성 기체와, 디보란을 사용한 플라즈마 CVD법에 의하여 형성한다.

[0132] 도전층(11), 베피층(13), 비정질 반도체층(23), 및 일 도전성을 부여하는 불순물 원소가 첨가된 불순물 반도체층(25)의 형성 공정에 있어서, 글로우 방전 플라즈마의 생성은, 3MHz 내지 30MHz 정도까지의 HF 대역, 대표적으로는 13.56MHz, 27.12MHz의 고주파 전력, 또는 30MHz보다 크고 300MHz 정도까지의 VHF 대역의 고주파 전력, 대표적으로는 60MHz를 인가함으로써 행해진다.

[0133] 도전층(27)으로서는, 실시형태 1에 나타내는 배선(63, 65)에 열거한 재료를 사용하여 형성할 수 있다. 도전층(27)은, CVD법이나 스퍼터링법, 인쇄법, 액적 토출법 등을 사용하여 형성한다.

[0134] 다음에, 도전층(27) 위에 레지스트를 도포한다. 레지스트는 포지티브형 레지스트 또는 네거티브형 레지스트를 사용할 수 있다. 여기서는, 포지티브형 레지스트를 사용하여 나타낸다.

[0135] 다음에, 제 3 포토 마스크로서 다계조(multi-tone) 마스크를 사용하여 레지스트에 빛을 조사한 후, 현상함으로

써 레지스트 마스크(29)를 형성한다.

[0136] 여기서, 다계조 마스크를 사용한 노광에 대하여 도 9a 내지 도 9d를 사용하여 설명한다.

[0137] 다계조 마스크란, 노광 부분, 중간 노광 부분, 및 미노광 부분에 3가지 노광 레벨을 할 수 있는 마스크이며, 한번의 노광 및 현상 공정에 의하여, 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 형성할 수 있다. 따라서, 다계조 마스크를 사용함으로써, 포토 마스크의 매수(枚數)를 줄일 수 있다.

[0138] 다계조 마스크의 대표적인 예로서는, 도 9a에 도시하는 바와 같은 그레이 톤(gray tone) 마스크(159a)와, 도 9c에 도시하는 바와 같은 하프 톤(half tone) 마스크(159b)가 있다.

[0139] 도 9a에 도시하는 바와 같이, 그레이 톤 마스크(159a)는, 투광성을 갖는 기판(163) 및 그 위에 형성되는 차광부(164) 및 회절 격자(165)로 구성된다. 차광부(164)에 있어서는, 빛의 투과율이 0%이다. 한편, 회절 격자(165)는 슬릿, 도트(dot), 메시(mesh) 등의 광 투과부의 간격을 노광에 사용하는 빛의 해상도 한계 이하의 간격으로 함으로써, 빛의 투과량을 제어할 수 있다. 또한, 회절 격자(165)는 주기적인 슬릿, 도트, 메시, 또는 비주기적인 슬릿, 도트, 메시의 양쪽 모두를 사용할 수 있다.

[0140] 투광성을 갖는 기판(163)은 석영 등의 투광성을 갖는 기판을 사용할 수 있다. 차광부(164) 및 회절 격자(165)는 크롬이나 산화크롬 등의 광을 흡수하는 차광 재료를 사용하여 형성할 수 있다.

[0141] 그레이 톤 마스크(159a)에 노광 광(光)을 조사하는 경우, 도 9b에 도시하는 바와 같이, 차광부(164)에 있어서는, 빛의 투과율(166)은 0%이고, 차광부(164) 및 회절 격자(165)가 형성되지 않는 영역에서는, 빛의 투과율(166)은 100%이다. 또한, 회절 격자(165)에 있어서는, 10% 내지 70%의 범위에서 조정할 수 있다. 회절 격자(165)에 있어서의 광 투과량의 조정은 회절 격자의 슬릿, 도트, 또는 메시의 간격 또는 피치의 조정에 의하여 가능하다.

[0142] 도 9c에 도시하는 바와 같이, 하프 톤 마스크(159b)는, 투광성을 갖는 기판(163) 및 그 위에 형성되는 반투과부(167) 및 차광부(168)로 구성된다. 반투과부(167)는 MoSiN, MoSi, MoSiO, MoSiON, CrSi 등을 사용할 수 있다. 차광부(168)는 크롬이나 산화크롬 등의 빛을 흡수하는 차광 재료를 사용하여 형성할 수 있다.

[0143] 하프 톤 마스크(159b)에 노광 광을 조사하는 경우, 도 9d에 도시하는 바와 같이, 차광부(168)에 있어서는 빛의 투과율(169)은 0%이고, 차광부(168) 및 반투과부(167)가 형성되지 않는 영역에서는 빛의 투과율(169)은 100%이다. 또한, 반투과부(167)에서는, 10% 내지 70%의 범위에서 조정할 수 있다. 반투과부(167)에 있어서의 광 투과량의 조정은 반투과부(167)의 재료에 의하여 가능하다.

[0144] 다계조 마스크를 사용하여 노광한 후, 현상함으로써, 도 7d에 도시하는 바와 같이, 막 두께가 다른 영역을 갖는 레지스트 마스크(29)를 형성할 수 있다.

[0145] 다음에, 레지스트 마스크(29)에 의하여, 비정질 반도체층(23), 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(25) 및 도전층(27)을 에칭하여 분리한다. 결과적으로, 도 7e에 도시하는 바와 같은, 한 쌍의 비정질 반도체층(33, 35), 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 반도체층(37, 39), 및 도전층(41)을 형성할 수 있다.

[0146] 다음에, 레지스트 마스크(29)를 애싱(ashing)한다. 그 결과, 레지스트의 면적이 축소되고, 두께가 얇아진다. 이 때, 막 두께가 얇은 영역의 레지스트(게이트 배선(05)의 일부와 중첩하는 영역)는 제거되어, 도 7e에 도시하는 바와 같이, 분리된 레지스트 마스크(45)를 형성할 수 있다.

[0147] 다음에, 레지스트 마스크(45)를 사용하여 도전층(41)을 에칭하여 분리한다. 결과적으로, 도 8a에 도시하는 바와 같은 소스 배선(63), 드레인 전극(65)을 형성할 수 있다. 레지스트 마스크(45)를 사용하여 도전층(41)을 웨트 에칭하면, 도전층(41)이 등방적으로 에칭된다. 결과적으로 레지스트 마스크(45)보다 면적이 작은 소스 배선(63), 및 드레인 전극(65)을 형성할 수 있다.

[0148] 게이트 배선(05) 및 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(39)의 교차부에 있어서는, 게이트 절연층(09) 이외에, 도전층(17), 베퍼층(21), 및 비정질 반도체층(35)이 형성되고, 게이트 배선(05) 및 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(39)의 간격이 넓어진다. 따라서, 게이트 배선(05) 및 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(39)이 교차되는 영역에서의 기생 용량을 저감할 수 있다.

[0149] 다음에, 레지스트 마스크(45)를 사용하여 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(37)을

예칭하여, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)을 형성한다. 또한, 상기 예칭 공정에 있어서, 비정질 반도체층(33)의 일부도 예칭되어, 비정질 반도체층(55)이 된다.

[0150] 여기서는, 소스 배선(63), 및 드레인 전극(65)의 단부와, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)의 단부는 일치하지 않고 어긋나 있고, 소스 배선(63), 및 드레인 전극(65)의 단부 외측에, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)이 형성된다. 그 후, 레지스트 마스크(45)를 제거한다.

[0151] 다음에, 노출된 비정질 반도체층(55)에 H₂O 플라즈마를 조사하여도 좋다. 대표적으로는 기화한 물을 플라즈마로 방전함으로써 생성한 라디칼을, 비정질 반도체층(55), 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61), 및 소스 배선(63), 드레인 전극(65)의 노출부에 조사함으로써, 박막 트랜지스터의 고속 동작이 가능하여, 온 전류를 더욱 높일 수 있다. 또한, 오프 전류를 저감할 수 있다.

[0152] 이상의 공정에 의하여, 박막 트랜지스터를 형성할 수 있다.

[0153] 다음에, 도 8b에 도시하는 바와 같이, 소스 배선(63), 드레인 전극(65), 게이트 절연층(09) 위에 보호 절연층(67)을 형성한다. 보호 절연층(67)으로서는, 질화 실리콘층, 질화산화 실리콘층, 산화 실리콘층, 또는 산화질화 실리콘층을 사용하여 형성할 수 있다. 또한, 보호 절연층(67)은 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것이며, 치밀한 막이 바람직하다.

[0154] 다음에, 보호 절연층(67) 위에 평탄화층(69)을 형성하여도 좋다. 평탄화층(69)으로서는, 아크릴 수지, 폴리이미드, 애포시 수지, 실록산 중합체 등의 유기 절연층을 사용할 수 있다. 여기서는, 감광성의 유기 수지를 사용하여 평탄화층(69)을 형성한다. 다음에, 평탄화층(69)을 제 4 포토 마스크를 사용하여 감광한 후, 현상하고, 도 8c에 도시하는 바와 같이, 보호 절연층(67)을 노출시킨다. 다음에, 평탄화층(69)을 사용하여 보호 절연층(67)을 예칭하고, 드레인 전극(65)의 일부가 노출되는 콘택트 홀을 형성한다.

[0155] 다음에, 콘택트 홀에 화소 전극(71)을 형성한다. 여기서는, 평탄화층(69) 위에 도전층을 형성한 후, 도전층 위에 레지스트를 도포한다. 다음에, 제 5 포토 마스크를 사용한 포토리소그래피 공정에 의하여 형성한 레지스트 마스크를 사용하여 도전층을 예칭함으로써, 화소 전극(71)을 형성한다.

[0156] 화소 전극(71)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐주석 산화물, 인듐주석 산화물, 인듐아연 산화물, 산화 실리콘이 첨가된 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0157] 또한, 화소 전극(71)으로서 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성 할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은, 표면 저항(sheet resistance)이 10000Ω/? 이하, 광장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 0.1Ω · cm 이하인 것이 바람직하다.

[0158] 도전성 고분자로서는 소위 π전자 공역계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 혹은 그 유전체, 폴리페롤 혹은 그 유전체, 폴리티오펜 혹은 그 유전체, 혹은 이들의 2종 이상의 공중합체 등을 들 수 있다.

[0159] 여기서는, 화소 전극(71)으로서는 스퍼터링법에 의하여 ITO막을 형성한 후, ITO막 위에 레지스트를 도포한다. 다음에, 제 6 포토 마스크를 사용하여 레지스트를 노광 및 현상하여 레지스트 마스크를 형성한다. 다음에, 레지스트 마스크를 사용하여 ITO막을 예칭하여 화소 전극(71)을 형성한다. 그 후, 레지스트 마스크를 제거한다. 또한, 도 8c는, 도 10의 A-B, 및 C-D의 단면도에 상당한다. 도 10에 도시하는 박막 트랜지스터는 소스 영역 및 드레인 영역이 대향하는 채널 형성 영역의 상면 형상이 평행형이지만, 그 대신에 채널 형성 영역의 상면 형상이 C자(U자) 형상의 박막 트랜지스터를 제작하여도 좋다.

[0160] 이상으로, 오프 전류가 낮고, 온 전류가 높고, 고속동작이 가능한 트랜지스터를 제작할 수 있다. 또한, 상기 박막 트랜지스터를 화소 전극의 스위칭 소자로서 갖는 소자 기관을 제작할 수 있다. 또한, 본 실시형태에 있어서는, 일반적인 역 스태거형 박막 트랜지스터의 제작 공정과 비교하여, 도전층 및 베퍼층을 소정의 형상으로 예칭하기 위한 포토 마스크가 1장 증가되지만, 한 쌍의 비정질 반도체층, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층 및 배선을 소정의 형상으로 예칭하기 위한 포토 마스크로서 다계조 마스크를 사용하므로, 상기 프로세스로 포토 마스크의 매수를 삭감할 수 있으므로, 제작 공정을 전체적으로 보면, 마스크의 매수는 증가되지 않는다.

[0161] (실시형태 8)

[0162] 본 실시형태에서는, 도 1b에 도시하는 바와 같은, 비정질 반도체층을 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여 고속 동작이 가능하고, 온 전류가 높고, 또 미결정 반도체층을 채널 형성 영역에 갖는 박막 트랜지스터와 비교하여 오프 전류가 낮은 박막 트랜지스터의 제작 공정에 대하여 나타낸다.

[0163] 또한, 도 11a 내지 도 11e의 좌측은 도 12의 A-B의 단면도이고, 박막 트랜지스터가 형성되는 영역의 단면을 도시하고, 우측은 도 12의 C-D의 단면도이고, 화소에 있어서 게이트 배선 및 소스 배선이 교차되는 영역의 단면을 도시한다.

[0164] 실시형태 7에 나타내는 도 7a의 공정을 거쳐, 게이트 배선(05)을 형성한다. 다음에, 게이트 배선(05) 및 기판(01) 위에 게이트 절연층(09)을 형성한다.

[0165] 다음에 도 7b의 공정을 거쳐, 게이트 절연층(09) 위에 도전층(11) 및 베퍼층(13)을 차례로 적층한다. 다음에, 포토리소그래피 공정에 의하여 형성한 레지스트 마스크를 사용하여, 도전층(11) 및 베퍼층(13)을 에칭하여, 도 11a에 도시하는 바와 같이, 도전층(51, 17) 및 베퍼층(19, 21)을 형성한다.

[0166] 다음에, 비정질 반도체층(23) 및 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(25)을 형성한다.

[0167] 다음에, 포토리소그래피 공정을 사용하여 형성한 레지스트 마스크를 사용하여, 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(25), 및 비정질 반도체층(23)을 원하는 형상으로 에칭하여, 도 11b에 도시하는 바와 같이, 박막 트랜지스터를 형성하는 영역에 있어서, 비정질 반도체층(81), 및 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(83)을 형성한다. 또한, 게이트 배선 및 소스 배선이 교차하는 영역에 있어서, 비정질 반도체층(82), 및 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(84)을 형성한다. 그 후, 레지스트 마스크를 제거한다. 또한, 도전층(51, 17)의 측면이 비정질 반도체층(81, 82)으로 덮인다.

[0168] 다음에, 도 11c에 도시하는 바와 같이 도전층(27)을 형성한다.

[0169] 다음에, 포토리소그래피 공정을 사용하여 형성한 레지스트 마스크를 사용하여, 도전층(27)을 원하는 형상으로 에칭하고, 도 11d에 도시하는 바와 같이, 소스 배선(85) 및 드레인 전극(87)을 형성한다.

[0170] 게이트 배선(05) 및 소스 배선(85)의 교차부에 있어서는, 게이트 절연층(09) 이외에, 도전층(17), 베퍼층(21), 및 비정질 반도체층(82)이 형성되고, 게이트 배선(05) 및 소스 배선(85)의 간격이 넓어진다. 그래서, 게이트 전극(05) 및 소스 배선(85)이 교차되는 영역에서의 기생 용량을 저감시킬 수 있다.

[0171] 다음에, 레지스트 마스크를 사용하여, 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(83)을 에칭하고, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(91, 93)을 형성한다. 또한, 상기 에칭 공정에 있어서, 비정질 반도체층(81)도 에칭된다. 일부 에칭된 오목부가 형성된 비정질 반도체층을 비정질 반도체층(95)이라고 나타낸다. 소스 영역 및 드레인 영역의 형성 공정과, 비정질 반도체층(95)의 오목부를 동일 공정으로 형성할 수 있다. 그 후, 레지스트 마스크를 제거한다.

[0172] 다음에, 노출된 비정질 반도체층(95)에 H_2O 플라즈마를 조사하여도 좋다. 대표적으로는, 기화한 물을 플라즈마로 방전함으로써 생성한 라디칼을, 비정질 반도체층(95), 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(91, 93), 및 소스 배선(85), 드레인 전극(87)의 노출부에 조사함으로써, 박막 트랜지스터의 고속 동작이 가능하여, 온 전류를 더욱 높일 수 있다. 또한, 오프 전류를 저감할 수 있다.

[0173] 이상의 공정에 의하여, 고속 동작이 가능하여, 온 전류가 높고, 오프 전류가 낮은 박막 트랜지스터를 형성한다.

[0174] 또한, 도 8b 및 도 8c에 도시하는 공정을 거쳐, 도 11e에 도시하는 바와 같이, 보호 절연층(67), 평탄화층(69), 및 드레인 전극에 전속하는 화소 전극(71)을 형성한다. 또한, 도 11e는, 도 12의 A-B, 및 C-D의 단면도에 상당한다. 도 12에 도시하는 박막 트랜지스터는 소스 영역 및 드레인 영역이 대향하는 채널 형성 영역의 상면 형상이 평행형이지만, 그 대신에 채널 형성 영역의 상면 형상이 C자(U자) 형상의 박막 트랜지스터를 제작하여도 좋다.

[0175] 이상으로, 오프 전류가 낮고, 온 전류가 높고, 고속 동작이 가능한 박막 트랜지스터를 제작할 수 있다. 또한, 상기 박막 트랜지스터를 화소 전극의 스위칭 소자로서 갖는 소자 기판을 제작할 수 있다.

[0176] (실시형태 9)

[0177]

본 실시형태에서는, 채널 보호형의 박막 트랜지스터에 대하여, 도 33을 사용하여 도시한다.

[0178]

도 33에 도시하는 박막 트랜지스터는, 기판(01) 위에 게이트 전극(05)이 형성되고, 게이트 전극(05) 위에 게이트 절연층(09a, 09b)이 형성되고, 게이트 절연층(09b) 위에 도전층(51)이 형성된다. 또한, 도전층(51) 위에 베퍼층(53)이 형성되고, 게이트 절연층(09b) 및 베퍼층(53) 위에 비정질 반도체층(55)이 형성된다. 비정질 반도체층(55) 위이며, 게이트 전극(05) 및 도전층(51)의 한 쪽의 단부에 중첩하는 영역에 채널 보호층(73)을 형성된다. 또한, 채널 보호층(73) 및 비정질 반도체층(55) 위에, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61)이 형성되고, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(59, 61) 위에 배선(63, 65)이 형성된다.

[0179]

채널 보호층(73)으로서는, 게이트 절연층(09a, 09b)의 재료나, 평탄화층(69)에 나타내는 재료를 적절히 사용할 수 있다.

[0180]

또한, 본 실시형태는 다른 실시형태와 조합할 수 있다.

[0181]

(실시형태 10)

[0182]

본 실시형태에서는, 도 13에 도시하는 소자 기판(300)의 주변부에 형성된 주사선 입력 단자부와 신호선 입력 단자부의 구조에 대하여, 도 14a 및 도 14b를 사용하여 이하에 도시한다. 도 14a 및 도 14b에 기판(01)의 주변부에 형성된 주사선 입력 단자부 및 신호선 입력 단자부, 그리고 화소부의 박막 트랜지스터의 단면도를 도시한다.

[0183]

또한, 화소부에 형성되는 화소에 있어서, 화소 전극의 전위를 제어하는 박막 트랜지스터가 형성되는 액티브 매트릭스형의 표시 장치의 경우, 주사선은 게이트 전극에 접속된다. 또는 주사선의 일부가 게이트 전극으로서 기능한다. 그래서, 이하, 주사선을 게이트 배선(05)이라고도 나타낸다. 또한, 신호선은, 박막 트랜지스터의 소스에 접속됨으로써, 이하, 신호선을 소스 배선(63)이라고도 나타낸다. 그렇지만, 신호선이 박막 트랜지스터의 드레인에 접속되는 경우는, 신호선을 드레인 배선으로 할 수 있다.

[0184]

도 13에 도시하는 소자 기판(300)에는 화소부(301)가 형성되고, 화소부(301)와 기판(01) 주변부 사이에 보호 회로(302, 322), 신호선(323), 주사선(303)이 형성된다. 또한, 도시하지 않지만, 보호 회로(302, 322)로부터 화소부(301)에 신호선, 주사선이 형성된다. 신호선(323), 주사선(303)의 단부에는, 신호선 입력 단자부(326), 주사선 입력 단자부(306)가 형성된다. 신호선 입력 단자부(326), 주사선 입력 단자부(306)의 단자에는 각각 FPC(324, 304)가 접속되고, FPC(324, 304)에는 신호선 구동 회로(325), 주사선 구동 회로(305)가 형성된다. 또한, 화소부(301)에는 자세하게는 도시하지 않지만, 화소(327)가 매트릭스형으로 배치된다.

[0185]

도 14a에 있어서는, 주사선 입력 단자(306a)는, 박막 트랜지스터(330)의 게이트 배선(05)에 접속된다. 또한, 신호선 입력 단자(326a)는 소스 배선(63)에 접속된다.

[0186]

주사선 입력 단자(306a), 신호선 입력 단자(326a)는 각각, 화소부의 박막 트랜지스터(330)의 화소 전극(71)과 같은 층에서 형성된다. 또한, 주사선 입력 단자(306a), 신호선 입력 단자(326a)는 소스 배선(63) 위에 형성되는 평탄화층(69) 위에 형성된다. 또한, 평탄화층(69) 위에 있어서, 주사선 입력 단자(306a), 신호선 입력 단자(326a)는 이방성 도전 접착제(307, 327)의 도전성 입자(308, 328)를 통하여 FPC(304, 324)의 배선(309, 329)에 접속된다.

[0187]

또한, 여기서는, 게이트 배선(05)과 주사선 입력 단자(306a)가 접속되지만, 게이트 배선(05)과 주사선 입력 단자(306a) 사이에 소스 배선(63)과 같은 층에서 형성되는 도전층을 형성하여도 좋다.

[0188]

도 14b에 있어서는, 주사선 입력 단자(306b)는, 박막 트랜지스터(330)의 게이트 배선(05)에 접속된다. 또한, 신호선 입력 단자(326b)는, 박막 트랜지스터(330)의 소스 배선(63)에 접속된다.

[0189]

주사선 입력 단자(306b), 신호선 입력 단자(326b)는 각각 화소부의 박막 트랜지스터(330)의 화소 전극(71)과 같은 층에서 형성된다. 또한, 주사선 입력 단자(306b), 신호선 입력 단자(326b)는 평탄화층(69) 및 보호 절연층(67) 위에 형성된다. 또한, 평탄화층(69) 및 보호 절연층(67)의 개구부에 있어서, 주사선 입력 단자(306b), 신호선 입력 단자(326b)는 이방성 도전 접착제(307, 327)의 도전성 입자(308, 328)를 통하여 FPC(304, 324)의 배선(309, 329)에 접속된다.

[0190]

소스 배선(63)에 접속하는 신호선 입력 단자(326b)는, 기판(01) 및 소스 배선(63) 사이에, 게이트 절연층(09) 이외에, 비정질 반도체층(35), 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(39)이 형성됨으로

써 두께가 증대한다. 그래서, 신호선 입력 단자(326b)와 FPC(324)의 배선(329)의 접속이 용이해진다.

[0191] (실시형태 11)

[0192] 다음에, 본 발명의 일 형태인 표시 패널의 구성에 대하여, 이하에 나타낸다.

[0193] 도 15a에, 신호선 구동 회로(6013)만을 별도로 형성하고, 기판(6011) 위에 형성된 화소부(6012)와 접속하는 표시 패널의 형태를 도시한다. 화소부(6012), 보호 회로(6016) 및 주사선 구동 회로(6014)가 형성된 소자 기판은, 상기 실시형태에 나타내는 소자 기판을 사용하여 형성한다. 비정질 반도체층을 채널 형성 영역에 사용한 박막 트랜지스터보다 높은 전계 효과 이동도가 얻어지는 박막 트랜지스터로 신호선 구동 회로를 형성함으로써, 주사선 구동 회로보다 높은 구동 주파수가 요구되는 신호선 구동 회로의 동작을 안정시킬 수 있다. 또한, 신호선 구동 회로(6013)는 단결정 반도체를 채널 형성 영역에 사용한 트랜지스터, 다결정 반도체를 채널 형성 영역에 사용한 박막 트랜지스터, 또는 SOI를 채널 형성 영역에 사용한 트랜지스터이어도 좋다. SOI를 사용한 트랜지스터에 있어서는, 유리 기판 위에 형성된 단결정 반도체층을 채널 형성 영역에 사용한 트랜지스터를 포함한다. 화소부(6012)와 신호선 구동 회로(6013)와 주사선 구동 회로(6014) 각각에, 전원 전위, 각종 신호 등이 FPC(6015)를 통하여 공급된다. 신호선 구동 회로(6013) 및 FPC(6015) 사이, 또는 신호선 구동 회로(6013) 및 화소부(6012) 사이에, 상기 실시형태에 나타내는 박막 트랜지스터로 형성된 보호 회로(6016)를 형성하여도 좋다. 보호 회로(6016)는, 상기 실시형태에서 나타내는 박막 트랜지스터로 형성된 보호 회로 대신에, 박막 트랜지스터, 다이오드, 저항 소자 및 용량 소자 등으로부터 선택된 1종 또는 복수의 소자로 구성되는 보호 회로를 형성하여도 좋다.

[0194] 또한, 신호선 구동 회로 및 주사선 구동 회로를, 화소부와 같은 기판 위에 함께 형성하여도 좋다.

[0195] 또한, 구동 회로를 별도로 형성하는 경우, 구동 회로가 형성된 기판을, 화소부가 형성된 기판 위에 반드시 접합할 필요는 없고, 예를 들어, FPC 위에 접합하도록 하여도 좋다. 도 15b에, 신호선 구동 회로(6023)만을 별도로 형성하고, 기판(6021) 위에 형성된 화소부(6022), 보호 회로(6026) 및 주사선 구동 회로(6024)가 형성된 소자 기판과 FPC가 접속하는 표시장치 패널의 형태를 도시한다. 화소부(6022), 보호 회로(6026) 및 주사선 구동 회로(6024)는, 상기 실시형태에 나타내는 박막 트랜지스터를 사용하여 형성한다. 신호선 구동 회로(6023)는, FPC(6025), 보호 회로(6026)를 통하여 화소부(6022)와 접속된다. 화소부(6022)와, 신호선 구동 회로(6023)와, 주사선 구동 회로(6024) 각각에, 전원 전위, 각종 신호 등이 FPC(6025)를 통하여 공급된다. FPC(6025) 및 화소부(6022) 사이에 상기 실시형태에 나타내는 박막 트랜지스터로 형성된 보호 회로(6026)를 형성하여도 좋다. 보호 회로(6026)는 상기 실시형태에서 나타내는 박막 트랜지스터로 형성된 보호 회로 대신에, 박막 트랜지스터, 다이오드, 저항 소자 및 용량 소자 등으로부터 선택된 1종 또는 복수의 소자로 구성되는 보호 회로를 형성하여도 좋다.

[0196] 또한, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을, 상기 실시형태에 나타내는 박막 트랜지스터를 사용하여 화소부와 동일 기판 위에 형성하고, 나머지를 별도로 형성하여 화소부와 전기적으로 접속하도록 하여도 좋다. 도 15c에, 신호선 구동 회로가 갖는 아날로그 스위치(6033a)를, 화소부(6032) 및 주사선 구동 회로(6034)와 동일 기판(6031) 위에 형성하고, 신호선 구동 회로가 갖는 시프트 레지스터(6033b)를 별도로 다른 기판에 형성하여 접합하는 표시 장치 패널의 형태를 나타낸다. 화소부(6032), 보호 회로(6036) 및 주사선 구동 회로(6034)는, 상기 실시형태에 나타내는 박막 트랜지스터를 사용하여 형성한다. 신호선 구동 회로가 갖는 시프트 레지스터(6033b)는 FPC(6035) 및 보호 회로(6036)를 통하여 화소부(6032)와 접속된다. 화소부(6032)와, 신호선 구동 회로와, 주사선 구동 회로(6034) 각각에, 전원 전위, 각종 신호 등이 FPC(6035)를 통하여 공급된다. 시프트 레지스터(6033b) 및 아날로그 스위치(6033a) 사이에 상기 실시형태에 나타내는 박막 트랜지스터로 형성된 보호 회로(6036)를 형성하여도 좋다. 보호 회로(6036)는, 상기 실시형태에 나타내는 박막 트랜지스터로 형성된 보호 회로 대신에, 박막 트랜지스터, 다이오드, 저항 소자 및 용량 소자 등으로부터 선택된 1종 또는 복수의 소자로 구성되는 보호 회로를 형성하여도 좋다.

[0197] 도 15a 내지 도 15c에 도시하는 바와 같이, 본 실시형태의 표시 장치는, 구동 회로의 일부 또는 전부를, 화소부와 동일 기판 위에, 상기 실시형태에 나타내는 박막 트랜지스터를 사용하여 형성할 수 있다.

[0198] 또한, 별도로 형성한 기판의 접속 방법은 특별히 한정되지 않고, 공자의 COG방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 또한, 접속하는 위치는, 전기적인 접속이 가능하다면, 도 15a 내지 도 15c에 도시한 위치에 한정되지 않는다. 또한, 컨트롤러, CPU, 메모리 등을 별도로 형성하여 접속하도록 하여도 좋다.

[0199] 또한, 본 실시형태에서 사용하는 신호선 구동 회로는 시프트 레지스터와 아날로그 스위치를 가진다. 또는 시프

트 레지스터와 아날로그 스위치에 더하여, 버퍼, 레벨 시프터, 소스 폴로워(source follower) 등, 다른 회로를 가져도 좋다. 또한, 시프트 레지스터와 아날로그 스위치는 반드시 형성할 필요는 없고, 예를 들어, 시프트 레지스터 대신에 디코더 회로와 같은 신호선의 선택을 할 수 있는 다른 회로를 사용하여도 좋고, 아날로그 스위치 대신에 캐치 등을 사용하여도 좋다.

[0200] (실시형태 12)

[0201] 상기 실시형태에 의하여 얻어지는 소자 기판, 및 그것을 사용한 표시 장치 등에 의하여, 액티브 매트릭스형 표시 장치패널에 사용할 수 있다. 즉, 그 액티브 매트릭스형 표시 장치 패널을 표시부에 내장시킨 전자 기기 모두에 상기 실시형태를 실시할 수 있다.

[0202] 이와 같은 전자 기기로서는, 비디오 카메라 및 디지털 카메라 등의 카메라, 헤드 장착형 디스플레이(고글형 디스플레이), 카 내비게이션 시스템, 프로젝터, 카 스테레오, 퍼스널 컴퓨터, 휴대 정보 단말(모바일 컴퓨터, 휴대 전화 또는 전자 서적 등) 등을 들 수 있다. 그들의 일례를 도 16a 내지 도 16d에 도시한다.

[0203] 도 16a는 텔레비전 장치이다. 표시 패널을 도 16a에 도시하는 바와 같이 케이싱에 조립하여 텔레비전 장치를 완성시킬 수 있다. 표시 패널에 의하여 주 화면(2003)이 형성되고, 그 외의 부속 설비로서 스피커부(2009), 조작 스위치 등이 구비된다. 이와 같이, 텔레비전 장치를 완성시킬 수 있다.

[0204] 도 16a에 도시하는 바와 같이, 케이싱(2001)에 표시 소자를 이용한 표시용 패널(2002)이 설치되고, 수신기(2005)에 의하여 일반 텔레비전 방송의 수신을 비롯하여, 모뎀(2004)을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 일 방향(송신자로부터 수신자) 또는 쌍 방향(송신자와 수신자간, 또는 수신자끼리)의 정보 통신을 할 수도 있다. 텔레비전 장치의 조작은, 케이싱에 설치된 스위치 또는 별도의 리모트 컨트롤 조작기(2006)에 의하여 행할 수 있고, 이 리모트 컨트롤 조작기(2006)에도 출력하는 정보를 표시하는 표시부(2007)가 제공되어도 좋다.

[0205] 또한, 텔레비전 장치에도, 주 화면(2003) 외에 서브 화면(2008)을 제 2 표시 패널로 형성하고, 채널이나 음량 등을 표시하는 구성이 부가되어도 좋다. 이 구성에 있어서, 주 화면(2003)을 액정 표시 패널로 형성하고, 서브 화면(2008)을 발광 표시 패널로 형성하여도 좋다. 또한, 주 화면(2003)을 발광 표시 패널로 형성하고, 서브 화면(2008)을 발광 표시 패널로 형성하고, 서브 화면(2008)을 접멸할 수 있는 구성으로 하여도 좋다.

[0206] 도 17은 텔레비전 장치의 주요한 구성을 도시하는 블록도이다. 표시 패널(900)에는 화소부(921)가 형성된다. 신호선 구동 회로(922)와 주사선 구동 회로(923)는 표시 패널(900)에 COG 방식에 의하여 실장되어도 좋다.

[0207] 그 외의 외부 회로의 구성으로서, 영상 신호의 입력 측에서는, 튜너(924)로 수신한 신호 중, 영상 신호를 증폭하는 영상 신호 증폭 회로(925)와, 그 증폭 회로로부터 출력되는 신호를 적색, 녹색, 청색의 각 색에 대응한 색 신호로 변환하는 영상 신호 처리 회로(926)와, 그 영상 신호를 드라이버 IC의 입력 사양으로 변환하기 위한 컨트롤 회로(927) 등을 가진다. 컨트롤 회로(927)는 주사선 측과 신호선 측에 각각 신호를 출력한다. 디지털 구동하는 경우에는, 신호선 측에 신호 분할 회로(928)를 마련하고, 입력 디지털 신호를 2개로 분할하여 공급하는 구성으로 하여도 좋다.

[0208] 튜너(924)에서 수신한 신호 중, 음성 신호는 음성 신호 증폭 회로(929)로 보내지고, 그의 출력은 음성 신호 처리 회로(930)를 거쳐 스피커(933)에 공급된다. 제어 회로(931)는 수신국(수신 주파수)이나 음량의 제어 정보를 입력부(932)로부터 받고, 튜너(924)나 음성 신호 처리 회로(930)에 신호를 송출한다.

[0209] 물론, 텔레비전 장치에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여, 철도의 역이나 공항 등에 있어서의 정보 표시반이나 가두의 광고 표시반 등 대면적의 표시 매체로서도 다양한 용도에 적용할 수 있다.

[0210] 주 화면(2003), 서브 화면(2008)에 있어서, 상기 실시형태에서 설명한 소자 기판, 및 그것을 갖는 표시 장치를 적용함으로써, 콘트라스트 등의 화상 품질을 향상시킨 텔레비전 장치의 양산성을 높일 수 있다.

[0211] 도 16b는 휴대 전화기(2301)의 일례를 도시한다. 이 휴대 전화기(2301)는 표시부(2302), 조작부(2303) 등을 포함하여 구성된다. 표시부(2302)에 있어서는, 상기 실시형태에서 설명한 소자 기판, 및 그것을 갖는 표시 장치를 적용함으로써, 콘트라스트 등의 화상 품질을 향상시킨 휴대 전화의 양산성을 높일 수 있다.

[0212] 또한, 도 16c에 도시하는 휴대형 컴퓨터는 본체(2401), 표시부(2402) 등을 포함한다. 표시부(2402)에, 상기 실시형태에 나타내는 소자 기판, 및 그것을 갖는 표시 장치를 적용함으로써, 콘트라스트 등의 화상 품질을 향상시킨 휴대형 컴퓨터의 양산성을 높일 수 있다.

[0213] 도 16d는 탁상 조명 기구이고, 조명부(2501), 전등 갓(2502), 가변 암(arm)(2503), 지주(2504), 받침대(2505), 전원(2506)을 포함한다. 발광 장치를 조명부(2501)에 사용함으로써 제작된다. 또한, 조명 기구에는 천장 고정형 조명 기구 또는 벽걸이형 조명 기구 등도 포함된다. 상기 실시형태에 나타내는 소자 기판, 및 그것을 갖는 표시 장치를 적용함으로써, 양산성을 높일 수 있고, 저렴한 탁상 조명 기구를 제공할 수 있다.

[0214] 도 18a 내지 도 18c는 상기 실시형태를 적용한 스마트 폰 휴대 전화의 구성의 일례이고, 도 18a가 정면도, 도 18b가 배면도, 도 18c가 전개도이다. 스마트 폰 휴대전화기는, 케이싱(1111) 및 케이싱(1112)의 2개의 케이싱으로 구성된다. 스마트 폰 휴대 전화기는, 휴대 전화와 휴대 정보 단말의 쌍방의 기능을 구비하고, 컴퓨터를 내장하고, 음성 통화 이외에도 여러 가지 데이터 처리가 가능하다.

[0215] 케이싱(1111)에 있어서는, 표시부(1101), 스페커(1102), 마이크로 폰(1103), 조작키(1104), 포인팅 디바이스(1105), 표면 카메라용 렌즈(1106), 외부 접속단자 잭(1107), 이어폰 단자(1108) 등을 구비하고, 케이싱(1112)에 있어서는, 키보드(1201), 외부 메모리 슬롯(1202), 이면 카메라(1203), 라이트(1204) 등을 구비한다. 또한, 안테나는 케이싱(1111) 내부에 내장된다.

[0216] 또한, 상기 구성에 더하여, 비접촉 IC 칩, 소형 기록 장치 등이 내장되어도 좋다.

[0217] 겹친 케이싱(1111)과 케이싱(1112)(도 18a 참조)은, 슬라이드하여, 도 18c와 같이 전개한다. 표시부(1101)에는, 상기 실시형태에 제시되는 표시 장치를 설치하는 것이 가능하고, 사용 형태에 따라서 표시 방향이 적절하게 변화된다. 표시부(1101)와 표면 카메라용 렌즈(1106)를 동일 면에 구비하기 때문에, 텔레비전 전화가 가능하다. 또한, 표시부(1101)를 파인더로 하고, 이면 카메라(1203) 및 라이트(1204)로 정지화상 및 동영상의 촬영이 가능하다.

[0218] 스페커(1102) 및 마이크로 폰(1103)은 음성 통화에 제한되지 않고, 텔레비전 전화, 녹음, 재생 등의 용도로 사용할 수 있다. 조작키(1104)에서는, 전화의 착발신, 전자 메일 등의 간단한 정보 입력, 화면의 스크롤, 커서 이동 등이 가능하다.

[0219] 또한, 서류의 작성, 휴대 정보 단말로서의 사용 등, 취급하는 정보가 많은 경우는 키보드(1201)를 사용하면 편리하다. 또한, 겹친 케이싱(1111)과 케이싱(1112; 도 18a)은, 슬라이드하여 도 18c와 같이 전개하고, 휴대 정보 단말로서 사용하는 경우는, 키보드(1201), 포인팅 디바이스(1105)를 사용하여 원활한 조작이 가능하다. 외부 접속단자 잭(1107)은 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능하고, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(1202)에 기록 매체를 삽입하여 보다 대량의 데이터 보존 및 이동에 대응할 수 있다.

[0220] 케이싱(1112)의 이면(도 18b)에는, 이면 카메라(1203) 및 라이트(1204)를 구비하고, 표시부(1101)를 파인더로 하여 정지화상 및 동영상의 촬영이 가능하다.

[0221] 또한, 상기 기능 구성에 더하여, 적외선 통신기능, USB 포트, 텔레비전 원 세그먼트(one segment) 수신 기능, 비접촉 IC 칩, 이어폰 잭 등을 구비한 것이어도 좋다.

[0222] 상기 실시형태에 나타내는 표시 장치를 적용함으로써, 양산성을 높일 수 있다.

[0223] [실시예 1]

[0224] 본 실시예에서는, 도 1c에 도시하는 박막 트랜지스터를 제작하여, 트랜지스터 특성을 측정한 결과를 나타낸다.

[0225] 우선, 박막 트랜지스터의 제작 공정을 나타낸다.

[0226] 도 7a에 도시하는 바와 같이, 기판(01) 위에 도전층(03)을 형성하였다. 여기서는, 기판(01)으로서 유리 기판을 사용하였다. 또한, 도전층(03)으로서, 몰리브덴 타깃을 아르곤으로 스퍼터링하여, 두께 150nm의 몰리브덴층을 형성하였다.

[0227] 다음에, 도전층(03) 위에 레지스트를 도포한 후, 포토리소그래피 공정에 의하여 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 도전층(03)을 웨트 에칭하여, 도 7b에 도시하는 바와 같이, 게이트 전극(05)을 형성하였다. 그 후, 레지스트 마스크를 제거하였다.

[0228] 다음에, 도 7b에 도시하는 바와 같이 기판(01) 및 게이트 전극(05) 위에 게이트 절연층(09)을 형성하고, 게이트 절연층(09) 위에 도전층(11)을 형성하고, 도전층(11) 위에 베퍼층(13)을 형성하였다.

[0229] 여기서는, 게이트 절연층(09)으로서는 플라즈마 CVD법에 의하여, 두께 110nm의 질화실리콘층, 및 두께 110nm의

산화질화실리콘층을 형성하였다. 도전층(11)으로서는, 플라즈마 CVD법에 의하여 두께 20nm의 인을 포함하는 미결정 실리콘층을 형성하였다. 여기서는, 10ppm PH₃(실란 희석)와 수소의 유량비를 1:150으로 하여, 인을 포함하는 미결정 실리콘층을 형성하였다. 베퍼층(13)으로서는, 플라즈마 CVD법에 의하여, 두께 50nm의 아모퍼스 실리콘층을 형성하였다.

[0230] 다음에, 베퍼층(13) 위에 레지스트를 도포한 후, 포토리소그래피 공정에 의하여 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 도전층(11) 및 베퍼층(13)을 드라이 에칭하고, 도전층(51) 및 베퍼층(19)을 형성하였다. 그 후, 레지스트 마스크를 제거하였다. 그 후, 드라이 에칭에 의하여, 베퍼층(19)을 20nm 에칭한 후, 염소 플라즈마를 조사하여, 베퍼층(19) 표면의 불순물을 제거하였다.

[0231] 도전층(51) 및 베퍼층(19) 표면의 산화층을, 불산을 순수로 10배 내지 100배로 희석한 용액으로 제거하였다.

[0232] 다음에, 도 11a에 도시하는 바와 같이, 게이트 절연층(09), 베퍼층(19), 및 도전층(51) 위에 비정질 반도체층(23) 및 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(25)을 형성하였다.

[0233] 여기서는, 비정질 반도체층(23)으로서 플라즈마 CVD법에 의하여, 두께 80nm의 아모퍼스 실리콘층을 형성하였다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(25)으로서 플라즈마 CVD법에 의하여, 두께 50nm의 인이 첨가된 아모퍼스 실리콘층을 형성하였다.

[0234] 다음에, 포토리소그래피 공정에 의하여 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 베퍼층(19) 및 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(25)을 드라이 에칭하여, 도 11b에 도시하는 바와 같이, 비정질 반도체층(81) 및 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(83)을 형성하였다. 그 후, 레지스트 마스크를 제거하였다.

[0235] 다음에, 도 11c에 도시하는 바와 같이, 게이트 절연층(09), 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(83) 위에 도전층(27)을 형성하였다.

[0236] 여기서는, 도전층(27)으로서, 몰리브덴 타깃을 아르곤으로 스퍼터링하여, 두께 300nm의 몰리브덴층을 형성하였다.

[0237] 다음에, 도전층(27) 위에 레지스트를 도포한 후, 포토리소그래피 공정에 의하여 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 도전층(27)을 웨트 에칭하여, 도 11d에 도시하는 바와 같이, 소스 배선(85) 및 드레인 전극(87)을 형성하였다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 불순물 반도체층(83)을 드라이 에칭하여, 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층(91, 93)을 형성하였다. 이 때, 비정질 반도체층(81) 표면도 일부 에칭되어, 비정질 반도체층(95)이 되었다. 그 후, 레지스트 마스크를 제거하였다.

[0238] 여기서 시료 1로서는, 실시형태 1 및 도 11d에 나타내는 바와 같이, 소스 배선(85)의 일 단부가 도전층(51)과 2μm 중첩하고, 드레인 전극(87)의 일 단부가 도전층(51)으로부터 2μm 떨어지도록, 도전층(27)을 에칭하였다. 또한, 시료 2로서는, 소스 배선(85)의 일 단부와, 도전층(51)의 일 단부가 일치하고, 드레인 전극(87)의 일 단부가 도전층(51)의 일 단부와 일치되도록 도전층(27)을 에칭하였다.

[0239] 다음에, 비정질 반도체층(95) 표면에 염소 플라즈마를 조사하여, 비정질 반도체층(95)에 잔류하는 불순물을 제거하였다.

[0240] 다음에, 도 11e에 도시하는 바와 같이, 보호 절연층(67)을 형성하였다. 여기서는, 보호 절연층(67)으로서 플라즈마 CVD법에 의하여, 두께 300nm의 질화실리콘층을 형성하였다.

[0241] 다음에, 보호 절연층(67) 위에 레지스트를 도포한 후, 포토리소그래피 공정에 의하여 형성한 레지스트 마스크를 사용하여, 보호 절연층(67)의 일부를 드라이 에칭하여 드레인 전극(87)을 노출시켰다. 또한, 보호 절연층(67) 및 게이트 절연층(09)의 일부를 드라이 에칭하여 게이트 전극(05)을 노출시켰다.

[0242] 다음에, 보호 절연층(67) 위에 도전층을 형성하였다. 여기서는, 스퍼터링법에 의하여, 도전층으로서 두께 50nm의 ITO를 형성하였다. 또한, 상기 ITO는 형성하지 않아도 좋다.

[0243] 그 후, 시료 1 및 시료 2의 박막 트랜지스터의 전기 특성을 측정하였다. 시료 1의 전류전압 특성을 도 19a에 도시하고, 시료 2의 전류전압 특성을 도 19b에 도시하였다. 또한, 시료 1 및 시료 2의 박막 트랜지스터의 채널 길이를 10μm, 채널 폭을 20μm로 하였다. 또한, 드레인 전압이 1V 및 10V의 전류전압 특성을 실선으로

나타내고, 드레인 전압이 1V일 때의 전계 효과 이동도를 파선으로 나타냈다.

[0244] 시료 1의 전계 효과 이동도는, $1.37\text{cm}^2/\text{Vs}$ 이고, 시료 2의 전계 효과 이동도는, $1.14\text{cm}^2/\text{Vs}$ 이었다. 이로써, 실시형태 1에 나타내는 구성에 의하여, 박막 트랜지스터의 전계 효과 이동도가 상승되는 것을 알 수 있다. 또한, 도 19a 및 도 19b를 보면, 시료 1의 온 전류가 상승하고, 오프 전류가 저하하는 것을 알 수 있다. 또한, 시료 2는, 임계 값이 대폭 마이너스 측으로 시프트하지만, 시료 1은 임계 값이 약간 플러스 시프트할 뿐이다.

[0245] 이상으로, 본 실시예의 구성에 의하여 박막 트랜지스터의 온 전류 및 전계 효과 이동도를 상승시킴과 함께, 오프 전류를 저감시킬 수 있다.

[실시예 2]

[0247] 본 실시예에서는, 상기 실시형태에 나타내는 박막 트랜지스터의 전류 경로에 있어서의 밴드도(band diagram), 및 전류 전압 특성에 대하여 시뮬레이션을 행한 결과를 나타낸다. 또한, 디바이스 시뮬레이션에는, Silvaco사 제 디바이스 시뮬레이터 "ATLAS"를 사용한다.

[0248] 도 20에 디바이스 시뮬레이션에 사용한 박막 트랜지스터의 구조를 도시한다.

[0249] 절연 기판 위에 게이트 전극으로서 두께 150nm의 몰리브덴(Mo)을 형성한다. 몰리브덴(Mo)의 일 함수는 4.6eV로 한다.

[0250] 게이트 전극 위에, 게이트 절연층으로서, 질화실리콘(SiN: 유전율 7.0, 두께 110nm)과 산화질화실리콘(SiON: 유전율 4.1, 두께 110nm)을 적층한다.

[0251] 게이트 절연층 위에, 도전층으로서, 인이 첨가된 미결정 실리콘층($\mu\text{c-Si(n)}$): 두께 10nm, 도너 농도 $1 \times 10^{18}\text{atoms/cm}^3$, 활성화율 100%, 베퍼층으로서 아모퍼스 실리콘층(a-Si(i1)): 두께 30nm)을 적층한다.

[0252] 또한, 베퍼층 및 게이트 절연층 위에, 비정질 반도체층으로서, 아모퍼스 실리콘층(a-Si(i2)): 두께 80nm)을 적층 한다. 비정질 반도체층은, 채널 에칭층으로서 기능하므로, 오목(凹)부 형상이며, 오목부에 있어서의 두께는 40nm가 된다.

[0253] 비정질 반도체층에 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층으로서, 인이 첨가된 아모퍼스 실리콘층(a-Si(n⁺)): 두께 50nm)을 적층한다. 도 20에 있어서, 인이 첨가된 아모퍼스 실리콘층(a-Si(n⁺))의 거리가, 박막 트랜지스터의 채널 길이(L)에 상당한다. 여기서는, 채널 길이(L)= $10\mu\text{m}$ 로 한다. 또한, 인이 첨가된 미결정 실리콘층($\mu\text{c-Si(n)}$)과 인이 첨가된 아모퍼스 실리콘층(a-Si(n⁺))의 한 쪽의 거리를 (D-N)로 도시한다. 여기서는, 거리 (D-N)를 $2\mu\text{m}$ 로 한다. 또한, 인이 첨가된 아모퍼스 실리콘층(a-Si(n⁺))의 도너 농도는 $1 \times 10^{19}\text{atoms/cm}^3$ 로 하여, 높은 도전성을 갖는다.

[0254] 일 도전형을 부여하는 불순물 원소가 첨가된 한 쌍의 불순물 반도체층 위에, 소스 전극 및 드레인 전극으로서 몰리브덴(Mo: 두께 300nm)을 적층한다. 몰리브덴(Mo)과 인이 첨가된 아모퍼스 실리콘층(a-Si(n⁺))과의 사이는, 오믹 접촉(ohmic contact)이라고 가정한다.

[0255] 도 21에 도 20에 도시하는 박막 트랜지스터의 디바이스 시뮬레이션을 행하였을 때의 전류전압 특성의 결과를 이하에 나타낸다. 파선은 드레인 전압이 1V일 때의 드레인 전류, 실선은 드레인 전압이 10V일 때의 드레인 전류를 나타낸다. 게이트 전압(VG)이 임계 값 전압(여기서는 0.6V)일 때에, 전류전압 특성의 요철(凹凸)이 반전된다. 즉, $VG < V_{th}$ 에서는 그래프는 아래로 볼록하게, $VG > V_{th}$ 에서는 그래프는 위로 볼록하게 된다. 또한, 게이트 전압에 의하여, 온 오프의 거동을 나타낸다.

[0256] 다음에, 드레인 전압을 1V로 고정하며, 도 20의 A-B-C-D에 있어서의 층의 밴드도의 디바이스 시뮬레이션을 행한 결과, 및 장벽의 게이트 전압 의존성에 대하여, 이하에 나타낸다.

[0257] 도 22는, $VD=VG=0\text{V}$ 에 있어서의 밴드도의 디바이스 시뮬레이션을 행한 결과를 도시한다. VG 가 0V 이면, $\mu\text{c-Si(n)}$ 와 a-Si(i2)의 경계 부분에 있어서, 전자의 이동을 막을 수 있는 장벽이 형성된다.

[0258] 도 23은, $VD=1\text{V}$, $VG=0\text{V}$ 에 있어서의 밴드도의 디바이스 시뮬레이션을 행한 결과를 도시하고, 도 24는, $VD=1\text{V}$, $VG=V_{th}$ (임계 값 전압이 0.6V)에 있어서의 밴드도의 디바이스 시뮬레이션을 행한 결과를 도시한다. VG 가 0V 및 임계 값 전압에 있어서도 장벽은 존재한다. 또한, VG 가 임계 값 전압과 동일한 경우는, VG 가 0V 에 있어서의 장

벽보다 낮아진다.

[0259] 도 25는, $VD=1V$, $VG>Vth$ (게이트 전압이 2V)에 있어서의 밴드도의 디바이스 시뮬레이션을 행한 결과를 도시한다. VG 가 임계 값 전압보다 커지면, 더욱 더 장벽은 낮아지므로, 전자가 통과할 수 있게 된다. 결과적으로, 본 실시예에서 나타내는 박막 트랜지스터는, 도 21에 도시하는 바와 같은 전류전압 특성을 얻을 수 있다.

[0260] [실시예 3]

[0261] 본 실시예에서는, 상기 실시형태의 박막 트랜지스터의 전류 전압 특성의 시뮬레이션을 행한 결과를 나타낸다. 또한, 디바이스 시뮬레이션에는, Silvaco사제 디바이스 스뮬레이터 "ATLAS"를 사용한다. 또 박막 트랜지스터의 구조는 실시예 2에 나타내는 박막 트랜지스터와 같은 구조이다.

[0262] 도 26은, 도 20에 도시하는 D-N의 거리를 d 로 한 경우, d 를 $2\mu m$ 로 하고, 드레인 전압 $Vd=10V$ 로 한 경우의 박막 트랜지스터의 전류 전압 곡선을 도시한다. 도 27은 d 를 $20\mu m$ 로 하고, 드레인 전압 $Vd=10V$ 로 하였을 때의 박막 트랜지스터의 전류 전압 곡선을 나타낸다.

[0263] 도 28은, 드레인 전압 Vd 가 1V인 경우의 도너 농도에 대한 오프 전류에 대하여, 거리 d 에 의한 변화를 도시한다. 도 29는, 드레인 전압 Vd 가 10V인 경우의 도너 농도에 대한 오프 전류에 대하여, 거리 d 에 의한 변화를 도시한다.

[0264] 도 30은, 드레인 전압 Vd 가 1V인 경우의 도너 농도에 대한 이동도에 대하여, 거리 d 에 의한 변화를 도시한다. 도 31은, 거리 d 를 $2\mu m$ 로 하고, 드레인 전압 Vd 가 10V인 경우의 도너 농도에 대한 이동도에 대하여, 거리 d 에 의한 변화를 도시한다.

[0265] 도 28 내지 도 30에 도시하는 그래프를 보면, 표시 장치에 있어서 사용 가능한 박막 트랜지스터의 조건으로서, 오프 전류가 $Vd=10V$ 이며, $1 \times 10^{-9} A$ 이상, 또 $Vd=1V$ 이며, $1 \times 10^{-10} A$ 이하를 충족시키는 조건이 있다. 이 조건을 충족시키는 도너의 농도는, d 가 $0.5\mu m$ 내지 $4\mu m$ 에 있어서, $1 \times 10^{15} \text{ atoms/cm}^3$ 내지 $1 \times 10^{15} \text{ atoms/cm}^3$ 이다.

[0266] 또한, 전계 효과 이동도가 $Vd=1V$ 이며, $1.0 \text{ cm}^2/V \cdot \text{sec}$ 이상인 것은, 거리 d 가 $2\mu m$ 에 있어서 $1 \times 10^{18} \text{ atoms/cm}^3$ 내지 $1 \times 10^{19} \text{ atoms/cm}^3$ 이다.

[0267] 이상으로서, 거리 d 가 $0.5\mu m$ 내지 $4\mu m$ 인 경우, 도너 농도가 $1 \times 10^{18} \text{ atoms/cm}^3$ 내지 $1 \times 10^{19} \text{ atoms/cm}^3$, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 내지 $1 \times 10^{19} \text{ atoms/cm}^3$ 인 것이 바람직한 것을 알 수 있다.

[0268] 또한, 도너 농도가 $1 \times 10^{18} \text{ atoms/cm}^3$ 내지 $1 \times 10^{19} \text{ atoms/cm}^3$ 인 경우, 도너의 활성화율이 100%인 경우의 전기 전도율은 $0.1S/cm$ 내지 $1.8S/cm$ 이다. 또한, 활성화율이 5% 내지 100%에 있어서, 이 전기 전도율을 충족시키는 도너가 되는 불순물 원소의 농도는, $1 \times 10^{18} \text{ atoms/cm}^3$ 내지 $2 \times 10^{20} \text{ atoms/cm}^3$ 이다.

도면의 간단한 설명

[0269] 도 1a 내지 도 1c는 본 실시형태에 따른 박막 트랜지스터를 설명하는 단면도.

[0270] 도 2는 본 실시형태에 따른 박막 트랜지스터를 설명하는 단면도.

[0271] 도 3a 및 도 3b는 본 실시형태에 따른 박막 트랜지스터를 설명하는 단면도.

[0272] 도 4a 및 도 4b는 본 실시형태에 따른 박막 트랜지스터를 설명하는 단면도.

[0273] 도 5는 본 실시형태에 따른 박막 트랜지스터의 제작 공정을 설명하는 단면도.

[0274] 도 6a 및 도 6b는 본 실시형태에 따른 박막 트랜지스터를 설명하는 단면도 및 상면도.

[0275] 도 7a 내지 도 7e는 본 실시형태에 따른 박막 트랜지스터의 제작 공정을 설명하는 단면도.

[0276] 도 8a 내지 도 8c는 본 실시형태에 따른 박막 트랜지스터의 제작 공정을 설명하는 단면도.

[0277] 도 9a 내지 도 9d는 본 실시형태에 적용 가능한 다계조 마스크를 설명하는 도면.

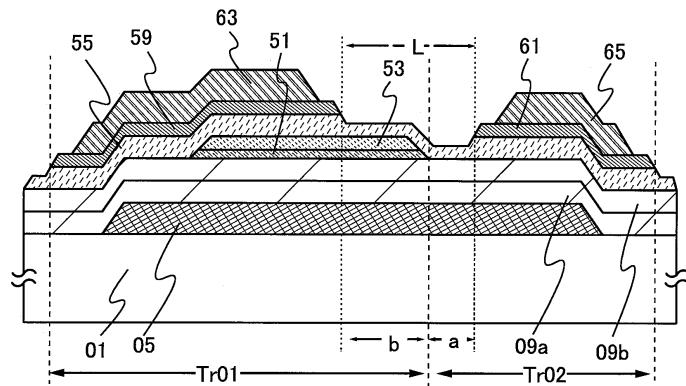
[0278] 도 10은 본 실시형태에 따른 박막 트랜지스터의 제작 공정을 설명하는 상면도.

- [0279] 도 11a 내지 도 11e는 본 실시형태에 따른 박막 트랜지스터의 제작 공정을 설명하는 단면도.
- [0280] 도 12는 본 실시형태에 따른 박막 트랜지스터의 제작 공정을 설명하는 상면도.
- [0281] 도 13은 본 실시형태에 따른 소자 기판을 설명하는 평면도.
- [0282] 도 14a 및 도 14b는 본 실시형태에 따른 소자 기판의 단자부 및 화소부를 설명하는 단면도.
- [0283] 도 15a 내지 도 15c는 본 실시형태에 따른 표시 패널을 설명하는 사시도.
- [0284] 도 16a 내지 도 16d는 본 실시형태에 따른 표시 장치를 사용한 전자 기기를 설명하는 사시도.
- [0285] 도 17은 본 실시형태에 따른 표시 장치를 사용한 전자 기기를 설명하는 도면.
- [0286] 도 18a 내지 도 18c는 본 실시형태에 따른 표시 장치를 사용한 전자 기기를 설명하는 사시도.
- [0287] 도 19a 및 도 19b는 실시예 1에 의하여 얻어진 박막 트랜지스터의 전기 특성을 도시하는 도면.
- [0288] 도 20은 디바이스 시뮬레이션에 사용한 디바이스 구조를 도시하는 도면.
- [0289] 도 21은 디바이스 시뮬레이션에 의하여 얻어진 박막 트랜지스터의 전기 특성을 도시하는 도면.
- [0290] 도 22는 디바이스 시뮬레이션에 의하여 얻어진 밴드 캡을 도시하는 도면.
- [0291] 도 23은 디바이스 시뮬레이션에 의하여 얻어진 밴드 캡을 도시하는 도면.
- [0292] 도 24는 디바이스 시뮬레이션에 의하여 얻어진 밴드 캡을 도시하는 도면.
- [0293] 도 25는 디바이스 시뮬레이션에 의하여 얻어진 밴드 캡을 도시하는 도면.
- [0294] 도 26은 디바이스 시뮬레이션에 의하여 얻어진 박막 트랜지스터의 전기 특성을 도시하는 도면.
- [0295] 도 27은 디바이스 시뮬레이션에 의하여 얻어진 박막 트랜지스터의 전기 특성을 도시하는 도면.
- [0296] 도 28은 디바이스 시뮬레이션에 의하여 얻어진 박막 트랜지스터의 온 전류를 도시하는 도면.
- [0297] 도 29는 디바이스 시뮬레이션에 의하여 얻어진 박막 트랜지스터의 온 전류를 도시하는 도면.
- [0298] 도 30은 디바이스 시뮬레이션에 의하여 얻어진 박막 트랜지스터의 전계 효과 이동도를 도시하는 도면.
- [0299] 도 31은 디바이스 시뮬레이션에 의하여 얻어진 박막 트랜지스터의 전계 효과 이동도를 도시하는 도면.
- [0300] 도 32a 및 도 32c는 본 실시형태에 따른 박막 트랜지스터를 설명하는 단면도.
- [0301] 도 33은 본 실시형태에 따른 박막 트랜지스터를 설명하는 단면도.
- [0302] <도면의 주요 부분에 대한 부호의 설명>
- | | |
|---------------------------|--------------------|
| [0303] 01: 기판 | 05: 게이트 전극 |
| [0304] 09a: 게이트 절연층 | 09b: 게이트 절연층 |
| [0305] 51: 도전층 | 53: 베퍼층 |
| [0306] 55: 비정질 반도체층 | 59: 불순물 반도체층 |
| [0307] 61: 불순물 반도체층 | 63: 배선 |
| [0308] 65: 배선 | a: 거리 |
| [0309] b: 거리 | L: 길이 |
| [0310] Tr01: 제 1 박막 트랜지스터 | Tr02: 제 2 박막 트랜지스터 |

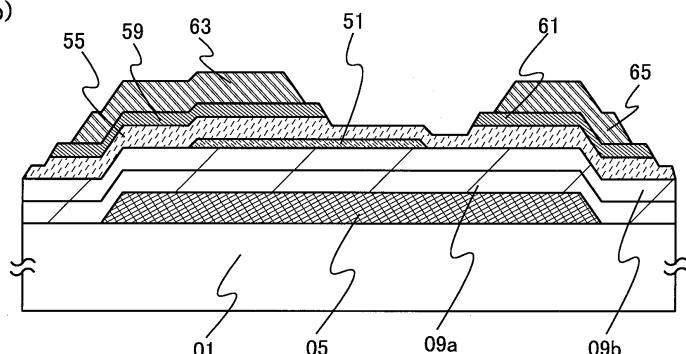
도면

도면1

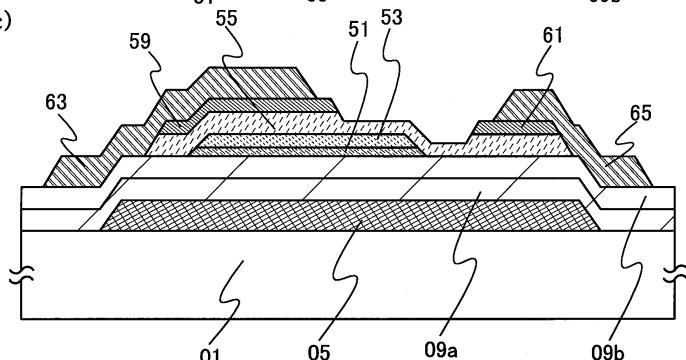
(a)



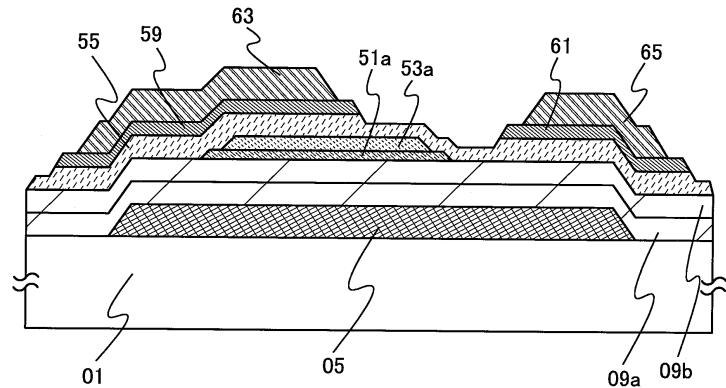
(b)



(c)

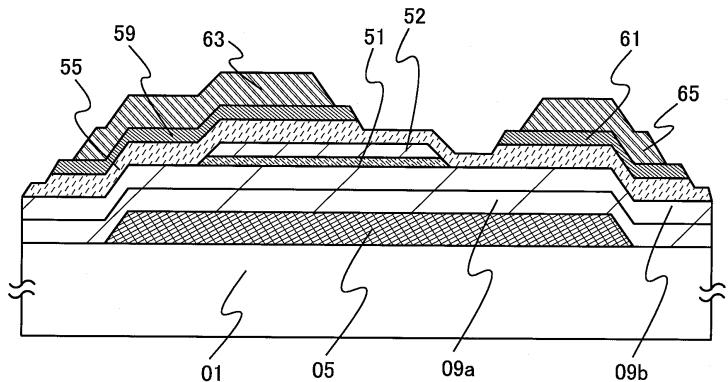


도면2

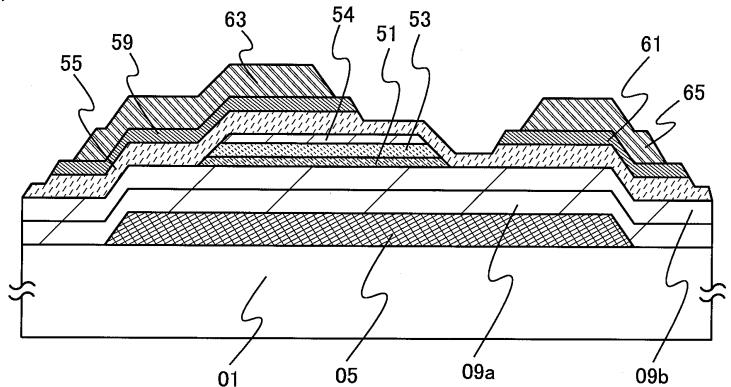


도면3

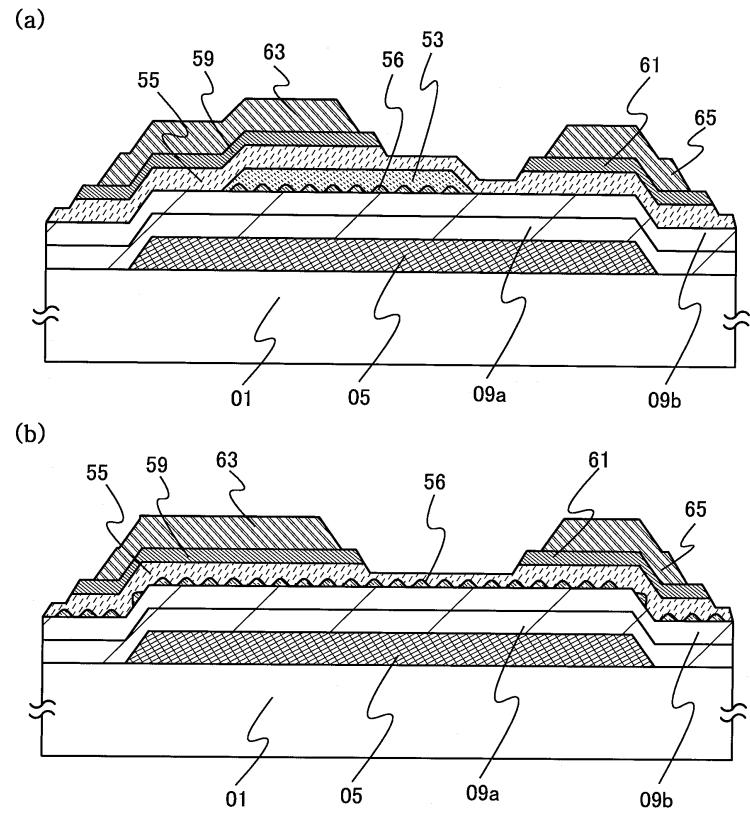
(a)



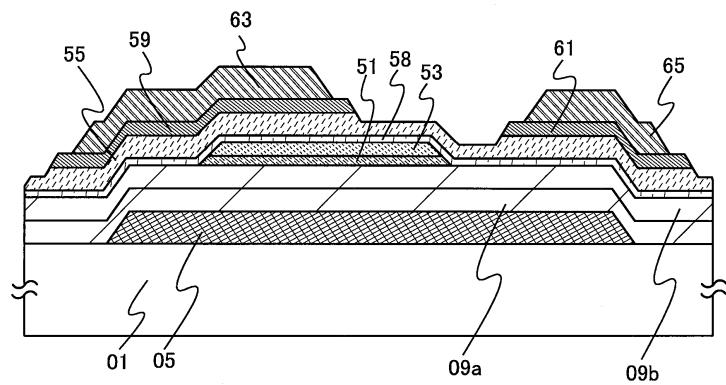
(b)



도면4

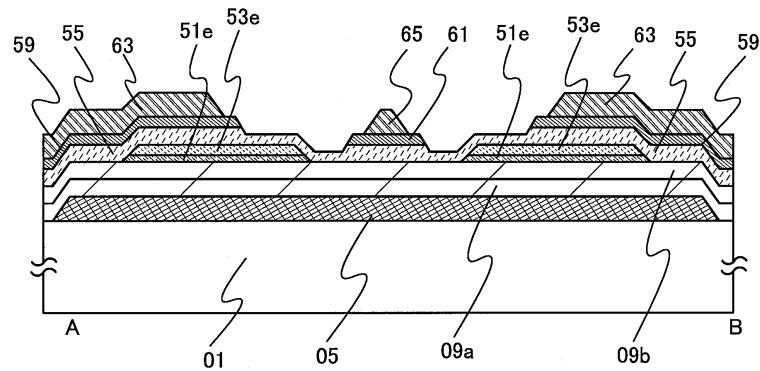


도면5

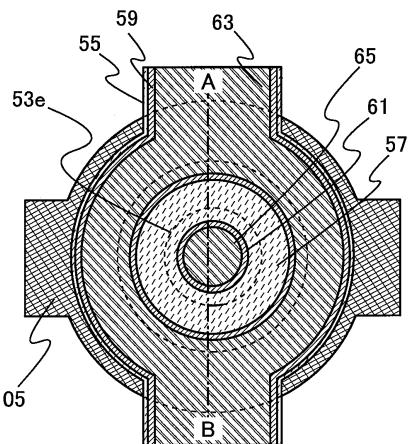


도면6

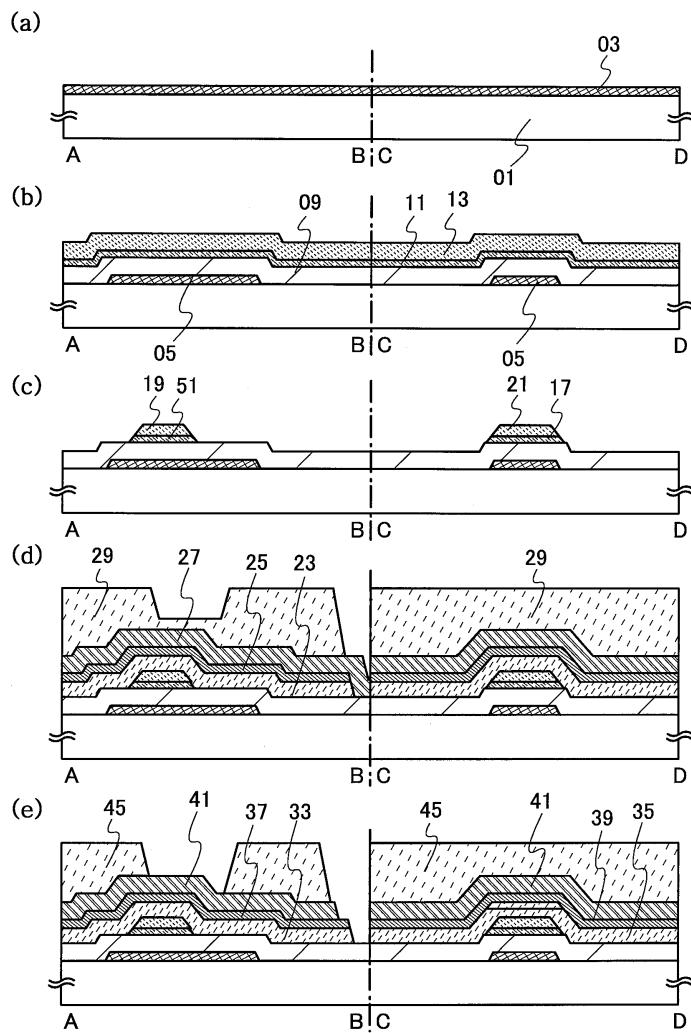
(a)



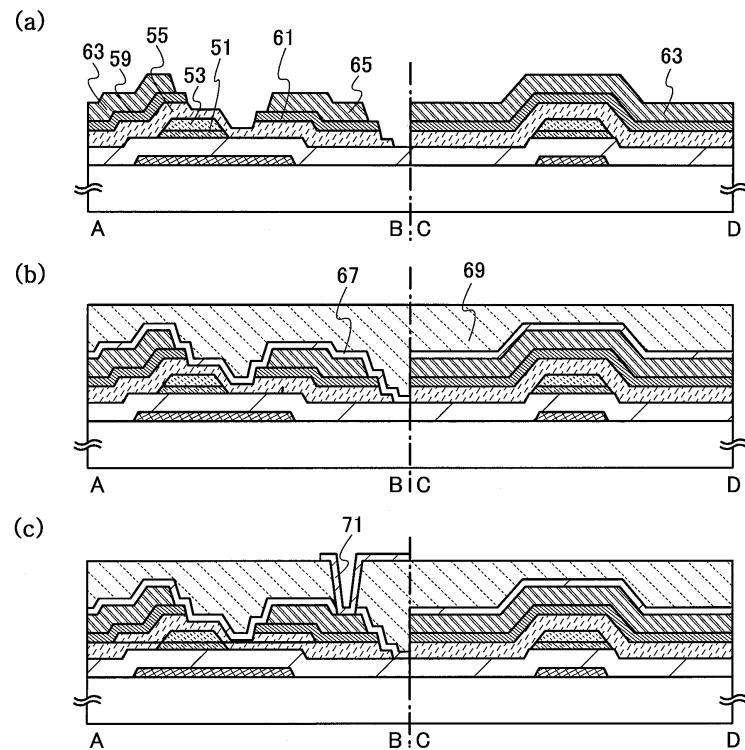
(b)



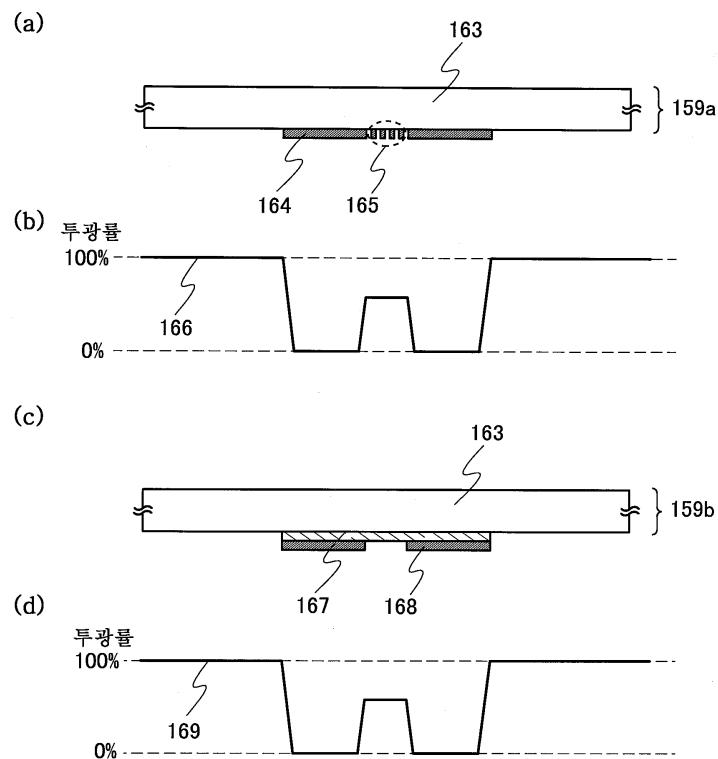
도면7



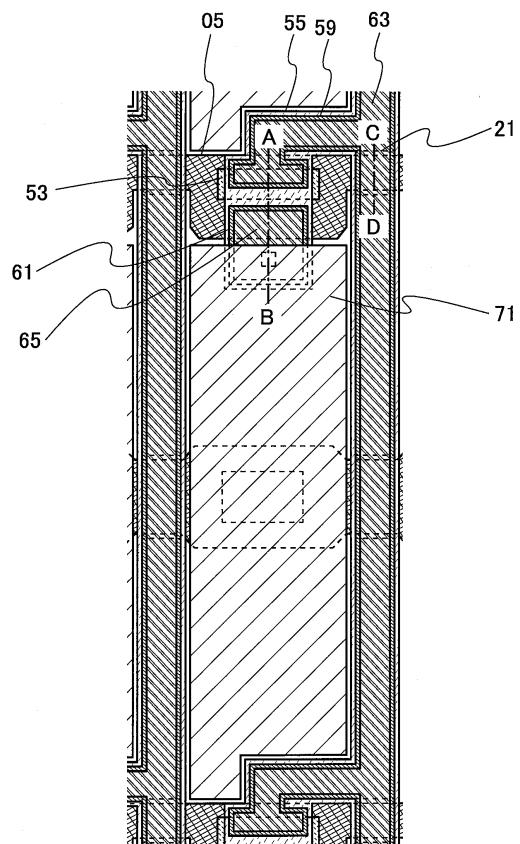
도면8



도면9

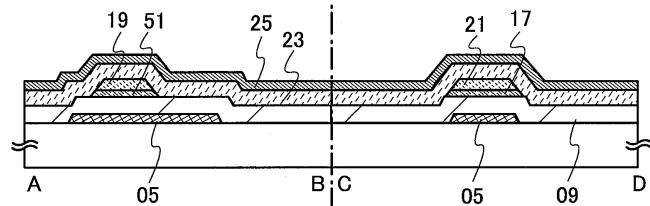


도면10

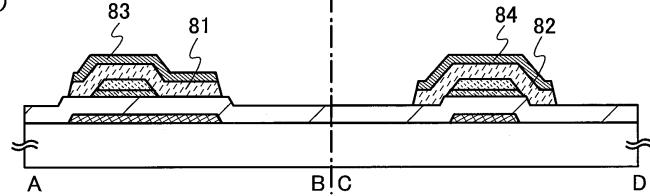


도면11

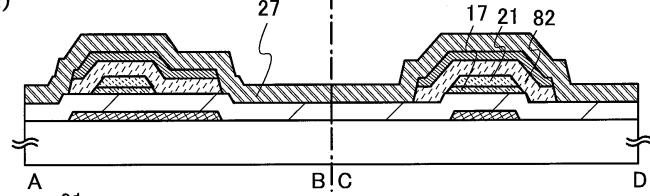
(a)



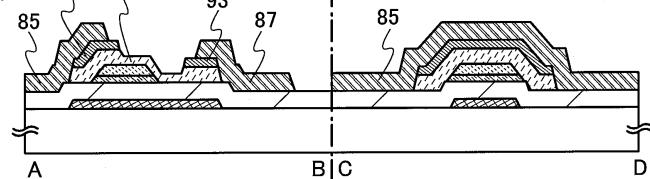
(b)



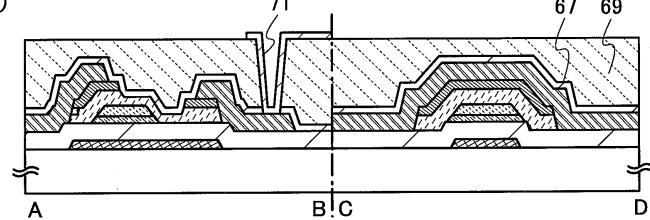
(c)



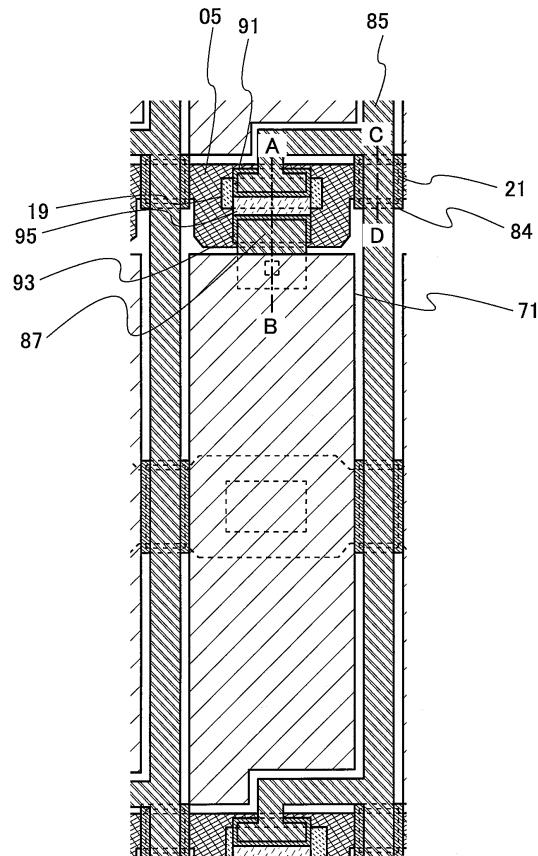
(d)



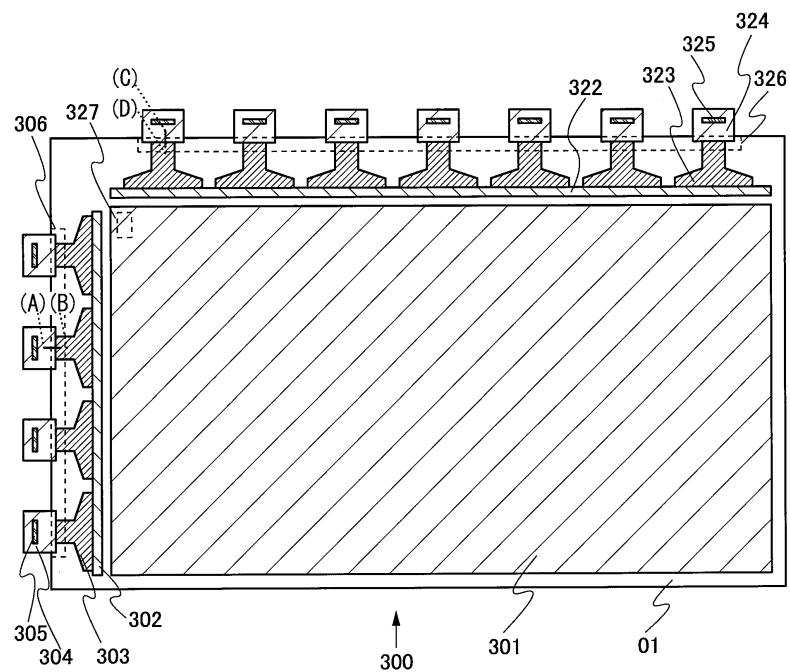
(e)



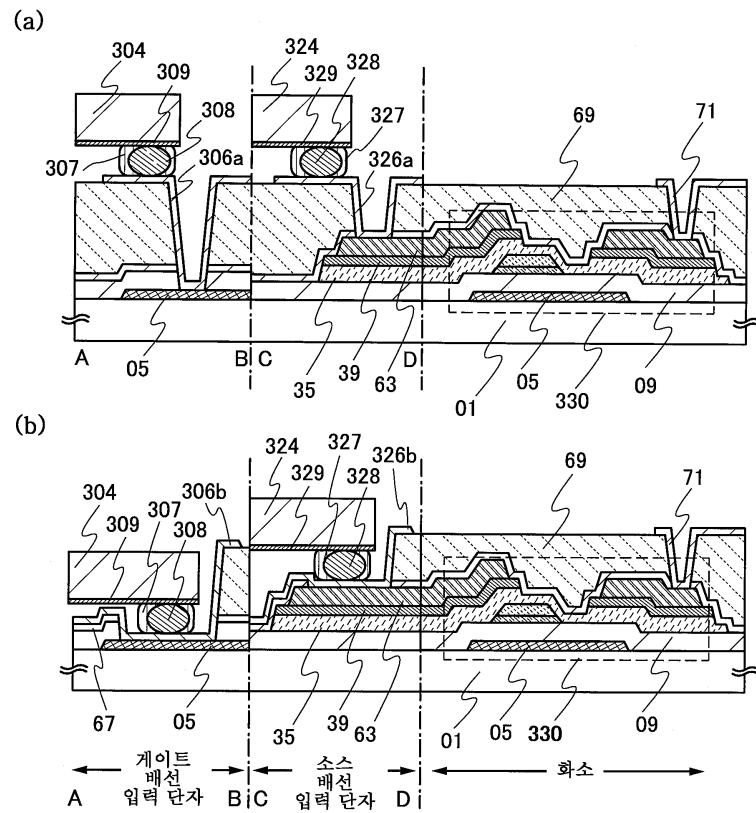
도면12



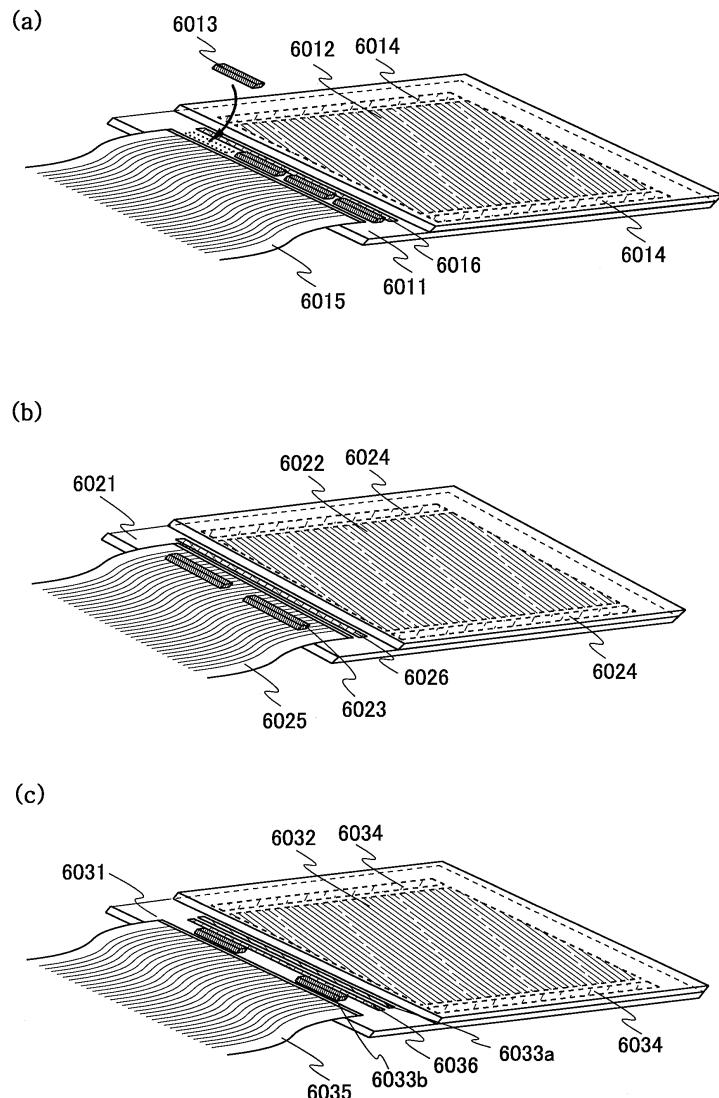
도면13



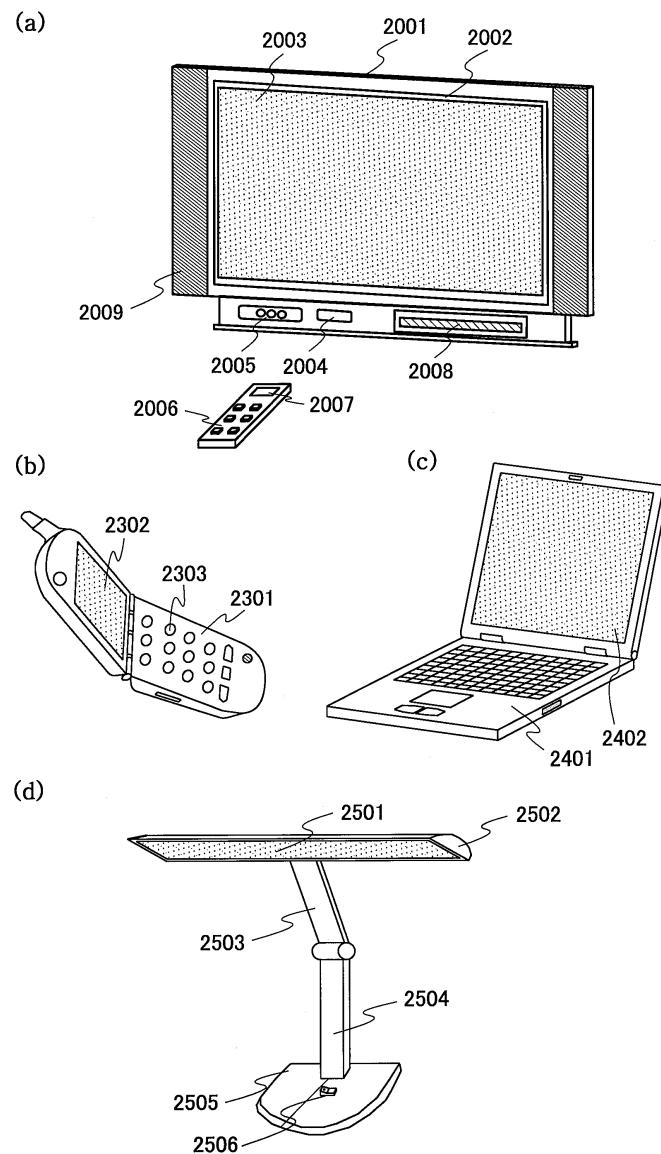
도면14



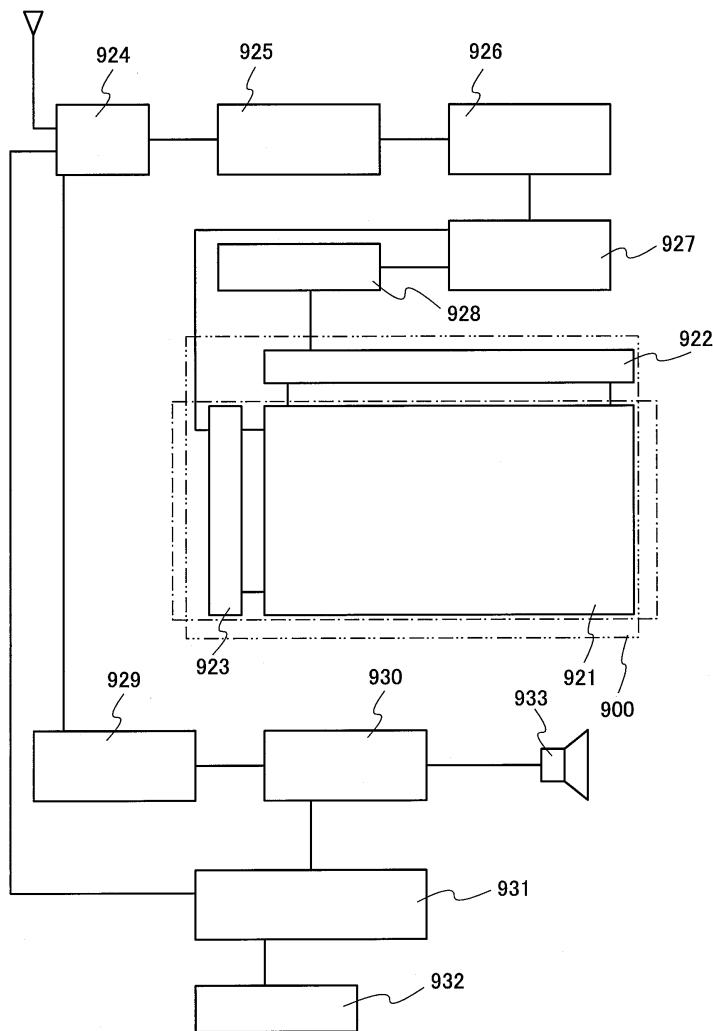
도면15



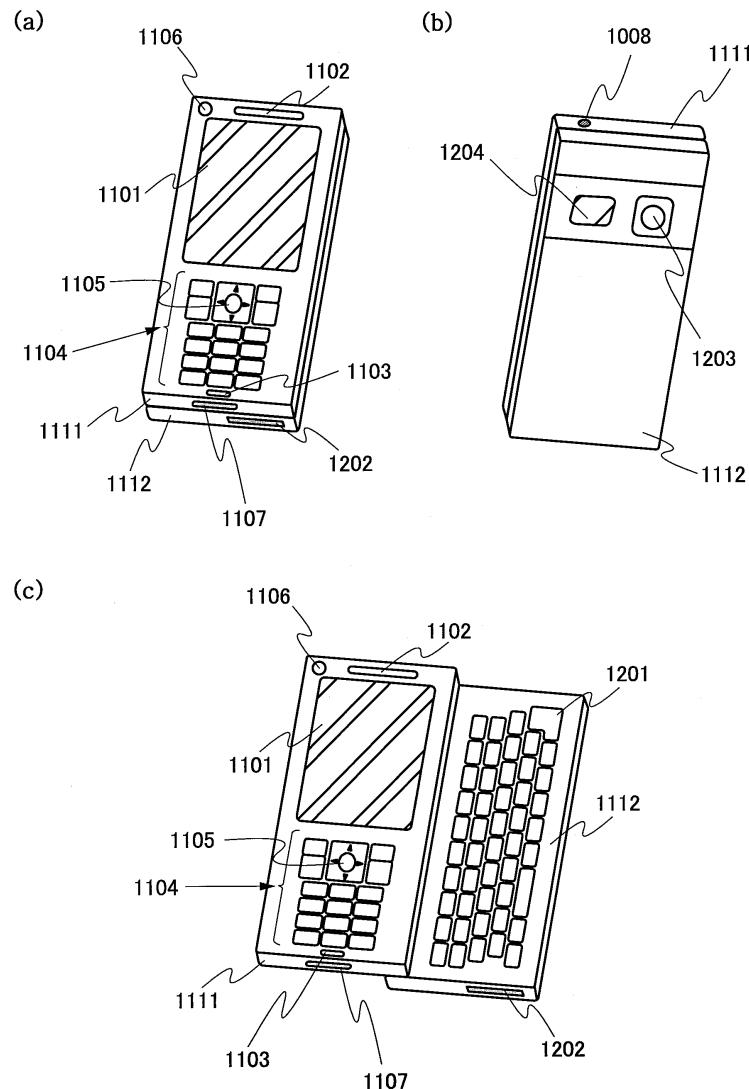
도면16



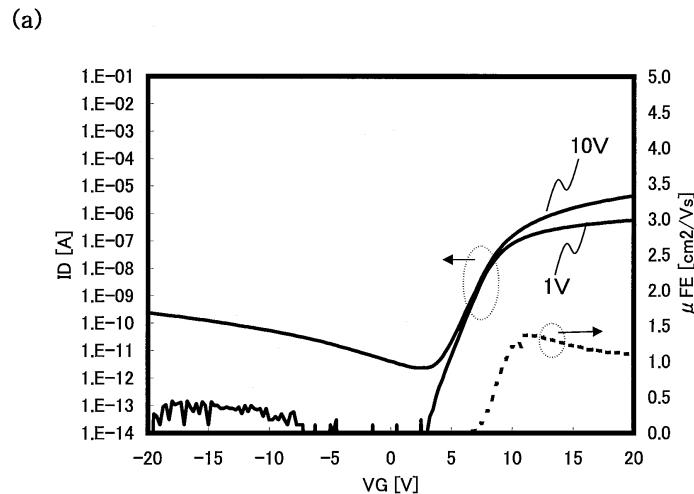
도면17



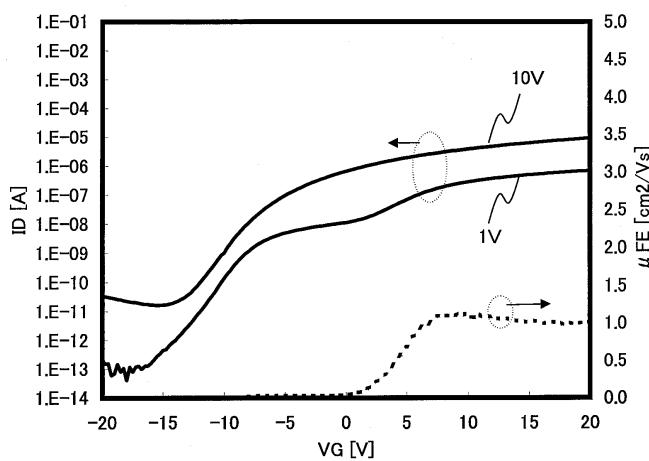
도면18



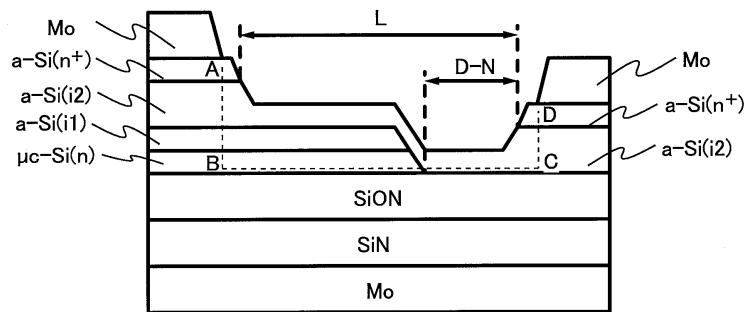
도면19



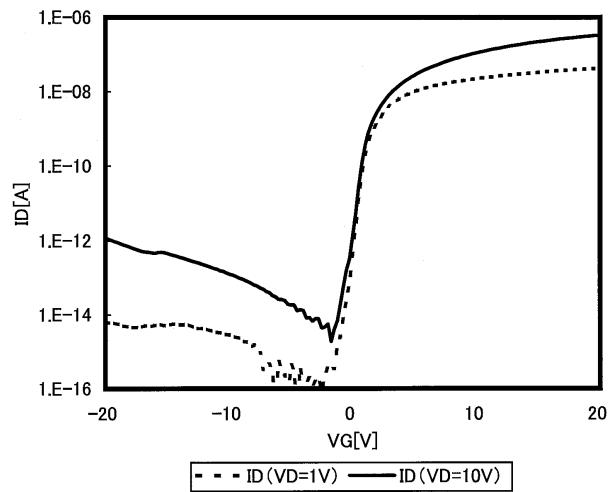
(c)



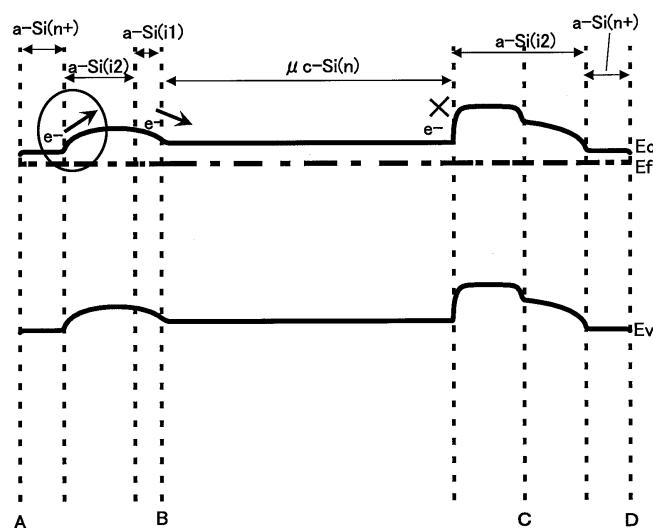
도면20



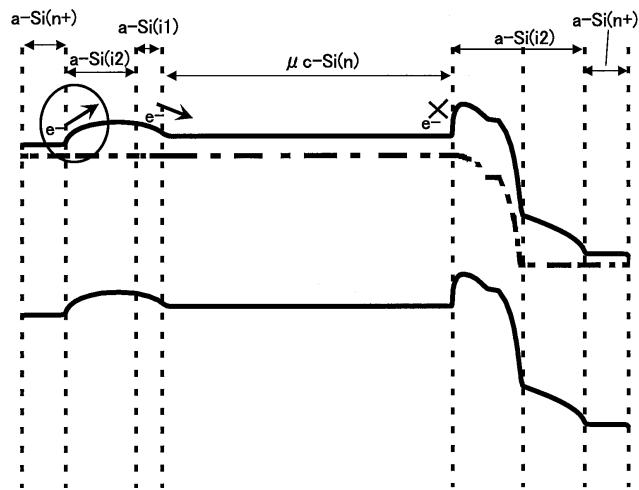
도면21



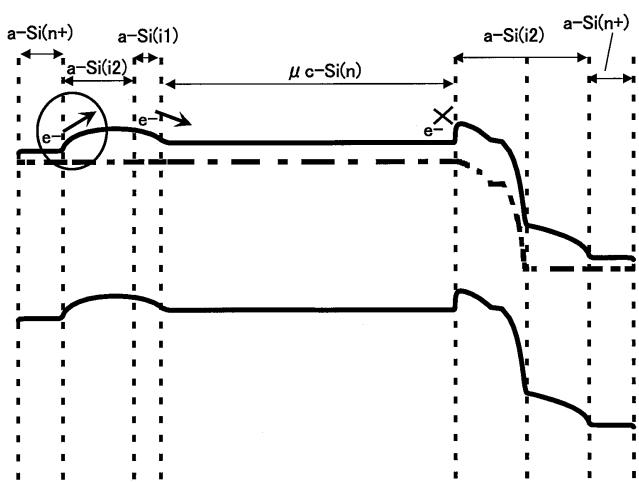
도면22



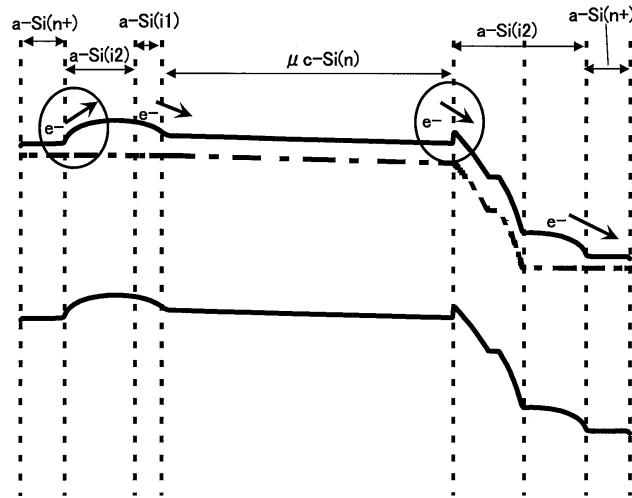
도면23



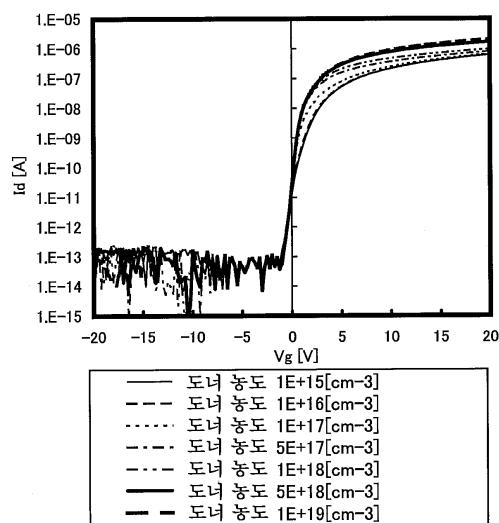
도면24



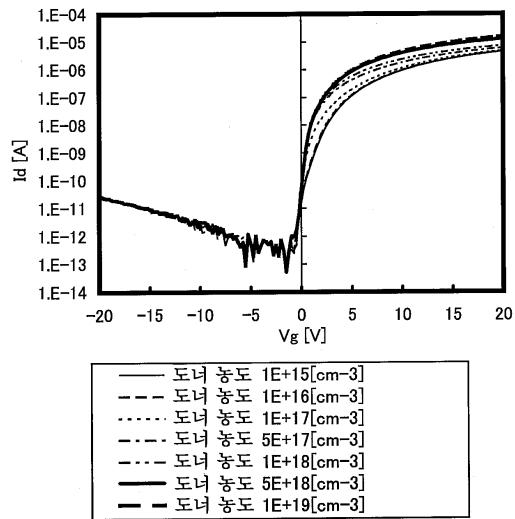
도면25



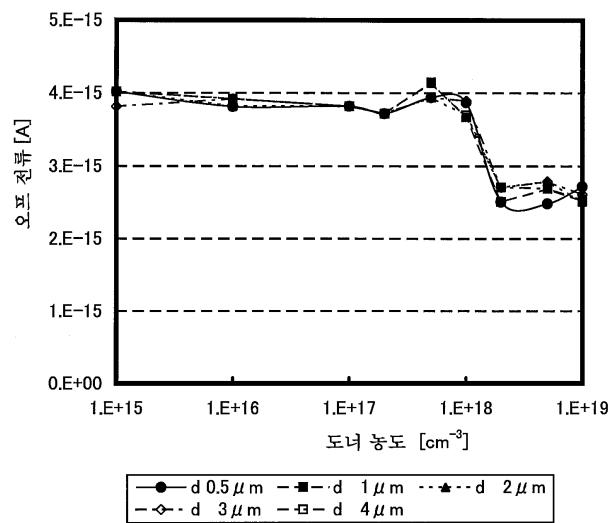
도면26



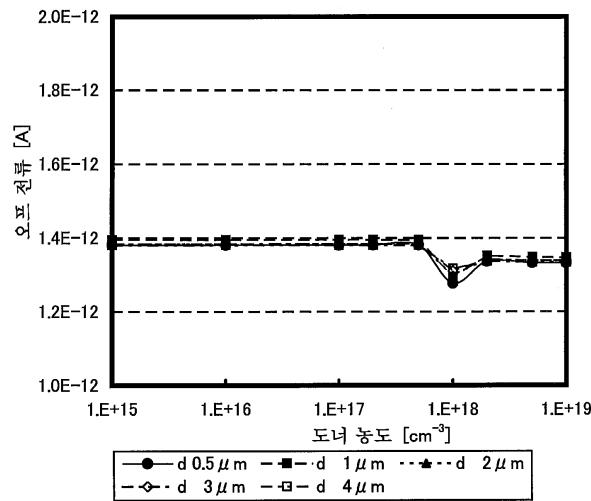
도면27



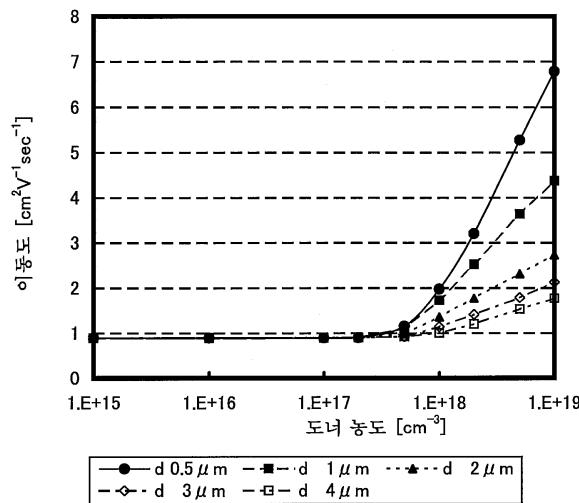
도면28



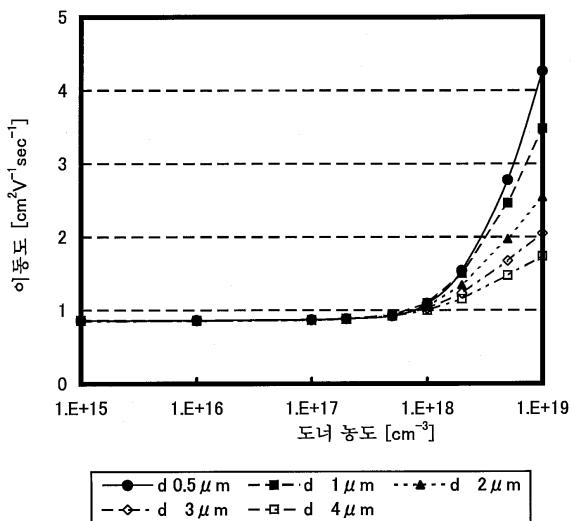
도면29



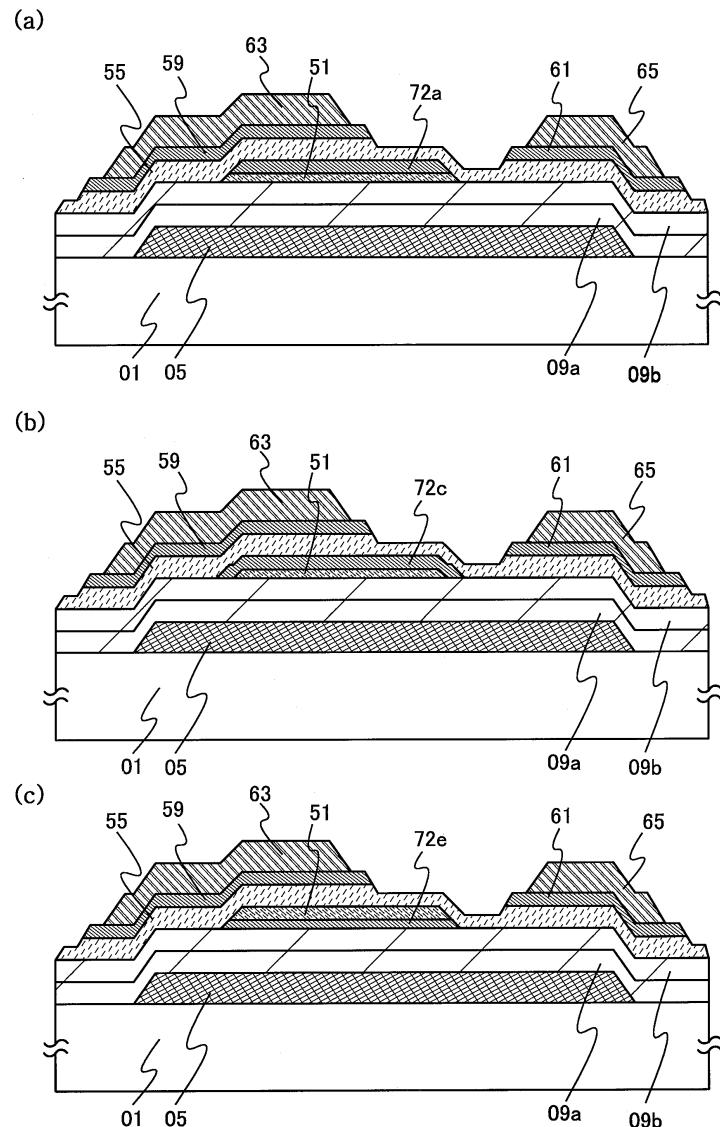
도면30



도면31



도면32



도면33

