

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7704677号
(P7704677)

(45)発行日 令和7年7月8日(2025.7.8)

(24)登録日 令和7年6月30日(2025.6.30)

(51)国際特許分類		F I		
H 0 3 F	3/62 (2006.01)	H 0 3 F	3/62	
H 0 3 F	1/22 (2006.01)	H 0 3 F	1/22	
H 0 3 F	3/68 (2006.01)	H 0 3 F	3/68	2 2 0
H 0 4 B	1/40 (2015.01)	H 0 4 B	1/40	

請求項の数 1 (全70頁)

(21)出願番号	特願2021-523129(P2021-523129)	(73)特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷3 9 8番地
(86)(22)出願日	令和2年5月19日(2020.5.19)	(72)発明者	木村 肇 神奈川県厚木市長谷3 9 8番地 株式会 社半導体エネルギー研究所内
(86)国際出願番号	PCT/IB2020/054711	(72)発明者	池田 隆之 神奈川県厚木市長谷3 9 8番地 株式会 社半導体エネルギー研究所内
(87)国際公開番号	WO2020/240339	審査官	白井 孝治
(87)国際公開日	令和2年12月3日(2020.12.3)		
審査請求日	令和5年5月1日(2023.5.1)		
(31)優先権主張番号	特願2019-102036(P2019-102036)		
(32)優先日	令和1年5月31日(2019.5.31)		
(33)優先権主張国・地域又は機関	日本国(JP)		
(31)優先権主張番号	特願2019-102029(P2019-102029)		
(32)優先日	令和1年5月31日(2019.5.31)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 通信装置

(57)【特許請求の範囲】

【請求項1】

増幅回路を有し、

前記増幅回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第7のトランジスタと、第8のトランジスタと、第1の負荷と、第2の負荷と、第3の負荷と、第4の負荷と、第1の端子と、第2の端子と、第3の端子と、第4の端子と、を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第3のトランジスタのソースまたはドレインの一方は、前記第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第5のトランジスタのソースまたはドレインの一方は、前記第6のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第7のトランジスタのソースまたはドレインの一方は、前記第8のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの他方、および前記第3のトランジスタのソースまたはドレインの他方は、第1の電源線と電氣的に接続され、

前記第5のトランジスタのソースまたはドレインの他方、および前記第7のトランジスタのソースまたはドレインの他方は、第2の電源線と電氣的に接続され、

前記第2のトランジスタのゲート、および前記第4のトランジスタのゲートは、第1の

10

20

配線と電氣的に接続され、

前記第 6 のトランジスタのゲート、および前記第 8 のトランジスタのゲートは、第 2 の配線と電氣的に接続され、

前記第 1 の端子は、前記第 1 のトランジスタのゲート、前記第 6 のトランジスタのソースまたはドレインの他方、および前記第 1 の負荷と電氣的に接続され、

前記第 2 の端子は、前記第 3 のトランジスタのゲート、前記第 8 のトランジスタのソースまたはドレインの他方、および前記第 2 の負荷と電氣的に接続され、

前記第 3 の端子は、前記第 5 のトランジスタのゲート、前記第 2 のトランジスタのソースまたはドレインの他方、および前記第 3 の負荷と電氣的に接続され、

前記第 4 の端子は、前記第 7 のトランジスタのゲート、前記第 4 のトランジスタのソースまたはドレインの他方、および前記第 4 の負荷と電氣的に接続され、

10

前記増幅回路は、前記第 1 の端子に第 1 の信号波が入力された場合に、前記第 1 の信号波に対応する信号波を前記第 3 の端子から出力する機能を有し、

前記増幅回路は、前記第 2 の端子に第 2 の信号波が入力された場合に、前記第 2 の信号波に対応する信号波を前記第 4 の端子から出力する機能を有し、

前記増幅回路は、前記第 3 の端子に第 3 の信号波が入力された場合に、前記第 3 の信号波に対応する信号波を前記第 1 の端子から出力する機能を有し、

前記増幅回路は、前記第 4 の端子に第 4 の信号波が入力された場合に、前記第 4 の信号波に対応する信号波を前記第 2 の端子から出力する機能を有し、

前記第 1 の端子に前記第 1 の信号波を入力し、前記第 2 の端子に前記第 2 の信号波を入力する場合は、前記第 1 の配線の電位を、前記第 2 および第 4 のトランジスタが飽和領域で動作する電位とし、かつ前記第 2 の配線の電位を、前記第 6 および第 8 のトランジスタがオフ状態となる電位とし、

20

前記第 3 の端子に前記第 3 の信号波を入力し、前記第 4 の端子に前記第 4 の信号波を入力する場合は、前記第 1 の配線の電位を、前記第 2 および第 4 のトランジスタがオフ状態となる電位とし、

かつ前記第 2 の配線の電位を、前記第 6 および第 8 のトランジスタが飽和領域で動作する電位とし、

前記第 1 の信号波と、前記第 2 の信号波と、は互いに逆位相の関係にあり、

前記第 3 の信号波と、前記第 4 の信号波と、は互いに逆位相の関係にあり、

30

前記第 2 のトランジスタ、前記第 4 のトランジスタ、前記第 6 のトランジスタ、および前記第 8 のトランジスタは、バックゲートを有し、

前記第 2 のトランジスタのバックゲートは、前記第 1 の端子と電氣的に接続され、

前記第 4 のトランジスタのバックゲートは、前記第 2 の端子と電氣的に接続され、

前記第 6 のトランジスタのバックゲートは、前記第 3 の端子と電氣的に接続され、

前記第 8 のトランジスタのバックゲートは、前記第 4 の端子と電氣的に接続され、

前記第 2 のトランジスタのチャンネル幅と、チャンネル長と、の比は、前記第 1 のトランジスタのチャンネル幅と、チャンネル長と、の比以上であり、

前記第 4 のトランジスタのチャンネル幅と、チャンネル長と、の比は、前記第 3 のトランジスタのチャンネル幅と、チャンネル長と、の比以上であり、

40

前記第 6 のトランジスタのチャンネル幅と、チャンネル長と、の比は、前記第 5 のトランジスタのチャンネル幅と、チャンネル長と、の比以上であり、

前記第 8 のトランジスタのチャンネル幅と、チャンネル長と、の比は、前記第 7 のトランジスタのチャンネル幅と、チャンネル長と、の比以上であり、

前記第 2 のトランジスタのチャンネル幅と、チャンネル長と、の積は、前記第 1 のトランジスタのチャンネル幅と、チャンネル長と、の積以上であり、

前記第 4 のトランジスタのチャンネル幅と、チャンネル長と、の積は、前記第 3 のトランジスタのチャンネル幅と、チャンネル長と、の積以上であり、

前記第 6 のトランジスタのチャンネル幅と、チャンネル長と、の積は、前記第 5 のトランジスタのチャンネル幅と、チャンネル長と、の積以上であり、

50

前記第 8 のトランジスタのチャンネル幅と、チャンネル長と、の積は、前記第 7 のトランジスタのチャンネル幅と、チャンネル長と、の積以上であり、

前記第 1 のトランジスタのしきい値電圧は、前記第 2 のトランジスタのしきい値電圧より大きく、

前記第 3 のトランジスタのしきい値電圧は、前記第 4 のトランジスタのしきい値電圧より大きく、

前記第 5 のトランジスタのしきい値電圧は、前記第 6 のトランジスタのしきい値電圧より大きく、

前記第 7 のトランジスタのしきい値電圧は、前記第 8 のトランジスタのしきい値電圧より大きい通信装置。ただしチャンネル幅と、チャンネル長と、の比は、チャンネル幅 / チャンネル長と定義する。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、通信装置およびその動作方法に関する。または、本発明の一態様は、半導体装置およびその動作方法に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

20

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうるもの全般を指す。よって、トランジスタやダイオード等の半導体素子や、半導体素子を含む回路は半導体装置である。また、表示装置、発光装置、照明装置、電気光学装置、通信装置および電子機器等は、半導体素子や半導体回路を含む場合がある。よって、表示装置、発光装置、照明装置、電気光学装置、撮像装置、通信装置および電子機器等も、半導体装置と呼ばれる場合がある。

【背景技術】

【0004】

スマートフォンやタブレット端末等に代表される持ち運びが容易な情報端末の普及が進んでいる。情報端末の普及に伴い、様々な通信規格が制定されている。例えば、第 4 世代移動通信システム（4G）と呼ばれる LTE - Advanced 規格の運用が開始されている。

30

【0005】

近年、IoT（Internet of Things）等の情報技術の発展により、情報端末で扱われるデータ量は増大する傾向にある。また、情報端末等の電子機器に通信速度の向上が求められている。

【0006】

IOT等の様々な情報技術に対応するため、4Gよりも速い通信速度、多くの同時接続、短い遅延時間を実現する第 5 世代移動通信システム（5G）と呼ばれる新たな通信規格が検討されている（特許文献 1 参照）。

40

【先行技術文献】

【特許文献】

【0007】

【文献】特開 2018 - 148589 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の一態様は、送受信することができる信号の電位の幅が広い通信装置を提供するこ

50

とを課題の一とする。または、増幅率が大きい増幅器を有する通信装置を提供することを課題の一とする。または、低消費電力の通信装置を提供することを課題の一つとする。または、新規な通信装置を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。

【0009】

本発明の一態様は、送受信することができる信号の電位の幅が広い通信装置の動作方法を提供することを課題の一とする。または、増幅率が大きい増幅器を有する通信装置の動作方法を提供することを課題の一つとする。または、低消費電力の通信装置の動作方法を提供することを課題の一つとする。または、新規な通信装置の動作方法を提供することを課題の一とする。または、新規な半導体装置の動作方法を提供することを課題の一とする。

10

【0010】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項等の記載から、自ずと明らかとなるものであり、明細書、図面、請求項等の記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0011】

本発明の一態様は、増幅回路を有し、増幅回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第7のトランジスタと、第8のトランジスタと、第1の負荷と、第2の負荷と、第3の負荷と、第4の負荷と、第1の端子と、第2の端子と、第3の端子と、第4の端子と、を有し、第1のトランジスタのソースまたはドレインの一方は、第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、第3のトランジスタのソースまたはドレインの一方は、第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、第5のトランジスタのソースまたはドレインの一方は、第6のトランジスタのソースまたはドレインの一方と電氣的に接続され、第7のトランジスタのソースまたはドレインの一方は、第8のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のトランジスタのソースまたはドレインの他方、および第3のトランジスタのソースまたはドレインの他方は、第1の電源線と電氣的に接続され、第5のトランジスタのソースまたはドレインの他方、および第7のトランジスタのソースまたはドレインの他方は、第2の電源線と電氣的に接続され、第2のトランジスタのゲート、および第4のトランジスタのゲートは、第1の配線と電氣的に接続され、第6のトランジスタのゲート、および第8のトランジスタのゲートは、第2の配線と電氣的に接続され、第1の端子は、第1のトランジスタのゲート、第6のトランジスタのソースまたはドレインの他方、および第1の負荷と電氣的に接続され、第2の端子は、第3のトランジスタのゲート、第8のトランジスタのソースまたはドレインの他方、および第2の負荷と電氣的に接続され、第3の端子は、第5のトランジスタのゲート、第2のトランジスタのソースまたはドレインの他方、および第3の負荷と電氣的に接続され、第4の端子は、第7のトランジスタのゲート、第4のトランジスタのソースまたはドレインの他方、および第4の負荷と電氣的に接続される通信装置である。

20

30

40

【0012】

または、本発明の一態様は、増幅回路を有し、増幅回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第7のトランジスタと、第8のトランジスタと、第1のオペアンプと、第2のオペアンプと、第3のオペアンプと、第4のオペアンプと、第1の負荷と、第2の負荷と、第3の負荷と、第4の負荷と、第1の端子と、第2の端子と、第3の端子と、第4の端子と、を有し、第1のトランジスタのソースまたはドレインの一方は、第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、第3のトランジスタのソースまたはドレインの一方は、第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、第5のトランジスタのソースまたはドレインの一方は、第6のト

50

ランジスタのソースまたはドレインの一方と電氣的に接続され、第7のトランジスタのソースまたはドレインの一方は、第8のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のトランジスタのソースまたはドレインの他方、および第3のトランジスタのソースまたはドレインの他方は、第1の電源線と電氣的に接続され、第5のトランジスタのソースまたはドレインの他方、および第7のトランジスタのソースまたはドレインの他方は、第2の電源線と電氣的に接続され、第1のオペアンプの非反転入力端子、および第2のオペアンプの非反転入力端子は、第1の配線と電氣的に接続され、第3のオペアンプの非反転入力端子、および第4のオペアンプの非反転入力端子は、第2の配線と電氣的に接続され、第1のオペアンプの反転入力端子は、第1のトランジスタのソースまたはドレインの一方と電氣的に接続され、第2のオペアンプの反転入力端子は、第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、第3のオペアンプの反転入力端子は、第5のトランジスタのソースまたはドレインの一方と電氣的に接続され、第4のオペアンプの反転入力端子は、第7のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のオペアンプの出力端子は、第2のトランジスタのゲートと電氣的に接続され、第2のオペアンプの出力端子は、第4のトランジスタのゲートと電氣的に接続され、第3のオペアンプの出力端子は、第6のトランジスタのゲートと電氣的に接続され、第4のオペアンプの出力端子は、第8のトランジスタのゲートと電氣的に接続され、第1の端子は、第1のトランジスタのゲート、第6のトランジスタのソースまたはドレインの他方、および第1の負荷と電氣的に接続され、第2の端子は、第3のトランジスタのゲート、第8のトランジスタのソースまたはドレインの他方、および第2の負荷と電氣的に接続され、第3の端子は、第5のトランジスタのゲート、第2のトランジスタのソースまたはドレインの他方、および第3の負荷と電氣的に接続され、第4の端子は、第7のトランジスタのゲート、第4のトランジスタのソースまたはドレインの他方、および第4の負荷と電氣的に接続される通信装置である。

10

20

【0013】

または、上記態様において、第2のトランジスタ、第4のトランジスタ、第6のトランジスタ、および第8のトランジスタは、バックゲートを有し、第2のトランジスタのバックゲートは、第1の端子と電氣的に接続され、第4のトランジスタのバックゲートは、第2の端子と電氣的に接続され、第6のトランジスタのバックゲートは、第3の端子と電氣的に接続され、第8のトランジスタのバックゲートは、第4の端子と電氣的に接続されてもよい。

30

【0014】

または、上記態様において、増幅回路は、第1の端子に第1の信号波が入力された場合に、第1の信号波に対応する信号波を第3の端子から出力する機能を有し、増幅回路は、第2の端子に第2の信号波が入力された場合に、第2の信号波に対応する信号波を第4の端子から出力する機能を有し、増幅回路は、第3の端子に第3の信号波が入力された場合に、第3の信号波に対応する信号波を第1の端子から出力する機能を有し、増幅回路は、第4の端子に第4の信号波が入力された場合に、第4の信号波に対応する信号波を第2の端子から出力する機能を有してもよい。

40

【0015】

または、上記態様において、第1の端子に第1の信号波を入力し、第2の端子に第2の信号波を入力する場合は、第1の配線の電位を、第2および第4のトランジスタが飽和領域で動作する電位とし、かつ第2の配線の電位を、第6および第8のトランジスタがオフ状態となる電位とし、第3の端子に第3の信号波を入力し、第4の端子に第4の信号波を入力する場合は、第1の配線の電位を、第2および第4のトランジスタがオフ状態となる電位とし、かつ第2の配線の電位を、第6および第8のトランジスタが飽和領域で動作する電位としてもよい。

【0016】

または、上記態様において、第1の信号波と、第2の信号波と、は互いに逆位相の関係にあり、第3の信号波と、第4の信号波と、は互いに逆位相の関係にあってもよい。

50

【 0 0 1 7 】

または、上記態様において、第 1 乃至第 8 のトランジスタのソースまたはドレインの一方は、ソースであってもよい。

【 発明の効果 】

【 0 0 1 8 】

本発明の一態様により、送受信することができる信号の電位の幅が広い通信装置を提供することができる。または、増幅率が大きい増幅器を有する通信装置を提供することができる。または、低消費電力の通信装置を提供することができる。または、新規な通信装置を提供することができる。または、新規な半導体装置を提供することができる。

【 0 0 1 9 】

本発明の一態様により、送受信することができる信号の電位の幅が広い通信装置の動作方法を提供することができる。または、増幅率が大きい増幅器を有する通信装置の動作方法を提供することができる。または、低消費電力の通信装置の動作方法を提供することができる。または、新規な通信装置の動作方法を提供することができる。または、新規な半導体装置の動作方法を提供することができる。

【 0 0 2 0 】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項等の記載から、自ずと明らかとなるものであり、明細書、図面、請求項等の記載から、これら以外の効果を抽出することが可能である。

【 図面の簡単な説明 】

【 0 0 2 1 】

図 1 は、通信装置の構成例を示すブロック図である。

図 2 は、通信装置の構成例を示す回路図である。

図 3 は、通信装置の構成例を示す回路図である。

図 4 A および図 4 B は、通信装置の動作方法の一例を示す回路図である。

図 5 A および図 5 B は、半導体装置の構成例を示す回路図である。

図 6 A 1 乃至図 6 A 4、ならびに図 6 B 1 および図 6 B 2 は、通信装置の構成例を示す図である。

図 7 A 1 および図 7 A 2、ならびに図 7 B 1 および図 7 B 2 は、通信装置の構成例を示す回路図である。

図 8 A および図 8 B は、通信装置の構成例を示す回路図である。

図 9 A は、通信装置の構成例を示す回路図である。図 9 B は、半導体装置の構成例を示す回路図である。

図 1 0 は、通信装置の構成例を示す回路図である。

図 1 1 は、通信装置の構成例を示す回路図である。

図 1 2 は、通信装置の構成例を示す回路図である。

図 1 3 A および図 1 3 B は、通信装置の動作方法の一例を示す回路図である。

図 1 4 A および図 1 4 B は、半導体装置の構成例を示す回路図である。

図 1 5 A および図 1 5 B は、通信装置の構成例を示す回路図である。

図 1 6 A は、通信装置の構成例を示す回路図である。図 1 6 B は、半導体装置の構成例を示す回路図である。

図 1 7 は、通信装置の構成例を示す回路図である。

図 1 8 A および図 1 8 B は、通信装置の動作方法の一例を示す回路図である。

図 1 9 は、半導体装置の構成例を示す回路図である。

図 2 0 A および図 2 0 B は、通信装置の構成例を示す回路図である。

図 2 1 は、半導体装置の構成例を示す図である。

図 2 2 A および図 2 2 B は、トランジスタの構成例を示す図である。

図 2 3 A 乃至図 2 3 C は、トランジスタの構成例を示す図である。

図 2 4 A 乃至図 2 4 C は、トランジスタの構成例を示す図である。

10

20

30

40

50

図 2 5 A は I G Z O の結晶構造の分類を説明する図である。図 2 5 B は C A A C - I G Z O 膜の X R D スペクトルを説明する図である。図 2 5 C は C A A C - I G Z O 膜の極微電子線回折パターンを説明する図である。

図 2 6 A は、半導体ウエハの上面図である。図 2 6 B は、チップの拡大図である。

図 2 7 A は、電子部品の作製工程例を説明するフローチャートである。図 2 7 B は、電子部品の斜視模式図である。

図 2 8 は、電子機器の一例を示す図である。

図 2 9 A 乃至図 2 9 F は、電子機器の一例を示す図である。

図 3 0 は、I o T ネットワークの階層構造と要求仕様の傾向を示す図である。

図 3 1 は、ファクトリーオートメーションのイメージ図である。

10

【発明を実施するための形態】

【0022】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その説明の繰り返しは省略する。

【0023】

また、図面等において示す各構成の、位置、大きさ、範囲等は、発明の理解を容易とするため、実際の位置、大きさ、範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲等に限定されない。例えば、実際の製造工程において、エッチング等の処理によりレジストマスク等が意図せず目減りすることがあるが、理解を容易とするために図に反映しないことがある。

20

【0024】

また、上面図（「平面図」ともいう）や斜視図等において、図面をわかりやすくするために、一部の構成要素の記載を省略する場合がある。

【0025】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合等も含む。

30

【0026】

また、本明細書等において、電気回路における「端子」とは、電流の入力または出力、電圧の入力または出力、もしくは、信号の受信または送信が行なわれる部位を言う。よって、配線または電極の一部が端子として機能する場合がある。

【0027】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層 A 上の電極 B」の表現であれば、絶縁層 A の上に電極 B が直接接して形成されている必要はなく、絶縁層 A と電極 B との間に他の構成要素を含むものを除外しない。

40

【0028】

また、ソースおよびドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合等、動作条件等によって互いに入れ替わるため、いずれがソースまたはドレインであるかを限定することが困難である。このため、本明細書においては、ソースおよびドレインの用語は、入れ替えて用いることができるものとする。

【0029】

また、本明細書等において、「電氣的に接続」には、直接接続している場合と、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らか

50

の電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

【 0 0 3 0 】

なお、本明細書等において、計数值および計量値に関して「同一」、「同じ」、「等しい」または「均一」等と言う場合は、明示されている場合を除き、プラスマイナス 2 0 % の誤差を含むものとする。

【 0 0 3 1 】

また、電圧は、ある電位と、基準の電位（例えば接地電位またはソース電位）との電位差のことを示す場合が多い。よって、電圧と電位は互いに言い換えることが可能な場合が多い。本明細書等では、特段の明示が無いがぎり、電圧と電位を言い換えることができるものとする。

10

【 0 0 3 2 】

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する。よって、「半導体」を「絶縁体」に置き換えて用いることも可能である。この場合、「半導体」と「絶縁体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「絶縁体」は、互いに読み換えることができる場合がある。

【 0 0 3 3 】

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する。よって、「半導体」を「導電体」に置き換えて用いることも可能である。この場合、「半導体」と「導電体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「導電体」は、互いに読み換えることができる場合がある。

20

【 0 0 3 4 】

なお、本明細書等における「第 1」、「第 2」等の序数詞は、構成要素の混同を避けるために付すものであり、工程順または積層順等、なんらかの順番や順位を示すものではない。また、本明細書等において序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲において異なる序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲等において序数詞を省略する場合がある。

30

【 0 0 3 5 】

なお、本明細書等において、トランジスタの「オン状態」とは、トランジスタのソースとドレインが電氣的に短絡しているとみなせる状態をいう。また、トランジスタの「オフ状態」とは、トランジスタのソースとドレインが電氣的に遮断しているとみなせる状態をいう。

【 0 0 3 6 】

また、本明細書等において、「オン電流」とは、トランジスタがオン状態の時にソースとドレイン間に流れる電流をいう場合がある。また、「オフ電流」とは、トランジスタがオフ状態である時にソースとドレイン間に流れる電流をいう場合がある。

40

【 0 0 3 7 】

また、本明細書等において、ゲートとは、ゲート電極およびゲート配線の一部または全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

【 0 0 3 8 】

また、本明細書等において、ソースとは、ソース領域、ソース電極、およびソース配線の一部または全部のことをいう。ソース領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ソース電極とは、ソース領域に接続される部分の導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極や別の配線

50

とを電氣的に接続させるための配線のことをいう。

【0039】

また、本明細書等において、ドレインとは、ドレイン領域、ドレイン電極、およびドレイン配線の一部または全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分の導電層のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

【0040】

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう) 等に分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS トランジスタと記載する場合には、酸化物または酸化物半導体を有するトランジスタと換言することができる。

【0041】

(実施の形態1)

本実施の形態では、本発明の一態様である通信装置について説明する。

【0042】

図1は、本発明の一態様の通信装置である通信装置10の構成例を示す図である。通信装置10は、アンテナ11、増幅器12、増幅器13、移相器14、増幅器15、インダクタ16、およびインダクタ17を有する。なお、インダクタはコイルともいう。また、インダクタ16とインダクタ17は、互いに対向するように設けられる。

【0043】

通信装置10は、無線通信を行う機能を有する。例えば、通信装置10と、基地局との間で、信号の授受を行うことにより、当該信号が表す情報のやり取りを行うことができる。

【0044】

アンテナ11は、通信装置10の外部から信号を受信する機能を有する。また、アンテナ11は、信号を通信装置10の外部に送信する機能を有する。例えば、アンテナ11は、基地局が電波として送信した信号を受信する機能を有する。また、例えばアンテナ11は、信号を電波として通信装置10の外部に送信する機能を有する。

【0045】

以上より、通信装置10が送受信する信号は、波とすることができる。本明細書等において、波である信号を、信号波と呼ぶ場合がある。

【0046】

増幅器12は、アンテナ11が受信した信号を増幅し、増幅器13に出力する機能を有する。また、増幅器12は、増幅器13から入力された信号を増幅し、アンテナ11に出力する機能を有する。増幅器12は、パワーアンプとしての機能を有し、アンテナ11が受信した信号、および増幅器13から入力された信号を、大幅に増幅することができる。また、増幅器12は、低ノイズアンプとしての機能を有し、アンテナ11が受信した信号、および増幅器13から入力された信号を、高精度に増幅することができる。

【0047】

増幅器13は、増幅器12から入力された信号を増幅し、移相器14に出力する機能を有する。また、増幅器13は、移相器14から入力された信号を増幅し、増幅器12に出力する機能を有する。増幅器13は、RF (Radio Frequency) アンプとしての機能を有し、高周波の信号を増幅することができる。よって、増幅器13を設けることにより、通信装置10は高周波の信号の授受を行うことができる。したがって、通信装置10に増幅器13を設けることにより、通信装置10は、例えば第5世代移動通信システム (5G) を用いた無線通信を行うことができる。

【0048】

移相器14は、信号の移相を変化させる機能を有する。通信装置10が移相器14を有す

10

20

30

40

50

ることにより、通信装置 10 が高周波の信号を送受信する場合であっても、当該信号の位相を高精度に制御することができる。よって、通信装置 10 が高周波の信号を送受信する場合であっても、ビームフォーミングを行うことができる。これにより、通信装置 10 は、遠くから送信された信号を受信することができる。また、通信装置 10 は、信号を遠くまで送信することができる。したがって、通信装置 10 に移相器 14 を設けることにより、通信装置 10 は、例えば 5 G を用いた無線通信を行うことができる。

【0049】

増幅器 15 は、移相器 14 から入力された信号を増幅し、インダクタ 16 に出力する機能を有する。また、増幅器 15 は、インダクタ 16 から入力された信号を増幅し、移相器 14 に出力する機能を有する。増幅器 15 は、アイソレーションアンプとしての機能を有する。よって、増幅器 15 に入力された信号に含まれるノイズを除去することができる。

10

【0050】

インダクタ 16 に入力された信号は、電磁誘導によりインダクタ 17 に供給される。通信装置 10 にインダクタ 16 およびインダクタ 17 を設けることにより、例えばインピーダンス整合を行うことができる。これにより、信号の伝送を効率的に行うことができる。

【0051】

インダクタ 17 の一方の端子は、配線 18 と電氣的に接続されている。インダクタ 17 の他方の端子は、配線 19 と電氣的に接続されている。配線 19 は、電源線としての機能を有する。配線 19 の電位は、例えば低電位とすることができ、例えば接地電位とすることができる。

20

【0052】

図 2 は、増幅回路 20 の構成例を示す図である。図 1 に示す増幅器 12、増幅器 13、移相器 14、および増幅器 15 は、増幅回路 20 を有する構成とすることができる。

【0053】

増幅回路 20 は、トランジスタ 21 a と、トランジスタ 21 b と、トランジスタ 22 a と、トランジスタ 22 b と、負荷 23 a と、負荷 23 b と、トランジスタ 31 a と、トランジスタ 31 b と、トランジスタ 32 a と、トランジスタ 32 b と、負荷 33 a と、負荷 33 b と、端子 40 a と、端子 40 b と、電位生成回路 44 と、端子 50 a と、端子 50 b と、電位生成回路 54 と、を有する。なお、電位生成回路 44、および電位生成回路 54 は増幅回路 20 の外部に設けてもよい。

30

【0054】

以下では、トランジスタ 21 a、トランジスタ 21 b、トランジスタ 22 a、トランジスタ 22 b、トランジスタ 31 a、トランジスタ 31 b、トランジスタ 32 a、およびトランジスタ 32 b はすべて n チャネル型トランジスタとして説明する。しかしながら、必要に応じて、または適宜電位の大小関係を入れ替えること等により、上記トランジスタのいずれかまたはすべてを p チャネル型トランジスタとしてもよい。例えば、図 3 に示すように、トランジスタ 21 a、トランジスタ 21 b、トランジスタ 22 a、トランジスタ 22 b、トランジスタ 31 a、トランジスタ 31 b、トランジスタ 32 a、およびトランジスタ 32 b をすべて p チャネル型トランジスタとしてもよい。

【0055】

トランジスタ 21 a のソースまたはドレインの一方は、トランジスタ 22 a のソースまたはドレインの一方と電氣的に接続されている。トランジスタ 21 b のソースまたはドレインの一方は、トランジスタ 22 b のソースまたはドレインの一方と電氣的に接続されている。トランジスタ 31 a のソースまたはドレインの一方は、トランジスタ 32 a のソースまたはドレインの一方と電氣的に接続されている。トランジスタ 31 b のソースまたはドレインの一方は、トランジスタ 32 b のソースまたはドレインの一方と電氣的に接続されている。

40

【0056】

トランジスタ 21 a のソースまたはドレインの他方、およびトランジスタ 21 b のソースまたはドレインの他方は、配線 41 と電氣的に接続されている。トランジスタ 22 a のゲ

50

ート、およびトランジスタ 2 2 b のゲートは、配線 4 2 と電氣的に接続されている。トランジスタ 3 1 a のソースまたはドレインの他方、およびトランジスタ 3 1 b のソースまたはドレインの他方は、配線 5 1 と電氣的に接続されている。トランジスタ 3 2 a のゲート、およびトランジスタ 3 2 b のゲートは、配線 5 2 と電氣的に接続されている。

【 0 0 5 7 】

電位生成回路 4 4 は、配線 4 2 と電氣的に接続されている。電位生成回路 5 4 は、配線 5 2 と電氣的に接続されている。

【 0 0 5 8 】

端子 4 0 a は、トランジスタ 2 1 a のゲート、トランジスタ 3 2 a のソースまたはドレインの他方、および負荷 3 3 a と電氣的に接続されている。端子 4 0 b は、トランジスタ 2 1 b のゲート、トランジスタ 3 2 b のソースまたはドレインの他方、および負荷 3 3 b と電氣的に接続されている。端子 5 0 a は、トランジスタ 3 1 a のゲート、トランジスタ 2 2 a のソースまたはドレインの他方、および負荷 2 3 a と電氣的に接続されている。端子 5 0 b は、トランジスタ 3 1 b のゲート、トランジスタ 2 2 b のソースまたはドレインの他方、および負荷 2 3 b と電氣的に接続されている。負荷 2 3 a および負荷 2 3 b は、配線 4 3 と電氣的に接続されている。負荷 3 3 a および負荷 3 3 b は、配線 5 3 と電氣的に接続されている。

【 0 0 5 9 】

配線 4 1、配線 4 3、配線 5 1、および配線 5 3 は、電源線としての機能を有する。配線 4 1、配線 4 3、配線 5 1、および配線 5 3 の電位は、例えば定電位とすることができる。例えば、配線 4 1 および配線 5 1 の電位を低電位とし、配線 4 3 および配線 5 3 の電位を高電位とすることができる。

【 0 0 6 0 】

ここで、同じ電位が供給される電源線は、互いに電氣的に接続することができる。例えば、配線 4 1 と配線 5 1 は、互いに電氣的に接続することができる。また、配線 4 3 と配線 5 3 は、互いに電氣的に接続することができる。つまり、配線 4 1 と配線 5 1 は、同一の配線とすることができると言ってもよく、配線 4 3 と配線 5 3 は、同一の配線とすることができると言ってもよい。

【 0 0 6 1 】

配線 4 2 および配線 5 2 には、バイアス電位を供給することができる。よって、トランジスタ 2 2 a、トランジスタ 2 2 b、トランジスタ 3 2 a、およびトランジスタ 3 2 b は、バイアストランジスタとして機能することができる。ここで、バイアス電位は、バイアストランジスタとして機能するトランジスタが飽和領域で動作する電位とすることができる。

【 0 0 6 2 】

配線 4 2 に供給する電位は、電位生成回路 4 4 が生成することができる。配線 5 2 に供給する電位は、電位生成回路 5 4 が生成することができる。

【 0 0 6 3 】

また、詳細は後述するが、端子 4 0 a に信号が入力された場合は、当該信号に対応する信号が端子 5 0 a から出力され、端子 4 0 b に信号が入力された場合は、当該信号に対応する信号が端子 5 0 b から出力される。この場合、端子 4 0 a および端子 4 0 b は入力端子となり、端子 5 0 a および端子 5 0 b は出力端子となる。一方、端子 5 0 a に信号が入力された場合は、当該信号に対応する信号が端子 4 0 a から出力され、端子 5 0 b に信号が入力された場合は、当該信号に対応する信号が端子 4 0 b から出力される。この場合、端子 4 0 a および端子 4 0 b は出力端子となり、端子 5 0 a および端子 5 0 b は入力端子となる。以上より、端子 4 0 a、端子 4 0 b、端子 5 0 a、および端子 5 0 b は、入力端子としての機能と、出力端子としての機能と、の両方を有するということができる。

【 0 0 6 4 】

ここで、バイアストランジスタとして機能することができるトランジスタ 2 2 a、トランジスタ 2 2 b、トランジスタ 3 2 a、およびトランジスタ 3 2 b のチャンネル幅と、チャンネル長と、の比は大きいことが好ましい。例えば、トランジスタ 2 2 a のチャンネル幅と、チ

10

20

30

40

50

チャンネル長と、の比（チャンネル幅／チャンネル長）は、トランジスタ 2 1 a のチャンネル幅と、チャンネル長と、の比以上であることが好ましい。また、トランジスタ 2 2 b のチャンネル幅と、チャンネル長と、の比は、トランジスタ 2 1 b のチャンネル幅と、チャンネル長と、の比以上であることが好ましい。また、トランジスタ 3 2 a のチャンネル幅と、チャンネル長と、の比は、トランジスタ 3 1 a のチャンネル幅と、チャンネル長と、の比以上であることが好ましい。さらに、トランジスタ 3 2 b のチャンネル幅と、チャンネル長と、の比は、トランジスタ 3 1 b のチャンネル幅と、チャンネル長と、の比以上であることが好ましい。バイアストラジスタとして機能することができるトランジスタ 2 2 a、トランジスタ 2 2 b、トランジスタ 3 2 a、およびトランジスタ 3 2 b のチャンネル幅と、チャンネル長と、の比を大きくすることにより、ミラー効果を抑制することができる。

10

【 0 0 6 5 】

または、バイアストラジスタとして機能することができるトランジスタ 2 2 a、トランジスタ 2 2 b、トランジスタ 3 2 a、およびトランジスタ 3 2 b のチャンネル幅と、チャンネル長と、の積は大きいことが好ましい。例えば、トランジスタ 2 2 a のチャンネル幅と、チャンネル長と、の積は、トランジスタ 2 1 a のチャンネル幅と、チャンネル長と、の積以上であることが好ましい。また、トランジスタ 2 2 b のチャンネル幅と、チャンネル長と、の積は、トランジスタ 2 1 b のチャンネル幅と、チャンネル長と、の積以上であることが好ましい。また、トランジスタ 3 2 a のチャンネル幅と、チャンネル長と、の積は、トランジスタ 3 1 a のチャンネル幅と、チャンネル長と、の積以上であることが好ましい。さらに、トランジスタ 3 2 b のチャンネル幅と、チャンネル長と、の積は、トランジスタ 3 1 b のチャンネル幅と、チャンネル長と、の積以上であることが好ましい。バイアストラジスタとして機能することができるトランジスタ 2 2 a、トランジスタ 2 2 b、トランジスタ 3 2 a、およびトランジスタ 3 2 b は、チャンネル長またはチャンネル幅を大きくしても、周波数特性が低下しないためである。

20

【 0 0 6 6 】

または、バイアストラジスタとして機能することができるトランジスタ 2 2 a、トランジスタ 2 2 b、トランジスタ 3 2 a、およびトランジスタ 3 2 b のチャンネル長は大きいことが好ましい。例えば、トランジスタ 2 2 a のチャンネル長は、トランジスタ 2 1 a のチャンネル長より大きいことが好ましい。また、トランジスタ 2 2 b のチャンネル長は、トランジスタ 2 1 b のチャンネル長より大きいことが好ましい。また、トランジスタ 3 2 a のチャンネル長は、トランジスタ 3 1 a のチャンネル長より大きいことが好ましい。さらに、トランジスタ 3 2 b のチャンネル長は、トランジスタ 3 1 b のチャンネル長より大きいことが好ましい。バイアストラジスタとして機能することができるトランジスタ 2 2 a、トランジスタ 2 2 b、トランジスタ 3 2 a、およびトランジスタ 3 2 b のチャンネル長を大きくすることにより、当該トランジスタのドレイン電位と、ソース電位と、の差である電圧 V_{ds} が大きくなっても、ゲート電位が一定であれば、当該トランジスタを流れるドレイン電流の増加を抑制することができる。

30

【 0 0 6 7 】

また、トランジスタ 2 1 a のしきい値電圧は、トランジスタ 2 2 a のしきい値電圧より大きく、トランジスタ 2 1 b のしきい値電圧は、トランジスタ 2 2 b のしきい値電圧より大きく、トランジスタ 3 1 a のしきい値電圧は、トランジスタ 3 2 a のしきい値電圧より大きく、トランジスタ 3 1 b のしきい値電圧は、トランジスタ 3 2 b のしきい値電圧より大きいことが好ましい。特に、トランジスタ 2 1 a、トランジスタ 2 1 b、トランジスタ 3 1 a、およびトランジスタ 3 1 b はノーマリーオフであり、トランジスタ 2 2 a、トランジスタ 2 2 b、トランジスタ 3 2 a、およびトランジスタ 3 2 b はノーマリーオンであることが好ましい。これにより、トランジスタ 2 2 a のゲート - ソース間電圧 V_{gs} 、トランジスタ 2 2 b の電圧 V_{gs} 、トランジスタ 3 2 a の電圧 V_{gs} 、およびトランジスタ 3 2 b の電圧 V_{gs} が小さくなる。よって、バイアストラジスタとして機能することができるトランジスタ 2 2 a、トランジスタ 2 2 b、トランジスタ 3 2 a、およびトランジスタ 3 2 b が飽和領域で動作する、ドレイン - ソース間電圧 V_{ds} の範囲を広くすることが

40

50

できる。

【 0 0 6 8 】

図 4 A および図 4 B を用いて、図 2 に示す構成の増幅回路 2 0 の動作方法の一例を説明する。図 4 A は、端子 4 0 a を入力端子 I N a、端子 4 0 b を入力端子 I N b、端子 5 0 a を出力端子 O U T a、端子 5 0 b を出力端子 O U T b とする場合の、図 2 に示す構成の増幅回路 2 0 の動作方法の一例を示す図である。図 4 B は、端子 5 0 a を入力端子 I N a、端子 5 0 b を入力端子 I N b、端子 4 0 a を出力端子 O U T a、端子 4 0 b を出力端子 O U T b とする場合の、図 2 に示す構成の増幅回路 2 0 の動作方法の一例を示す図である。ここで、入力端子 I N b には、入力端子 I N a に入力した信号と逆位相の関係にある信号を入力することができる。

10

【 0 0 6 9 】

なお、図 4 A および図 4 B において、電位 V D D は高電位を示し、電位 V S S は低電位を示す。他の図でも同様の記載をする。

【 0 0 7 0 】

まず、端子 4 0 a および端子 4 0 b に信号を入力する場合について説明する。この場合は、図 4 A に示すように、配線 4 2 の電位はバイアス電位 V b とし、配線 5 2 の電位は低電位とする。これにより、トランジスタ 2 2 a およびトランジスタ 2 2 b は、バイアストラジスタとして機能する。一方、トランジスタ 3 2 a およびトランジスタ 3 2 b は、オフ状態となる。

【 0 0 7 1 】

図 4 A および図 4 B において、入力端子 I N a から出力端子 O U T a への信号の伝送、および入力端子 I N b から出力端子 O U T b への信号の伝送に寄与しないトランジスタ、負荷、回路、および配線を点線で示す。例えば、図 4 A に示すように、トランジスタ 3 2 a およびトランジスタ 3 2 b はオフ状態となっているため、入力端子 I N a から出力端子 O U T a への信号の伝送、および入力端子 I N b から出力端子 O U T b への信号の伝送に寄与しない。また、トランジスタ 3 2 a およびトランジスタ 3 2 b がオフ状態となっているため、トランジスタ 3 1 a およびトランジスタ 3 1 b にも電流が流れず、入力端子 I N a から出力端子 O U T a への信号の伝送、および入力端子 I N b から出力端子 O U T b への信号の伝送に寄与しない。さらに、オフ状態となっているトランジスタ 3 2 a のソースまたはドレインの他方と電気的に接続されている負荷 3 3 a、およびオフ状態となっているトランジスタ 3 2 b のソースまたはドレインの他方と電気的に接続されている負荷 3 3 b も、入力端子 I N a から出力端子 O U T a への信号の伝送、および入力端子 I N b から出力端子 O U T b への信号の伝送に寄与しない。以上より、図 4 A では、トランジスタ 3 1 a、トランジスタ 3 1 b、トランジスタ 3 2 a、トランジスタ 3 2 b、負荷 3 3 a、および負荷 3 3 b と、これらと電気的に接続されている回路および配線の一部と、を点線で示している。

20

【 0 0 7 2 】

図 5 A は、図 4 A に示すトランジスタ 2 1 (トランジスタ 2 1 a、またはトランジスタ 2 1 b)、トランジスタ 2 2 (トランジスタ 2 2 a、またはトランジスタ 2 2 b)、負荷 2 3 (負荷 2 3 a、または負荷 2 3 b)、端子 4 0 (端子 4 0 a、または端子 4 0 b)、配線 4 1、配線 4 2、配線 4 3、および端子 5 0 (端子 5 0 a、または端子 5 0 b) を抜き出した図である。なお、端子 4 0 を入力端子 I N (入力端子 I N a、または入力端子 I N b) とし、端子 5 0 を出力端子 O U T (出力端子 O U T a、または出力端子 O U T b) とする。

30

40

【 0 0 7 3 】

図 5 B は、図 5 A に示す回路から、トランジスタ 2 2、および配線 4 2 を省略した構成の回路を示す図である。図 5 B に示す構成の回路では、端子 5 0 は、トランジスタ 2 1 のソースまたはドレインの一方、および負荷 2 3 と電気的に接続されている。

【 0 0 7 4 】

まず、図 5 B に示す構成について考える。図 5 B に示す場合では、トランジスタ 2 1 は n

50

チャンネル型トランジスタとする。また、負荷 2 3 を介してトランジスタ 2 1 のソースまたはドレインの一方と電氣的に接続されている配線 4 3 の電位は高電位であり、トランジスタ 2 1 のソースまたはドレインの他方と電氣的に接続されている配線 4 1 の電位は低電位である。よって、トランジスタ 2 1 のソースまたはドレインの一方はドレインとすることができ、トランジスタ 2 1 のソースまたはドレインの他方はソースとすることができる。

【 0 0 7 5 】

図 5 B に示す場合では、入力端子 I N の電位が大きくなると、トランジスタ 2 1 のソース電位は低電位で固定されていることから、トランジスタ 2 1 のゲート電位と、ソース電位と、の差である電圧 V_{gs} が大きくなる。これにより、トランジスタ 2 1 のオン抵抗が低下するため、トランジスタ 2 1 のドレイン電位と、ソース電位と、の差である電圧 V_{ds} が小さくなる。前述のように、トランジスタ 2 1 のソース電位は低電位で固定されていることから、トランジスタ 2 1 のドレイン電位が小さくなる。ここで、トランジスタ 2 1 が線形領域で動作すると、飽和領域で動作する場合より、トランジスタ 2 1 の相互コンダクタンス g_m (I_{ds} / V_{gs} 、 I_{ds} はドレイン電流) は小さくなる。よって、出力端子 O U T から出力される信号の電位の、入力端子 I N から入力される信号の電位に対する増幅率(「利得」または「ゲイン」ともいう)が小さくなる。したがって、トランジスタ 2 1 は、飽和領域で動作させることが好ましい。以上より、入力端子 I N の電位が大きくなりすぎると電圧 V_{ds} が大幅に低下し、トランジスタ 2 1 が線形領域で動作することから、トランジスタ 2 1 を飽和領域で動作させるためには、入力端子 I N の電位は所定の値以下とする必要がある。

【 0 0 7 6 】

次に、図 5 A に示す場合について考える。図 5 A に示す場合でも、図 5 B に示す場合と同様にトランジスタ 2 1 を n チャンネル型トランジスタとすると、トランジスタ 2 1 のソースまたはドレインの一方はドレインとすることができ、トランジスタ 2 1 のソースまたはドレインの他方はソースとすることができる。また、トランジスタ 2 2 のソースまたはドレインの一方はソースとすることができ、トランジスタ 2 2 のソースまたはドレインの他方はドレインとすることができる。

【 0 0 7 7 】

図 5 A に示す場合において、入力端子 I N の電位が大きくなると、トランジスタ 2 1 のオン抵抗が低下する。ここで、トランジスタ 2 1 と、トランジスタ 2 2 と、は直列に接続されている。よって、トランジスタ 2 1 のドレイン電流の大きさと、トランジスタ 2 2 のドレイン電流の大きさと、は等しくなる。したがって、トランジスタ 2 2 のゲート電位(バイアス電位 V_b)と、ソース電位(トランジスタ 2 1 のドレイン電位)と、の差は、トランジスタ 2 1 のゲート電位(入力端子 I N の電位)と、ソース電位(低電位)と、の差に対応する大きさとなる。例えば、トランジスタ 2 2 の電気特性が、トランジスタ 2 1 の電気特性と等しい場合は、トランジスタ 2 2 のゲート電位と、ソース電位と、の差は、トランジスタ 2 1 のゲート電位と、ソース電位と、の差と等しくなる。ここで、例えばトランジスタ 2 1 とトランジスタ 2 2 のチャンネル長、チャンネル幅、構成材料等が全て等しい場合に、トランジスタ 2 1 とトランジスタ 2 2 の電気特性が等しくなる。

【 0 0 7 8 】

以上より、トランジスタ 2 1 のオン抵抗が低下した場合であっても、トランジスタ 2 1 のドレイン電位と、ソース電位と、の差である電圧 V_{ds} は、図 5 B に示す場合よりは低下しない。したがって、トランジスタ 2 1 を飽和領域で動作させるための入力端子 I N の電位の上限值は、図 5 B に示す場合より大きくなる。以上により、増幅回路 2 0 が、バイアストラジスタとして機能することができるトランジスタ 2 2 を有することにより、入力端子 I N に入力することができる信号の電位の幅を広げることができる。よって、通信装置 1 0 が送受信することができる信号の電位の幅を広げることができる。

【 0 0 7 9 】

次に、端子 5 0 a および端子 5 0 b に信号を入力する場合について説明する。この場合は、図 4 B に示すように、配線 4 2 の電位は低電位とし、配線 5 2 の電位はバイアス電位と

する。これにより、トランジスタ 2 2 a およびトランジスタ 2 2 b は、オフ状態となる。一方、トランジスタ 3 2 a およびトランジスタ 3 2 b は、バイアストランジスタとして機能する。

【 0 0 8 0 】

図 4 B に示すように、トランジスタ 2 2 a およびトランジスタ 2 2 b はオフ状態となっているため、入力端子 I N a から出力端子 O U T a への信号の伝送、および入力端子 I N b から出力端子 O U T b への信号の伝送に寄与しない。また、トランジスタ 2 2 a およびトランジスタ 2 2 b はオフ状態となっているため、トランジスタ 2 1 a およびトランジスタ 2 1 b にも電流が流れず、入力端子 I N a から出力端子 O U T a への信号の伝送、および入力端子 I N b から出力端子 O U T b への信号の伝送に寄与しない。さらに、オフ状態となっているトランジスタ 2 2 a のソースまたはドレインの他方と電氣的に接続されている負荷 2 3 a、およびオフ状態となっているトランジスタ 2 2 b のソースまたはドレインの他方と電氣的に接続されている負荷 2 3 b も、入力端子 I N a から出力端子 O U T a への信号の伝送、および入力端子 I N b から出力端子 O U T b への信号の伝送に寄与しない。以上より、図 4 B では、トランジスタ 2 1 a、トランジスタ 2 1 b、トランジスタ 2 2 a、トランジスタ 2 2 b、負荷 2 3 a、および負荷 2 3 b と、これらと電氣的に接続されている回路および配線の一部と、を点線で示している。

10

【 0 0 8 1 】

図 6 A 1 乃至図 6 A 4 は、負荷 2 3 の構成例を示す図である。なお、図 6 A 1 乃至図 6 A 4 では、説明の便宜のため配線 4 3、および端子 5 0 も示している。

20

【 0 0 8 2 】

図 6 A 1 に示すように、負荷 2 3 は抵抗を有してもよい。また、図 6 A 2 に示すように、負荷 2 3 はトランジスタを有してもよい。また、図 6 A 3 に示すように、負荷 2 3 はトランジスタを有し、当該トランジスタのゲートが端子 5 0 と電氣的に接続されていてもよい。さらに、図 6 A 4 に示すように、負荷 2 3 はトランジスタを有し、当該トランジスタのゲートが配線 4 3 と電氣的に接続されていてもよい。なお、図 6 A 2 および図 6 A 3 では負荷 2 3 が有するトランジスタを p チャネル型トランジスタとし、図 6 A 4 では負荷 2 3 が有するトランジスタを n チャネル型トランジスタとしているが、本発明の一態様はこれに限らない。負荷 2 3 が図 6 A 2 および図 6 A 3 に示す場合であっても、負荷 2 3 が有するトランジスタを n チャネル型トランジスタとしてもよい。また、負荷 2 3 が図 6 A 4 に示す場合であっても、負荷 2 3 が有するトランジスタを p チャネル型トランジスタとしてもよい。

30

【 0 0 8 3 】

また、トランジスタ 2 1 と、配線 4 1 と、の間に受動素子を設けてもよい。例えば、図 6 B 1 に示すように、インダクタ 1 0 1 を設けてもよい。図 6 B 1 に示す構成では、インダクタ 1 0 1 の一方の端子は、トランジスタ 2 1 のソースまたはドレインの他方と電氣的に接続され、インダクタ 1 0 1 の他方の端子は、配線 4 1 と電氣的に接続されている。

【 0 0 8 4 】

また、図 6 B 2 に示すように、インダクタ 1 0 1 と、容量 1 0 2 と、を設けてもよい。図 6 B 2 に示す構成では、インダクタ 1 0 1 の一方の端子、および容量 1 0 2 の一方の端子は、トランジスタ 2 1 のソースまたはドレインの他方と電氣的に接続されている。また、インダクタ 1 0 1 の他方の端子、および容量 1 0 2 の他方の端子は、配線 4 1 と電氣的に接続されている。

40

【 0 0 8 5 】

図 5 A、図 5 B、図 6 A 1 乃至図 6 A 4、図 6 B 1、および図 6 B 2 に示す説明は、トランジスタ 2 1 をトランジスタ 3 1 (トランジスタ 3 1 a、またはトランジスタ 3 1 b) と、トランジスタ 2 2 をトランジスタ 3 2 (トランジスタ 3 2 a、またはトランジスタ 3 2 b) と、負荷 2 3 を負荷 3 3 (負荷 3 3 a、または負荷 3 3 b) と、端子 4 0 を端子 5 0 と、配線 4 1 を配線 5 1 と、配線 4 2 を配線 5 2 と、配線 4 3 を配線 5 3 と、端子 5 0 を端子 4 0 とそれぞれ置き換えることにより、図 4 B に示す場合にも適用することができる。

50

。なお、図 5 A に示す構成の回路は、通信装置以外の半導体装置にも適用することができる。例えば、オペアンプの一部として用いることができる。

【 0 0 8 6 】

図 4 A および図 4 B に示すように、配線 4 2 の電位を切り替えることにより、配線 4 1 と、端子 5 0 a および端子 5 0 b と、の間の導通 / 非導通状態を切り替えることができる。また、配線 5 2 の電位を切り替えることにより、配線 5 1 と、端子 4 0 a および端子 4 0 b と、の間の導通 / 非導通状態を切り替えることができる。以上より、図 7 A 1 に示すスイッチ 2 4、および図 7 A 2 に示すスイッチ 3 4 を省略しても、増幅回路 2 0 を正常に動作させることができる。具体的には、端子 4 0 a および端子 4 0 b に信号が入力された場合は、当該信号に対応する信号を、端子 5 0 a および端子 5 0 b から出力することができる。また、端子 5 0 a および端子 5 0 b に信号が入力された場合は、当該信号に対応する信号を、端子 4 0 a および端子 4 0 b から出力することができる。なお、スイッチ 2 4 およびスイッチ 3 4 を設けてもよい。この場合、配線 4 2 の電位、および配線 5 2 の電位は、バイアス電位 V_b に固定することができる。

10

【 0 0 8 7 】

なお、スイッチ 2 4 としてトランジスタ 2 8 を設け、スイッチ 3 4 としてトランジスタ 3 8 を設けてもよい。この場合、図 7 B 1 に示すように、トランジスタ 2 8 のソースまたはドレインの一方を、トランジスタ 2 1 a のソースまたはドレインの他方、およびトランジスタ 2 1 b のソースまたはドレインの他方と電気的に接続し、トランジスタ 2 8 のソースまたはドレインの他方を、配線 4 1 と電気的に接続することができる。また、図 7 B 2 に示すように、トランジスタ 3 8 のソースまたはドレインの一方を、トランジスタ 3 1 a のソースまたはドレインの他方、およびトランジスタ 3 1 b のソースまたはドレインの他方と電気的に接続し、トランジスタ 3 8 のソースまたはドレインの他方を、配線 5 1 と電気的に接続することができる。なお、増幅回路 2 0 がトランジスタ 2 8、およびトランジスタ 3 8 を有する場合、図 7 B 1 および図 7 B 2 に示すように、トランジスタ 2 8 のゲートは配線 4 2 と電気的に接続され、トランジスタ 3 8 のゲートは配線 5 2 と電気的に接続される構成とすることができる。この場合、配線 4 2 の電位は、バイアス電位 V_b または低電位とすることができる。

20

【 0 0 8 8 】

図 8 A は、増幅回路 2 0 の構成例を示す図であり、図 2 に示す構成の変形例である。図 8 A に示す構成の増幅回路 2 0 は、トランジスタ 2 2 a のゲートと、トランジスタ 2 2 b のゲートと、異なる配線と電気的に接続され、トランジスタ 3 2 a のゲートと、トランジスタ 3 2 b のゲートと、異なる配線と電気的に接続されている点が、図 2 に示す構成の増幅回路 2 0 と異なる。

30

【 0 0 8 9 】

図 8 A に示す構成の増幅回路 2 0 では、配線 4 2 a を介して、トランジスタ 2 2 a のゲートと、電位生成回路 4 4 a と、が電気的に接続されている。また、配線 4 2 b を介して、トランジスタ 2 2 b のゲートと、電位生成回路 4 4 b と、が電気的に接続されている。また、配線 5 2 a を介して、トランジスタ 3 2 a のゲートと、電位生成回路 5 4 a と、が電気的に接続されている。さらに、配線 5 2 b を介して、トランジスタ 3 2 b のゲートと、電位生成回路 5 4 b と、が電気的に接続されている。

40

【 0 0 9 0 】

図 8 A に示す構成の増幅回路 2 0 では、配線 4 2 a に供給する電位は、電位生成回路 4 4 a が生成することができ、配線 4 2 b に供給する電位は、電位生成回路 4 4 b が生成することができる。また、配線 5 2 a に供給する電位は、電位生成回路 5 4 a が生成することができ、配線 5 2 b に供給する電位は、電位生成回路 5 4 b が生成することができる。

【 0 0 9 1 】

図 8 B は、増幅回路 2 0 の構成例を示す図であり、図 2 に示す構成の変形例である。図 8 B に示す構成の増幅回路 2 0 は、負荷 2 3 a、負荷 2 3 b、負荷 3 3 a、負荷 3 3 b、配線 4 3、および配線 5 3 が設けられていない点が、図 2 に示す構成の増幅回路 2 0 と異なる。

50

る。

【 0 0 9 2 】

図 9 A は、増幅回路 2 0 の構成例を示す図であり、図 2 に示す構成の変形例である。図 9 A に示す構成の増幅回路 2 0 は、トランジスタ 2 2 a、トランジスタ 2 2 b、トランジスタ 3 2 a、およびトランジスタ 3 2 b にバックゲートが設けられている点が、図 2 に示す構成の増幅回路 2 0 と異なる。

【 0 0 9 3 】

本明細書等において、単に「ゲート」という場合、フロントゲートを示す場合がある。または、フロントゲートおよびバックゲートの一方、または双方を示す場合がある。

【 0 0 9 4 】

トランジスタ 2 2 a が有するバックゲートは、端子 4 0 a と電氣的に接続されている。トランジスタ 2 2 b が有するバックゲートは、端子 4 0 b と電氣的に接続されている。トランジスタ 3 2 a が有するバックゲートは、端子 5 0 a と電氣的に接続されている。トランジスタ 3 2 b が有するバックゲートは、端子 5 0 b と電氣的に接続されている。

【 0 0 9 5 】

図 9 B は、図 9 A に示すトランジスタ 2 1、トランジスタ 2 2、負荷 2 3、端子 4 0、配線 4 1、配線 4 2、配線 4 3、および端子 5 0 を抜き出した図である。なお、端子 4 0 を入力端子 I N とし、端子 5 0 を出力端子 O U T とする。

【 0 0 9 6 】

図 9 B に示す場合において、入力端子 I N の電位が大きくなると、トランジスタ 2 1 のゲート電位（入力端子 I N の電位）と、ソース電位（低電位）と、の差である電圧 V_{gs} が大きくなるため、トランジスタ 2 1 のオン抵抗が低下し、トランジスタ 2 1 のドレイン電流が大きくなる。よって、トランジスタ 2 1 と直列に接続されているトランジスタ 2 2 のドレイン電流も大きくなる。ここで、トランジスタ 2 2 のバックゲートが、入力端子 I N と電氣的に接続されているため、入力端子 I N の電位の増加に伴い、トランジスタ 2 2 のしきい値電圧が低下する。よって、例えば、トランジスタ 2 1 とトランジスタ 2 2 のチャンネル長、チャンネル幅、構成材料等がすべて等しい場合であっても、入力端子 I N の電位の増加に伴うトランジスタ 2 2 のゲート電位と、ソース電位と、の差の大きさの増加幅を、トランジスタ 2 1 のゲート電位と、ソース電位と、の差の大きさの増加幅より小さくすることができる。

【 0 0 9 7 】

以上より、入力端子 I N の電位の増加に伴う、トランジスタ 2 1 のドレイン電位（トランジスタ 2 2 のソース電位）の低下を抑制することができるため、トランジスタ 2 1 のドレイン電位と、ソース電位と、の差である電圧 V_{ds} の低下を抑制することができる。したがって、トランジスタ 2 1 を飽和領域で動作させるための入力端子 I N の電位の上限値を大きくすることができる。これにより、入力端子 I N に入力することができる信号の電位の幅を広げることができる。よって、通信装置 1 0 が送受信することができる信号の電位の幅を広げることができる。

【 0 0 9 8 】

なお、図 9 B に示す構成の回路は、通信装置以外の半導体装置にも適用することができる。例えば、オペアンプが有する増幅回路の一部として用いることができる。

【 0 0 9 9 】

図 1 0 は、増幅器 1 2 の構成例を示す図である。なお、説明の便宜のため、図 1 0 にはアンテナ 1 1 も示している。

【 0 1 0 0 】

増幅器 1 2 は、増幅回路 2 0 の他、移相器 6 1、容量 6 2、スイッチ 6 3、移相器 6 4、インダクタ 6 5、およびインダクタ 6 6 を有する構成とすることができる。ここで、インダクタ 6 5 とインダクタ 6 6 は、互いに対向するように設けられる。

【 0 1 0 1 】

図 1 0 では、増幅回路 2 0 を図 2 に示す構成としている。なお、増幅器 1 2 が有する増幅

10

20

30

40

50

回路 20 の構成は、本実施の形態で示した他の構成としてもよい。また、増幅器 12 が有する増幅回路 20 は、以降の実施の形態で示す構成としてもよい。

【0102】

アンテナ 11 は、移相器 61 の一方の端子と電氣的に接続されている。移相器 61 の他方の端子は、容量 62 の一方の端子と電氣的に接続されている。容量 62 の一方の端子は、移相器 64 の一方の端子と電氣的に接続されている。容量 62 の他方の端子は、スイッチ 63 の一方の端子と電氣的に接続されている。スイッチ 63 の他方の端子は、配線 73 と電氣的に接続されている。移相器 64 の他方の端子は、インダクタ 65 の一方の端子と電氣的に接続されている。インダクタ 65 の他方の端子は、配線 75 と電氣的に接続されている。インダクタ 66 の一方の端子は、端子 40a と電氣的に接続されている。インダク
10

【0103】

配線 73 および配線 75 は、電源線としての機能を有する。配線 73 の電位、および配線 75 の電位は、例えば低電位とすることができ、例えば接地電位とすることができる。

【0104】

本実施の形態に示す構成、構造、方法等は、他の実施の形態等に示す構成、構造、方法等と適宜組み合わせ用いることができる。

【0105】

(実施の形態 2)

本実施の形態では、実施の形態 1 で示した通信装置の変形例を説明する。具体的には、増幅回路 20 の変形例を説明する。なお、本実施の形態では、実施の形態 1 で示した通信装置と同様の構成等については、適宜説明を省略する。
20

【0106】

図 11 は、増幅回路 20 の構成例を示す図であり、図 2 に示す構成の変形例である。図 11 に示す構成の増幅回路 20 は、オペアンプ 25a と、オペアンプ 25b と、オペアンプ 35a と、オペアンプ 35b と、を有する点が、図 2 に示す構成の増幅回路 20 と異なる。

【0107】

なお、図 11 では、トランジスタ 21a、トランジスタ 21b、トランジスタ 22a、トランジスタ 22b、トランジスタ 31a、トランジスタ 31b、トランジスタ 32a、およびトランジスタ 32b はすべて n チャネル型トランジスタとしている。しかしながら、
30

上記トランジスタのいずれかまたはすべてを p チャネル型トランジスタとしてもよい。例えば、図 12 に示すように、トランジスタ 21a、トランジスタ 21b、トランジスタ 22a、トランジスタ 22b、トランジスタ 31a、トランジスタ 31b、トランジスタ 32a、およびトランジスタ 32b をすべて p チャネル型トランジスタとしてもよい。

【0108】

トランジスタ 21a のソースまたはドレインの一方は、トランジスタ 22a のソースまたはドレインの一方と電氣的に接続されている。トランジスタ 21b のソースまたはドレインの一方は、トランジスタ 22b のソースまたはドレインの一方と電氣的に接続されている。トランジスタ 31a のソースまたはドレインの一方は、トランジスタ 32a のソースまたはドレインの一方と電氣的に接続されている。トランジスタ 31b のソースまたはド
40

レインの一方は、トランジスタ 32b のソースまたはドレインの一方と電氣的に接続されている。

【0109】

トランジスタ 21a のソースまたはドレインの他方、およびトランジスタ 21b のソースまたはドレインの他方は、配線 41 と電氣的に接続されている。トランジスタ 31a のソースまたはドレインの他方、およびトランジスタ 31b のソースまたはドレインの他方は、配線 51 と電氣的に接続されている。

【0110】

電位生成回路 44 は、配線 42 と電氣的に接続されている。電位生成回路 54 は、配線 52 と電氣的に接続されている。
50

【 0 1 1 1 】

オペアンプ 2 5 a の非反転入力端子、およびオペアンプ 2 5 b の非反転入力端子は、配線 4 2 と電氣的に接続されている。オペアンプ 3 5 a の非反転入力端子、およびオペアンプ 3 5 b の非反転入力端子は、配線 5 2 と電氣的に接続されている。オペアンプ 2 5 a の反転入力端子は、トランジスタ 2 1 a のソースまたはドレインの一方、およびトランジスタ 2 2 a のソースまたはドレインの一方と電氣的に接続されている。オペアンプ 2 5 b の反転入力端子は、トランジスタ 2 1 b のソースまたはドレインの一方、およびトランジスタ 2 2 b のソースまたはドレインの一方と電氣的に接続されている。オペアンプ 3 5 a の反転入力端子は、トランジスタ 3 1 a のソースまたはドレインの一方、およびトランジスタ 3 2 a のソースまたはドレインの一方と電氣的に接続されている。オペアンプ 3 5 b の反転入力端子は、トランジスタ 3 1 b のソースまたはドレインの一方、およびトランジスタ 3 2 b のソースまたはドレインの一方と電氣的に接続されている。オペアンプ 2 5 a の出力端子は、トランジスタ 2 2 a のゲートと電氣的に接続されている。オペアンプ 2 5 b の出力端子は、トランジスタ 2 2 b のゲートと電氣的に接続されている。オペアンプ 3 5 a の出力端子は、トランジスタ 3 2 a のゲートと電氣的に接続されている。オペアンプ 3 5 b の出力端子は、トランジスタ 3 2 b のゲートと電氣的に接続されている。

10

【 0 1 1 2 】

端子 4 0 a は、トランジスタ 2 1 a のゲート、トランジスタ 3 2 a のソースまたはドレインの他方、および負荷 3 3 a と電氣的に接続されている。端子 4 0 b は、トランジスタ 2 1 b のゲート、トランジスタ 3 2 b のソースまたはドレインの他方、および負荷 3 3 b と電氣的に接続されている。端子 5 0 a は、トランジスタ 3 1 a のゲート、トランジスタ 2 2 a のソースまたはドレインの他方、および負荷 2 3 a と電氣的に接続されている。端子 5 0 b は、トランジスタ 3 1 b のゲート、トランジスタ 2 2 b のソースまたはドレインの他方、および負荷 2 3 b と電氣的に接続されている。負荷 2 3 a および負荷 2 3 b は、配線 4 3 と電氣的に接続されている。負荷 3 3 a および負荷 3 3 b は、配線 5 3 と電氣的に接続されている。

20

【 0 1 1 3 】

オペアンプは、非反転入力端子の電位と、反転入力端子の電位と、が等しくなるように、出力端子の電位が変化する。よって、オペアンプの非反転入力端子に所定の電位を供給すると、当該オペアンプの出力端子の電位は、上記所定の電位に対応する電位となる。したがって、配線 4 2 にバイアス電位を供給すると、トランジスタ 2 2 a、およびトランジスタ 2 2 b はバイアストラジスタとして機能する。また、配線 5 2 にバイアス電位を供給すると、トランジスタ 3 2 a、およびトランジスタ 3 2 b はバイアストラジスタとして機能する。ここで、前述のように、バイアス電位は、バイアストラジスタとして機能するトランジスタが飽和領域で動作する電位とすることができる。

30

【 0 1 1 4 】

図 1 3 A および図 1 3 B を用いて、図 1 1 に示す構成の増幅回路 2 0 の動作方法の一例を説明する。図 1 3 A は、端子 4 0 a を入力端子 I N a、端子 4 0 b を入力端子 I N b、端子 5 0 a を出力端子 O U T a、端子 5 0 b を出力端子 O U T b とする場合の、図 1 1 に示す構成の増幅回路 2 0 の動作方法の一例を示す図である。図 1 3 B は、端子 5 0 a を入力端子 I N a、端子 5 0 b を入力端子 I N b、端子 4 0 a を出力端子 O U T a、端子 4 0 b を出力端子 O U T b とする場合の、図 1 1 に示す構成の増幅回路 2 0 の動作方法の一例を示す図である。ここで、入力端子 I N b には、入力端子 I N a に入力した信号と逆位相の関係にある信号を入力することができる。

40

【 0 1 1 5 】

図 1 4 A は、図 1 3 A に示すトランジスタ 2 1 (トランジスタ 2 1 a、またはトランジスタ 2 1 b)、トランジスタ 2 2 (トランジスタ 2 2 a、またはトランジスタ 2 2 b)、負荷 2 3 (負荷 2 3 a、または負荷 2 3 b)、オペアンプ 2 5 (オペアンプ 2 5 a、またはオペアンプ 2 5 b)、端子 4 0 (端子 4 0 a、または端子 4 0 b)、配線 4 1、配線 4 2、配線 4 3、および端子 5 0 (端子 5 0 a、または端子 5 0 b) を抜き出した図である。

50

なお、端子40を入力端子IN（入力端子INa、または入力端子INb）とし、端子50を出力端子OUT（出力端子OUTa、または出力端子OUTb）とする。

【0116】

図14Bは、図14Aに示す回路から、トランジスタ22、オペアンプ25、および配線42を省略した構成の回路を示す図である。図14Bに示す構成の回路では、端子50は、トランジスタ21のソースまたはドレインの一方、および負荷23と電氣的に接続されている。

【0117】

図14Bに示す構成は、図5Bに示す構成と同様である。図14Bに示す構成では、図5Bの説明で示したように、トランジスタ21を飽和領域で動作させるためには、入力端子INの電位は所定の値以下とする必要がある。

10

【0118】

次に、図14Aに示す場合について考える。図14Aに示す場合でも、図5B、および図14Bに示す場合と同様にトランジスタ21をnチャンネル型トランジスタとすると、トランジスタ21のソースまたはドレインの一方はドレインとすることができ、トランジスタ21のソースまたはドレインの他方はソースとすることができる。また、トランジスタ22のソースまたはドレインの一方はソースとすることができ、トランジスタ22のソースまたはドレインの他方はドレインとすることができる。

【0119】

図14Aに示す場合において、入力端子INの電位が大きくなると、トランジスタ21のオン抵抗が低下する。しかしながら、トランジスタ21のドレインは、オペアンプ25の反転入力端子と電氣的に接続されており、オペアンプ25の非反転入力端子にはバイアス電位Vbが供給されている。よって、トランジスタ21のオン抵抗が低下しても、トランジスタ21のドレイン電位の低下を抑制することができる。例えば、トランジスタ21のドレイン電位を、バイアス電位Vbとすることができる。したがって、トランジスタ21を飽和領域で動作させるための入力端子INの電位の上限値は、図14Bに示す場合より大きくなる。以上により、増幅回路20が、バイアストラジスタとして機能することができるトランジスタ22と、オペアンプ25と、を有することにより、入力端子INに入力することができる信号の電位の幅を広げることができる。よって、通信装置10が送受信することができる信号の電位の幅を広げることができる。

20

30

【0120】

図15Aは、増幅回路20の構成例を示す図であり、図11に示す構成の変形例である。図15Aに示す構成の増幅回路20は、オペアンプ25aの非反転入力端子と、オペアンプ25bの非反転入力端子と、異なる配線と電氣的に接続され、オペアンプ35aの非反転入力端子と、オペアンプ35bの非反転入力端子と、異なる配線と電氣的に接続されている点が、図11に示す構成の増幅回路20と異なる。

【0121】

図15Aに示す構成の増幅回路20では、配線42aを介して、オペアンプ25aの非反転入力端子と、電位生成回路44aと、が電氣的に接続されている。また、配線42bを介して、オペアンプ25bの非反転入力端子と、電位生成回路44bと、が電氣的に接続されている。また、配線52aを介して、オペアンプ35aの非反転入力端子と、電位生成回路54aと、が電氣的に接続されている。また、配線52bを介して、オペアンプ35bの非反転入力端子と、電位生成回路54bと、が電氣的に接続されている。

40

【0122】

図15Bは、増幅回路20の構成例を示す図であり、図11に示す構成の変形例である。図15Bに示す構成の増幅回路20は、負荷23a、負荷23b、負荷33a、負荷33b、配線43、および配線53が設けられていない点が、図11に示す構成の増幅回路20と異なる。

【0123】

図16Aは、増幅回路20の構成例を示す図であり、図11に示す構成の変形例である。

50

図 1 6 A に示す構成の増幅回路 2 0 は、トランジスタ 2 2 a、トランジスタ 2 2 b、トランジスタ 3 2 a、およびトランジスタ 3 2 b にバックゲートが設けられている点が、図 1 1 に示す構成の増幅回路 2 0 と異なる。

【 0 1 2 4 】

トランジスタ 2 2 a が有するバックゲートは、端子 4 0 a と電氣的に接続されている。トランジスタ 2 2 b が有するバックゲートは、端子 4 0 b と電氣的に接続されている。トランジスタ 3 2 a が有するバックゲートは、端子 5 0 a と電氣的に接続されている。トランジスタ 3 2 b が有するバックゲートは、端子 5 0 b と電氣的に接続されている。

【 0 1 2 5 】

図 1 6 B は、図 1 6 A に示すトランジスタ 2 1、トランジスタ 2 2、負荷 2 3、オペアンプ 2 5、端子 4 0、配線 4 1、配線 4 2、配線 4 3、および端子 5 0 を抜き出した図である。なお、端子 4 0 を入力端子 I N とし、端子 5 0 を出力端子 O U T とする。

10

【 0 1 2 6 】

図 1 6 B に示す場合において、入力端子 I N の電位が大きくなると、トランジスタ 2 1 のゲート電位（入力端子 I N の電位）と、ソース電位（低電位）と、の差である電圧 V_{gs} が大きくなるため、トランジスタ 2 1 のオン抵抗が低下し、トランジスタ 2 1 のドレイン電流が大きくなる。よって、トランジスタ 2 1 と直列に接続されているトランジスタ 2 2 のドレイン電流も大きくなる。ここで、トランジスタ 2 2 のバックゲートが、入力端子 I N と電氣的に接続されているため、入力端子 I N の電位の増加に伴い、トランジスタ 2 2 のしきい値電圧が低下する。よって、例えば、トランジスタ 2 1 とトランジスタ 2 2 のチャンネル長、チャンネル幅、構成材料等がすべて等しい場合であっても、入力端子 I N の電位の増加に伴うトランジスタ 2 2 のゲート電位と、ソース電位と、の差の大きさの増加幅を、トランジスタ 2 1 のゲート電位と、ソース電位と、の差の大きさの増加幅より小さくすることができる。

20

【 0 1 2 7 】

以上より、入力端子 I N の電位の増加に伴う、トランジスタ 2 1 のドレイン電位（トランジスタ 2 2 のソース電位）の低下を抑制することができるため、トランジスタ 2 1 のドレイン電位と、ソース電位と、の差である電圧 V_{ds} の低下を抑制することができる。したがって、トランジスタ 2 1 を飽和領域で動作させるための入力端子 I N の電位の上限値を大きくすることができる。これにより、入力端子 I N に入力することができる信号の電位の幅を広げることができる。よって、通信装置 1 0 が送受信することができる信号の電位の幅を広げることができる。

30

【 0 1 2 8 】

なお、図 1 6 B に示す構成の回路は、通信装置以外の半導体装置にも適用することができる。例えば、オペアンプが有する増幅回路の一部として用いることができる。

【 0 1 2 9 】

図 1 7 は、増幅回路 2 0 の構成例を示す図である。図 1 7 に示す増幅回路 2 0 は、トランジスタ 2 1 a、トランジスタ 2 1 b、トランジスタ 2 2 a、トランジスタ 2 2 b、負荷 2 3 a、負荷 2 3 b、オペアンプ 2 5 a、オペアンプ 2 5 b、トランジスタ 3 1 a、トランジスタ 3 1 b、トランジスタ 3 2 a、トランジスタ 3 2 b、負荷 3 3 a、負荷 3 3 b、オペアンプ 3 5 a、オペアンプ 3 5 b、端子 4 0 a、端子 4 0 b、電位生成回路 4 4、端子 5 0 a、端子 5 0 b、および電位生成回路 5 4 の他、スイッチ 2 6 a、スイッチ 2 6 b、スイッチ 2 7 a、スイッチ 2 7 b、スイッチ 3 6 a、スイッチ 3 6 b、スイッチ 3 7 a、スイッチ 3 7 b、メモリ回路 8 0、およびメモリ回路 9 0 を有する。なお、図 1 7 に示すスイッチは、すべてオフ状態としているが、実際は増幅回路 2 0 の動作に応じて適宜オンオフを切り替える。また、図 1 7 に示すスイッチは、例えばトランジスタとすることができる。

40

【 0 1 3 0 】

メモリ回路 8 0 は、トランジスタ 8 1 および容量 8 2 を有する構成とすることができる。

メモリ回路 9 0 は、トランジスタ 9 1 および容量 9 2 を有する構成とすることができる。

50

【 0 1 3 1 】

トランジスタ 2 1 a のソースまたはドレインの一方は、トランジスタ 2 2 a のソースまたはドレインの一方と電氣的に接続されている。トランジスタ 2 2 a のソースまたはドレインの一方は、スイッチ 2 7 a の一方の端子と電氣的に接続されている。トランジスタ 2 1 b のソースまたはドレインの一方は、トランジスタ 2 2 b のソースまたはドレインの一方と電氣的に接続されている。トランジスタ 2 2 b のソースまたはドレインの一方は、スイッチ 2 7 b の一方の端子と電氣的に接続されている。トランジスタ 3 1 a のソースまたはドレインの一方は、トランジスタ 3 2 a のソースまたはドレインの一方と電氣的に接続されている。トランジスタ 3 2 a のソースまたはドレインの一方は、スイッチ 3 7 a の一方の端子と電氣的に接続されている。トランジスタ 3 1 b のソースまたはドレインの一方は、トランジスタ 3 2 b のソースまたはドレインの一方と電氣的に接続されている。トランジスタ 3 2 b のソースまたはドレインの一方は、スイッチ 3 7 b の一方の端子と電氣的に接続されている。

10

【 0 1 3 2 】

トランジスタ 2 1 a のソースまたはドレインの他方、およびトランジスタ 2 1 b のソースまたはドレインの他方は、配線 4 1 と電氣的に接続されている。トランジスタ 3 1 a のソースまたはドレインの他方、およびトランジスタ 3 1 b のソースまたはドレインの他方は、配線 5 1 と電氣的に接続されている。

【 0 1 3 3 】

オペアンプ 2 5 a の非反転入力端子、およびオペアンプ 2 5 b の非反転入力端子は、配線 4 2 と電氣的に接続されている。オペアンプ 3 5 a の非反転入力端子、およびオペアンプ 3 5 b の非反転入力端子は、配線 5 2 と電氣的に接続されている。オペアンプ 2 5 a の反転入力端子は、スイッチ 2 6 a の一方の端子、およびスイッチ 2 7 a の他方の端子と電氣的に接続されている。オペアンプ 2 5 b の反転入力端子は、スイッチ 2 6 b の一方の端子、およびスイッチ 2 7 b の他方の端子と電氣的に接続されている。オペアンプ 3 5 a の反転入力端子は、スイッチ 3 6 a の一方の端子、およびスイッチ 3 7 a の他方の端子と電氣的に接続されている。オペアンプ 3 5 b の反転入力端子は、スイッチ 3 6 b の一方の端子、およびスイッチ 3 7 b の他方の端子と電氣的に接続されている。オペアンプ 2 5 a の出力端子は、トランジスタ 2 2 a のゲートと電氣的に接続されている。オペアンプ 2 5 b の出力端子は、トランジスタ 2 2 b のゲートと電氣的に接続されている。オペアンプ 3 5 a の出力端子は、トランジスタ 3 2 a のゲートと電氣的に接続されている。オペアンプ 3 5 b の出力端子は、トランジスタ 3 2 b のゲートと電氣的に接続されている。

20

30

【 0 1 3 4 】

スイッチ 2 6 a の他方の端子は、配線 4 6 a と電氣的に接続されている。スイッチ 2 6 b の他方の端子は、配線 4 6 b と電氣的に接続されている。スイッチ 3 6 a の他方の端子は、配線 5 6 a と電氣的に接続されている。スイッチ 3 6 b の他方の端子は、配線 5 6 b と電氣的に接続されている。

【 0 1 3 5 】

端子 4 0 a は、トランジスタ 2 1 a のゲート、トランジスタ 3 2 a のソースまたはドレインの他方、および負荷 3 3 a と電氣的に接続されている。端子 4 0 b は、トランジスタ 2 1 b のゲート、トランジスタ 3 2 b のソースまたはドレインの他方、および負荷 3 3 b と電氣的に接続されている。端子 5 0 a は、トランジスタ 3 1 a のゲート、トランジスタ 2 2 a のソースまたはドレインの他方、および負荷 2 3 a と電氣的に接続されている。端子 5 0 b は、トランジスタ 3 1 b のゲート、トランジスタ 2 2 b のソースまたはドレインの他方、および負荷 2 3 b と電氣的に接続されている。負荷 2 3 a および負荷 2 3 b は、配線 4 3 と電氣的に接続されている。負荷 3 3 a および負荷 3 3 b は、配線 5 3 と電氣的に接続されている。

40

【 0 1 3 6 】

配線 4 2 は、メモリ回路 8 0 と電氣的に接続されている。具体的には、配線 4 2 は、トランジスタ 8 1 のソースまたはドレインの一方、および容量 8 2 の一方の端子と電氣的に接

50

続されている。また、トランジスタ 8 1 のソースまたはドレインの他方は、電位生成回路 4 4 と電氣的に接続され、トランジスタ 8 1 のゲートは、配線 8 4 と電氣的に接続されている。さらに、容量 8 2 の他方の端子は、配線 8 5 と電氣的に接続されている。

【 0 1 3 7 】

配線 5 2 は、メモリ回路 9 0 と電氣的に接続されている。具体的には、配線 5 2 は、トランジスタ 9 1 のソースまたはドレインの一方、および容量 9 2 の一方の端子と電氣的に接続されている。また、トランジスタ 9 1 のソースまたはドレインの他方は、電位生成回路 5 4 と電氣的に接続され、トランジスタ 9 1 のゲートは、配線 9 4 と電氣的に接続されている。さらに、容量 9 2 の他方の端子は、配線 8 5 と電氣的に接続されている。

【 0 1 3 8 】

配線 4 6 a、配線 4 6 b、配線 5 6 a、配線 5 6 b、配線 8 5、および配線 9 5 は、電源線としての機能を有する。配線 4 6 a、配線 4 6 b、配線 5 6 a、配線 5 6 b、配線 8 5、および配線 9 5 の電位は、例えば定電位とすることができる。例えば、配線 4 6 a、配線 4 6 b、配線 5 6 a、および配線 5 6 b の電位を高電位とすることができ、配線 8 5、および配線 9 5 の電位を低電位とすることができる。

【 0 1 3 9 】

メモリ回路 8 0 は、配線 4 2 の電位を保持する機能を有する。メモリ回路 9 0 は、配線 5 2 の電位を保持する機能を有する。メモリ回路 8 0 を設けることで、配線 4 2 に電位を供給し続ける必要がなくなり、メモリ回路 9 0 を設けることで、配線 5 2 に電位を供給し続ける必要がなくなる。よって、増幅回路 2 0 の消費電力を低減することができるため、通信装置 1 0 の消費電力を低減することができる。

【 0 1 4 0 】

メモリ回路 8 0 が有するトランジスタ 8 1 は、配線 4 2 への電位の供給を制御する機能を有する。具体的には、トランジスタ 8 1 をオン状態にする電位を配線 8 4 に供給し、電位生成回路 4 4 と配線 4 2 を導通させる。すると、電位生成回路 4 4 が生成した電位が配線 4 2 に供給される。電位生成回路 4 4 が生成する電位は、バイアス電位 V_b とすることができる。よって、配線 4 2 にバイアス電位 V_b を供給することができる。配線 4 2 にバイアス電位 V_b を供給した後、トランジスタ 8 1 をオフ状態とする電位を配線 8 4 に供給する。トランジスタ 8 1 をオフ状態にすることで、配線 4 2 の電位を保持できる。

【 0 1 4 1 】

トランジスタ 8 1 は、活性層に金属酸化物を用いたトランジスタ (OS トランジスタ) とすることが好ましい。金属酸化物の一種である酸化物半導体はバンドギャップが $2 e V$ 以上あるため、オフ電流が著しく少ない。トランジスタ 8 1 を OS トランジスタとすることにより、配線 4 2 の電位を長期間保持することができる。

【 0 1 4 2 】

トランジスタ 8 1 を OS トランジスタとする場合、メモリ回路 8 0 を「OS メモリ」ということができる。

【 0 1 4 3 】

OS メモリは、電力の供給を停止しても、1 年以上、さらには 1 0 年以上の期間で書き込まれた情報を保持することができる。よって、OS メモリを不揮発性メモリと見なすこともできる。

【 0 1 4 4 】

また、OS メモリは OS トランジスタを介してノードに電荷を書き込む方式であるため、従来のフラッシュメモリで必要であった高電圧が不要であり、高速な書き込み動作も実現できる。また、フローティングゲートまたは電荷捕獲層への電荷注入および引き抜きも行われなため、OS メモリは実質的に無制限回のデータの書き込みおよび読み出しが可能である。OS メモリは、従来のフラッシュメモリと比較して劣化が少なく、高い信頼性が得られる。

【 0 1 4 5 】

また、OS メモリは磁気メモリあるいは抵抗変化型メモリ等のように原子レベルでの構造

10

20

30

40

50

変化を伴わない。よって、OSメモリは、磁気メモリおよび抵抗変化型メモリよりも書き換え耐性に優れている。

【0146】

メモリ回路80についての上記説明は、メモリ回路80をメモリ回路90と、トランジスタ81をトランジスタ91と、容量82を容量92と、電位生成回路44を電位生成回路54と、配線42を配線52と、配線84を配線94と、配線85を配線95と、それぞれ読み替えることにより、メモリ回路90にも適用することができる。

【0147】

図18Aおよび図18Bを用いて、図17に示す構成の増幅回路20の動作方法の一例を説明する。図18Aは、端子40aを入力端子INa、端子40bを入力端子INb、端子50aを出力端子OUTa、端子50bを出力端子OUTbとする場合の、図17に示す構成の増幅回路20の動作方法の一例を示す図である。図18Bは、端子50aを入力端子INa、端子50bを入力端子INb、端子40aを出力端子OUTa、端子40bを出力端子OUTbとする場合の、図17に示す構成の増幅回路20の動作方法の一例を示す図である。

10

【0148】

図18Aおよび図18Bに示す方法で増幅回路20を動作させる場合は、配線42および配線52の電位がバイアス電位Vbとなるように、メモリ80およびメモリ90にあらかじめ電荷を保持させておく。

【0149】

まず、端子40aおよび端子40bに信号を入力する場合について説明する。この場合は、図18Aに示すように、スイッチ27a、スイッチ27b、スイッチ36a、およびスイッチ36bをオン状態とする。これにより、トランジスタ21aのソースまたはドレインの一方と、オペアンプ25aの反転入力端子と、が導通し、トランジスタ21bのソースまたはドレインの一方と、オペアンプ25bの反転入力端子と、が導通する。よって、図14A等に示す通り、トランジスタ22a、およびトランジスタ22bは、バイアストランジスタとして機能する。

20

【0150】

一方、スイッチ26a、スイッチ26b、スイッチ37a、およびスイッチ37bをオフ状態とする。これにより、オペアンプ35aの反転入力端子の電位、およびオペアンプ35bの反転入力端子の電位が高電位となる。図18Aに示す状態では、オペアンプ35aの非反転入力端子、およびオペアンプ35bの非反転入力端子の電位はバイアス電位Vbであり、高電位より低い。また、スイッチ37aおよびスイッチ37bがオフ状態であるため、オペアンプ35aおよびオペアンプ35bには帰還がかかっていない。以上より、図18Aに示す状態では、オペアンプ35a、およびオペアンプ35bはコンパレータとして機能する。前述のように、オペアンプ35aの反転入力端子の電位は、オペアンプ35aの非反転入力端子の電位より高く、オペアンプ35bの反転入力端子の電位は、オペアンプ35bの非反転入力端子の電位より高い。よって、オペアンプ35a、およびオペアンプ35bは、例えば低電位を出力する。したがって、トランジスタ32aのゲート電位、およびトランジスタ32bのゲート電位は低電位となるため、トランジスタ32a、およびトランジスタ32bはオフ状態となる。

30

40

【0151】

図18Aおよび図18Bにおいて、入力端子INaから出力端子OUTaへの信号の伝送、および入力端子INbから出力端子OUTbへの信号の伝送に寄与しないトランジスタ、負荷、スイッチ、回路、および配線を点線で示す。例えば、図18Aに示すように、スイッチ26a、スイッチ26b、トランジスタ32a、トランジスタ32b、スイッチ37a、およびスイッチ37bはオフ状態となっているため、入力端子INaから出力端子OUTaへの信号の伝送、および入力端子INbから出力端子OUTbへの信号の伝送に寄与しない。また、トランジスタ32aおよびトランジスタ32bがオフ状態となっているため、トランジスタ31aおよびトランジスタ31bには電流が流れず、入力端子IN

50

a から出力端子 O U T a への信号の伝送、および入力端子 I N b から出力端子 O U T b への信号の伝送に寄与しない。さらに、オフ状態となっているトランジスタ 3 2 a のソースまたはドレインの他方と電氣的に接続されている負荷 3 3 a、およびオフ状態となっているトランジスタ 3 2 b のソースまたはドレインの他方と電氣的に接続されている負荷 3 3 b も、入力端子 I N a から出力端子 O U T a への信号の伝送、および入力端子 I N b から出力端子 O U T b への信号の伝送に寄与しない。以上より、図 1 8 A では、トランジスタ 3 1 a、トランジスタ 3 1 b、トランジスタ 3 2 a、トランジスタ 3 2 b、負荷 3 3 a、負荷 3 3 b、スイッチ 2 6 a、スイッチ 2 6 b、スイッチ 3 7 a、およびスイッチ 3 7 b と、これらと電氣的に接続されている回路および配線の一部と、を点線で示している。

【 0 1 5 2 】

次に、端子 5 0 a および端子 5 0 b に信号を入力する場合について説明する。この場合は、図 1 8 B に示すように、スイッチ 2 6 a、スイッチ 2 6 b、スイッチ 3 7 a、およびスイッチ 3 7 b をオン状態とする。これにより、トランジスタ 3 1 a のソースまたはドレインの一方と、オペアンプ 3 5 a の反転入力端子と、が導通し、トランジスタ 3 1 b のソースまたはドレインの一方と、オペアンプ 3 5 b の反転入力端子と、が導通する。よって、図 1 4 A 等に示す通り、トランジスタ 3 2 a、およびトランジスタ 3 2 b は、バイアストランジスタとして機能する。

【 0 1 5 3 】

一方、スイッチ 2 7 a、スイッチ 2 7 b、スイッチ 3 6 a、およびスイッチ 3 6 b をオフ状態とする。これにより、オペアンプ 2 5 a の反転入力端子の電位、およびオペアンプ 2 5 b の反転入力端子の電位が高電位となる。図 1 8 B に示す状態では、オペアンプ 2 5 a の非反転入力端子、およびオペアンプ 2 5 b の非反転入力端子の電位はバイアス電位 V b であり、高電位より低い。また、スイッチ 2 7 a およびスイッチ 2 7 b がオフ状態であるため、オペアンプ 2 5 a およびオペアンプ 2 5 b には帰還がかかっていない。以上より、図 1 8 B に示す状態では、オペアンプ 3 5 a、およびオペアンプ 3 5 b はコンパレータとして機能する。前述のように、オペアンプ 2 5 a の反転入力端子の電位は、オペアンプ 2 5 a の非反転入力端子の電位より高く、オペアンプ 2 5 b の反転入力端子の電位は、オペアンプ 2 5 b の非反転入力端子の電位より高い。よって、オペアンプ 2 5 a、およびオペアンプ 2 5 b は、例えば低電位を出力する。したがって、トランジスタ 2 2 a のゲート電位、およびトランジスタ 2 2 b のゲート電位は低電位となるため、トランジスタ 2 2 a、およびトランジスタ 2 2 b はオフ状態となる。

【 0 1 5 4 】

図 1 8 B に示すように、スイッチ 2 7 a、スイッチ 2 7 b、トランジスタ 2 2 a、トランジスタ 2 2 b、スイッチ 3 6 a、およびスイッチ 3 6 b はオフ状態となっているため、入力端子 I N a から出力端子 O U T a への信号の伝送、および入力端子 I N b から出力端子 O U T b への信号の伝送に寄与しない。また、トランジスタ 2 2 a およびトランジスタ 2 2 b がオフ状態となっているため、トランジスタ 2 1 a およびトランジスタ 2 1 b には電流が流れず、入力端子 I N a から出力端子 O U T a への信号の伝送、および入力端子 I N b から出力端子 O U T b への信号の伝送に寄与しない。さらに、オフ状態となっているトランジスタ 2 2 a のソースまたはドレインの他方と電氣的に接続されている負荷 2 3 a、およびオフ状態となっているトランジスタ 2 2 b のソースまたはドレインの他方と電氣的に接続されている負荷 2 3 b も、入力端子 I N a から出力端子 O U T a への信号の伝送、および入力端子 I N b から出力端子 O U T b への信号の伝送に寄与しない。以上より、図 1 8 B では、トランジスタ 2 1 a、トランジスタ 2 1 b、トランジスタ 2 2 a、トランジスタ 2 2 b、負荷 2 3 a、負荷 2 3 b、スイッチ 2 7 a、スイッチ 2 7 b、スイッチ 3 6 a、およびスイッチ 3 6 b と、これらと電氣的に接続されている回路および配線の一部と、を点線で示している。

【 0 1 5 5 】

なお、図 1 4 A および図 1 4 B に示す説明は、増幅回路 2 0 が図 1 7 に示す構成である場合にも適用することができる。また、図 1 6 A に示す構成、および図 1 6 B に示す説明は

10

20

30

40

50

、増幅回路 20 が図 17 に示す構成である場合にも適用することができる。具体的には、図 17 に示す構成の増幅回路 20 が有するトランジスタ 22 a、トランジスタ 22 b、トランジスタ 32 a、およびトランジスタ 32 b にバックゲートを設けることができる。そして、トランジスタ 22 a が有するバックゲートは、端子 40 a と電氣的に接続され、トランジスタ 22 b が有するバックゲートは、端子 40 b と電氣的に接続され、トランジスタ 32 a が有するバックゲートは、端子 50 a と電氣的に接続され、トランジスタ 32 b が有するバックゲートは、端子 50 b と電氣的に接続されている構成とすることができる。

【0156】

図 19 は、図 18 A に示すトランジスタ 21 (トランジスタ 21 a、またはトランジスタ 21 b)、トランジスタ 22 (トランジスタ 22 a、またはトランジスタ 22 b)、負荷 23 (負荷 23 a、または負荷 23 b)、オペアンプ 25 (オペアンプ 25 a、またはオペアンプ 25 b)、スイッチ 26 (スイッチ 26 a、またはスイッチ 26 b)、スイッチ 27 (スイッチ 27 a、またはスイッチ 27 b)、端子 40 (端子 40 a、または端子 40 b)、配線 41、配線 42、配線 43、および端子 50 (端子 50 a、または端子 50 b) を抜き出した図である。なお、端子 40 を入力端子 IN (入力端子 IN a、または入力端子 IN b) とし、端子 50 を出力端子 OUT (出力端子 OUT a、または出力端子 OUT b) とする。

10

【0157】

図 19 に示す構成の回路は、通信装置以外の半導体装置にも適用することができる。例えば、オペアンプが有する増幅回路の一部として用いることができる。

20

【0158】

図 20 A は、増幅回路 20 の構成例を示す図であり、図 17 に示す構成の変形例である。図 13 A に示す構成の増幅回路 20 は、メモリ回路 80 およびメモリ回路 90 を有さない点が、図 17 に示す構成の増幅回路 20 と異なる。

【0159】

図 20 A に示す構成の増幅回路 20 では、電位生成回路 44 および電位生成回路 54 がバイアス電位 Vb を生成する。これにより、配線 42 および配線 52 の電位をバイアス電位 Vb とする。

【0160】

図 20 B は、増幅回路 20 の構成例を示す図であり、図 17 に示す構成の変形例である。図 20 B に示す構成の増幅回路 20 は、オペアンプ 25 a の非反転入力端子およびオペアンプ 25 b の非反転入力端子と、オペアンプ 35 a の非反転入力端子およびオペアンプ 35 b の非反転入力端子と、が互いに電氣的に接続されている点が、図 17 に示す構成の増幅回路 20 と異なる。また、メモリ回路 90 および電位生成回路 54 が設けられていない点が、図 17 に示す構成の増幅回路 20 と異なる。

30

【0161】

図 20 B に示す構成の増幅回路 20 は、オペアンプ 25 a の非反転入力端子、オペアンプ 25 b の非反転入力端子、オペアンプ 35 a の非反転入力端子、およびオペアンプ 35 b の非反転入力端子が、メモリ回路 80 と電氣的に接続されている。具体的には、オペアンプ 25 a の非反転入力端子、オペアンプ 25 b の非反転入力端子、オペアンプ 35 a の非反転入力端子、およびオペアンプ 35 b の非反転入力端子が、トランジスタ 81 のソースまたはドレインの一方、および容量 82 の一方の端子と電氣的に接続されている。

40

【0162】

本実施の形態に示す構成、構造、方法等は、他の実施の形態等に示す構成、構造、方法等と適宜組み合わせ用いることができる。

【0163】

(実施の形態 3)

本実施の形態では、上記実施の形態で説明した通信装置、および半導体装置に適用可能なトランジスタの構成について説明する。

【0164】

50

本発明の一態様の通信装置、または本発明の一態様の半導体装置が有する半導体装置の断面構成の一部を図 2 1 に示す。図 2 1 に示す構成の半導体装置は、トランジスタ 5 5 0 と、トランジスタ 5 0 0 と、を有している。また、トランジスタ 5 0 0、およびトランジスタ 5 5 0 のチャンネル長方向の断面図を図 2 2 A に示し、トランジスタ 5 0 0、およびトランジスタ 5 5 0 のチャンネル幅方向の断面図を図 2 2 B に示す。例えば、トランジスタ 5 0 0 は上記実施の形態に示したトランジスタ 2 1 に相当し、トランジスタ 5 5 0 は上記実施の形態に示したトランジスタ 2 2 に相当する。ここで、トランジスタ 5 0 0 およびトランジスタ 5 5 0 は、OS トランジスタとすることができる。なお、トランジスタ 5 0 0 およびトランジスタ 5 5 0 の一方または双方を、OS トランジスタ以外のトランジスタとしてもよい。例えば、トランジスタ 5 0 0 およびトランジスタ 5 5 0 の一方または双方を、活性層にシリコンを用いたトランジスタ (Si トランジスタ) としてもよい。

10

【0165】

図 2 1 に示す構成の半導体装置では、トランジスタ 5 0 0 はトランジスタ 5 5 0 の上方に設けられている。なお、トランジスタ 5 0 0 と、トランジスタ 5 5 0 と、を同一の層に設けてもよい。

【0166】

図 2 2 A および図 2 2 B に示すように、トランジスタ 5 0 0 およびトランジスタ 5 5 0 は、絶縁体 5 1 4 および絶縁体 5 1 6 に埋め込まれるように配置された導電体 5 0 3 と、絶縁体 5 1 6 および導電体 5 0 3 の上に配置された絶縁体 5 2 0 と、絶縁体 5 2 0 の上に配置された絶縁体 5 2 2 と、絶縁体 5 2 2 の上に配置された絶縁体 5 2 4 と、絶縁体 5 2 4 の上に配置された酸化物 5 3 0 a と、酸化物 5 3 0 a の上に配置された酸化物 5 3 0 b と、酸化物 5 3 0 b 上に互いに離れて配置された導電体 5 4 2 a および導電体 5 4 2 b と、導電体 5 4 2 a および導電体 5 4 2 b 上に配置され、導電体 5 4 2 a と導電体 5 4 2 b の間に重畳して開口が形成された絶縁体 5 8 0 と、開口の底面および側面と接する領域を有するように配置された絶縁体 5 4 5 と、絶縁体 5 4 5 の形成面に配置された導電体 5 6 0 と、を有する。

20

【0167】

また、図 2 2 A および図 2 2 B に示すように、酸化物 5 3 0 a、酸化物 5 3 0 b、導電体 5 4 2 a、および導電体 5 4 2 b と、絶縁体 5 8 0 の間に絶縁体 5 4 4 が配置されることが好ましい。また、図 2 2 A および図 2 2 B に示すように、導電体 5 6 0 は、絶縁体 5 4 5 の内側に設けられた導電体 5 6 0 a と、導電体 5 6 0 a の内側に埋め込まれるように設けられた導電体 5 6 0 b と、を有することが好ましい。また、図 2 2 A および図 2 2 B に示すように、絶縁体 5 8 0、導電体 5 6 0、および絶縁体 5 4 5 の上に絶縁体 5 7 4 が配置されることが好ましい。

30

【0168】

なお、本明細書等において、酸化物 5 3 0 a、および酸化物 5 3 0 b をまとめて酸化物 5 3 0 という場合がある。

【0169】

なお、トランジスタ 5 0 0 およびトランジスタ 5 5 0 では、チャンネルが形成される領域と、その近傍において、酸化物 5 3 0 a、および酸化物 5 3 0 b の 2 層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 5 3 0 b の単層、または 3 層以上の積層構成を設ける構成にしてもよい。

40

【0170】

また、トランジスタ 5 0 0 およびトランジスタ 5 5 0 では、導電体 5 6 0 を 2 層の積層構成として示しているが、本発明はこれに限られるものではない。例えば、導電体 5 6 0 が、単層構成であってもよいし、3 層以上の積層構成であってもよい。また、図 2 1、ならびに図 2 2 A および図 2 2 B に示すトランジスタ 5 0 0、およびトランジスタ 5 5 0 は一例であり、その構成に限定されず、回路構成や駆動方法等に応じて適切なトランジスタを用いればよい。

【0171】

50

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542aおよび導電体542bは、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、および導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542aおよび導電体542bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500、およびトランジスタ550において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるため、トランジスタ500、およびトランジスタ550の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

10

【0172】

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるため、導電体560は、導電体542aまたは導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542aおよび導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500、およびトランジスタ550のスイッチング速度を向上させ、周波数特性を高めることができる。

【0173】

導電体560は、第1のゲート(トップゲートともいう)電極として機能する場合がある。また、導電体503は、第2のゲート(ボトムゲートともいう)電極として機能する場合がある。また、導電体560がフロントゲート電極として機能し、導電体503がバックゲート電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と連動させず、独立して変化させることで、トランジスタ500、およびトランジスタ550のしきい値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500、およびトランジスタ550のしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

20

【0174】

導電体503は、酸化物530、および導電体560と重なるように配置する。これにより、導電体560、および導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。

30

【0175】

本明細書等において、一对のゲート電極(第1のゲート電極、および第2のゲート電極)の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構成を、*surrounded channel (s-channel)*構成とよぶ。また、本明細書等において、*s-channel*構成は、ソース電極およびドレイン電極として機能する導電体542aおよび導電体542bに接する酸化物530の側面および周辺が、チャネル形成領域と同じくI型であるといった特徴を有する。また、導電体542aおよび導電体542bに接する酸化物530の側面および周辺は、絶縁体544と接しているため、チャネル形成領域と同様にI型となりうる。なお、本明細書等において、I型とは後述する、高純度真性と同様として扱うことができる。また、本明細書等で開示する*s-channel*構成は、*Fin*型構成およびプレーナ型構成とは異なる。*s-channel*構成を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

40

【0176】

また、導電体503は、導電体503aと、導電体503bを有する構成とすることができる。絶縁体514および絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。なお、本実施の形態では、導電体503を、導電体503aと導電体503bが積層する構成としているが、本発明はこれに限

50

られるものではない。例えば、導電体 5 0 3 は、単層、または 3 層以上の積層構成として設ける構成にしてもよい。

【 0 1 7 7 】

ここで、導電体 5 0 3 a は、水素原子、水素分子、水分子、銅原子等の不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

【 0 1 7 8 】

例えば、導電体 5 0 3 a が酸素の拡散を抑制する機能を持つことにより、導電体 5 0 3 b が酸化して導電率が低下することを抑制することができる。

【 0 1 7 9 】

また、導電体 5 0 3 が配線の機能を兼ねる場合、導電体 5 0 3 b は、タングステン、銅、またはアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。

【 0 1 8 0 】

絶縁体 5 2 0、絶縁体 5 2 2、および絶縁体 5 2 4 は、導電体 5 0 3 に対するゲート絶縁膜としての機能を有する。

【 0 1 8 1 】

ここで、酸化物 5 3 0 と接する絶縁体 5 2 4 は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。当該酸素は、加熱により膜中から放出されやすい。本明細書等では、加熱により放出される酸素を「過剰酸素」と呼ぶ場合がある。つまり、絶縁体 5 2 4 には、過剰酸素を含む領域（「過剰酸素領域」ともいう）が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物 5 3 0 に接して設けることにより、酸化物 5 3 0 中の酸素欠損（ V_O : oxygen vacancy ともいう）を低減し、トランジスタ 5 0 0、およびトランジスタ 5 5 0 の信頼性を向上させることができる。なお、酸化物 5 3 0 中の酸素欠損に水素が入った場合、当該欠陥（以下、 V_{OH} と呼ぶ場合がある）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界等のストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物 5 3 0 中の V_{OH} をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、 V_{OH} が十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素等の不純物を除去すること（「脱水」または「脱水素化処理」ともいう）と、酸化物半導体に酸素を供給して酸素欠損を補填すること（「加酸素化処理」ともいう）が重要である。 V_{OH} 等の不純物が十分に低減された酸化物半導体をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

【 0 1 8 2 】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermodesorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 400 以下の範囲が好ましい。

【 0 1 8 3 】

また、上記過剰酸素領域を有する絶縁体と、酸化物 5 3 0 と、を接して加熱処理、マイク

10

20

30

40

50

口波処理、またはRF処理のいずれか—または複数の処理を行ってもよい。当該処理を行うことで、酸化物530中の水、または水素を除去することができる。例えば、酸化物530において、 V-O-H の結合が切断される反応が起きる、別言すると「 $\text{V-O-H} \rightarrow \text{V-O} + \text{H}$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物530、または酸化物530近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体542aまたは導電体542bにゲッタリングされる場合がある。

【0184】

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、かつ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。そして、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率良く酸化物530、または酸化物530近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を133Pa以上、好ましくは200Pa以上、さらに好ましくは400Pa以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比($\text{O}_2 / (\text{O}_2 + \text{Ar})$)が50%以下、好ましくは10%以上30%以下で行うとよい。

10

【0185】

また、トランジスタ500、およびトランジスタ550の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100以上450以下、より好ましくは350以上400以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損(V_O)の低減を図ることができる。また、加熱処理は減圧状態で行ってよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行った後に、連続して窒素ガスもしくは不活性ガスの雰囲気で行ったとしてもよい。

20

30

【0186】

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $\text{V}_\text{O} + \text{O} \rightarrow \text{null}$ 」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する(脱水化する)ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合して V-O-H が形成されることを抑制することができる。

【0187】

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素(例えば、酸素原子、酸素分子等)の拡散を抑制する機能を有する(上記酸素が透過しにくい)ことが好ましい。

40

【0188】

絶縁体522が、酸素や不純物の拡散を抑制する機能を有すると、酸化物530が有する酸素は、絶縁体520側へ拡散することがないため好ましい。また、導電体503が、絶縁体524や酸化物530が有する酸素と反応することを抑制することができるため好ましい。

【0189】

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)、酸化タンタル、酸化ジルコニウム、チ

50

タン酸ジルコン酸鉛 (P Z T)、チタン酸ストロンチウム (S r T i O ₃)、または (B a , S r) T i O ₃ (B S T) 等のいわゆる h i g h - k 材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体に h i g h - k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【 0 1 9 0 】

特に、不純物、および酸素等の拡散を抑制する機能を有する (上記酸素が透過しにくい) 絶縁性材料であるアルミニウム、ハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物 (ハフニウムアルミネート) 等を用いることが好ましい。このような材料を用いて絶縁体 5 2 2 を形成した場合、絶縁体 5 2 2 は、酸化物 5 3 0 からの酸素の放出や、トランジスタ 5 0 0、およびトランジスタ 5 5 0 の周辺部から酸化物 5 3 0 への水素等の不純物の混入を抑制する層として機能する。

10

【 0 1 9 1 】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

20

【 0 1 9 2 】

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を示し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を示し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【 0 1 9 3 】

また、絶縁体 5 2 0 は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、 h i g h - k 材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構成の絶縁体 5 2 0 を得ることができる。

30

【 0 1 9 4 】

なお、図 2 2 A および図 2 2 B のトランジスタ 5 0 0、およびトランジスタ 5 5 0 では、導電体 5 0 3 に対する、3 層の積層構成からなるゲート絶縁膜として、絶縁体 5 2 0、絶縁体 5 2 2、および絶縁体 5 2 4 が図示されているが、当該ゲート絶縁膜は、単層、2 層、または 4 層以上の積層構成を有していてもよい。その場合、同じ材料からなる積層構成に限定されず、異なる材料からなる積層構成でもよい。

【 0 1 9 5 】

トランジスタ 5 0 0、およびトランジスタ 5 5 0 は、チャンネル形成領域を含む酸化物 5 3 0 に、酸化物半導体として機能する金属酸化物を用いる。例えば、酸化物 5 3 0 として、I n - M - Z n 酸化物 (元素 M は、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、またはマグネシウム等から選ばれた一種、または複数種) 等の金属酸化物を用いるとよい。

40

【 0 1 9 6 】

酸化物半導体として機能する金属酸化物の形成は、スパッタリング法で行なってもよいし、A L D (A t o m i c L a y e r D e p o s i t i o n) 法で行なってもよい。なお、酸化物半導体として機能する金属酸化物については、他の実施の形態で詳細に説明する。

【 0 1 9 7 】

また、酸化物 5 3 0 においてチャンネル形成領域として機能する金属酸化物は、バンドギャ

50

ップが2 eV以上のものを用いることが好ましく、2.5 eV以上のものを用いることがより好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0198】

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構成物から、酸化物530bへの不純物の拡散を抑制することができる。

【0199】

なお、酸化物530は、各金属原子の原子数比が異なる複数の酸化物層の積層構成を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

10

【0200】

また、酸化物530aの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。言い換えると、酸化物530a電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。

20

【0201】

ここで、酸化物530aと酸化物530bの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。言い換えると、酸化物530aと酸化物530bの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面において形成される混合層の欠陥準位密度を低くするとよい。

【0202】

具体的には、酸化物530aと酸化物530bが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530aとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウム等を用いるとよい。

30

【0203】

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530aを上述の構成とすることで、酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500、およびトランジスタ550は高いオン電流を得られる。

【0204】

酸化物530b上には、ソース電極、およびドレイン電極として機能する導電体542a、および導電体542bが設けられる。導電体542a、および導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物等を用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する

40

50

材料であるため、好ましい。更に、窒化タンタル等の金属窒化物膜は、水素または酸素に対するバリア性があるため好ましい。

【0205】

また、図22Aでは、導電体542a、および導電体542bを単層構成として示したが、2層以上の積層構成としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構成、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構成、チタン膜上に銅膜を積層する二層構成、タングステン膜上に銅膜を積層する二層構成としてもよい。

【0206】

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構成、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構成等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0207】

また、図22Aに示すように、酸化物530の、導電体542a（導電体542b）との界面とその近傍には、低抵抗領域として、領域543a、および領域543bが形成される場合がある。このとき、領域543aはソース領域またはドレイン領域の一方として機能し、領域543bはソース領域またはドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャンネル形成領域が形成される。

【0208】

酸化物530と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、導電体542a（導電体542b）に含まれる金属と、酸化物530の成分と、を含む金属化合物層が領域543a（領域543b）に形成される場合がある。このような場合、領域543a（領域543b）のキャリア密度が増加し、領域543a（領域543b）は、低抵抗領域となる。

【0209】

絶縁体544は、導電体542a、および導電体542bを覆うように設けられ、導電体542a、および導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

【0210】

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタンまたは、マグネシウム等から選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。また、絶縁体544として、窒化酸化シリコンまたは窒化シリコン等も用いることができる。

【0211】

特に、絶縁体544として、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、または酸化ハフニウムを用いることが好ましい。又は、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくい材料が好ましい。なお、導電体542aおよび導電体542bが耐酸化性を有する材料である場合、または、酸素を吸収しても導電性が著しくは低下しない材料である場合は、絶縁体544は必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

【0212】

絶縁体544を有することで、絶縁体580に含まれる水、および水素等の不純物が酸化

10

20

30

40

50

物 5 3 0 b に拡散することを抑制することができる。また、絶縁体 5 8 0 が有する過剰酸素により、導電体 5 6 0 が酸化することを抑制することができる。

【 0 2 1 3 】

絶縁体 5 4 5 は、導電体 5 6 0 に対するゲート絶縁膜として機能する。絶縁体 5 4 5 は、上述した絶縁体 5 2 4 と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

【 0 2 1 4 】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

10

【 0 2 1 5 】

過剰酸素を含む絶縁体を絶縁体 5 4 5 として設けることにより、絶縁体 5 4 5 から、酸化物 5 3 0 b のチャンネル形成領域に効果的に酸素を供給することができる。また、絶縁体 5 2 4 と同様に、絶縁体 5 4 5 中の水または水素等の不純物濃度が低減されていることが好ましい。絶縁体 5 4 5 の膜厚は、1 nm 以上 2 0 nm 以下とすることが好ましい。

【 0 2 1 6 】

また、絶縁体 5 4 5 が有する過剰酸素を、効率的に酸化物 5 3 0 へ供給するために、絶縁体 5 4 5 と導電体 5 6 0 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 5 4 5 から導電体 5 6 0 への酸素拡散を抑制する機能を有することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 5 4 5 から導電体 5 6 0 への過剰酸素の拡散が抑制される。つまり、酸化物 5 3 0 へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体 5 6 0 の酸化を抑制することができる。当該金属酸化物としては、絶縁体 5 4 4 に用いることができる材料を用いればよい。

20

【 0 2 1 7 】

なお、絶縁体 5 4 5 は、導電体 5 0 3 に対するゲート絶縁膜と同様に、積層構成としてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流等の問題が生じる場合がある。このため、ゲート絶縁膜として機能する絶縁体を、high-k 材料と、熱的に安定している材料との積層構成とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位を低減することが可能となる。また、熱的に安定かつ比誘電率の高い積層構成とすることが出来る。

30

【 0 2 1 8 】

第 1 のゲート電極として機能する導電体 5 6 0 は、図 2 2 A および図 2 2 B では 2 層構成として示しているが、単層構成でもよいし、3 層以上の積層構成であってもよい。

【 0 2 1 9 】

導電体 5 6 0 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 等)、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素 (例えば、酸素原子、酸素分子等の少なくとも一) の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体 5 6 0 a が酸素の拡散を抑制する機能を持つことにより、絶縁体 5 4 5 に含まれる酸素により、導電体 5 6 0 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウム等を用いることが好ましい。また、導電体 5 6 0 a として、酸化物 5 3 0 に適用できる酸化物半導体を用いることができる。その場合、導電体 5 6 0 b をスパッタリング法で成膜することで、導電体 5 6 0 a の電気抵抗値を低下させて導電体にする事が出来る。これを OC (Oxide Conductor) 電極と呼ぶことができる。

40

【 0 2 2 0 】

また、導電体 5 6 0 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 5 6 0 b は、配線としても機能するため、導

50

電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構成としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構成としてもよい。

【0221】

絶縁体580は、絶縁体544を介して、導電体542a上、および導電体542b上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂等を有することが好ましい。特に、酸化シリコン、および酸化窒化シリコンは、熱的に安定であるため好ましい。また、酸化シリコン、および空孔を有する酸化シリコンは、後の工程で容易に過剰酸素領域を形成することができるため好ましい。

10

【0222】

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体580を設けることで、絶縁体580中の酸素を酸化物530へと効率良く供給することができる。なお、絶縁体580中の、水または水素等の不純物濃度が低減されていることが好ましい。

【0223】

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、および導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

20

【0224】

半導体装置を微細化するにあたり、ゲート長を短くすることが求められる。一方、導電体560の導電性が下がらないようにする必要がある。導電体560の導電性が下がらないようにするために導電体560の膜厚を大きくすると、導電体560はアスペクト比の高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

【0225】

絶縁体574は、絶縁体580の上面、導電体560の上面、および絶縁体545の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体545、および絶縁体580に過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

30

【0226】

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウム等から選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

【0227】

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素等の不純物のバリア膜としての機能も有することができる。

40

【0228】

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524等と同様に、膜中の水または水素等の不純物濃度が低減されていることが好ましい。

【0229】

また、絶縁体581、絶縁体574、絶縁体580、および絶縁体544に形成された開口に、導電体540a、および導電体540bを配置する。導電体540aおよび導電体

50

540bは、導電体560を挟んで対向して設ける。導電体540aおよび導電体540bは、後述する導電体546と同様の構成である。

【0230】

トランジスタ550の上方に、配線層を設けてもよい。例えば、図21では、トランジスタ550上に、絶縁体574および絶縁体581の他、絶縁体350、絶縁体352、および絶縁体354が積層して設けられている。また、絶縁体350、絶縁体352、および絶縁体354には、導電体356が埋め込まれている。導電体356は、トランジスタ550と接続するプラグ、または配線としての機能を有する。

【0231】

各プラグ、および配線の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料等の導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデン等の高融点材料を用いることが好ましく、タングステンをを用いることが好ましい。または、アルミニウムや銅等の低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで、配線抵抗を低くすることができる。

10

【0232】

絶縁体354上、および導電体356上に、配線層を設けてもよい。例えば、図21では、絶縁体360、絶縁体362、および絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、および絶縁体364には、導電体366が埋め込まれている。導電体366は、プラグまたは配線としての機能を有する。

20

【0233】

絶縁体364上、および導電体366上に、配線層を設けてもよい。例えば、図21では、絶縁体370、絶縁体372、および絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、および絶縁体374には、導電体376が埋め込まれている。導電体376は、プラグまたは配線としての機能を有する。

【0234】

絶縁体374上、および導電体376上に、配線層を設けてもよい。例えば、図8では、絶縁体380、絶縁体382、および絶縁体384が順に積層して設けられている。また、絶縁体380、絶縁体382、および絶縁体384には、導電体386が埋め込まれている。導電体386は、プラグまたは配線としての機能を有する。

30

【0235】

導電体366、導電体376、および導電体386は、導電体356と同様の構成とすることができる。

【0236】

上記において、本発明の一態様の半導体装置が導電体356を含む配線層と、導電体366を含む配線層と、導電体376を含む配線層と、導電体386を含む配線層を有するとしたが、本発明の一態様の半導体装置はこれに限らない。導電体356を含む配線層と同様の配線層を3層以下にしてもよいし、導電体356を含む配線層と同様の配線層を5層以上にしてもよい。

【0237】

絶縁体384上には絶縁体510、絶縁体512、絶縁体514、および絶縁体516が、順に積層して設けられている。

40

【0238】

また、絶縁体510、絶縁体512、絶縁体514、および絶縁体516には、導電体518、およびトランジスタ500を構成する導電体（例えば、導電体503）等が埋め込まれている。なお、導電体518は、プラグまたは配線としての機能を有する。

【0239】

トランジスタ500上には、絶縁体574および絶縁体581の他、絶縁体582および絶縁体586が積層して設けられている。絶縁体582は、酸素や水素に対してバリア性のある物質を用いることが好ましい。例えば、絶縁体582には、酸化アルミニウム、酸

50

化ハフニウム、酸化タンタル等の金属酸化物を用いることが好ましい。

【0240】

特に、酸化アルミニウムは、酸素と、トランジスタの電気特性の変動要因となる水素、水分等の不純物と、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分等の不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

【0241】

また、絶縁体520、絶縁体522、絶縁体524、絶縁体544、絶縁体580、絶縁体574、絶縁体581、絶縁体582、および絶縁体586には、導電体546等が埋め込まれている。

10

【0242】

導電体546は、トランジスタ500、またはトランジスタ550と接続されているプラグ、または配線としての機能を有する。

【0243】

また、トランジスタ500の形成後、トランジスタ500を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ500を包み込むことで、外部から水分、および水素が侵入することを防止することができる。または、複数のトランジスタ500をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ500を囲むように開口を形成する場合、例えば、絶縁体522または絶縁体514に達する開口を形成し、絶縁体522または絶縁体514に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ500の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体522または絶縁体514と同様の材料を用いればよい。なお、トランジスタ550の形成後においても、トランジスタ500の形成後と同様に、トランジスタ550を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。

20

【0244】

また、導電体546上、および絶縁体586上に、導電体610および導電体612を設けてもよい。導電体610および導電体612は、トランジスタ500と電氣的に接続されているプラグ、または配線としての機能を有する。図21に示す構成では、トランジスタ550のソース電極またはドレイン電極の一方(トランジスタ550が有する導電体542b)と、トランジスタ500のソース電極またはドレイン電極の一方(トランジスタ500が有する導電体542b)と、は導電体546、導電体356、導電体366、導電体376、導電体386、導電体518、および導電体610を介して電氣的に接続されている。

30

【0245】

導電体612、および導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物等の導電性材料を適用することもできる。

40

【0246】

本実施の形態では、導電体612、および導電体610を単層構成で示したが、当該構成に限定されず、2層以上の積層構成でもよい。例えば、バリア性を有する導電体と導電性

50

が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0247】

導電体610上、導電体612上、および絶縁体586上には、絶縁体640が設けられている。絶縁体640は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0248】

本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。

【0249】

<トランジスタの変形例1>

図23A、図23B、および図23Cを用いて、トランジスタ600Aの構成例を説明する。トランジスタ600Aは、図22A、および図22Bに示す構成のトランジスタ500、およびトランジスタ550の変形例である。図23Aは、トランジスタ600Aの上面図である。図23Bは、図23Aに一点鎖線で示すL1-L2部位の断面図である。図23Cは、図23Aに一点鎖線で示すW1-W2部位の断面図である。なお、図23Aの上面図では、図の明瞭化のために一部の要素の記載を省略している。

【0250】

トランジスタ600Aは、絶縁体552、絶縁体513および絶縁体404を有する点が、図22A、図22Bに示す構成のトランジスタ500、およびトランジスタ550と異なる。また、導電体540aの側面に接して絶縁体552が設けられ、導電体540bの側面に接して絶縁体552が設けられる点が、図22A、図22Bに示す構成のトランジスタ500、およびトランジスタ550と異なる。さらに、絶縁体520を有さない点が、図22A、図22Bに示す構成のトランジスタ500、およびトランジスタ550と異なる。

【0251】

トランジスタ600Aは、絶縁体512上に絶縁体513が設けられる。また、絶縁体574上、および絶縁体513上に絶縁体404が設けられる。

【0252】

トランジスタ600Aでは、絶縁体514、絶縁体516、絶縁体522、絶縁体524、絶縁体544、絶縁体580、および絶縁体574がパターンニングされており、絶縁体404がこれらを覆う構成になっている。つまり、絶縁体404は、絶縁体574の上面、絶縁体574の側面、絶縁体580の側面、絶縁体544の側面、絶縁体524の側面、絶縁体522の側面、絶縁体516の側面、絶縁体514の側面、および絶縁体513の上面とそれぞれ接する。これにより、酸化物530等は、絶縁体404と絶縁体513によって外部から隔離される。

【0253】

絶縁体513および絶縁体404は、水素（例えば、水素原子、水素分子等の少なくとも一）または水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体513および絶縁体404として、水素バリア性が高い材料である、窒化シリコンまたは窒化酸化シリコンを用いることが好ましい。これにより、酸化物530に水素等が拡散することを抑制することができるため、トランジスタ600Aの特性低下を抑制できる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

【0254】

絶縁体552は、絶縁体581、絶縁体404、絶縁体574、絶縁体580、および絶縁体544に接して設けられる。絶縁体552は、水素または水分子の拡散を抑制する機能を有することが好ましい。例えば、絶縁体552として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、または窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるため、絶縁体552として用いると好適である。絶縁体552として水素バリア性が高い材料を用いることにより、水または水素等の不純物が、絶縁体580等から導電体540aまたは導電体540

10

20

30

40

50

bを通じて酸化物530に拡散することを抑制することができる。また、絶縁体580に含まれる酸素が導電体540aおよび導電体540bに吸収されることを抑制することができる。以上により、本発明の一態様の半導体装置の信頼性を高めることができる。

【0255】

<トランジスタの変形例2>

図24A、図24B、および図24Cを用いて、トランジスタ600Bの構成例を説明する。図24Aはトランジスタ600Bの上面図である。図24Bは、図24Aに一点鎖線で示すL1-L2部位の断面図である。図24Cは、図24Aに一点鎖線で示すW1-W2部位の断面図である。なお、図24Aの上面図では、図の明瞭化のために一部の要素の記載を省略している。

10

【0256】

トランジスタ600Bはトランジスタ500、およびトランジスタ550の変形例であり、トランジスタ500、およびトランジスタ550に置き換え可能なトランジスタである。よって、説明の繰り返しを防ぐため、主にトランジスタ600Bのトランジスタ500、およびトランジスタ550と異なる点について説明する。

【0257】

第1のゲート電極として機能する導電体560は、導電体560a、および導電体560a上の導電体560bを有する。導電体560aは、水素原子、水素分子、水分子、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子等の少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

20

【0258】

導電体560aが酸素の拡散を抑制する機能を持つことにより、導電体560bの材料選択性を向上することができる。つまり、導電体560aを有することで、導電体560bの酸化が抑制され、導電率が低下することを防止することができる。

【0259】

また、導電体560の上面および側面と絶縁体545の側面を覆うように、絶縁体544を設けることが好ましい。なお、絶縁体544は、水または水素等の不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウム等を用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、または酸化タンタル等の金属酸化物、窒化酸化シリコンまたは窒化シリコン等を用いることができる。

30

【0260】

絶縁体544を設けることで、導電体560の酸化を抑制することができる。また、絶縁体544を有することで、絶縁体580が有する水、および水素等の不純物がトランジスタ600Bへ拡散することを抑制することができる。

【0261】

トランジスタ600Bは、導電体542aの一部と導電体542bの一部に導電体560が重なるため、トランジスタ500、およびトランジスタ550よりも寄生容量が大きくなりやすい。よって、トランジスタ500、およびトランジスタ550に比べて動作周波数が低くなる傾向がある。しかしながら、絶縁体580等に開口を設けて導電体560や絶縁体545等を埋めこむ工程が不要であるため、トランジスタ500、およびトランジスタ550と比較して生産性が高い。

40

【0262】

本実施の形態に示す構成、構造、方法等は、他の実施の形態等に示す構成、構造、方法等と適宜組み合わせることができる。

【0263】

(実施の形態4)

本実施の形態では、金属酸化物の一種である酸化物半導体について説明する。

50

【0264】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズ等が含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、マグネシウム、コバルト等から選ばれた一種、または複数種が含まれていてもよい。

【0265】

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図25Aを用いて説明を行う。図25Aは、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

【0266】

図25Aに示すように、酸化物半導体は、大きく分けて「Amorphous(無定形)」と、「Crystalline(結晶性)」と、「Crystal(結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、およびCAC(cloud-aligned composite)が含まれる。なお、「Crystalline」の分類には、single crystal、poly crystal、およびcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、およびpoly crystalが含まれる。

【0267】

なお、図25Aに示す太枠内の構造は、「Amorphous(無定形)」と、「Crystal(結晶)」との間の中間状態であり、新しい境界領域(New crystalline phase)に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous(無定形)」や、「Crystal(結晶)」とは全く異なる構造と言い換えることができる。

【0268】

なお、膜または基板の結晶構造は、X線回折(XRD:X-Ray Diffraction)スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD(Grazing-Incidence XRD)測定で得られるXRDスペクトルを図25Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図25Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図25Bに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3[原子数比]近傍である。また、図25Bに示すCAAC-IGZO膜の厚さは、500nmである。

【0269】

図25Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図25Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

【0270】

また、膜または基板の結晶構造は、極微電子線回折法(NBED:Nano Beam Electron Diffraction)によって観察される回折パターン(極微電子線回折パターンともいう)にて評価することができる。CAAC-IGZO膜の回折パターンを、図25Cに示す。図25Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図25Cに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3[原子数比]近傍である。また、極微電子線回折法

では、プローブ径を1 nmとして電子線回折が行われる。

【0271】

図25Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

【0272】

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図25Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、およびnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、等が含まれる。

10

【0273】

ここで、上述のCAAC-OS、nc-OS、およびa-like OSの詳細について、説明を行う。

【0274】

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を示す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

20

【0275】

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶(最大径が10 nm未満である結晶)で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10 nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

30

【0276】

また、In-M-Zn酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタン等から選ばれた一種、または複数種)において、CAAC-OSは、インジウム(In)、および酸素を有する層(以下、In層)と、元素M、亜鉛(Zn)、および酸素を有する層(以下、(M, Zn)層)とが積層した、層状の結晶構造(層状構造ともいう)を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、(M, Zn)層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

40

【0277】

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 2θ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置(2θ の値)は、CAAC-OSを構成する金属元素の種類、組成等により変動する場合がある。

【0278】

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点(スポット)が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット(ダイレクトスポットともいう)を対称中心として、点对称の位置に観測される。

50

【0279】

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形等の格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化すること等によって、歪みを許容することができるためと考えられる。

【0280】

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下等を引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、およびIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

【0281】

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成等によって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損等）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSTランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

【0282】

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

【0283】

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆または低密度領域を有する。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OSおよびCAAC-OSと比べて、膜中の水素濃度が高い。

10

20

30

40

50

【0284】

<<酸化物半導体の構成>>

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

【0285】

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

10

【0286】

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

【0287】

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[Zn]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Zn]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[Zn]よりも大きく、かつ、[Ga]が、第2の領域における[Zn]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Zn]よりも大きく、かつ、[In]が、第1の領域における[Zn]よりも小さい領域である。

20

【0288】

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物等が主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物等が主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

30

【0289】

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

【0290】

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いて取得したEDXマッピングにより、Inを主成分とする領域(第1の領域)と、Gaを主成分とする領域(第2の領域)とが、偏在し、混合している構造を有することが確認できる。

40

【0291】

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能(On/Offさせる機能)をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流(I_{on})、高い電界効果移動度(μ)、および良好なスイッチング動作を実現することができる。

【0292】

50

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、*a-like OS*、*CAC-OS*、*nc-OS*、*CAAC-OS*のうち、二種以上を有していてもよい。

【0293】

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0294】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0295】

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くするためには、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度が低いことを高純度真性、または実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

【0296】

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低い場合、トラップ準位密度も低くなる場合がある。

【0297】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0298】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0299】

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

【0300】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度(二次イオン質量分析法(*SIMS: Secondary Ion Mass Spectrometry*))により得られる濃度)を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0301】

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、*SIMS*により得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0302】

10

20

30

40

50

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

【0303】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

【0304】

不純物が十分に低減された酸化物半導体をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

【0305】

本実施の形態に示す構成、構造、方法等は、他の実施の形態等に示す構成、構造、方法等と適宜組み合わせ用いることができる。

【0306】

(実施の形態5)

本実施の形態では上述した半導体装置の応用例について説明する。なお、本実施の形態において、「半導体装置」という用語が示す範囲には、通信装置が含まれるものとする。また、他の実施の形態においても、「半導体装置」という用語が示す範囲には、通信装置が含まれる場合がある。

【0307】

〔半導体ウエハ、チップ〕

図26Aは、ダイシング処理が行なわれる前の基板711の上面図を示している。基板711としては、例えば、半導体基板(「半導体ウエハ」ともいう)を用いることができる。基板711上には、複数の回路領域712が設けられている。回路領域712には、本発明の一態様に係る半導体装置や、CPU、RFタグ、またはイメージセンサ等を設けることができる。

【0308】

複数の回路領域712は、それぞれが分離領域713に囲まれている。分離領域713と重なる位置に分離線(「ダイシングライン」ともいう)714が設定される。分離線714に沿って基板711を切断することで、回路領域712を含むチップ715を基板711から切り出すことができる。図26Bにチップ715の拡大図を示す。

【0309】

また、分離領域713に導電層や半導体層を設けてもよい。分離領域713に導電層や半導体層を設けることで、ダイシング工程時に生じうるESDを緩和し、ダイシング工程の歩留まり低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止等を目的として、炭酸ガス等を溶解させて比抵抗を下げた純水を切削部に流しながら行なわれる。分離領域713に導電層や半導体層を設けることで、当該純水の使用量を削減することができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

【0310】

分離領域713に設ける半導体層としては、バンドギャップが2.5 eV以上4.2 eV以下の材料を用いることが好ましく、2.7 eV以上3.5 eV以下の材料を用いることがより好ましい。このような材料を用いると、蓄積された電荷をゆっくりと放電することができるため、ESDによる電荷の急激な移動が抑えられ、静電破壊を生じにくくすることができる。

【0311】

〔電子部品〕

チップ715を電子部品に適用する例について、図27を用いて説明する。なお、電子部品は、半導体パッケージ、またはIC用パッケージともいう。電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。

10

【0312】

電子部品は、組み立て工程（後工程）において、上記実施の形態に示した半導体装置と該半導体装置以外の部品が組み合わされて完成する。

【0313】

図27Aに示すフローチャートを用いて、後工程について説明する。前工程において上記実施の形態に示した半導体装置を有する素子基板が完成した後、該素子基板の裏面（半導体装置等が形成されていない面）を研削する「裏面研削工程」を行なう（ステップS721）。研削により素子基板を薄くすることで、素子基板の反り等を低減し、電子部品の小型化を図ることができる。

20

【0314】

次に、素子基板を複数のチップ（チップ715）に分離する「ダイシング工程」を行う（ステップS722）。そして、分離したチップを個々ピックアップしてリードフレーム上に接合する「ダイボンディング工程」を行う（ステップS723）。ダイボンディング工程におけるチップとリードフレームとの接合は、樹脂による接合や、テープによる接合等、適宜製品に応じて適した方法を選択する。なお、リードフレームに代えてインターポーザ基板上にチップを接合してもよい。

【0315】

次いで、リードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電気的に接続する「ワイヤーボンディング工程」を行う（ステップS724）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

30

【0316】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される「封止工程（モールド工程）」が施される（ステップS725）。封止工程を行うことで電子部品の内部が樹脂で充填され、チップに内蔵される回路部やチップとリードを接続するワイヤーを機械的な外力から保護することができ、また水分や埃による特性の劣化（信頼性の低下）を低減することができる。

【0317】

次いで、リードフレームのリードをめっき処理する「リードめっき工程」を行なう（ステップS726）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。次いで、リードを切断および成形加工する「成形工程」を行なう（ステップS727）。

40

【0318】

次いで、パッケージの表面に印字処理（マーキング）を施す「マーキング工程」を行なう（ステップS728）。そして外観形状の良否や動作不良の有無等を調べる「検査工程」（ステップS729）を経て、電子部品が完成する（ステップS729）。

【0319】

また、完成した電子部品の斜視模式図を図27Bに示す。図27Bでは、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図2

50

7 B に示す電子部品 7 5 0 は、リード 7 5 5 および半導体装置 7 5 3 を示している。半導体装置 7 5 3 としては、上記実施の形態に示した半導体装置等を用いることができる。

【 0 3 2 0 】

図 2 7 B に示す電子部品 7 5 0 は、例えばプリント基板 7 5 2 に実装される。このような電子部品 7 5 0 が複数組み合わせられて、それぞれがプリント基板 7 5 2 上で電氣的に接続されることで電子部品が実装された基板（実装基板 7 5 4）が完成する。完成した実装基板 7 5 4 は、電子機器等に用いられる。

【 0 3 2 1 】

〔電子機器〕

次に、本発明の一態様に係る半導体装置または上記電子部品を備えた電子機器の例について図 2 8 を用いて説明を行う。

【 0 3 2 2 】

本発明の一態様に係る半導体装置または電子部品を用いた電子機器として、テレビ、モニタ等の表示装置、照明装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD (Digital Versatile Disc) 等の記録媒体に記憶された静止画または動画を再生する画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、置き時計、壁掛け時計、コードレス電話子機、トランシーバ、携帯電話、自動車電話、携帯型ゲーム機、タブレット型端末、パチンコ機等の大型ゲーム機、電卓、携帯可能な情報端末（「携帯情報端末」ともいう）、電子手帳、電子書籍端末、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、温水器、扇風機、毛髪乾燥機、エアコンディショナー、加湿器、除湿器等の空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、懐中電灯、チェーンソー等の工具、煙感知器、透析装置等の医療機器等が挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム、電力の平準化やスマートグリッドのための蓄電装置等の産業機器が挙げられる。

【 0 3 2 3 】

また、蓄電装置からの電力を用いて電動機により推進する移動体等も、電子機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車 (EV)、内燃機関と電動機を併せ持ったハイブリッド車 (HEV)、プラグインハイブリッド車 (PHEV)、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型または大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船等が挙げられる。

【 0 3 2 4 】

本発明の一態様に係る半導体装置または電子部品は、これらの電子機器に内蔵される通信装置等に用いることができる。

【 0 3 2 5 】

電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）等を有していてもよい。

【 0 3 2 6 】

電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻等を表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

【 0 3 2 7 】

図 2 8 および図 2 9 A 乃至図 2 9 F に、電子機器の一例を示す。図 2 8 において、表示装置 8 0 0 0 は、本発明の一態様に係る半導体装置 8 0 0 4 を用いた電子機器の一例である

10

20

30

40

50

。具体的に、表示装置 8000 は、TV 放送受信用の表示装置に相当し、筐体 8001、表示部 8002、スピーカ部 8003、半導体装置 8004、蓄電装置 8005 等を有する。本発明の一態様に係る半導体装置 8004 は、筐体 8001 の内部に設けられている。半導体装置 8004 により、制御情報や、制御プログラム等を保持することができる。また、半導体装置 8004 は通信機能を有し、表示装置 8000 を IoT 機器として機能させることができる。また、表示装置 8000 は、商用電源から電力の供給を受けることもできるし、蓄電装置 8005 に蓄積された電力を用いることもできる。

【0328】

表示部 8002 には、液晶表示装置、有機 EL 素子等の発光素子を各画素に備えた発光表示装置、電気泳動表示装置、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) 等の表示装置を用いることができる。

10

【0329】

なお、表示装置には、TV 放送受信用の他、パーソナルコンピュータ用、広告表示用等、全ての情報表示用表示装置が含まれる。

【0330】

図 28 において、据え付け型の照明装置 8100 は、本発明の一態様に係る半導体装置 8103 を用いた電子機器の一例である。具体的に、照明装置 8100 は、筐体 8101、光源 8102、半導体装置 8103、蓄電装置 8105 等を有する。図 28 では、半導体装置 8103 が、筐体 8101 および光源 8102 が据え付けられた天井 8104 の内部に設けられている場合を例示しているが、半導体装置 8103 は、筐体 8101 の内部に設けられていてもよい。半導体装置 8103 により、光源 8102 の発光輝度等の情報や、制御プログラム等を保持することができる。また、半導体装置 8103 は通信機能を有し、照明装置 8100 を、IoT 機器として機能させることができる。また、照明装置 8100 は、商用電源から電力の供給を受けることもできるし、蓄電装置に蓄積された電力を用いることもできる。

20

【0331】

なお、図 28 では天井 8104 に設けられた据え付け型の照明装置 8100 を例示しているが、本発明の一態様に係る半導体装置は、天井 8104 以外、例えば側壁 8405、床 8406、窓 8407 等に設けられた据え付け型の照明装置に用いることもできるし、卓上型の照明装置等に用いることもできる。

30

【0332】

また、光源 8102 には、電力を利用して人工的に光を得る人工光源を用いることができる。具体的には、白熱電球、蛍光灯等の放電ランプ、LED や有機 EL 素子等の発光素子が、上記人工光源の一例として挙げられる。

【0333】

図 28 において、室内機 8200 および室外機 8204 を有するエアコンディショナーは、本発明の一態様に係る半導体装置 8203 を用いた電子機器の一例である。具体的に、室内機 8200 は、筐体 8201、送風口 8202、半導体装置 8203、蓄電装置 8205 等を有する。図 28 では、半導体装置 8203 が、室内機 8200 に設けられている場合を例示しているが、半導体装置 8203 は室外機 8204 に設けられていてもよい。或いは、室内機 8200 と室外機 8204 の両方に、半導体装置 8203 が設けられていてもよい。半導体装置 8203 により、エアコンディショナーの制御情報や、制御プログラム等を保持することができる。また、半導体装置 8203 は通信機能を有し、エアコンディショナーを、IoT 機器として機能させることができる。また、エアコンディショナーは、商用電源から電力の供給を受けることもできるし、蓄電装置 8205 に蓄積された電力を用いることもできる。

40

【0334】

なお、図 28 では、室内機と室外機で構成されるセパレート型のエアコンディショナーを例示しているが、室内機の機能と室外機の機能とを 1 つの筐体に有する一体型のエアコン

50

ディショナーに、本発明の一態様に係る半導体装置を用いることもできる。

【0335】

図28において、電気冷凍冷蔵庫8300は、本発明の一態様に係る半導体装置8304を用いた電子機器の一例である。具体的に、電気冷凍冷蔵庫8300は、筐体8301、冷蔵室用扉8302、冷凍室用扉8303、半導体装置8304、蓄電装置8305等を有する。図28では、蓄電装置8305が、筐体8301の内部に設けられている。半導体装置8304により、電気冷凍冷蔵庫8300の制御情報や、制御プログラム等を保持することができる。また、半導体装置8304は通信機能を有し、電気冷凍冷蔵庫8300を、IoT機器として機能させることができる。また、電気冷凍冷蔵庫8300は、商用電源から電力の供給を受けることもできるし、蓄電装置8305に蓄積された電力を用

10

【0336】

図29Aに、腕時計型の携帯情報端末の一例を示す。携帯情報端末6100は、筐体6101、表示部6102、バンド6103、操作ボタン6105等を備える。また、携帯情報端末6100は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を携帯情報端末6100に用いることで、携帯情報端末6100を、IoT機器として機能させることができる。

【0337】

図29Bは、携帯電話機の一例を示している。携帯情報端末6200は、筐体6201に組み込まれた表示部6202の他、操作ボタン6203、スピーカ6204、マイクロフ

20

オン6205等を備えている。

【0338】

また、携帯情報端末6200は、表示部6202と重なる領域に指紋センサ6209を備える。指紋センサ6209は有機光センサであってもよい。指紋は個人によって異なるため、指紋センサ6209で指紋パターンを取得して、個人認証を行うことができる。指紋センサ6209で指紋パターンを取得するための光源として、表示部6202から発せられた光を用いることができる。

【0339】

また、携帯情報端末6200は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を携帯情報

30

端末6200に用いることで、携帯情報端末6200を、IoT機器として機能させることができる。

【0340】

図29Cは、掃除ロボットの一例を示している。掃除ロボット6300は、筐体6301上面に配置された表示部6302、側面に配置された複数のカメラ6303、ブラシ6304、操作ボタン6305、各種センサ等を有する。図示されていないが、掃除ロボット6300には、タイヤ、吸い込み口等が備えられている。掃除ロボット6300は自走し、ゴミ6310を検知し、下面に設けられた吸い込み口からゴミを吸引することができる。

【0341】

例えば、掃除ロボット6300は、カメラ6303が撮影した画像を解析し、壁、家具または段差等の障害物の有無を判断することができる。また、配線等、ブラシ6304に絡まりそうな物体を画像解析により検知した場合は、ブラシ6304の回転を止めることができる。掃除ロボット6300は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を掃除

40

ロボット6300に用いることで、掃除ロボット6300を、IoT機器として機能させることができる。

【0342】

図29Dは、ロボットの一例を示している。図29Dに示すロボット6400は、演算装置6409、照度センサ6401、マイクロフォン6402、上部カメラ6403、スピー

50

ーカ6404、表示部6405、下部カメラ6406および障害物センサ6407、移動

機構 6408 を備える。

【0343】

マイクロフォン 6402 は、使用者の話し声および環境音等を検知する機能を有する。また、スピーカ 6404 は、音声を発する機能を有する。ロボット 6400 は、マイクロフォン 6402 およびスピーカ 6404 を用いて、使用者とコミュニケーションをとることが可能である。

【0344】

表示部 6405 は、種々の情報の表示を行う機能を有する。ロボット 6400 は、使用者の望みの情報を表示部 6405 に表示することが可能である。表示部 6405 は、タッチパネルを搭載していてもよい。また、表示部 6405 は取り外しのできる情報端末であつてもよく、ロボット 6400 の定位置に設置することで、充電およびデータの受け渡しを可能とする。

【0345】

上部カメラ 6403 および下部カメラ 6406 は、ロボット 6400 の周囲を撮像する機能を有する。また、障害物センサ 6407 は、移動機構 6408 を用いてロボット 6400 が前進する際の進行方向における障害物の有無を察知することができる。ロボット 6400 は、上部カメラ 6403、下部カメラ 6406 および障害物センサ 6407 を用いて、周囲の環境を認識し、安全に移動することが可能である。

【0346】

ロボット 6400 は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品をロボット 6400 に用いることで、ロボット 6400 を、IoT 機器として機能させることができる。

【0347】

図 29E は、飛行体の一例を示している。図 29E に示す飛行体 6500 は、プロペラ 6501、カメラ 6502、およびバッテリー 6503 等を有し、自律して飛行する機能を有する。

【0348】

例えば、カメラ 6502 で撮影した画像データは、電子部品 6504 に記憶される。電子部品 6504 は、画像データを解析し、移動する際の障害物の有無等を察知することができる。また、電子部品 6504 によってバッテリー 6503 の蓄電容量の変化から、バッテリー残量を推定することができる。飛行体 6500 は、その内部に本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を飛行体 6500 に用いることで、飛行体 6500 を、IoT 機器として機能させることができる。

【0349】

図 29F は、自動車の一例を示している。自動車 7160 は、エンジン、タイヤ、ブレーキ、操舵装置、カメラ等を有する。自動車 7160 は、その内部に本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を自動車 7160 に用いることで、自動車 7160 を、IoT 機器として機能させることができる。

【0350】

本実施の形態に示す構成、構造、方法等は、他の実施の形態等に示す構成、構造、方法等と適宜組み合わせ用いることができる。

【0351】

(実施の形態 6)

本明細書等に示した OSTRANSISTA を用いて、ノーマリーオフ CPU (「NoFF-CPU」ともいう) を実現することができる。なお、NoFF-CPU とは、ゲート電圧が 0V であっても非導通状態 (オフ状態ともいう) であるノーマリーオフ型のトランジスタを含む集積回路である。

【0352】

10

20

30

40

50

No f f - C P Uは、No f f - C P U内の動作不要な回路への電力供給を停止し、当該回路を待機状態にすることができる。電力供給が停止され、待機状態になった回路では電力が消費されない。よって、No f f - C P Uは、電力使用量を最小限にすることができる。また、No f f - C P Uは、電力供給が停止されても設定条件等の動作に必要な情報を長期間保持することができる。待機状態からの復帰は当該回路への電力供給を再開するだけでよく、設定条件等の再書き込みが不要である。すなわち、待機状態からの高速復帰が可能である。このように、No f f - C P Uは、動作速度を大きく落とすことなく消費電力を低減できる。

【0353】

No f f - C P Uは、例えば、I o T末端機器（「エンドポイントマイコン」ともいう）等の小規模システムに好適に用いることができる。

10

【0354】

図30にI o Tネットワークの階層構造と要求仕様の傾向を示す。図30では、要求仕様として消費電力804と処理性能805を示している。I o Tネットワークの階層構造は、上層部であるクラウド分野801と下層部である組み込み分野802に大別される。クラウド分野801には例えばサーバが含まれる。組み込み分野802には例えば機械、産業用ロボット、車載機器、家電等が含まれる。

【0355】

上層ほど、消費電力の少なさよりも高い処理性能が求められる。よって、クラウド分野801では高性能CPU、高性能GPU、大規模SoC（System on a Chip）等が用いられる。また、下層ほど処理性能よりも消費電力の少なさが求められ、デバイス個数も爆発的に多くなる。本発明の一態様に係る通信装置、または半導体装置は、低消費電力が求められるI o T末端機器803の通信装置に好適に用いることができる。

20

【0356】

なお、「エンドポイント」とは、組み込み分野802の末端領域を示す。エンドポイントに用いられるデバイスとしては、例えば、工場、家電、インフラ、農業等で使用されるマイコンが該当する。

【0357】

図31にエンドポイントマイコンの応用例として、ファクトリーオートメーションのイメージ図を示す。工場884はインターネット回線（Internet）を介してクラウド883と接続される。また、クラウド883は、インターネット回線を介してホーム881およびオフィス882と接続される。インターネット回線は有線通信方式であってもよいし、無線通信方式であってもよい。例えば、無線通信方式の場合は、通信装置に本発明の一態様に係る通信装置、または半導体装置を用いて、第4世代移動通信システム（4G）や第5世代移動通信システム（5G）等の通信規格に沿った無線通信を行えばよい。また、工場884は、インターネット回線を介して工場885および工場886と接続してもよい。

30

【0358】

工場884はマスタデバイス（制御機器）831を有する。マスタデバイス831は、クラウド883と接続し、情報の授受を行う機能を有する。また、マスタデバイス831は、I o T末端機器841に含まれる複数の産業用ロボット842と、M2M（Machine to Machine）インターフェイス832を介して接続される。M2Mインターフェイス832としては、例えば、有線通信方式の一種である産業イーサネット（「イーサネット」は登録商標）や、無線通信方式の一種であるローカル5G等を用いてもよい。

40

【0359】

工場の管理者は、ホーム881またはオフィス882から、クラウド883を介して工場884に接続し、稼働状況等を知ることができる。また、誤品・欠品チェック、置き場所指示、タクトタイムの計測等を行うことができる。

【0360】

近年「スマート工場」と銘打って、世界的にI o Tの工場への導入が進められている。ス

50

マート工場の事例では、エンドポイントマイコンによる単なる検査、監査だけでなく、故障検知や異常予測等も行う事例が報告されている。

【0361】

エンドポイントマイコン等の小規模システムは、稼働時のシステム全体の消費電力が小さい場合が多いため、NoFF-CPUによる待機動作時の電力削減効果が大きくなる。また、IoTの組み込み分野では即応性が求められる場合があるが、NoFF-CPUを用いることで待機動作時からの高速復帰が実現できる。

【0362】

本実施の形態に示す構成、構造、方法等は、他の実施の形態等に示す構成、構造、方法等と適宜組み合わせ用いることができる。

【符号の説明】

【0363】

10：通信装置、11：アンテナ、12：増幅器、13：増幅器、14：移相器、15：増幅器、16：インダクタ、17：インダクタ、18：配線、19：配線、20：増幅回路、21：トランジスタ、21a：トランジスタ、21b：トランジスタ、22：トランジスタ、22a：トランジスタ、22b：トランジスタ、23：負荷、23a：負荷、23b：負荷、24：スイッチ、25：オペアンプ、25a：オペアンプ、25b：オペアンプ、26：スイッチ、26a：スイッチ、26b：スイッチ、27：スイッチ、27a：スイッチ、27b：スイッチ、28：トランジスタ、31：トランジスタ、31a：トランジスタ、31b：トランジスタ、32：トランジスタ、32a：トランジスタ、32b：トランジスタ、33：負荷、33a：負荷、33b：負荷、34：スイッチ、35a：オペアンプ、35b：オペアンプ、36a：スイッチ、36b：スイッチ、37a：スイッチ、37b：スイッチ、38：トランジスタ、40：端子、40a：端子、40b：端子、41：配線、42：配線、42a：配線、42b：配線、43：配線、44：電位生成回路、44a：電位生成回路、44b：電位生成回路、46a：配線、46b：配線、50：端子、50a：端子、50b：端子、51：配線、52：配線、52a：配線、52b：配線、53：配線、54：電位生成回路、54a：電位生成回路、54b：電位生成回路、56a：配線、56b：配線、61：移相器、62：容量、63：スイッチ、64：移相器、65：インダクタ、66：インダクタ、73：配線、75：配線、80：メモリ回路、81：トランジスタ、82：容量、84：配線、85：配線、90：メモリ回路、91：トランジスタ、92：容量、94：配線、95：配線、101：インダクタ、102：容量、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、366：導電体、370：絶縁体、372：絶縁体、374：絶縁体、376：導電体、380：絶縁体、382：絶縁体、384：絶縁体、386：導電体、404：絶縁体、500：トランジスタ、503：導電体、503a：導電体、503b：導電体、510：絶縁体、512：絶縁体、513：絶縁体、514：絶縁体、516：絶縁体、518：導電体、520：絶縁体、522：絶縁体、524：絶縁体、530：酸化物、530a：酸化物、530b：酸化物、540a：導電体、540b：導電体、542a：導電体、542b：導電体、543a：領域、543b：領域、544：絶縁体、545：絶縁体、546：導電体、550：トランジスタ、552：絶縁体、560：導電体、560a：導電体、560b：導電体、574：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、586：絶縁体、600A：トランジスタ、600B：トランジスタ、610：導電体、612：導電体、640：絶縁体、711：基板、712：回路領域、713：分離領域、714：分離線、715：チップ、750：電子部品、752：プリント基板、753：半導体装置、754：実装基板、755：リード、801：クラウド分野、802：分野、803：IoT末端機器、804：消費電力、805：処理性能、831：マスタデバイス、832：インターフェイス、841：IoT末端機器、842：産業用ロボット、881：ホーム、882：オフィス、883：クラウド、884：工場、885：工場、886：工場、6100：携帯情報端末、6101：筐体、6102：表示部、6103：バンド、61

10

20

30

40

50

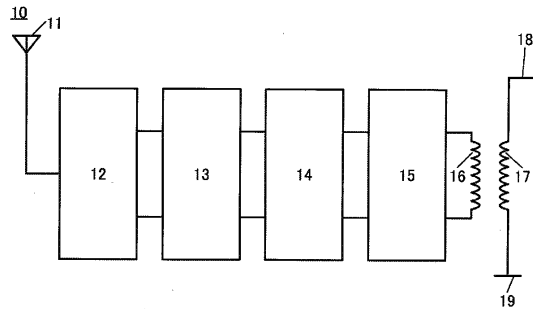
05 : 操作ボタン、6200 : 携帯情報端末、6201 : 筐体、6202 : 表示部、6203 : 操作ボタン、6204 : スピーカ、6205 : マイクロフォン、6209 : 指紋センサ、6300 : 掃除ロボット、6301 : 筐体、6302 : 表示部、6303 : カメラ、6304 : ブラシ、6305 : 操作ボタン、6310 : ゴミ、6400 : ロボット、6401 : 照度センサ、6402 : マイクロフォン、6403 : 上部カメラ、6404 : スピーカ、6405 : 表示部、6406 : 下部カメラ、6407 : 障害物センサ、6408 : 移動機構、6409 : 演算装置、6500 : 飛行体、6501 : プロペラ、6502 : カメラ、6503 : バッテリ、6504 : 電子部品、7160 : 自動車、8000 : 表示装置、8001 : 筐体、8002 : 表示部、8003 : スピーカ部、8004 : 半導体装置、8005 : 蓄電装置、8100 : 照明装置、8101 : 筐体、8102 : 光源、8103 : 半導体装置、8104 : 天井、8105 : 蓄電装置、8200 : 室内機、8201 : 筐体、8202 : 送風口、8203 : 半導体装置、8204 : 室外機、8205 : 蓄電装置、8300 : 電気冷凍冷蔵庫、8301 : 筐体、8302 : 冷蔵室用扉、8303 : 冷凍室用扉、8304 : 半導体装置、8305 : 蓄電装置、8405 : 側壁、8406 : 床、8407 : 窓

10

【図面】

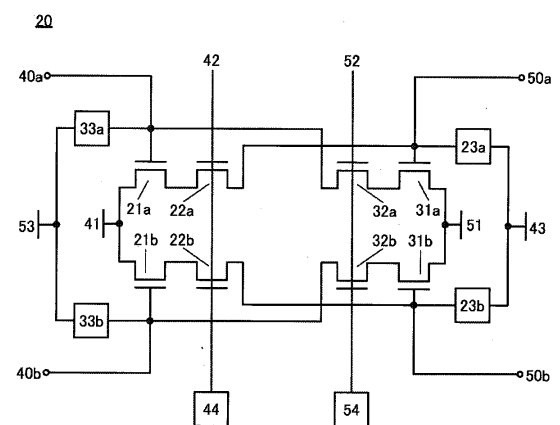
【図1】

図1



【図2】

図2



20

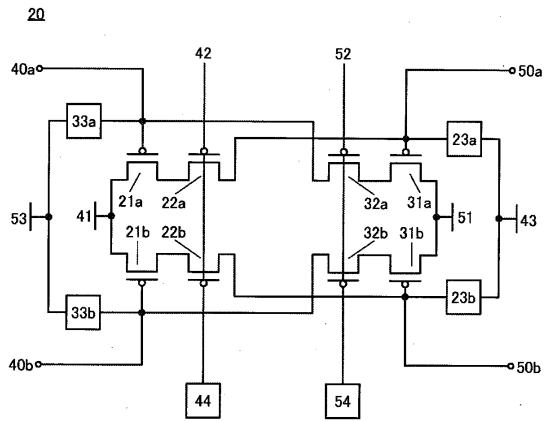
30

40

50

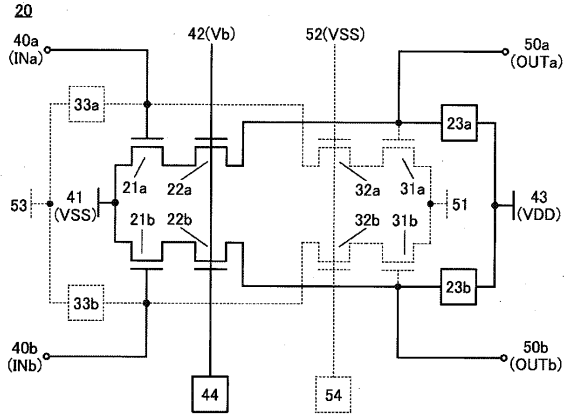
【 図 3 】

図3



【 図 4 A 】

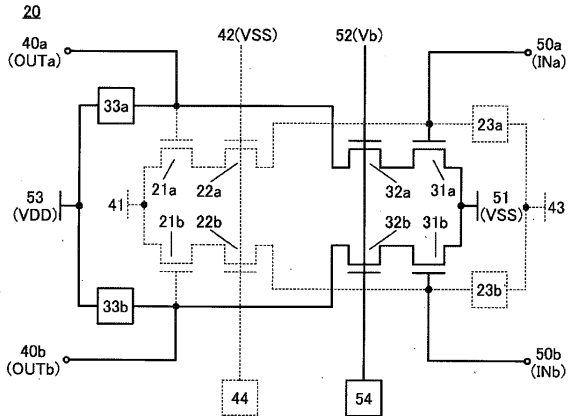
図4A



10

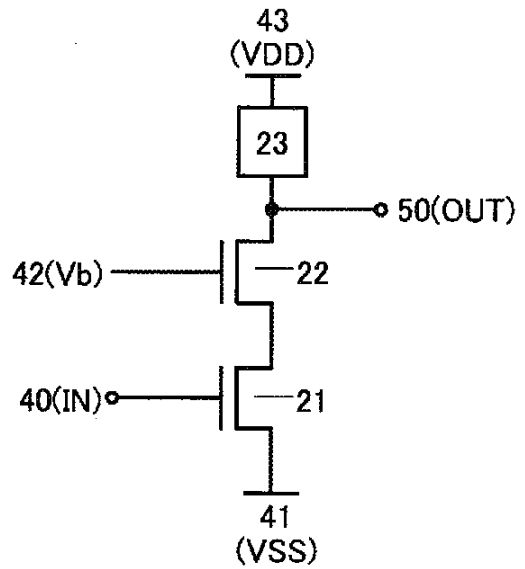
【 図 4 B 】

図4B



【 図 5 A 】

図5A



20

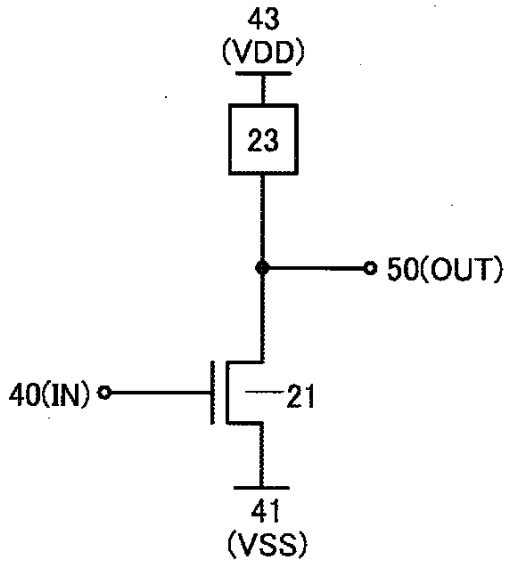
30

40

50

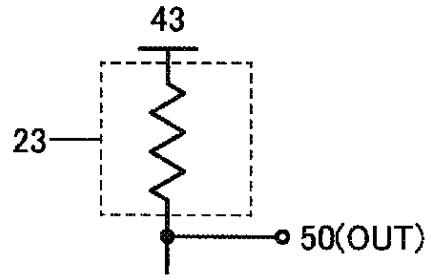
【 図 5 B 】

図5B



【 図 6 A 1 】

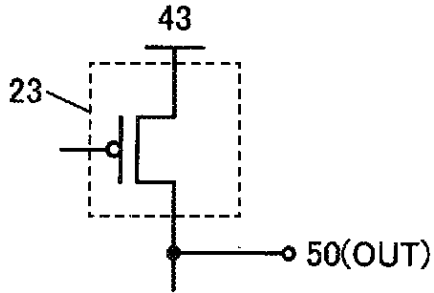
図6A1



10

【 図 6 A 2 】

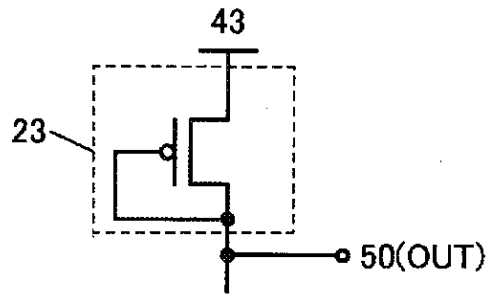
図6A2



20

【 図 6 A 3 】

図6A3



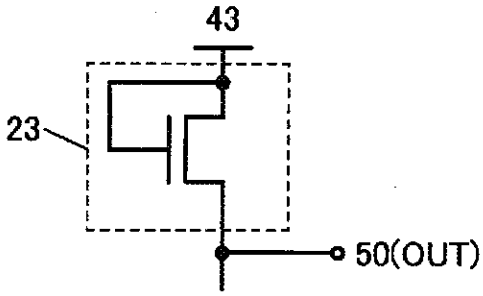
30

40

50

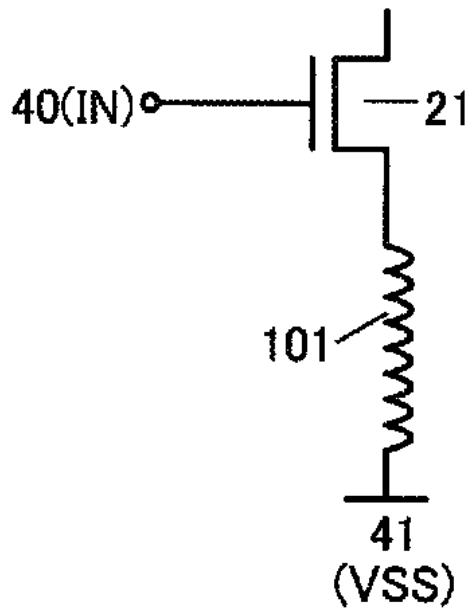
【図 6 A 4】

図 6A4



【図 6 B 1】

図 6B1

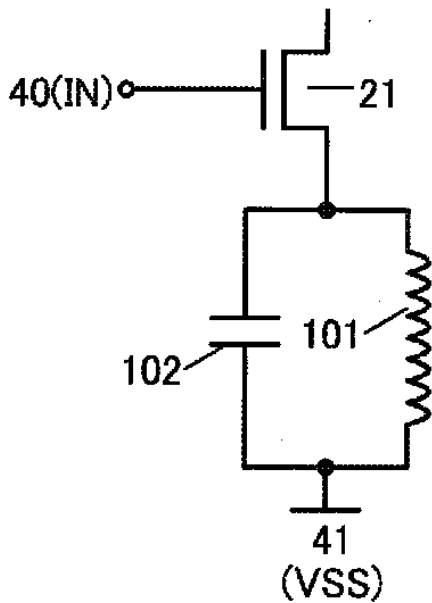


10

20

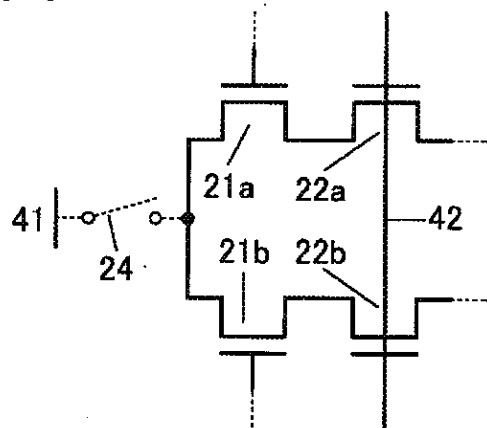
【図 6 B 2】

図 6B2



【図 7 A 1】

図 7A1



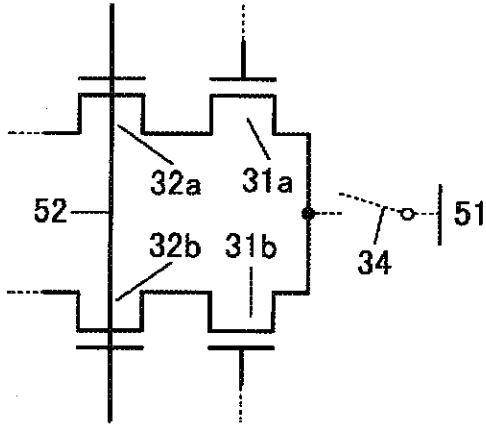
30

40

50

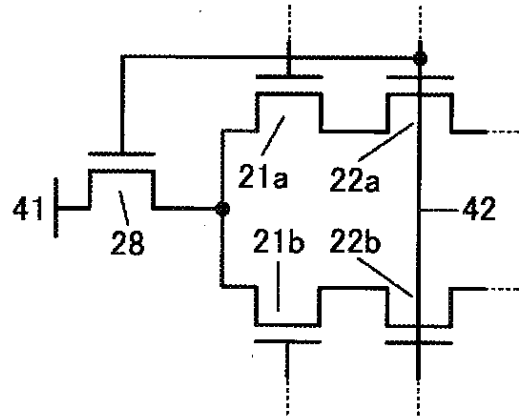
【図7A2】

図7A2



【図7B1】

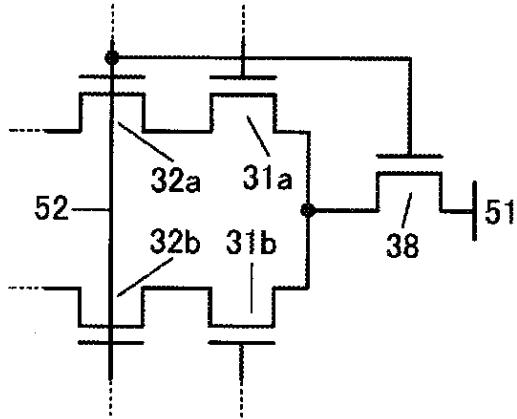
図7B1



10

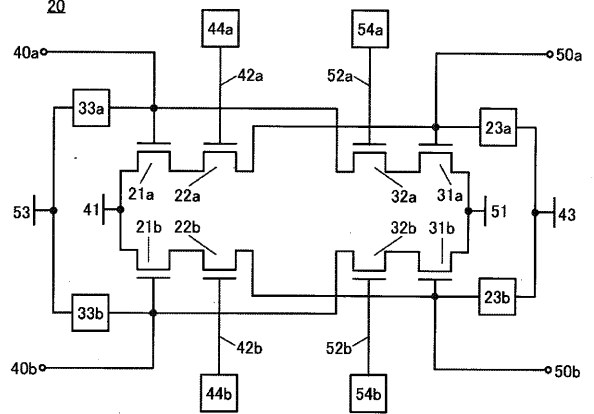
【図7B2】

図7B2



【図8A】

図8A



20

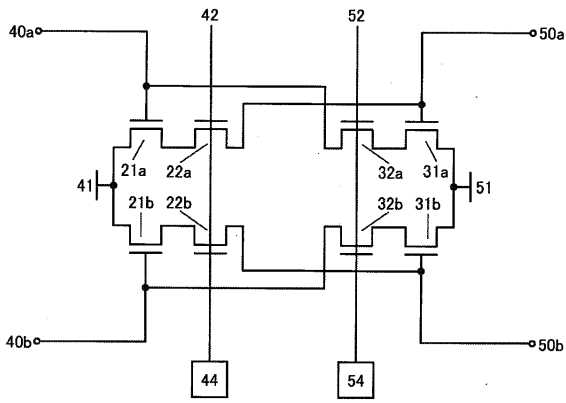
30

40

50

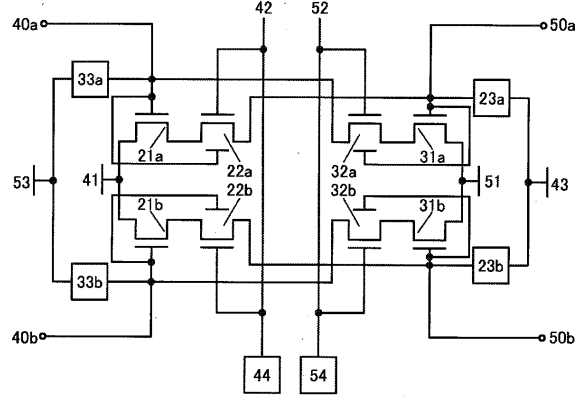
【 図 8 B 】

図8B
20



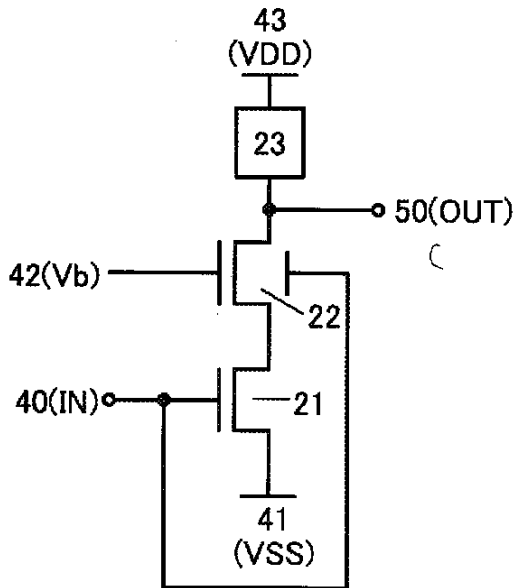
【 図 9 A 】

図9A
20



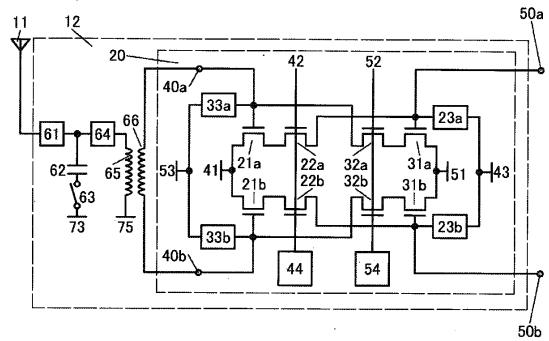
【 図 9 B 】

図9B



【 図 1 0 】

図10



10

20

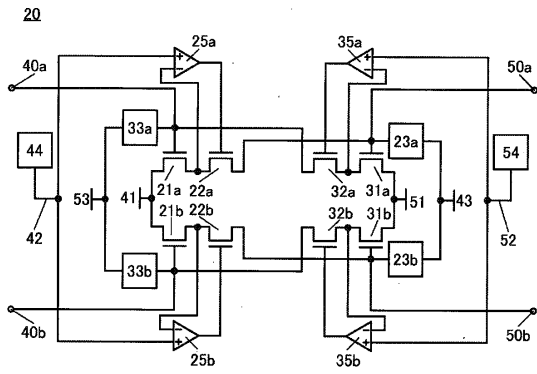
30

40

50

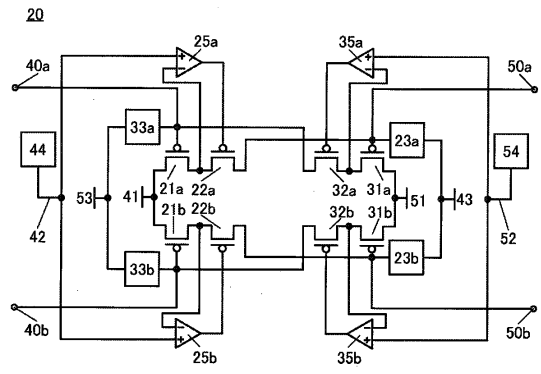
【図 1 1】

図11



【図 1 2】

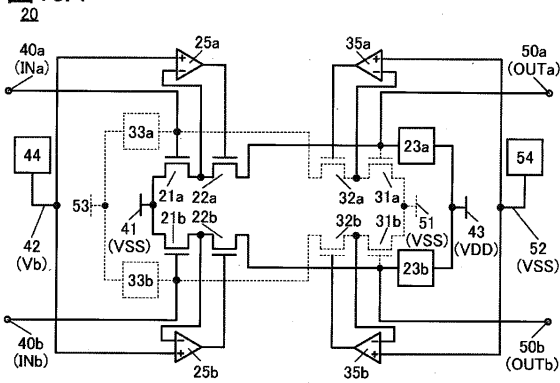
図12



10

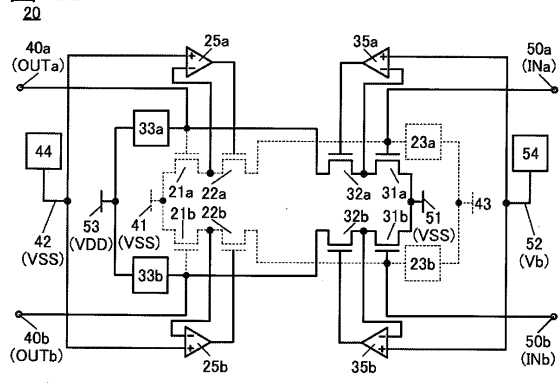
【図 1 3 A】

図13A



【図 1 3 B】

図13B



20

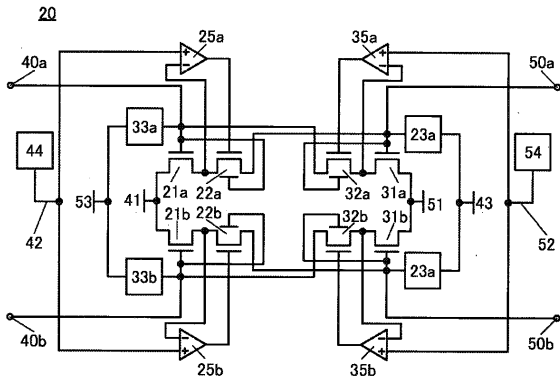
30

40

50

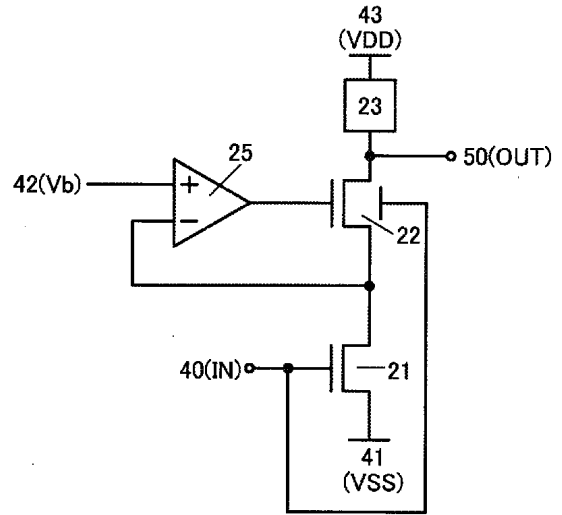
【 16 A 】

16A



【 16 B 】

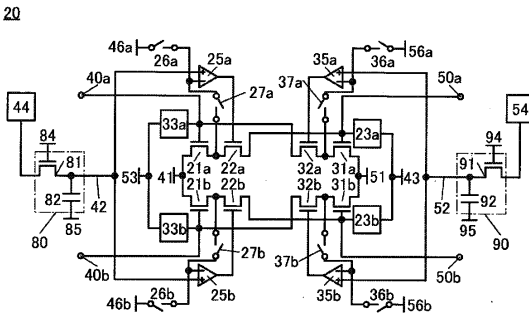
16B



10

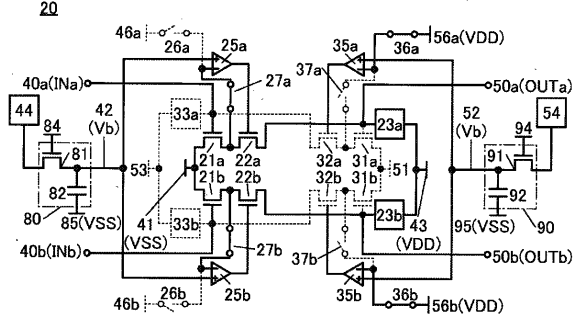
【 17 】

17



【 18 A 】

18A



20

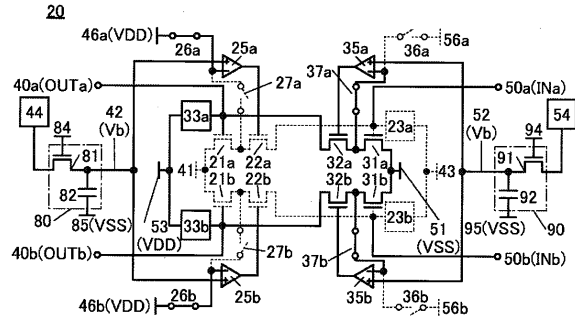
30

40

50

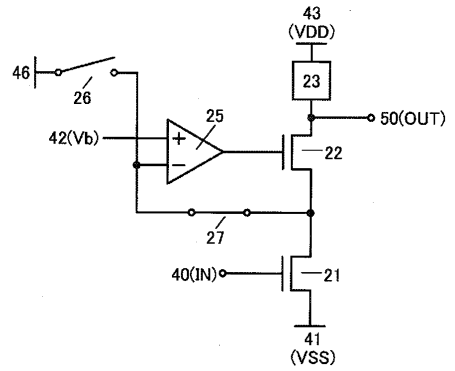
【 図 1 8 B 】

図18B



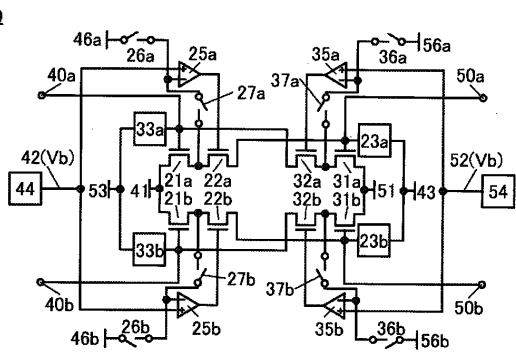
【 図 1 9 】

図19



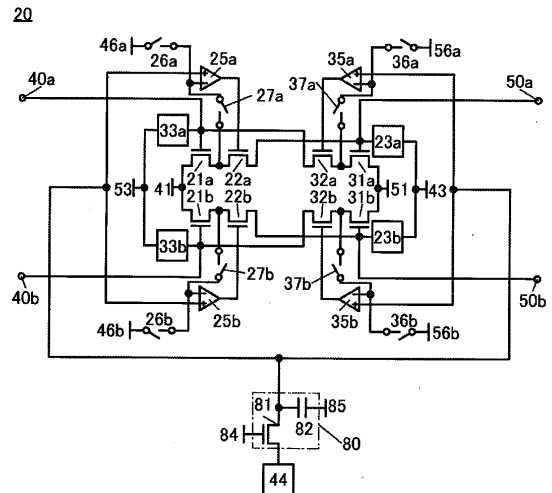
【 図 2 0 A 】

図20A



【 図 2 0 B 】

図20B



10

20

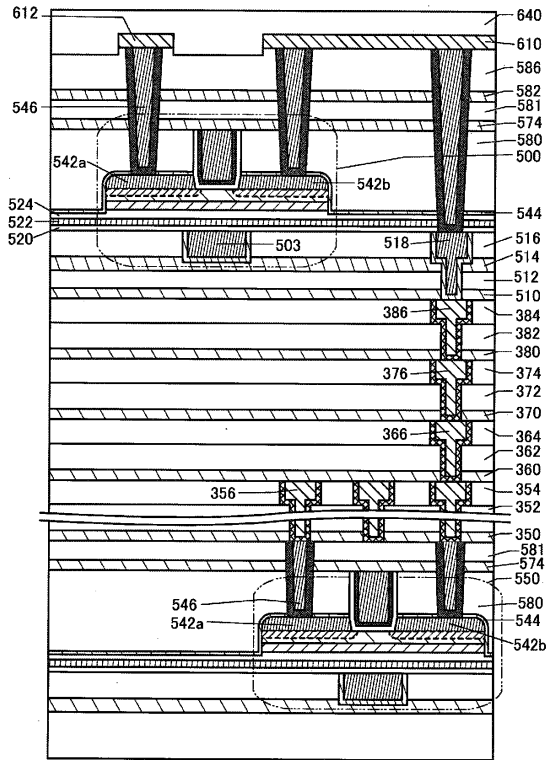
30

40

50

【図 2 1】

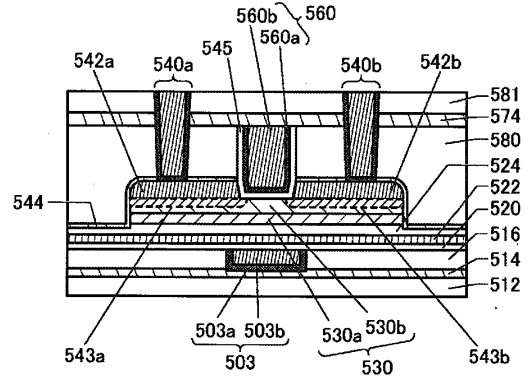
図21



【図 2 2 A】

図22A

500_550



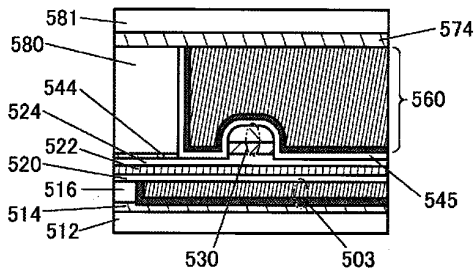
10

20

【図 2 2 B】

図22B

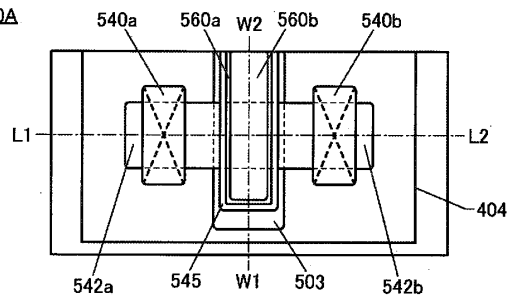
500_550



【図 2 3 A】

図23A

600A



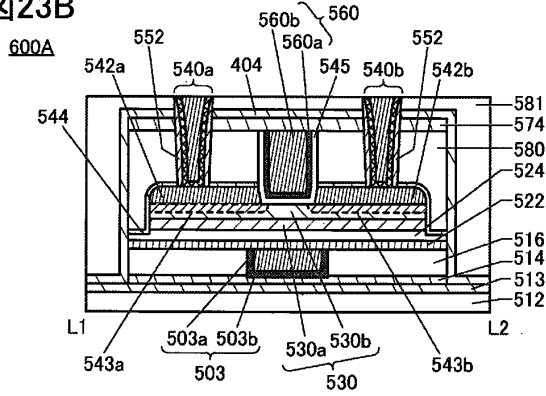
30

40

50

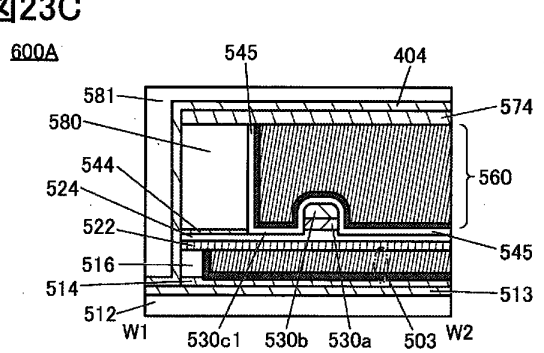
【図23B】

図23B



【図23C】

図23C

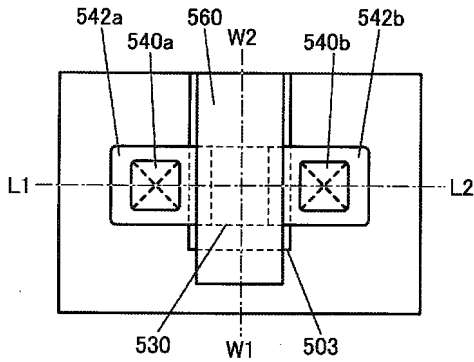


10

【図24A】

図24A

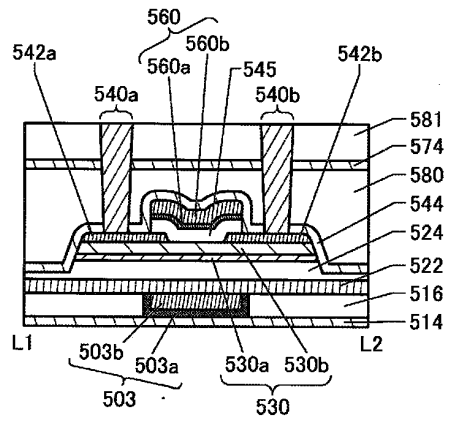
600B



【図24B】

図24B

600B



20

30

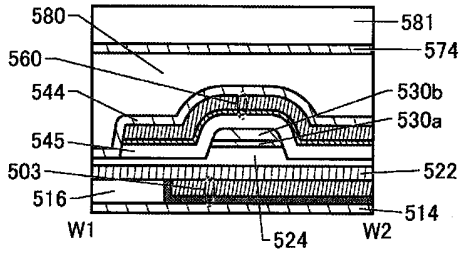
40

50

【図24C】

図24C

600B



【図25A】

図25A

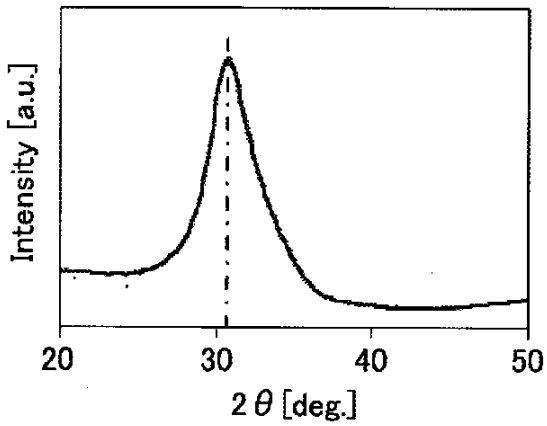
中間状態
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
• completely amorphous	• CAAC • nc • CAC excluding single crystal and poly crystal	• single crystal • poly crystal

10

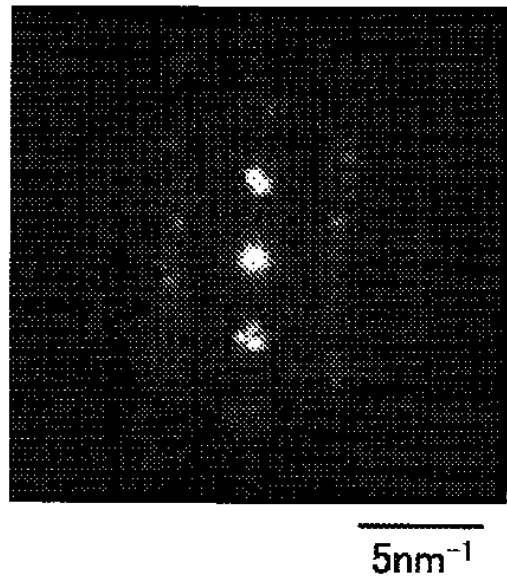
【図25B】

図25B



【図25C】

図25C



20

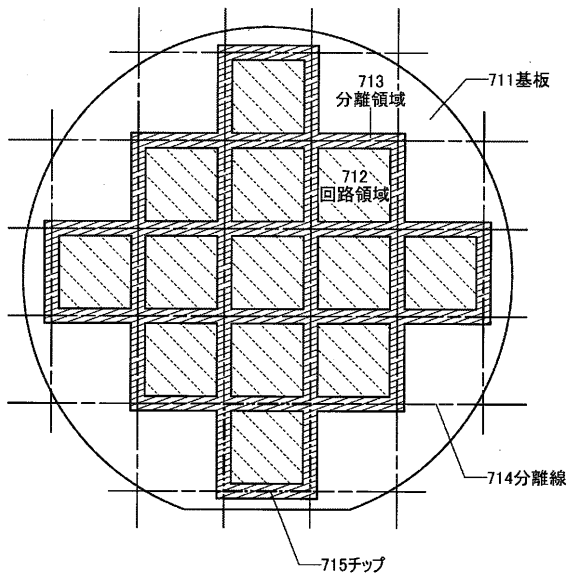
30

40

50

【図26A】

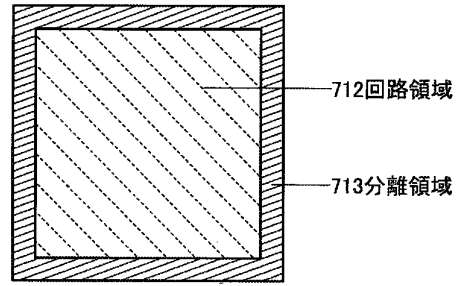
図26A



【図26B】

図26B

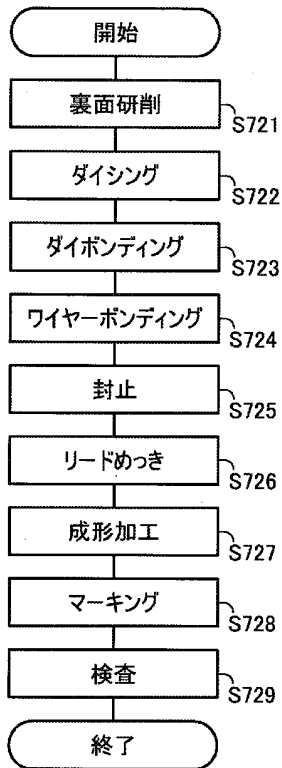
715チップ



10

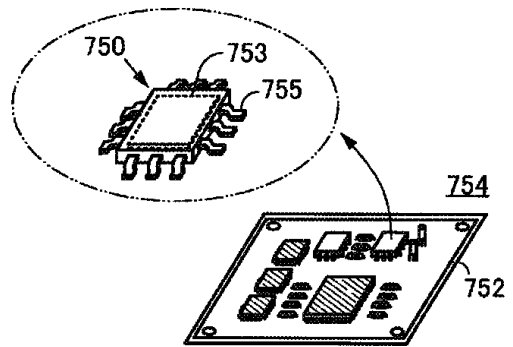
【図27A】

図27A



【図27B】

図27B



20

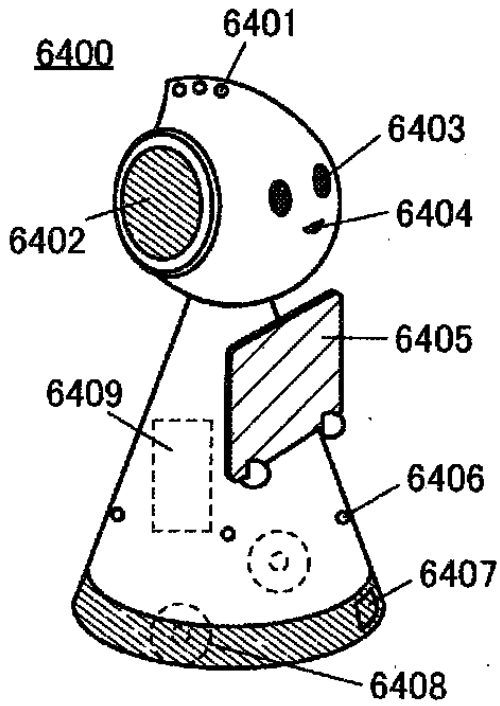
30

40

50

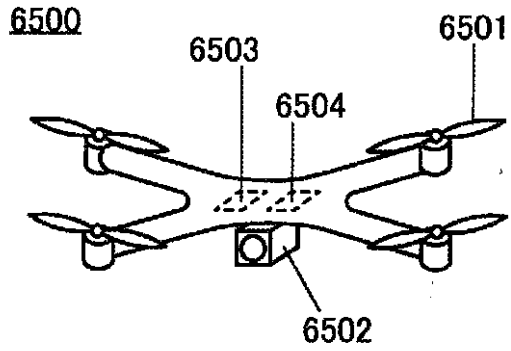
【図29D】

図29D



【図29E】

図29E



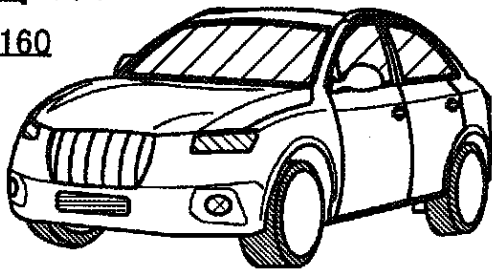
10

20

【図29F】

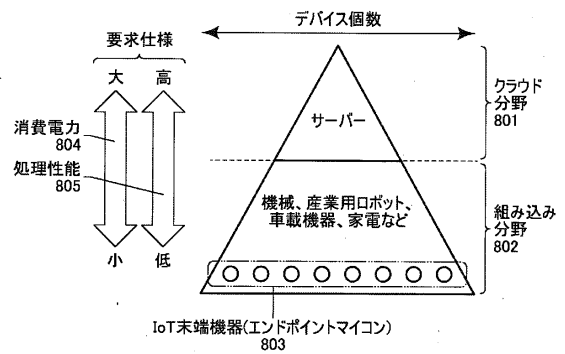
図29F

7160



【図30】

図30



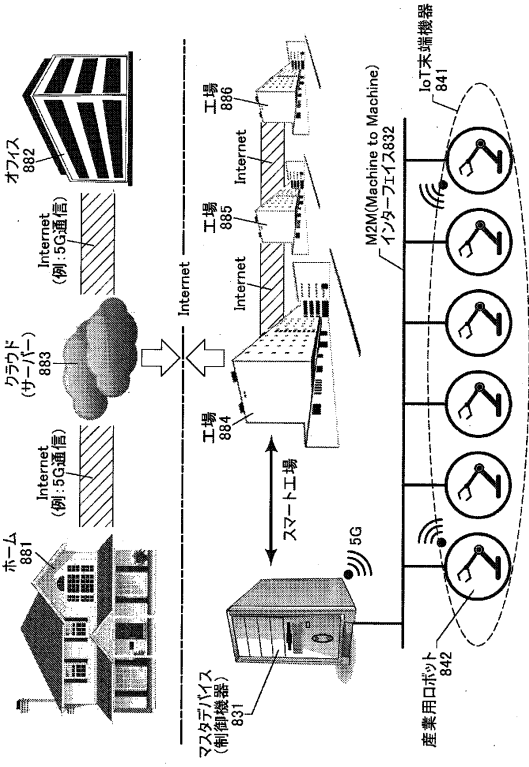
30

40

50

【 図 3 1 】

図31



10

20

30

40

50

フロントページの続き

- (56)参考文献 国際公開第00/002307(WO, A1)
米国特許出願公開第2018/0019719(US, A1)
国際公開第2008/026528(WO, A1)
特開2003-078355(JP, A)
国際公開第2008/035480(WO, A1)
- (58)調査した分野 (Int.Cl., DB名)
- | | |
|------|-------|
| H03F | 3/62 |
| H03F | 1/22 |
| H03F | 3/68 |
| H04B | 1/40 |
| H10D | 86/40 |
| H10D | 30/67 |