

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 5 月 17 日 (17.05.2018)



(10) 国际公布号
WO 2018/086214 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01) **H01L 21/336** (2006.01)
H01L 29/786 (2006.01)

(21) 国际申请号: PCT/CN2016/112541

(22) 国际申请日: 2016 年 12 月 28 日 (28.12.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610979889.1 2016 年 11 月 8 日 (08.11.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号谭玉, Guangdong 518132 (CN)。

(72) 发明人: 张合静(ZHANG, Hejing); 中国广东省深圳市光明新区塘明大道 9-2 号谭玉, Guangdong 518132 (CN)。 葛世民(GE, Shimin); 中国广

东省深圳市光明新区塘明大道 9-2 号谭玉, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙)(ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(54) Title: METHOD FOR MANUFACTURING TOP-GATE THIN FILM TRANSISTOR, AND TOP-GATE THIN FILM TRANSISTOR

(54) 发明名称: 顶栅薄膜晶体管的制作方法及其顶栅薄膜晶体管

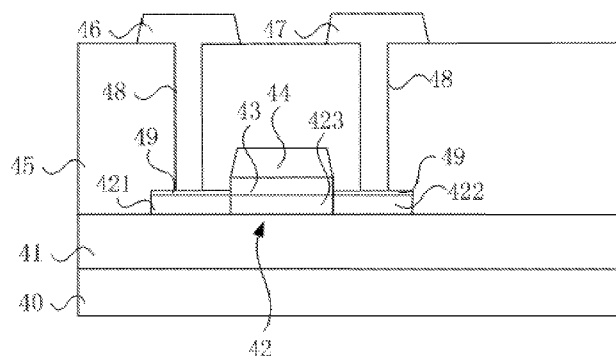


图 4

(57) Abstract: Provided are a method for manufacturing a top-gate thin film transistor, and a top-gate thin film transistor. The method comprises the steps of: providing a glass substrate (40); forming an oxide semiconductor layer (42) on the glass substrate (40), the oxide semiconductor layer (42) comprising a source region (421), a drain region (422), and a channel region (423); forming a gate insulating layer (43) at a position corresponding to the channel region (423) on the oxide semiconductor layer (42); forming a gate (44) on the gate insulating layer (43); depositing an interlayer dielectric (45) on the surfaces of the gate (44), the oxide semiconductor layer (42), and the glass substrate (40) by means of chemical vapor deposition, so as to make the surfaces of the source region (421) and the drain region (422) conductive; and forming a source and a drain (46, 47) electrically connected to the source region (421) and the drain region (422) of the oxide semiconductor layer (42), respectively. Therefore, the oxide semiconductor layer can become conductive during the deposition of the interlayer dielectric, and higher mobility and on-state current can be ensured.

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 提供一种顶栅薄膜晶体管的制作方法, 该方法包括步骤: 提供玻璃基板 (40); 在玻璃基板 (40) 上形成氧化物半导体层 (42), 氧化物半导体层 (42) 包括源区 (421)、漏区 (422) 和沟道区 (423); 在氧化物半导体层 (42) 上沟道区 (423) 对应的位置形成栅极绝缘层 (43); 在栅极绝缘层 (43) 上形成栅极 (44); 在栅极 (44) 表面、氧化物半导体层 (42) 表面及玻璃基板 (40) 表面采用化学气相沉积法沉积层间介质 (45), 使源区 (421) 及漏区 (422) 表面导体化; 形成源漏极 (46,47), 该源漏极 (46,47) 分别与氧化物半导体层 (42) 的源区 (421) 和漏区 (422) 电连接。如此能够在沉积层间介质时导体化氧化物半导体层, 保证较高的迁移率及开态电流。

顶栅薄膜晶体管的制作方法

技术领域

- [1] 本发明涉及液晶显示领域，尤其涉及一种顶栅薄膜晶体管的制作方法

背景技术

- [2] 在高分辨高框架的现实装置中，每一个子像素的TFT需要有足够快的速度去转换子像素，因此急需低寄生电容及高迁移率的TFT。氧化物半导体TFT由于其较高的迁移率而引起了广泛重视。但到目前为止，氧化物半导体TFT主要采用了常规的属于底栅的ESL和BCE结构，以及常规的顶栅型结构。然而，由于上述常规结构的TFT具有相对较大的寄生电容及不易小尺寸化的缺点，越来越不能适用于大尺寸以及高分辨的显示器中。因此，自对准型的顶栅TFT在大尺寸及高分辨的显示装置中的应用显得尤为重要。
- [3] 自对准型的顶栅TFT的结构如图1所示。在玻璃基板10表面设置有阻挡层11，在所述阻挡层表面设置有氧化物半导体层12，在所述氧化物半导体层上方设置有栅极绝缘层13及栅极14，在所述阻挡层11、氧化物半导体层12及栅极14表面覆盖有层间介质16，源漏极15设置在所述栅极14两侧并与所述氧化物半导体层12电连接。在自对准型的顶栅TFT的制程中，为了减小源漏极15（Source/Drain）与氧化物半导体层12的沟道区（channel）的接触阻抗，源漏极15与栅极14之间的氧化物半导体层需要进行导体化处理，即形成可导电层，如图1所示，d长度的氧化物半导体层往往需要进行导体化处理。
- [4] 在导体化的技术中，一般运用H₂，NH₃，CF₄，SF₆，He，Ar，N₂等气体对氧化物半导体层的表面进行处理。然而采用第三方气体进行处理往往会引入杂质气体，比如H，F等离子，这些离子在后续的制程会扩散至氧化物半导体层，影响TFT的特性；另一方面，若采用惰性气体，又往往达不到预想的导体化效果，源漏极15（Source/Drain）与氧化物半导体层12的沟道区（channel）的接触阻抗仍然较高，会导致TFT开态电流较低等问题。

- [5] 因此，亟需一种降低源漏极15（Source/Drain）与氧化物半导体层12的沟道区（channel）的接触阻抗的制程。

对发明的公开

技术问题

- [6] 本发明所要解决的技术问题是，提供一种顶栅薄膜晶体管的制作方法，其能够在沉积层间介质时便可导体化，可以保证较高的迁移率及开态电流。

问题的解决方案

技术解决方案

- [7] 为了解决上述问题，本发明提供了一种顶栅薄膜晶体管的制作方法，包括如下步骤：提供一玻璃基板；在所述玻璃基板上形成氧化物半导体层，所述氧化物半导体层包括源区、漏区及沟道区；在所述氧化物半导体层上沟道区对应位置形成栅极绝缘层；在所述栅极绝缘层上形成栅极；在所述栅极表面、所述氧化物半导体层表面及玻璃基板表面采用化学气相沉积的方法沉积层间介质，所述源区及漏区表面导体化；形成源极及漏极，所述源极及漏极分别与所述氧化物半导体层的源区及漏区电连接。
- [8] 进一步，在形成氧化物半导体层步骤之前，在所述玻璃基板表面形成阻挡层，所述氧化物半导体层形成在所述阻挡层上。
- [9] 进一步，所述层间介质为SiO₂。
- [10] 进一步，在化学气相沉积时，分解的离子以高能态轰击所述氧化物半导体层的所述源区及漏区，以使所述氧化物半导体层的所述源区及漏区表面导体化。
- [11] 进一步，形成源极及漏极的方法包括如下步骤：
- [12] 在所述层间介质上形成过孔，所述过孔分别暴露出所述氧化物半导体层的源区及漏区；
- [13] 在所述过孔内沉积金属，形成与所述源区电连接的源极及与所述漏区电连接的漏极。
- [14] 对于第六世代及以下的薄膜晶体管显示装置产线，所述化学气相沉积的功率大于等于1900W，对于第六世代以上的薄膜晶体管显示装置产线，所述化学气相沉

积的功率大于等于13000W。

[15] 本发明还提供一种顶栅薄膜晶体管，包括玻璃基板、在所述玻璃基板表面设置的阻挡层及在所述阻挡层表面设置的氧化物半导体层，所述氧化物半导体层包括源区、漏区及沟道区，在所述沟道区表面设置有栅极绝缘层及栅极，在所述玻璃基板、氧化物半导体层及栅极表面覆盖有层间介质，源极和漏极设置在所述栅极两侧，并分别通过层间介质的过孔与所述氧化物半导体层的源区和漏区电连接，所述氧化物半导体层的所述源区及漏区表面导体化。

[16] 进一步，所述层间介质为SiO₂。

[17] 进一步，在化学气相沉积形成层间介质层时，分解的离子以高能态轰击所述氧化物半导体层的所述源区及漏区表面导体化表面，以使所述氧化物半导体层的所述源区及漏区表面导体化。

[18] 对于第六世代及以下的薄膜晶体管显示装置产线，所述化学气相沉积的功率大于等于1900W，对于第六世代以上的薄膜晶体管显示装置产线，所述化学气相沉积的功率大于等于13000W。

发明的有益效果

有益效果

[19] 本发明的优点在于，

[20] (1) 在现有的自对准型的顶栅薄膜晶体管制程中，虽然需要的光罩数量相对较少，但需要导体化处理，制程及技术难度较为复杂，本发明顶栅薄膜晶体管的制作方法省去导体化过程，大大减小了制程的复杂程度，在沉积层间介质时便可导体化，可以保证较高的迁移率及开态电流。

[21] (2) 在现有技术中，导体化处理引入第三方气体，在后续的高温制程中会扩散，因此限制了后续的制程温度，而本发明顶栅薄膜晶体管的制作方法不采用第三方气体，因此不会引入杂质气体而影响薄膜晶体管的特性。

[22] (3) 本发明顶栅薄膜晶体管的制作方法省去导体化这一制程，既提高效率又节约成本。

对附图的简要说明

附图说明

- [23] 图1是现有的自对准型顶栅薄膜晶体管的结构示意图；
- [24] 图2是本发明顶栅薄膜晶体管的制作方法的步骤示意图；
- [25] 图3A~图3F是本发明顶栅薄膜晶体管的制作方法的工艺流程图；
- [26] 图4是采用本发明方法制作的顶栅薄膜晶体管的结构示意图；
- [27] 图5是根据本发明顶栅薄膜晶体管的制作方法制作的顶栅薄膜晶体管的Id-V_g数据。

实施该发明的最佳实施例

本发明的最佳实施方式

- [28] 下面结合附图对本发明提供的顶栅薄膜晶体管的制作方法 & 顶栅薄膜晶体管的具体实施方式做详细说明。
- [29] 参见图2，本发明提供一种顶栅薄膜晶体管的制作方法，所述方法包括如下步骤：步骤S20、提供一玻璃基板；步骤S21、在所述玻璃基板上形成氧化物半导体层，所述氧化物半导体层包括源区、漏区及沟道区；步骤S22、在所述氧化物半导体层上沟道区对应位置形成栅极绝缘层；步骤S23、在所述栅极绝缘层上形成栅极；步骤S24、在所述栅极表面、所述氧化物半导体层表面及玻璃基板表面采用化学气相沉积的方法沉积层间介质，所述源区及漏区表面导体化；步骤S25、形成源极及漏极，所述源极及漏极分别与所述氧化物半导体层的源区及漏区电连接。
- [30] 图3A~图3F是本发明顶栅薄膜晶体管的制作方法的工艺流程图。
- [31] 参见图3A及步骤S20，提供一玻璃基板30。在本步骤中，作为可选步骤，还可以在所述玻璃基板30表面形成阻挡层31。
- [32] 参见图3B及步骤S21，在所述玻璃基板30上形成氧化物半导体层32，在本具体实施方式中，在所述阻挡层31上形成氧化物半导体层32。形成所述氧化物半导体层32的方法与现有技术中的自对准型顶栅TFT结构中形成氧化物半导体层的方法相同，本领域技术人员可从现有技术中获取。所述氧化物半导体层32包括源区321、漏区322及沟道区323。
- [33] 参见图3C及步骤S22，在所述氧化物半导体层32的沟道区323对应位置上形成栅极绝缘层33，此步骤可采用沉积的方法形成栅极绝缘层33。

- [34] 参见图3D及步骤S23，在所述栅极绝缘层33上形成栅极34。
- [35] 参见图3E及步骤S24，在所述栅极34表面、所述氧化物半导体层32的源区321及漏区322表面及玻璃基板30或阻挡层31表面采用化学气相沉积的方法沉积层间介质35。在本具体实施方式中，所述层间介质35的材料为SiO₂。
- [36] 对于第六世代及以下的薄膜晶体管显示装置产线，所述化学气相沉积的功率大于等于1900W，对于第六世代以上的薄膜晶体管显示装置产线，所述化学气相沉积的功率大于等于13000W，沉积时分解的离子以高能态轰击氧化物半导体层32的源区321及漏区322的表面，由于氧化物半导体层32本身较薄且敏感，因此，氧化物半导体层32的源区321及漏区322的表面导体化，形成导体层39，进而实现源漏极与氧化物半导体层的低接触阻抗。同时，栅极及栅极绝缘层又能保护氧化物半导体层32的沟道区323不受损伤。
- [37] 参见图3F及步骤S25，形成源极36及漏极37，所述源极36及漏极37分别与所述氧化物半导体层的源区321及漏区322电连接。形成源极36及漏极37的方法包括如下步骤：
- [38] 在所述层间介质35上形成过孔38，所述过孔38分别暴露出所述氧化物半导体层32的源区321及漏区322。在所述过孔38内沉积金属，形成与所述源区321电连接的源极36及与所述漏区322电连接的漏极37。
- [39] 本发明顶栅薄膜晶体管的制作方法在于自对准型的顶栅TFT制程中，省去半导体层导体化制程，在后续的层间介质（ILD CVD（SiO_x））沉积中改变沉积参数，达到在沉积层间介质时便可使源区及漏区导体化，可以保证较高的迁移率及开态电流。
- [40] 参见图4，本发明还提供一种顶栅薄膜晶体管。所述顶栅薄膜晶体管包括玻璃基板40、在所述玻璃基板40表面设置的阻挡层41及在所述阻挡层41表面设置的氧化物半导体层42。所述氧化物半导体层42包括源区421、漏区422及沟道区423。在所述沟道区423表面设置有栅极绝缘层43及栅极44。在所述玻璃基板40、氧化物半导体层42及栅极44表面覆盖有层间介质45。源极46和漏极47设置在所述栅极44两侧，并分别通过层间介质45的过孔48与所述氧化物半导体层42的源区421和漏区422电连接，所述氧化物半导体层42的所述源区421及漏区422表面导体

化，形成导体层49。

[41] 图5是根据本发明顶栅薄膜晶体管的制作方法制作的顶栅薄膜晶体管的Id-Vg数据，W/L=0.5，得到的迁移率可达到16.42；然而采用其它常规方式沉积的层间介质，制备常规的顶栅薄膜晶体管，所得到的薄膜晶体管无明显半导体特性。

[42] 以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

权利要求书

[权利要求 1]

一种顶栅薄膜晶体管的制作方法，其中，包括如下步骤：

提供一玻璃基板；

在所述玻璃基板表面形成阻挡层；

在所述阻挡层上形成氧化物半导体层，所述氧化物半导体层包括源区、漏区及沟道区；

在所述氧化物半导体层上沟道区对应位置形成栅极绝缘层；

在所述栅极绝缘层上形成栅极；

在所述栅极表面、所述氧化物半导体层表面及玻璃基板表面采用化学气相沉积的方法沉积层间介质，所述源区及漏区表面导体化，所述层间介质为SiO₂，在化学气相沉积时，分解的离子以高能态轰击所述氧化物半导体层的所述源区及漏区，以使所述氧化物半导体层的所述源区及漏区表面导体化，对于第六世代及以下的薄膜晶体管显示装置产线，所述化学气相沉积的功率大于等于1900W，对于第六世代以上的薄膜晶体管显示装置产线，所述化学气相沉积的功率大于等于13000W；

形成源极及漏极，所述源极及漏极分别与所述氧化物半导体层的源区及漏区电连接

[权利要求 2]

一种顶栅薄膜晶体管的制作方法，其中，包括如下步骤：

提供一玻璃基板；

在所述玻璃基板上形成氧化物半导体层，所述氧化物半导体层包括源区、漏区及沟道区；

在所述氧化物半导体层上沟道区对应位置形成栅极绝缘层；

在所述栅极绝缘层上形成栅极；

在所述栅极表面、所述氧化物半导体层表面及玻璃基板表面采用化学气相沉积的方法沉积层间介质，所述源区及漏区表面导体化；

形成源极及漏极，所述源极及漏极分别与所述氧化物半导体层的

源区及漏区电连接。

- [权利要求 3] 根据权利要求2所述的顶栅薄膜晶体管的制作方法，其中，在形成氧化物半导体层步骤之前，在所述玻璃基板表面形成阻挡层，所述氧化物半导体层形成在所述阻挡层上。
- [权利要求 4] 根据权利要求2所述的顶栅薄膜晶体管的制作方法，其中，所述层间介质为SiO₂。
- [权利要求 5] 根据权利要求2所述的顶栅薄膜晶体管的制作方法，其中，在化学气相沉积时，分解的离子以高能态轰击所述氧化物半导体层的所述源区及漏区，以使所述氧化物半导体层的所述源区及漏区表面导体化。
- [权利要求 6] 根据权利要求2所述的顶栅薄膜晶体管的制作方法，其中，形成源极及漏极的方法包括如下步骤：
在所述层间介质成上形成过孔，所述过孔分别暴露出所述氧化物半导体层的源区及漏区；
在所述过孔内沉积金属，形成与所述源区电连接的源极及与所述漏区电连接的漏极。
- [权利要求 7] 根据权利要求2所述的顶栅薄膜晶体管的制作方法，其中，对于第六世代及以下的薄膜晶体管显示装置产线，所述化学气相沉积的功率大于等于1900W，对于第六世代以上的薄膜晶体管显示装置产线，所述化学气相沉积的功率大于等于13000W。
- [权利要求 8] 一种顶栅薄膜晶体管，其中，包括玻璃基板、在所述玻璃基板表面设置的阻挡层及在所述阻挡层表面设置的氧化物半导体层，所述氧化物半导体层包括源区、漏区及沟道区，在所述沟道区表面设置有栅极绝缘层及栅极，在所述玻璃基板、氧化物半导体层及栅极表面覆盖有层间介质，源极和漏极设置在所述栅极两侧，并分别通过层间介质的过孔与所述氧化物半导体层的源区和漏区电连接，所述氧化物半导体层的所述源区及漏区表面导体化。
- [权利要求 9] 根据权利要求8所述的顶栅薄膜晶体管，其中，所述层间介质为Si

O₂。

[权利要求 10] 根据权利要求8所述的顶栅薄膜晶体管，其中，在化学气相沉积形成层间介质层时，分解的离子以高能态轰击所述氧化物半导体层的所述源区及漏区表面导体化表面，以使所述氧化物半导体层的所述源区及漏区表面导体化。

[权利要求 11] 根据权利要求10所述的顶栅薄膜晶体管，其中，对于第六世代及以下的薄膜晶体管显示装置产线，所述化学气相沉积的功率大于等于1900W，对于第六世代以上的薄膜晶体管显示装置产线，所述化学气相沉积的功率大于等于13000W。

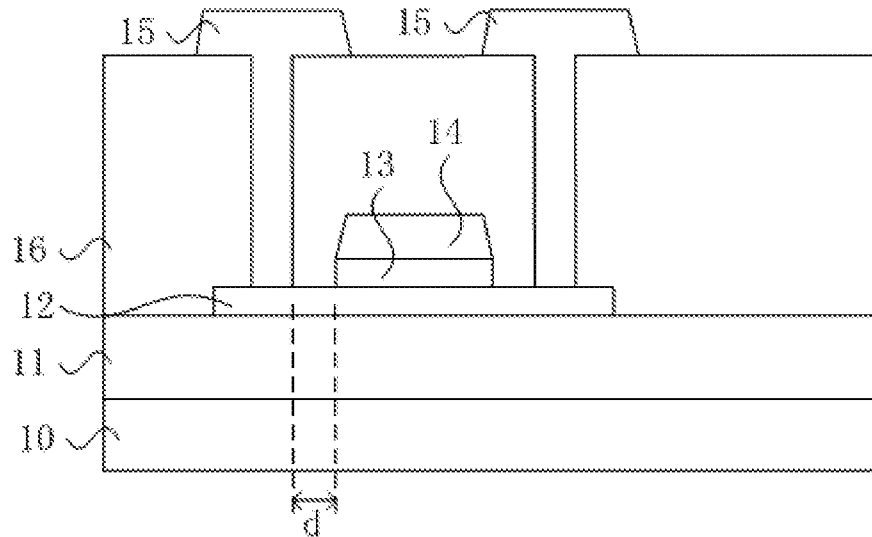


图 1

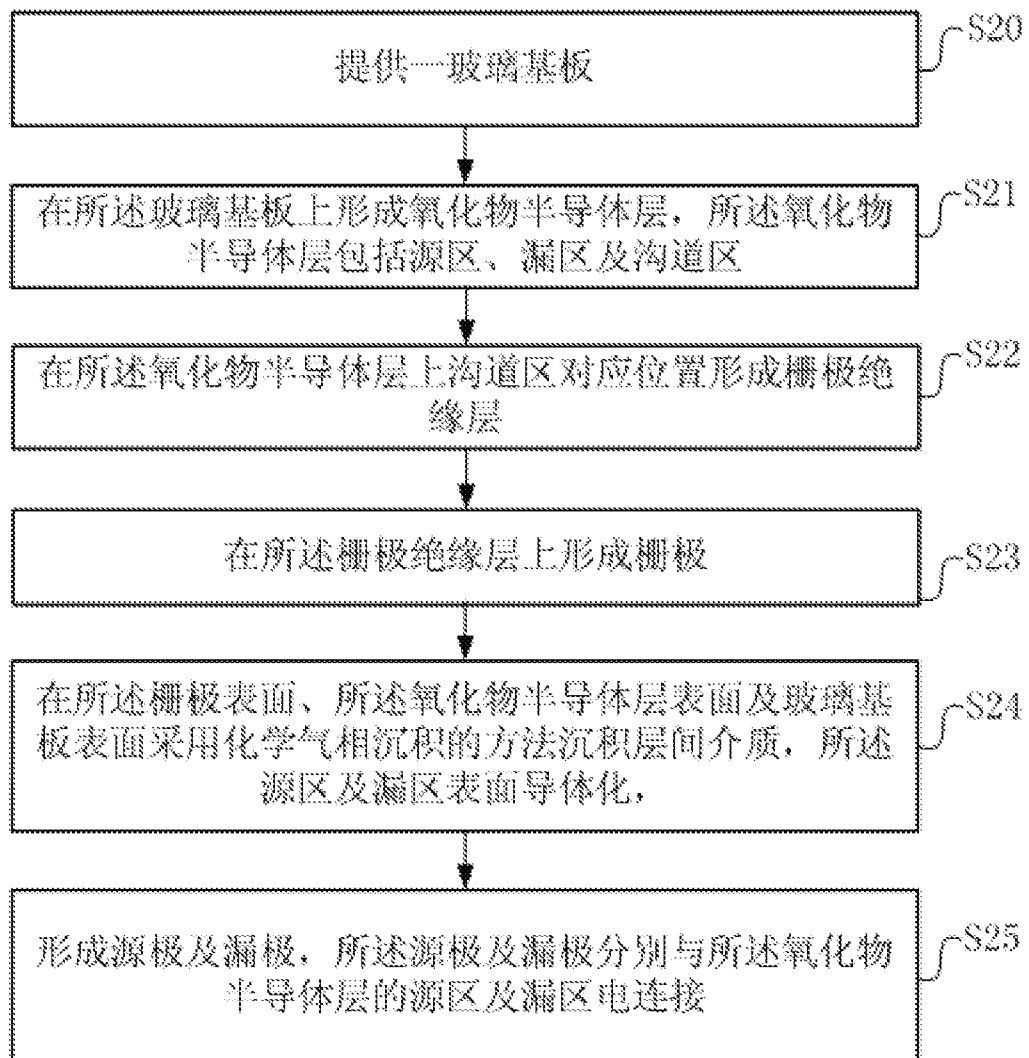


图 2

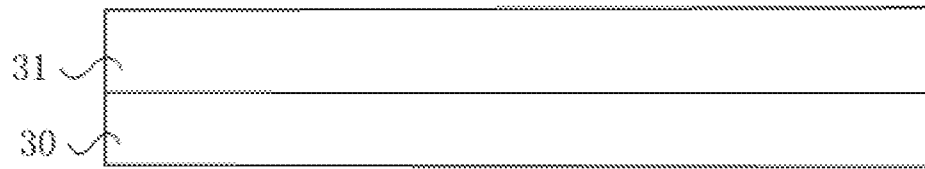


图 3A

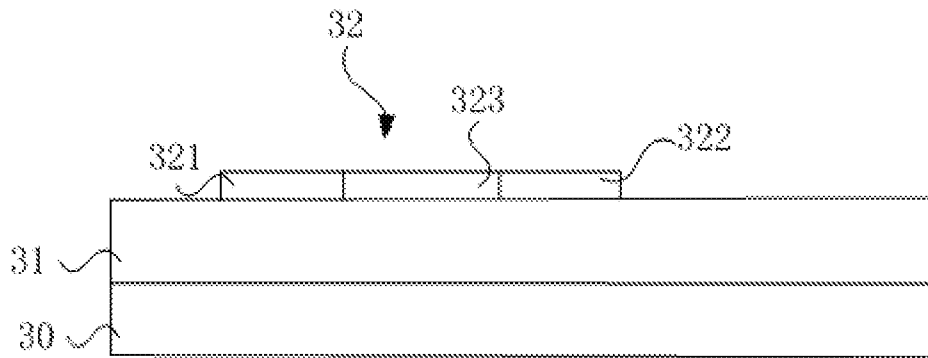


图 3B

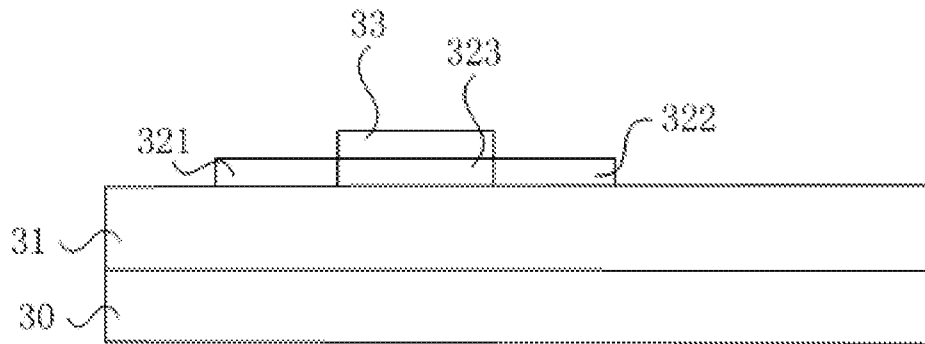


图 3C

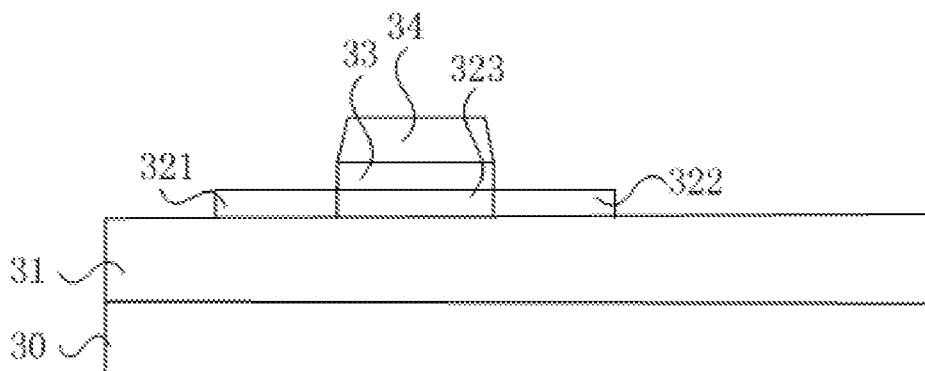


图 3D

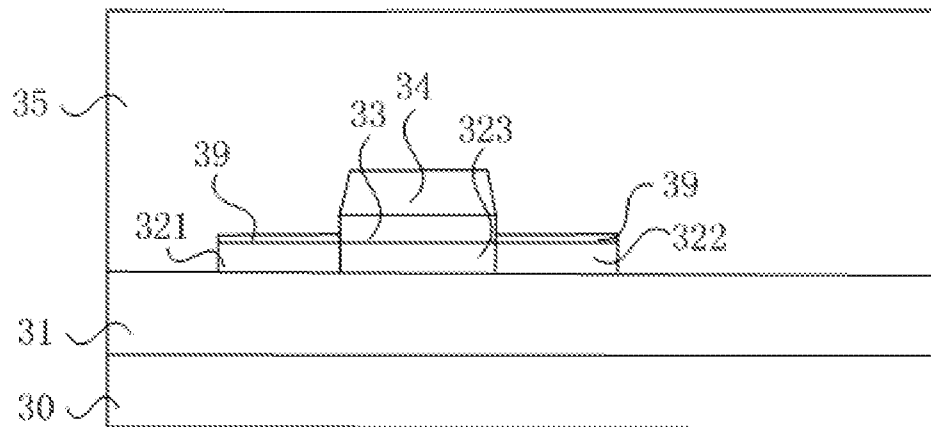


图 3E

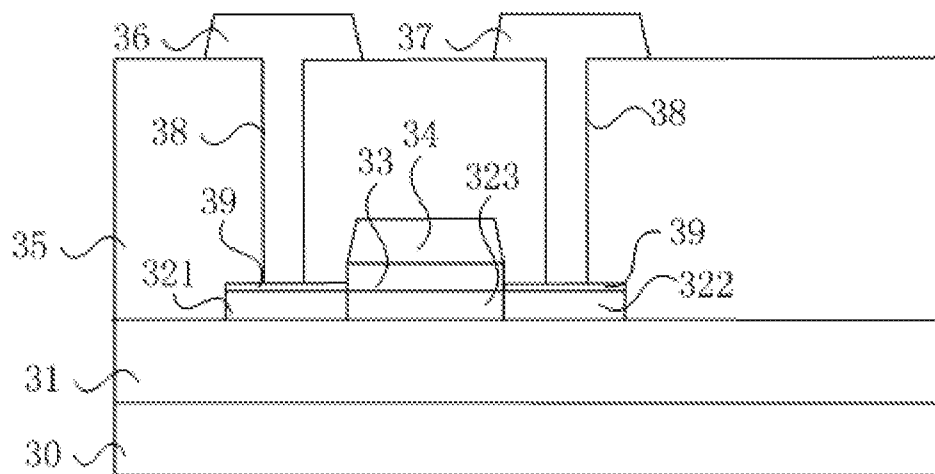


图 3F

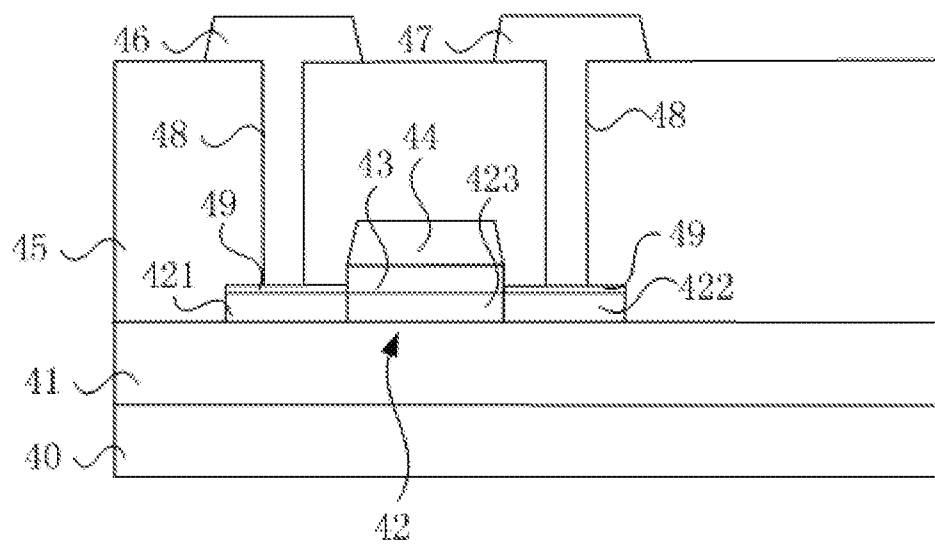


图 4

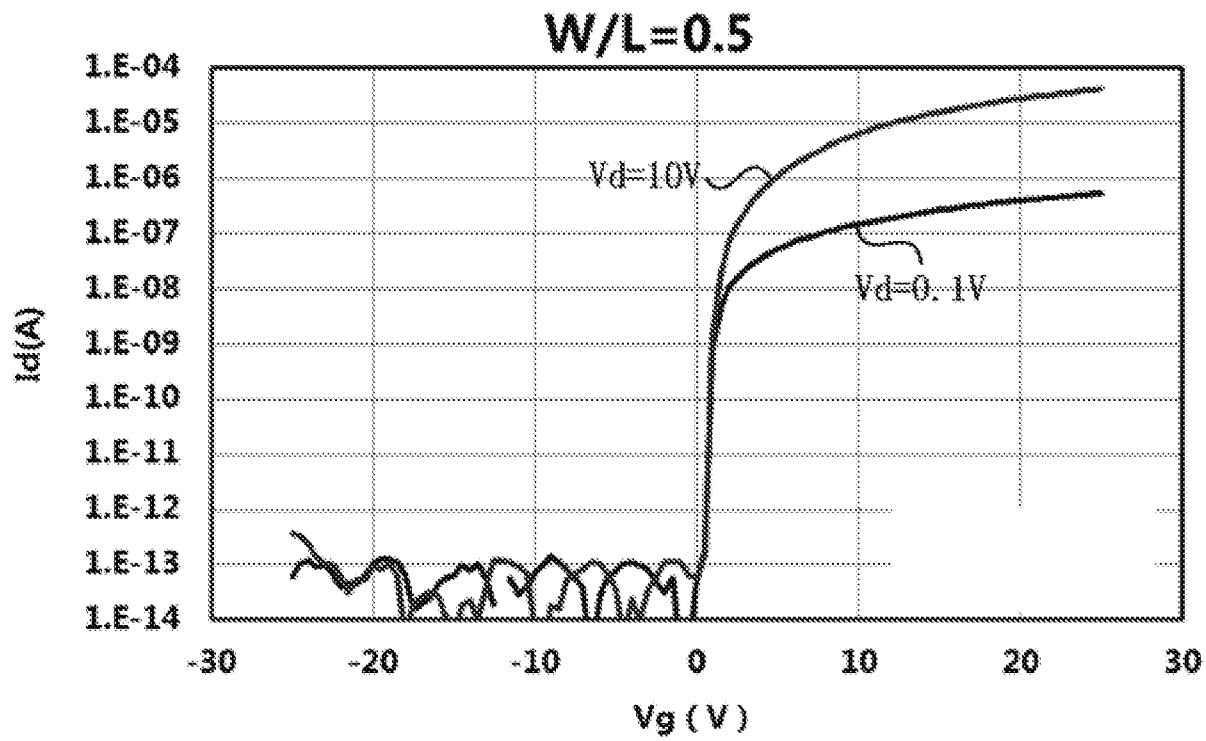


图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/112541

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 29/786 (2006.01) i; H01L 21/336 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; DWPI; SIPOABS: 漏区 氧化物半导体 化学气相沉积 CVD 导体化 drain active region conductor process power

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105304723 A (BOE TECHNOLOGY GROUP CO., LTD.), 03 February 2016 (03.02.2016), description, paragraphs 74-83, and figure 6	2-4, 6-9
PX	CN 106129122 A (BOE TECHNOLOGY GROUP CO., LTD.), 16 November 2016 (16.11.2016), description, paragraphs 32-54 and 67-69, and figures 1-2 and 4	2-4, 6, 8-9
A	CN 105914134 A (BOE TECHNOLOGY GROUP CO., LTD.), 31 August 2016 (31.08.2016), entire document	1-11
A	CN 105990449 A (CHUNGHWA PICTURE TUBES, LTD.), 05 October 2016 (05.10.2016), entire document	1-11
A	US 6200871 B1 (MOSLEHI), 13 March 2001 (13.03.2001), entire document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 May 2017	Date of mailing of the international search report 14 July 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHONG, Yi Telephone No. (86-10) 62411332

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/112541

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105304723 A	03 February 2016	US 2017092661 A1	30 March 2017
CN 106129122 A	16 November 2016	None	
CN 105914134 A	31 August 2016	None	
CN 105990449 A	05 October 2016	US 2016172389 A1	16 June 2016
		TW 201622158 A	16 June 2016
		US 9437627 B2	06 September 2016
US 6200871 B1	13 March 2001	EP 0700081 A2	06 March 1996
		JP H08111527 A	30 April 1996
		TW 301780 B	01 April 1997
		KR 100372675 B1	09 May 2003
		EP 0700081 A3	02 July 1997

国际检索报告

国际申请号

PCT/CN2016/112541

A. 主题的分类

H01L 27/12(2006.01)i; H01L 29/786(2006.01)i; H01L 21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;DWPI;SIPOABS: 漏区 氧化物半导体 化学气相沉积 CVD 导体化 drain active region conductor process power

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 105304723 A (京东方科技集团股份有限公司) 2016年 2月 3日 (2016 - 02 - 03) 说明书第74-83段, 附图6	2-4, 6-9
PX	CN 106129122 A (京东方科技集团股份有限公司) 2016年 11月 16日 (2016 - 11 - 16) 说明书第32-54段、67-69段, 附图1-2, 4	2-4, 6, 8-9
A	CN 105914134 A (京东方科技集团股份有限公司) 2016年 8月 31日 (2016 - 08 - 31) 全文	1-11
A	CN 105990449 A (中华映管股份有限公司) 2016年 10月 5日 (2016 - 10 - 05) 全文	1-11
A	US 6200871 B1 (MOSLEHI) 2001年 3月 13日 (2001 - 03 - 13) 全文	1-11

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 5月 23日

国际检索报告邮寄日期

2017年 7月 14日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

钟翊

传真号 (86-10)62019451

电话号码 (86-10)62411332

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/112541

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105304723	A	2016年 2月 3日	US	2017092661	A1	2017年 3月 30日
CN	106129122	A	2016年 11月 16日	无			
CN	105914134	A	2016年 8月 31日	无			
CN	105990449	A	2016年 10月 5日	US	2016172389	A1	2016年 6月 16日
				TW	201622158	A	2016年 6月 16日
				US	9437627	B2	2016年 9月 6日
US	6200871	B1	2001年 3月 13日	EP	0700081	A2	1996年 3月 6日
				JP	H08111527	A	1996年 4月 30日
				TW	301780	B	1997年 4月 1日
				KR	100372675	B1	2003年 5月 9日
				EP	0700081	A3	1997年 7月 2日

表 PCT/ISA/210 (同族专利附件) (2009年7月)