

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月2日(02.04.2020)



(10) 国際公開番号

WO 2020/065732 A1

(51) 国際特許分類:

H01L 21/336 (2006.01) H01L 29/78 (2006.01)
H01L 21/8238 (2006.01) H01L 29/786 (2006.01)
H01L 27/092 (2006.01)

(21) 国際出願番号: PCT/JP2018/035481

(22) 国際出願日: 2018年9月25日(25.09.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

(72) 発明者: ピディン セルゲイ(PIDIN, Sergey); 〒2220033 神奈川県横浜市港北区新横浜

二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).

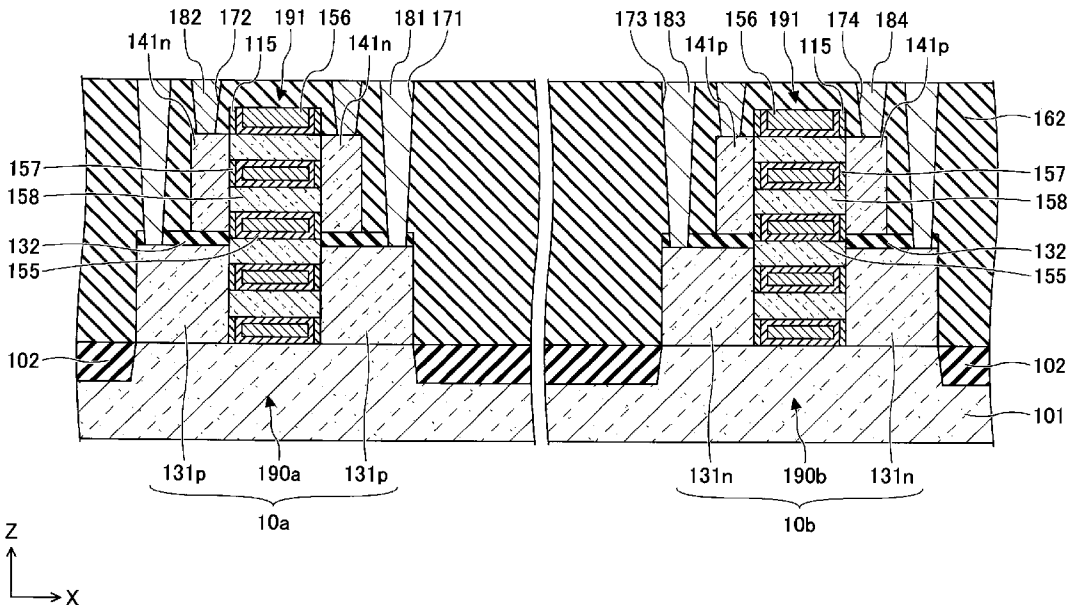
(74) 代理人: 伊東 忠重, 外(ITO, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号 丸の内 M Y P L A Z A (明治安田生命ビル) 16階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法

[図2A]



(57) Abstract: This semiconductor device has: a substrate; a first transistor formed on the substrate; a second transistor formed above the first transistor; a third transistor formed on the substrate; and a fourth transistor formed above the third transistor. The first transistor has: a first gate electrode; a first conductivity type first source region; and a first conductivity type first drain region. The second transistor has: a second gate electrode; a second conductivity type second source region; and a second conductivity type second drain region. The third transistor has: a third gate electrode; a third

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

conductivity type third source region; and a third conductivity type third drain region. The fourth transistor has: a fourth gate electrode; a fourth conductivity type fourth source region; and a fourth conductivity type fourth drain region. The first conductivity type and the second conductivity type are different from each other, and the third conductivity type and the fourth conductivity type are the same. The first gate electrode and the second gate electrode are integrated, and the third gate electrode and the fourth gate electrode are integrated.

(57) 要約: 半導体装置は、基板と、基板の上方に形成された第1のトランジスタと、第1のトランジスタの上方に形成された第2のトランジスタと、基板の上方に形成された第3のトランジスタと、第3のトランジスタの上方に形成された第4のトランジスタと、を有する。第1のトランジスタは、第1のゲート電極と、第1導電型の第1のソース領域と、第1導電型の第1のドレイン領域と、を有する。第2のトランジスタは、第2のゲート電極と、第2導電型の第2のソース領域と、第2導電型の第2のドレイン領域と、を有する。第3のトランジスタは、第3のゲート電極と、第3導電型の第3のソース領域と、第3導電型の第3のドレイン領域と、を有する。第4のトランジスタは、第4のゲート電極と、第4導電型の第4のソース領域と、第4導電型の第4のドレイン領域と、を有する。第1導電型及び第2導電型は互いに異なり、第3導電型及び第4導電型は互いに同一である。第1のゲート電極及び第2のゲート電極が一体化され、第3のゲート電極及び第4のゲート電極が一体化されている。

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関する。

背景技術

[0002] 相補型電界効果トランジスタ（Complementary Field Effect Transistor：C F E T）とよばれる素子が知られている。C F E Tでは、nチャネルF E TとpチャネルF E Tとが基板上に積層される。C F E Tは半導体装置の微細化に好適である。

先行技術文献

特許文献

[0003] 特許文献1：米国特許第8 2 1 6 9 0 2号明細書

特許文献2：米国特許出願公開第2 0 1 7 / 0 0 4 0 3 2 1号明細書

特許文献3：米国特許第9 8 3 7 4 1 4号明細書

特許文献4：米国特許第9 1 2 9 8 2 9号明細書

特許文献5：特開2 0 1 8 - 2 6 5 6 5号公報

特許文献6：特開2 0 1 3 - 3 7 7 4 3号公報

非特許文献

[0004] 非特許文献1：Ryckaert J. et al. 2018 Symposium on VLSI Technology Digest of Technical Papers P141

非特許文献2：A. Mocuta et al. 2018 Symposium on VLSI Technology Digest of Technical Papers P147

発明の概要

発明が解決しようとする課題

[0005] しかしながら、C F E Tだけでは、近時の半導体装置の更なる微細化の要請に十分に 대응することができない。

[0006] 本発明の目的は、より微細化することができる半導体装置及びその製造方

法を提供することにある。

課題を解決するための手段

[0007] 開示の技術に係る半導体装置は、基板と、基板の上方に形成された第1のトランジスタと、第1のトランジスタの上方に形成された第2のトランジスタと、基板の上方に形成された第3のトランジスタと、第3のトランジスタの上方に形成された第4のトランジスタと、を有する。第1のトランジスタは、第1のゲート電極と、第1導電型の第1のソース領域と、第1導電型の第1のドレイン領域と、を有する。第2のトランジスタは、第2のゲート電極と、第2導電型の第2のソース領域と、第2導電型の第2のドレイン領域と、を有する。第3のトランジスタは、第3のゲート電極と、第3導電型の第3のソース領域と、第3導電型の第3のドレイン領域と、を有する。第4のトランジスタは、第4のゲート電極と、第4導電型の第4のソース領域と、第4導電型の第4のドレイン領域と、を有する。第1導電型及び第2導電型は互いに異なり、第3導電型及び第4導電型は互いに同一である。第1のゲート電極及び第2のゲート電極が一体化され、第3のゲート電極及び第4のゲート電極が一体化されている。

発明の効果

[0008] 開示の技術によれば、半導体装置をより微細化することができる。

図面の簡単な説明

[0009] [図1A]図1Aは、第1の実施形態に係る半導体装置における電極及び半導体層のレイアウトを示す模式図（その1）である。

[図1B]図1Bは、第1の実施形態に係る半導体装置における電極及び半導体層のレイアウトを示す模式図（その2）である。

[図2A]図2Aは、第1の実施形態に係る半導体装置の構成を示す断面図（その1）である。

[図2B]図2Bは、第1の実施形態に係る半導体装置の構成を示す断面図（その2）である。

[図3]図3は、第1の実施形態に係る半導体装置の構成を示す断面図である。

[図4A]図4 Aは、第2の実施形態に係る半導体装置の構成を示す断面図（その1）である。

[図4B]図4 Bは、第2の実施形態に係る半導体装置の構成を示す断面図（その2）である。

[図5A]図5 Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その1）である。

[図5B]図5 Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その2）である。

[図6A]図6 Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その3）である。

[図6B]図6 Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その4）である。

[図7A]図7 Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その5）である。

[図7B]図7 Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その6）である。

[図8A]図8 Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その7）である。

[図8B]図8 Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その8）である。

[図9A]図9 Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その9）である。

[図9B]図9 Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その10）である。

[図10A]図10 Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その11）である。

[図10B]図10 Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その12）である。

[図11A]図11Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その13）である。

[図11B]図11Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その14）である。

[図12A]図12Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その15）である。

[図12B]図12Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その16）である。

[図13A]図13Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その17）である。

[図13B]図13Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その18）である。

[図14A]図14Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その19）である。

[図14B]図14Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その20）である。

[図15A]図15Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その21）である。

[図15B]図15Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その22）である。

[図16A]図16Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その23）である。

[図16B]図16Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その24）である。

[図17A]図17Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その25）である。

[図17B]図17Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その26）である。

[図18A]図18Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その27）である。

[図18B]図18Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その28）である。

[図19A]図19Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その29）である。

[図19B]図19Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その30）である。

[図20A]図20Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その31）である。

[図20B]図20Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その32）である。

[図21A]図21Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その33）である。

[図21B]図21Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その34）である。

[図22A]図22Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その35）である。

[図22B]図22Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その36）である。

[図23A]図23Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その37）である。

[図23B]図23Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その38）である。

[図24A]図24Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その39）である。

[図24B]図24Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その40）である。

[図25A]図25Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その41）である。

[図25B]図25Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その42）である。

[図26A]図26Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その43）である。

[図26B]図26Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その44）である。

[図27A]図27Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その45）である。

[図27B]図27Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その46）である。

[図28A]図28Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その47）である。

[図28B]図28Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その48）である。

[図29A]図29Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その49）である。

[図29B]図29Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その50）である。

[図30A]図30Aは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その51）である。

[図30B]図30Bは、第2の実施形態に係る半導体装置の製造方法を示す断面図（その52）である。

[図31]図31は、第2の実施形態に係る半導体装置の製造方法の途中の工程を示す斜視図である。

[図32A]図32Aは、第3の実施形態に係る半導体装置の構成を示す断面図（その1）である。

[図32B]図3 2 Bは、第3の実施形態に係る半導体装置の構成を示す断面図（その2）である。

[図33A]図3 3 Aは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その1）である。

[図33B]図3 3 Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その2）である。

[図34A]図3 4 Aは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その3）である。

[図34B]図3 4 Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その4）である。

[図35A]図3 5 Aは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その5）である。

[図35B]図3 5 Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その6）である。

[図36A]図3 6 Aは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その7）である。

[図36B]図3 6 Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その8）である。

[図37A]図3 7 Aは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その9）である。

[図37B]図3 7 Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その10）である。

[図38A]図3 8 Aは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その11）である。

[図38B]図3 8 Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その12）である。

[図39A]図3 9 Aは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その13）である。

[図39B]図39Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その14）である。

[図40A]図40Aは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その15）である。

[図40B]図40Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その16）である。

[図41A]図41Aは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その17）である。

[図41B]図41Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その18）である。

[図42A]図42Aは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その19）である。

[図42B]図42Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その20）である。

[図43A]図43Aは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その21）である。

[図43B]図43Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その22）である。

[図44A]図44Aは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その23）である。

[図44B]図44Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その24）である。

[図45A]図45Aは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その25）である。

[図45B]図45Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その26）である。

[図46A]図46Aは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その27）である。

[図46B]図46Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図（その28）である。

[図47]図47は、SRAMの一般的な構成を示す回路図である。

[図48]図48は、カラムスイッチ回路の回路構成を示す回路図である。

[図49]図49は、カラムデコーダの4対のビット線対に対応する部分の回路構成を示す回路図である。

[図50]図50は、AND回路の回路構成を示す回路図である。

[図51]図51は、第4の実施形態におけるAND回路及びカラムスイッチ回路の平面構成を示す図（その1）である。

[図52]図52は、第4の実施形態におけるAND回路及びカラムスイッチ回路の平面構成を示す図（その2）である。

[図53]図53は、第4の実施形態におけるAND回路及びカラムスイッチ回路の平面構成を示す図（その3）である。

[図54]図54は、第4の実施形態において、AND回路及びカラムスイッチ回路を示す断面図（その1）である。

[図55]図55は、第4の実施形態において、AND回路及びカラムスイッチ回路を示す断面図（その2）である。

[図56]図56は、第4の実施形態において、AND回路及びカラムスイッチ回路を示す断面図（その3）である。

[図57]図57は、第4の実施形態において、AND回路及びカラムスイッチ回路を示す断面図（その4）である。

[図58]図58は、第4の実施形態における複数のAND回路及びカラムスイッチ回路の平面構成を示す図（その1）である。

[図59]図59は、第4の実施形態における複数のAND回路及びカラムスイッチ回路の平面構成を示す図（その2）である。

[図60]図60は、第4の実施形態における複数のAND回路及びカラムスイッチ回路の平面構成を示す図（その3）である。

[図61]図61は、第5の実施形態におけるAND回路及びカラムスイッチ回

路の平面構成を示す図（その１）である。

[図62]図６２は、第５の実施形態におけるＡＮＤ回路及びカラムスイッチ回路の平面構成を示す図（その２）である。

[図63]図６３は、第５の実施形態におけるＡＮＤ回路及びカラムスイッチ回路の平面構成を示す図（その３）である。

[図64]図６４は、第５の実施形態におけるＡＮＤ回路及びカラムスイッチ回路の平面構成を示す図（その４）である。

[図65]図６５は、第５の実施形態において、ＡＮＤ回路及びカラムスイッチ回路を示す断面図（その１）である。

[図66]図６６は、第５の実施形態において、ＡＮＤ回路及びカラムスイッチ回路を示す断面図（その２）である。

[図67]図６７は、第５の実施形態における複数のＡＮＤ回路及びカラムスイッチ回路の平面構成を示す図（その１）である。

[図68]図６８は、第５の実施形態における複数のＡＮＤ回路及びカラムスイッチ回路の平面構成を示す図（その２）である。

[図69]図６９は、第５の実施形態における複数のＡＮＤ回路及びカラムスイッチ回路の平面構成を示す図（その３）である。

[図70]図７０は、第５の実施形態における複数のＡＮＤ回路及びカラムスイッチ回路の平面構成を示す図（その４）である。

[図71]図７１は、第６の実施形態におけるＡＮＤ回路及びカラムスイッチ回路の平面構成を示す図である。

[図72]図７２は、ＡＮＤ回路及びカラムスイッチ回路を示す断面図である。

発明を実施するための形態

[0010] 以下、実施形態について添付の図面を参照しながら具体的に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複した説明を省くことがある。また、 n チャネル電界効果トランジスタを n FET、 p チャネル電界効果トランジスタを p FETということがある。また、以下の説明において、基

板の表面に平行で互いに直交する2つの方向をX方向、Y方向とし、基板の表面に垂直な方向をZ方向とする。

[0011] (第1の実施形態)

先ず、第1の実施形態に係る半導体装置について説明する。図1A及び図1Bは、第1の実施形態に係る半導体装置における電極及び半導体層のレイアウトを示す模式図である。図2A及び図2Bは、第1の実施形態に係る半導体装置の構成を示す断面図である。図3は、第1の実施形態に係る半導体装置の構成を示す断面図である。図2Aは、図1A中のI-I線に沿った断面図に相当し、図2Bは、図1B中のI-I線に沿った断面図に相当する。図3は、図1A中のI-I-I-I線に沿った断面図に相当する。

[0012] 図1A、図1B、図2A、図2B及び図3に示すように、第1の実施形態に係る半導体装置では、シリコン(Si)基板等の半導体基板101の表面に素子分離領域102が形成されている。素子分離領域102により、例えば4つの素子活性領域10a、10b、10c及び10dが画定されている。

[0013] 素子活性領域10aでは、半導体基板101上に積層トランジスタ構造190aが形成されている。積層トランジスタ構造190aは、半導体基板101上に形成されたゲート構造191を含む。ゲート構造191は、例えば、ゲート電極156、複数のナノワイヤ158、ゲート絶縁膜155、スペーサ157及びサイドウォール115を含む。ゲート電極156は、Y方向に延び、Z方向に立ち上がる。ナノワイヤ158は、X方向でゲート電極156を貫通し、Y方向及びZ方向に配列する。ゲート絶縁膜155は、ゲート電極156とナノワイヤ158との間に形成されている。X方向にて、ゲート電極156及びゲート絶縁膜155がナノワイヤ158の両端から後退するようにして形成されており、この後退した部分にスペーサ157が形成されている。ゲート電極156の側面上にゲート絶縁膜155を介してサイドウォール115が形成されている。

[0014] 例えば、ゲート電極156には、チタン、チタン窒化物又は多結晶シリコ

ン等を用いることができる。例えば、ゲート絶縁膜 155 には、ハフニウム酸化物、アルミニウム酸化物又はハフニウム及びアルミニウムの酸化物等の高誘電率材料を用いることができる。例えば、ナノワイヤ 158 にはシリコン等を用いることができる。例えば、スペーサ 157 及びサイドウォール 115 には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0015] 例えば、Z 方向に配列するナノワイヤ 158 の層数は 4 であり、素子活性領域 10a では、半導体基板 101 側の 2 層のナノワイヤ 158 の端部に接する 2 つの p 型半導体層 131p が、X 方向でゲート構造 191 を挟むようにして形成されている。また、半導体基板 101 から離間する側の 2 層のナノワイヤ 158 の端部に接する 2 つの n 型半導体層 141n が、X 方向でゲート構造 191 を挟むようにして形成されている。X 方向にて、n 型半導体層 141n は p 型半導体層 131p より小さい。p 型半導体層 131p と n 型半導体層 141n との間に絶縁膜 132 が形成されている。例えば、p 型半導体層 131p は p 型 SiGe 層であり、n 型半導体層 141n は n 型 Si 層である。例えば、絶縁膜 132 には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0016] 例えば、図 1A 及び図 3 に示すように、Z 方向の層数が 4 のナノワイヤ 158 の群が、Y 方向に沿って 4 つ配列されている。各ナノワイヤ 158 の群は、それぞれ素子分離領域 102 から上面が露出した半導体基板 101 上に配置されている。複数の露出した半導体基板 101 の部分の間には、それぞれ素子分離領域 102 が形成されている。なお、ナノワイヤ 158 の群の、Y 方向の配列数は 4 に限定されず、例えば 1～3 であっても良いし、5 以上であっても良い。また、Z 方向のナノワイヤ 158 の層数は 4 に限定されず、例えば、p 型半導体層 131p の間に配置されるナノワイヤ 158 が 1 層または 3 層以上、n 型半導体層 141n の間に配置されるナノワイヤ 158 が 1 層または 3 層以上であっても良い。また、p 型半導体層 131p 及び n 型半導体層 141n において、それぞれの間に配置されるナノワイヤ 158 の層数が異なっても良い。これらのナノワイヤ 158 の配置の変更は、

素子活性領域 10a だけでなく素子活性領域 10b～d に適用しても良く、また、他の実施形態に適用しても良い。

[0017] このように、積層トランジスタ構造 190a は、ゲート電極 156、ナノワイヤ 158、ゲート絶縁膜 155 及び p 型半導体層 131p を含む pFET を有する。この pFET では、一方の p 型半導体層 131p がソース領域として機能し、他方の p 型半導体層 131p がドレイン領域として機能し、ナノワイヤ 158 がチャネルとして機能する。積層トランジスタ構造 190a は、ゲート電極 156、ナノワイヤ 158、ゲート絶縁膜 155 及び n 型半導体層 141n を含む nFET も有する。この nFET では、一方の n 型半導体層 141n がソース領域として機能し、他方の n 型半導体層 141n がドレイン領域として機能し、ナノワイヤ 158 がチャネルとして機能する。

[0018] 素子活性領域 10b では、半導体基板 101 上に積層トランジスタ構造 190b が形成されている。積層トランジスタ構造 190b は、積層トランジスタ構造 190a と同様に、ゲート構造 191 を含む。また、素子活性領域 10b では、半導体基板 101 側の 2 層のナノワイヤ 158 の端部に接する 2 つの n 型半導体層 131n が、X 方向でゲート構造 191 を挟むようにして形成されている。また、半導体基板 101 から離間する側の 2 層のナノワイヤ 158 の端部に接する 2 つの p 型半導体層 141p が、X 方向でゲート構造 191 を挟むようにして形成されている。X 方向にて、p 型半導体層 141p は n 型半導体層 131n より小さい。n 型半導体層 131n と p 型半導体層 141p との間に絶縁膜 132 が形成されている。例えば、n 型半導体層 131n は n 型 Si 層であり、p 型半導体層 141p は p 型 SiGe 層である。

[0019] このように、積層トランジスタ構造 190b は、ゲート電極 156、ナノワイヤ 158、ゲート絶縁膜 155 及び n 型半導体層 131n を含む nFET を有する。この nFET では、一方の n 型半導体層 131n がソース領域として機能し、他方の n 型半導体層 131n がドレイン領域として機能し、

ナノワイヤ158がチャネルとして機能する。積層トランジスタ構造190bは、ゲート電極156、ナノワイヤ158、ゲート絶縁膜155及びp型半導体層141pを含むpFETも有する。このpFETでは、一方のp型半導体層141pがソース領域として機能し、他方のp型半導体層141pがドレイン領域として機能し、ナノワイヤ158がチャネルとして機能する。

[0020] 素子活性領域10cでは、半導体基板101上に積層トランジスタ構造190cが形成されている。積層トランジスタ構造190cは、積層トランジスタ構造190aと同様に、ゲート構造191を含む。また、素子活性領域10cでは、半導体基板101側の2層のナノワイヤ158の端部に接する2つのn型半導体層131nが、X方向でゲート構造191を挟むようにして形成されている。また、半導体基板101から離間する側の2層のナノワイヤ158の端部に接する2つのn型半導体層141nが、X方向でゲート構造191を挟むようにして形成されている。X方向にて、n型半導体層141nはn型半導体層131nより小さい。n型半導体層131nとn型半導体層141nとの間に絶縁膜132が形成されている。

[0021] このように、積層トランジスタ構造190cは、ゲート電極156、ナノワイヤ158、ゲート絶縁膜155及びn型半導体層131nを含むnFETを有する。このnFETでは、一方のn型半導体層131nがソース領域として機能し、他方のn型半導体層131nがドレイン領域として機能し、ナノワイヤ158がチャネルとして機能する。積層トランジスタ構造190cは、ゲート電極156、ナノワイヤ158、ゲート絶縁膜155及びn型半導体層141nを含むnFETも有する。このnFETでは、一方のn型半導体層141nがソース領域として機能し、他方のn型半導体層141nがドレイン領域として機能し、ナノワイヤ158がチャネルとして機能する。

[0022] 素子活性領域10dでは、半導体基板101上に積層トランジスタ構造190dが形成されている。積層トランジスタ構造190dは、積層トランジ

スタ構造190aと同様に、ゲート構造191を含む。また、素子活性領域10dでは、半導体基板101側の2層のナノワイヤ158の端部に接する2つのp型半導体層131pが、X方向でゲート構造191を挟むようにして形成されている。また、半導体基板101から離間する側の2層のナノワイヤ158の端部に接する2つのp型半導体層141pが、X方向でゲート構造191を挟むようにして形成されている。X方向にて、p型半導体層141pはp型半導体層131pより小さい。p型半導体層131pとp型半導体層141pとの間に絶縁膜132が形成されている。

[0023] このように、積層トランジスタ構造190dは、ゲート電極156、ナノワイヤ158、ゲート絶縁膜155及びp型半導体層131pを含むpFETを有する。このpFETでは、一方のp型半導体層131pがソース領域として機能し、他方のp型半導体層131pがドレイン領域として機能し、ナノワイヤ158がチャネルとして機能する。積層トランジスタ構造190dは、ゲート電極156、ナノワイヤ158、ゲート絶縁膜155及びp型半導体層141pを含むpFETも有する。このpFETでは、一方のp型半導体層141pがソース領域として機能し、他方のp型半導体層141pがドレイン領域として機能し、ナノワイヤ158がチャネルとして機能する。なお、各積層トランジスタ構造190a～dにおける各半導体層の材料として、Si層の代わりにSiGe層を用いても良い。また、SiGe層の代わりにSi層を用いても良い。これは他の実施形態においても同様である。

[0024] 第1の実施形態に係る半導体装置は、これら積層トランジスタ構造190a～190dを覆う層間絶縁膜162を含む。層間絶縁膜162は、複数の絶縁膜が積層されたものであっても良い。素子活性領域10aでは、層間絶縁膜162及び絶縁膜132にp型半導体層131pに達する開口部171が形成され、層間絶縁膜162にn型半導体層141nに達する開口部172が形成されている。素子活性領域10bでは、層間絶縁膜162及び絶縁膜132にn型半導体層131nに達する開口部173が形成され、層間絶縁膜162にp型半導体層141pに達する開口部174が形成されている。

。素子活性領域 10c では、層間絶縁膜 162 及び絶縁膜 132 に n 型半導体層 131n に達する開口部 173 が形成され、層間絶縁膜 162 に n 型半導体層 141n に達する開口部 172 が形成されている。素子活性領域 10d では、層間絶縁膜 162 及び絶縁膜 132 に p 型半導体層 131p に達する開口部 171 が形成され、層間絶縁膜 162 に p 型半導体層 141p に達する開口部 174 が形成されている。開口部 171 内に導電膜 181 が形成され、開口部 172 内に導電膜 182 が形成され、開口部 173 内に導電膜 183 が形成され、開口部 174 内に導電膜 184 が形成されている。

[0025] また、素子活性領域 10a～10d において、層間絶縁膜 162 にゲート電極 156 に達する開口部 175 が形成され、開口部 175 内に導電膜 185 が形成されている。

[0026] 例えば、層間絶縁膜 162 には、シリコン酸化物、シリコン窒化物、シリコン炭化物又はシリコン酸窒化物等を用いることができる。例えば、導電膜 181～185 には、タングステン、コバルト、ルテニウム等を用いることができる。タングステンを用いる場合、導電性の下地膜を形成することが好ましいが、コバルト又はルテニウムを用いる場合は、下地膜を形成しなくてもよい。

[0027] 第 1 の実施形態に係る半導体装置では、積層トランジスタ構造 190a が pFET 及びその上の nFET を含み、積層トランジスタ構造 190b が nFET 及びその上の pFET を含み、これらは CFET の一例である。第 1 の実施形態に係る半導体装置は、これら CFET の他に、nFET 及びその上の nFET を含む積層トランジスタ構造 190c 並びに pFET 及びその上の pFET を含む積層トランジスタ構造 190d を有する。従って、第 1 の実施形態によれば、従来、平面視で異なる位置に設けられる導電型が同一の 2 つのトランジスタを、平面視で重ね合わせることができ、半導体装置を微細化することができる。

[0028] (第 2 の実施形態)

次に、第 2 の実施形態に係る半導体装置について説明する。第 2 の実施形

態は、第1の実施形態と同様に、p F E T上にn F E Tが形成された素子活性領域、n F E T上にp F E Tが形成された素子活性領域、n F E T上にn F E Tが形成された素子活性領域、p F E T上にp F E Tが形成された素子活性領域を含む。図4 A及び図4 Bは、第2の実施形態に係る半導体装置の構成を示す断面図である。

[0029] 図4 A及び図4 Bに示すように、第2の実施形態に係る半導体装置では、シリコン（S i）基板等の半導体基板2 0 1の表面に素子分離領域（図示せず）が形成されており、素子分離領域により、例えば4つの素子活性領域2 0 a、2 0 b、2 0 c及び2 0 dが画定されている。

[0030] 素子活性領域2 0 aでは、半導体基板2 0 1上に積層トランジスタ構造2 9 0 aが形成されている。積層トランジスタ構造2 9 0 aは、半導体基板2 0 1上に形成されたゲート構造2 9 1を含む。ゲート構造2 9 1は、ゲート電極2 5 6、複数のナノワイヤ2 5 8、ゲート絶縁膜2 5 5及びサイドウォール2 1 5を含む。ゲート電極2 5 6は、Y方向に延び、Z方向に立ち上がる。ナノワイヤ2 5 8は、X方向でゲート電極2 5 6を貫通し、Y方向及びZ方向に配列する。ゲート絶縁膜2 5 5は、ゲート電極2 5 6とナノワイヤ2 5 8との間に形成されている。ゲート電極2 5 6の側面上にゲート絶縁膜2 5 5を介してサイドウォール2 1 5が形成されている。

[0031] 例えば、ゲート電極2 5 6には、チタン、チタン窒化物又は多結晶シリコン等を用いることができる。例えば、ゲート絶縁膜2 5 5には、ハフニウム酸化物、アルミニウム酸化物又はハフニウム及びアルミニウムの酸化物等の高誘電率材料を用いることができる。例えば、ナノワイヤ2 5 8にはシリコン等を用いることができる。例えば、サイドウォール2 1 5には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0032] 例えば、Z方向に配列するナノワイヤ2 5 8の層数は4であり、素子活性領域2 0 aでは、半導体基板2 0 1側の2層のナノワイヤ2 5 8の端部に接する2つのp型S i G e層2 3 1 pが、X方向でゲート構造2 9 1を挟むようにして形成されている。p型S i G e層2 3 1 pの表面に酸化膜2 3 2が

形成されている。また、半導体基板201から離間する側の2層のナノワイヤ258の端部に接する2つのn型Si層241nが、X方向でゲート構造291を挟むようにして形成されている。n型Si層241nの表面に酸化膜242が形成されている。X方向にて、n型Si層241nはp型SiGe層231pより小さい。

[0033] このように、積層トランジスタ構造290aは、ゲート電極256、ナノワイヤ258、ゲート絶縁膜255及びp型SiGe層231pを含むpFETを有する。このpFETでは、一方のp型SiGe層231pがソース領域として機能し、他方のp型SiGe層231pがドレイン領域として機能し、ナノワイヤ258がチャネルとして機能する。積層トランジスタ構造290aは、ゲート電極256、ナノワイヤ258、ゲート絶縁膜255及びn型Si層241nを含むnFETも有する。このnFETでは、一方のn型Si層241nがソース領域として機能し、他方のn型Si層241nがドレイン領域として機能し、ナノワイヤ258がチャネルとして機能する。

[0034] 素子活性領域20bでは、半導体基板201上に積層トランジスタ構造290bが形成されている。積層トランジスタ構造290bは、積層トランジスタ構造290aと同様に、ゲート構造291を含む。また、素子活性領域20bでは、半導体基板201側の2層のナノワイヤ158の端部に接する2つのn型Si層231nが、X方向でゲート構造291を挟むようにして形成されている。n型Si層231nの表面に酸化膜234が形成されている。また、半導体基板201から離間する側の2層のナノワイヤ258の端部に接する2つのp型SiGe層241pが、X方向でゲート構造291を挟むようにして形成されている。X方向にて、p型SiGe層241pはn型Si層231nより小さい。

[0035] このように、積層トランジスタ構造290bは、ゲート電極256、ナノワイヤ258、ゲート絶縁膜255及びn型Si層231nを含むnFETを有する。このnFETでは、一方のn型Si層231nがソース領域とし

て機能し、他方のn型Si層231nがドレイン領域として機能し、ナノワイヤ258がチャネルとして機能する。積層トランジスタ構造290bは、ゲート電極256、ナノワイヤ258、ゲート絶縁膜255及びp型SiGe層241pを含むpFETも有する。このpFETでは、一方のp型SiGe層241pがソース領域として機能し、他方のp型SiGe層241pがドレイン領域として機能し、ナノワイヤ258がチャネルとして機能する。

[0036] 素子活性領域20cでは、半導体基板201上に積層トランジスタ構造290cが形成されている。積層トランジスタ構造290cは、積層トランジスタ構造290aと同様に、ゲート構造291を含む。また、素子活性領域20cでは、半導体基板201側の2層のナノワイヤ158の端部に接する2つのn型Si層231nが、X方向でゲート構造291を挟むようにして形成されている。n型Si層231nの表面に酸化膜234が形成されている。また、半導体基板201から離間する側の2層のナノワイヤ258の端部に接する2つのn型Si層241nが、X方向でゲート構造291を挟むようにして形成されている。n型Si層241nの表面に酸化膜242が形成されている。X方向にて、n型Si層241nはn型Si層231nより小さい。

[0037] このように、積層トランジスタ構造290cは、ゲート電極256、ナノワイヤ258、ゲート絶縁膜255及びn型Si層231nを含むnFETを有する。このnFETでは、一方のn型Si層231nがソース領域として機能し、他方のn型Si層231nがドレイン領域として機能し、ナノワイヤ258がチャネルとして機能する。積層トランジスタ構造290cは、ゲート電極256、ナノワイヤ258、ゲート絶縁膜255及びn型Si層241nを含むnFETも有する。このnFETでは、一方のn型Si層241nがソース領域として機能し、他方のn型Si層241nがドレイン領域として機能し、ナノワイヤ258がチャネルとして機能する。

[0038] 素子活性領域20dでは、半導体基板201上に積層トランジスタ構造2

90dが形成されている。積層トランジスタ構造290dは、積層トランジスタ構造290aと同様に、ゲート構造291を含む。また、素子活性領域20dでは、半導体基板201側の2層のナノワイヤ158の端部に接する2つのp型SiGe層231pが、X方向でゲート構造291を挟むようにして形成されている。p型SiGe層231pの表面に酸化膜232が形成されている。また、半導体基板201から離間する側の2層のナノワイヤ258の端部に接する2つのp型SiGe層241pが、X方向でゲート構造291を挟むようにして形成されている。X方向にて、p型SiGe層241pはp型SiGe層231pより小さい。

[0039] このように、積層トランジスタ構造290dは、ゲート電極256、ナノワイヤ258、ゲート絶縁膜255及びp型SiGe層231pを含むpFETを有する。このpFETでは、一方のp型SiGe層231pがソース領域として機能し、他方のp型SiGe層231pがドレイン領域として機能し、ナノワイヤ258がチャネルとして機能する。積層トランジスタ構造290dは、ゲート電極256、ナノワイヤ258、ゲート絶縁膜255及びp型SiGe層241pを含むpFETも有する。このpFETでは、一方のp型SiGe層241pがソース領域として機能し、他方のp型SiGe層241pがドレイン領域として機能し、ナノワイヤ258がチャネルとして機能する。

[0040] 積層トランジスタ構造290a～290dの間に層間絶縁膜261が形成されている。また、積層トランジスタ構造290a～290dを覆う層間絶縁膜262が層間絶縁膜261上に形成されている。層間絶縁膜262、層間絶縁膜261並びに酸化膜232、234及び242に、開口部271～274が形成されている。開口部271はp型SiGe層231pに達し、開口部272はn型Si層241nに達し、開口部273はn型Si層231nに達し、開口部274はp型SiGe層241pに達する。開口部271内に導電膜281が形成され、開口部272内に導電膜282が形成され、開口部273内に導電膜283が形成され、開口部274内に導電膜28

4 が形成されている。

[0041] また、素子活性領域 20a～20d において、層間絶縁膜 262 にゲート電極 256 に達する開口部（図示せず）が形成され、この開口部内に導電膜（図示せず）が形成されている。

[0042] 例えば、層間絶縁膜 261、262 には、シリコン酸化物、シリコン窒化物、シリコン炭化物又はシリコン酸窒化物等を用いることができる。例えば、導電膜 281～284 には、タングステン、コバルト、ルテニウム等を用いることができる。タングステンを用いる場合、導電性の下地膜を形成することが好ましいが、コバルト又はルテニウムを用いる場合は、下地膜を形成しなくてもよい。

[0043] 第 2 の実施形態に係る半導体装置では、積層トランジスタ構造 290a が p F E T 及びその上の n F E T を含み、積層トランジスタ構造 290b が n F E T 及びその上の p F E T を含み、これらは C F E T の一例である。第 2 の実施形態に係る半導体装置は、これら C F E T の他に、n F E T 及びその上の n F E T を含む積層トランジスタ構造 290c 並びに p F E T 及びその上の p F E T を含む積層トランジスタ構造 290d を有する。従って、第 2 の実施形態によれば、従来、平面視で異なる位置に設けられる導電型が同一の 2 つのトランジスタを、平面視で重ね合わせることができ、半導体装置を微細化することができる。

[0044] 次に、第 2 の実施形態に係る半導体装置の製造方法について説明する。図 5 A 及び図 5 B～図 30 A 及び図 30 B は、第 2 の実施形態に係る半導体装置の製造方法を示す断面図である。図 31 は、第 2 の実施形態に係る半導体装置の製造方法の途中の工程を示す斜視図である。

[0045] 先ず、半導体基板 201 の表面に素子分離領域 202 を形成する（図 31 参照）。次いで、図 5 A 及び図 5 B に示すように、半導体基板 201 上に S i G e 膜 203、S i 膜 204、S i G e 膜 205、S i 膜 206、S i G e 膜 207、S i 膜 208、S i G e 膜 209 及び S i 膜 210 を形成する。各 S i G e 膜及び S i 膜は、例えば、エピタキシャル成長法により形成す

る。続いて、各SiGe膜及びSi膜の積層をエッチングして、半導体基板201から突出した板状にパターニングする。その後、Si膜210上に犠牲膜211、シリコン酸化膜212、シリコン窒化膜213及びシリコン酸化膜214を形成する。これらの膜は、例えば化学気相成長（Chemical Vapor Deposition：CVD）法により形成することができる。犠牲膜211は、例えば多結晶シリコン膜である。なお、犠牲膜211の形成後であってシリコン酸化膜212の形成前に、犠牲膜211の上面で平坦化処理が行われても良い。

[0046] 続いて、図6A及び図6Bに示すように、フォトリソグラフィ及びエッチングにより、素子活性領域20a～20dのそれぞれにおいて、シリコン酸化膜214、シリコン窒化膜213及びシリコン酸化膜212をパターニングしてダミーゲート構造217を形成する。

[0047] 次いで、図7A及び図7Bに示すように、ダミーゲート構造217の側面上にサイドウォール215を形成する。サイドウォール215は、例えばシリコン窒化膜の形成及びエッチバックにより形成することができる。

[0048] その後、図8A及び図8Bに示すように、シリコン酸化膜214及びサイドウォール215をマスクとしたエッチングにより、Si膜210、SiGe膜209、Si膜208、SiGe膜207、Si膜206、SiGe膜205、Si膜204及びSiGe膜203をパターニングして半導体積層構造218を形成する。図31中の二点鎖線で示す部分が図8A中の素子活性領域20aの断面図に相当する。

[0049] 続いて、図8A及び図8Bに示す積層体を覆うシリコン酸化膜221を形成し、例えば化学機械研磨（Chemical Mechanical Polishing：CMP）により、サイドウォール215が露出するまでシリコン酸化膜221を研磨する。この結果、図9A及び図9Bに示すように、平坦化されたシリコン酸化膜221により、図8A及び図8Bに示す積層体の間の空間が埋められる。シリコン酸化膜221は、例えばCVD法により形成することができる。

[0050] 次いで、図10A及び図10Bに示すように、例えば反応性イオンエッチ

ング (Reactive Ion Etching : R I E) により、シリコン酸化膜 2 2 1 を薄化する。例えば、シリコン酸化膜 2 2 1 の上面は、S i G e 膜 2 0 7 の上面と下面との間に位置させる。シリコン酸化膜 2 2 1 の薄化の際に、シリコン酸化膜 2 1 4 が除去される。

[0051] その後、図 1 1 A 及び図 1 1 B に示すように、各積層体の上面及び側面上、並びにシリコン酸化膜 2 2 1 の上面上にシリコン窒化膜 2 2 2 を形成する。シリコン窒化膜 2 2 2 は、例えば C V D 法により形成することができる。

[0052] 続いて、図 1 2 A 及び図 1 2 B に示すように、素子活性領域 2 0 b 及び 2 0 c にレジストマスク 2 2 3 を形成し、素子活性領域 2 0 a 及び 2 0 d において、シリコン窒化膜 2 2 2 をエッチバックする。この結果、素子活性領域 2 0 a 及び 2 0 d において、積層体の側面上にサイドウォール 2 2 4 が形成される。

[0053] 次に、図 1 3 A 及び図 1 3 B に示すように、素子活性領域 2 0 a 及び 2 0 d において、シリコン酸化膜 2 2 1 を除去する。

[0054] その後、図 1 4 A 及び図 1 4 B に示すように、レジストマスク 2 2 3 を除去し、素子活性領域 2 0 a 及び 2 0 d において、S i G e 膜 2 0 3、S i 膜 2 0 4、S i G e 膜 2 0 5 及び S i 膜 2 0 6 の側面上に p 型 S i G e 層 2 3 1 p を選択成長させる。p 型 S i G e 層 2 3 1 p は、例えばエピタキシャル成長法により形成することができる。例えば、p 型 S i G e 層 2 3 1 p には、ジボラン (B_2H_6) を用いて、p 型不純物としてボロン (B) を導入する。

[0055] 続いて、図 1 5 A 及び図 1 5 B に示すように、p 型 S i G e 層 2 3 1 p の表面を酸化して、p 型 S i G e 層 2 3 1 p の表面に酸化膜 2 3 2 を形成する。

[0056] 次に、図 1 6 A 及び図 1 6 B に示すように、素子活性領域 2 0 a 及び 2 0 d にレジストマスク 2 3 3 を形成し、素子活性領域 2 0 b 及び 2 0 c において、シリコン窒化膜 2 2 2 をエッチバックする。この結果、素子活性領域 2 0 b 及び 2 0 c において、積層体の側面上にサイドウォール 2 2 5 が形成

される。

[0057] その後、図17A及び図17Bに示すように、素子活性領域20b及び20cにおいて、シリコン酸化膜221を除去する。

[0058] 続いて、図18A及び図18Bに示すように、レジストマスク233を除去し、素子活性領域20b及び20cにおいて、SiGe膜203、Si膜204、SiGe膜205及びSi膜206の側面上にn型Si層231nを選択成長させる。n型Si層231nは、例えばエピタキシャル成長法により形成することができる。例えば、n型Si層231nには、ホスフィン(PH₃)を用いて、n型不純物としてリン(P)を導入する。

[0059] 次いで、図19A及び図19Bに示すように、n型Si層231nの表面を酸化して、n型Si層231nの表面に酸化膜234を形成する。

[0060] その後、図20A及び図20Bに示すように、素子活性領域20b及び20dにレジストマスク235を形成し、エッチングにより、素子活性領域20a内のサイドウォール224及び素子活性領域20c内のサイドウォール225を除去する。このエッチングでは、例えば、エッチング量をシリコン窒化膜222の厚さの1.1倍程度とする。

[0061] 続いて、図21A及び図21Bに示すように、レジストマスク235を除去し、素子活性領域20a及び20cにおいて、SiGe膜207、Si膜208、SiGe膜209及びSi膜210の側面上にn型Si層241nを選択成長させる。n型Si層241nは、例えばエピタキシャル成長法により形成することができる。例えば、n型Si層241nには、ホスフィンを用いて、n型不純物としてリンを導入する。

[0062] 次いで、図22A及び図22Bに示すように、n型Si層241nの表面を酸化して、n型Si層241nの表面に酸化膜242を形成する。

[0063] その後、図23A及び図23Bに示すように、素子活性領域20a及び20cにレジストマスク243を形成し、エッチングにより、素子活性領域20b内のサイドウォール225及び素子活性領域20d内のサイドウォール224を除去する。このエッチングでは、例えば、エッチング量をシリコン

窒化膜 222 の厚さの 1.1 倍程度とする。

[0064] 続いて、図 24A 及び図 24B に示すように、レジストマスク 243 を除去し、素子活性領域 20b 及び 20d において、SiGe 膜 207、Si 膜 208、SiGe 膜 209 及び Si 膜 210 の側面上に p 型 SiGe 層 241p を選択成長させる。p 型 SiGe 層 241p は、例えばエピタキシャル成長法により形成することができる。例えば、p 型 SiGe 層 241p には、ジボランを用いて、p 型不純物としてボロンを導入する。

[0065] 次に、図 24A 及び図 24B に示す積層体を覆う層間絶縁膜 261 を形成し、例えば CMP により、サイドウォール 215 が露出するまで層間絶縁膜 261 を研磨する。この結果、図 25A 及び図 25B に示すように、平坦化された層間絶縁膜 261 により、図 24A 及び図 24B に示す積層体の間の空間が埋められる。層間絶縁膜 261 は、例えば CVD 法により形成することができる。

[0066] その後、図 26A 及び図 26B に示すように、シリコン窒化膜 213 及びシリコン酸化膜 212 を除去する。この結果、犠牲膜 211 が露出する。

[0067] 続いて、図 27A 及び図 27B に示すように、犠牲膜 211 を除去する。この結果、素子活性領域 20a～20d において、半導体積層構造 218 の Y 方向に直交する側面が露出する。

[0068] 次に、図 28A 及び図 28B に示すように、SiGe 膜 203、205、207 及び 209 を除去する。この結果、Si 膜 204、206、208 及び 210 の周囲に空間が形成される。

[0069] その後、図 29A 及び図 29B に示すように、Si 膜 204、206、208 及び 210 の周囲にゲート絶縁膜 255 及びゲート電極 256 を形成する。このようにして、素子活性領域 20a～20d のそれぞれに積層トランジスタ構造 290a～290d が形成される。また、Si 膜 204、206、208 及び 210 がナノワイヤ 258 として機能する。

[0070] 続いて、図 30A 及び図 30B に示すように、積層トランジスタ構造 290a～290d を覆う層間絶縁膜 262 を層間絶縁膜 261 上に形成し、層

間絶縁膜 262 の平坦化処理を行う。次いで、層間絶縁膜 262、層間絶縁膜 261 並びに酸化膜 232、234 及び 242 に、開口部 271～274 を形成する。そして、開口部 271～274 内に導電膜 281～284 を形成する。

[0071] その後、適宜、上層配線等を形成して半導体装置を完成させる。

[0072] このような製造方法によれば、C F E T の一例である積層トランジスタ構造 290 a 及び 290 b と並行して積層トランジスタ構造 290 c 及び 290 d を形成することができる。

[0073] なお、第 1 の実施形態のように、ゲート電極 256 と n 型 S i 層又は p 型 S i G e 層との間にゲート絶縁膜 255 に加えてスペーサが設けられてもよい。

[0074] (第 3 の実施形態)

次に、第 3 の実施形態に係る半導体装置について説明する。第 3 の実施形態は、第 1 の実施形態と同様に、p F E T 上に n F E T が形成された素子活性領域、n F E T 上に p F E T が形成された素子活性領域、n F E T 上に n F E T が形成された素子活性領域、p F E T 上に p F E T が形成された素子活性領域を含む。図 32 A 及び図 32 B は、第 3 の実施形態に係る半導体装置の構成を示す断面図である。

[0075] 図 32 A 及び図 32 B に示すように、第 3 の実施形態に係る半導体装置では、シリコン (S i) 基板等の半導体基板 301 の表面に素子分離領域 302 が形成されており、素子分離領域 302 により、例えば 4 つの素子活性領域 30 a、30 b、30 c 及び 30 d が画定されている。

[0076] 素子活性領域 30 a では、半導体基板 301 上に積層トランジスタ構造 390 a が形成されている。積層トランジスタ構造 390 a は、半導体基板 301 上に形成されたゲート構造 391 を含む。ゲート構造 391 は、ゲート電極 356、複数のナノワイヤ 358、ゲート絶縁膜 355、スペーサ 357 及びサイドウォール 315 を含む。ゲート電極 356 は、Y 方向に延び、Z 方向に立ち上がる。ナノワイヤ 358 は、X 方向でゲート電極 356 を貫

通し、Y方向及びZ方向に配列する。ゲート絶縁膜355は、ゲート電極356とナノワイヤ358との間に形成されている。X方向にて、ゲート電極356及びゲート絶縁膜355がナノワイヤ358の両端から後退するようにして形成されており、この後退した部分にスペーサ357が形成されている。ゲート電極356の側面上にゲート絶縁膜355を介してサイドウォール315が形成されている。半導体積層構造318の両脇において、半導体基板301上に絶縁膜316が形成されている。

[0077] 例えば、ゲート電極356には、チタン、チタン窒化物又は多結晶シリコン等を用いることができる。例えば、ゲート絶縁膜355には、ハフニウム酸化物、アルミニウム酸化物又はハフニウム及びアルミニウムの酸化物等の高誘電率材料を用いることができる。例えば、ナノワイヤ358にはシリコン等を用いることができる。例えば、絶縁膜316、スペーサ357及びサイドウォール315には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0078] 例えば、Z方向に配列するナノワイヤ358の層数は4であり、素子活性領域30aでは、半導体基板301側の2層のナノワイヤ358の各端部にp型半導体層331pが形成されている。p型半導体層331pに接する2つのローカル配線386がX方向でゲート構造391を挟むようにして形成されている。また、半導体基板101から離間する側の2層のナノワイヤ358の各端部にn型半導体層341nが形成されている。n型半導体層341nに接する2つのローカル配線388がX方向でゲート構造391を挟むようにして形成されている。ローカル配線386とローカル配線388との間に絶縁膜332が形成されている。例えば、p型半導体層331pはp型SiGe層であり、n型半導体層341nはn型Si層である。例えば、絶縁膜332には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0079] このように、積層トランジスタ構造390aは、ゲート電極356、ナノワイヤ358、ゲート絶縁膜355及びp型半導体層331pを含むpFE

Tを有する。このpFETでは、一方のp型半導体層331pがソース領域として機能し、他方のp型半導体層331pがドレイン領域として機能し、ナノワイヤ358がチャネルとして機能する。積層トランジスタ構造390aは、ゲート電極356、ナノワイヤ358、ゲート絶縁膜355及びn型半導体層341nを含むnFETも有する。このnFETでは、一方のn型半導体層341nがソース領域として機能し、他方のn型半導体層341nがドレイン領域として機能し、ナノワイヤ358がチャネルとして機能する。

[0080] 素子活性領域30bでは、半導体基板301上に積層トランジスタ構造390bが形成されている。積層トランジスタ構造390bは、積層トランジスタ構造390aと同様に、ゲート構造391を含む。また、素子活性領域30bでは、半導体基板301側の2層のナノワイヤ358の各端部にn型半導体層331nが形成されている。n型半導体層331nに接する2つのローカル配線386がX方向でゲート構造391を挟むようにして形成されている。また、半導体基板301から離間する側の2層のナノワイヤ358の各端部にp型半導体層341pが形成されている。p型半導体層341pに接する2つのローカル配線388がX方向でゲート構造391を挟むようにして形成されている。ローカル配線386とローカル配線388との間に絶縁膜332が形成されている。例えば、n型半導体層331nはn型Si層であり、p型半導体層341pはp型SiGe層である。

[0081] このように、積層トランジスタ構造390bは、ゲート電極356、ナノワイヤ358、ゲート絶縁膜355及びn型半導体層331nを含むnFETを有する。このnFETでは、一方のn型半導体層331nがソース領域として機能し、他方のn型半導体層331nがドレイン領域として機能し、ナノワイヤ358がチャネルとして機能する。積層トランジスタ構造390bは、ゲート電極356、ナノワイヤ358、ゲート絶縁膜355及びp型半導体層341pを含むpFETも有する。このpFETでは、一方のp型半導体層341pがソース領域として機能し、他方のp型半導体層341p

がドレイン領域として機能し、ナノワイヤ358がチャネルとして機能する。

[0082] 素子活性領域30cでは、半導体基板301上に積層トランジスタ構造390cが形成されている。積層トランジスタ構造390cは、積層トランジスタ構造390aと同様に、ゲート構造391を含む。また、素子活性領域30cでは、半導体基板301側の2層のナノワイヤ358の各端部にn型半導体層331nが形成されている。n型半導体層331nに接する2つのローカル配線386がX方向でゲート構造391を挟むようにして形成されている。また、半導体基板301から離間する側の2層のナノワイヤ358の各端部にn型半導体層341nが形成されている。n型半導体層341nに接する2つのローカル配線388がX方向でゲート構造391を挟むようにして形成されている。ローカル配線386とローカル配線388との間に絶縁膜332が形成されている。

[0083] このように、積層トランジスタ構造390cは、ゲート電極356、ナノワイヤ358、ゲート絶縁膜355及びn型半導体層331nを含むnFETを有する。このnFETでは、一方のn型半導体層331nがソース領域として機能し、他方のn型半導体層331nがドレイン領域として機能し、ナノワイヤ358がチャネルとして機能する。積層トランジスタ構造390cは、ゲート電極356、ナノワイヤ358、ゲート絶縁膜355及びn型半導体層341nを含むnFETも有する。このnFETでは、一方のn型半導体層341nがソース領域として機能し、他方のn型半導体層341nがドレイン領域として機能し、ナノワイヤ358がチャネルとして機能する。

[0084] 素子活性領域30dでは、半導体基板301上に積層トランジスタ構造390dが形成されている。積層トランジスタ構造390dは、積層トランジスタ構造390aと同様に、ゲート構造391を含む。また、素子活性領域30dでは、半導体基板301側の2層のナノワイヤ358の各端部にp型半導体層331pが形成されている。p型半導体層331pに接する2つの

ローカル配線 386 が X 方向でゲート構造 391 を挟むようにして形成されている。また、半導体基板 301 から離間する側の 2 層のナノワイヤ 358 の各端部に p 型半導体層 341 p が形成されている。p 型半導体層 341 p に接する 2 つのローカル配線 388 が X 方向でゲート構造 391 を挟むようにして形成されている。ローカル配線 386 とローカル配線 388 との間に絶縁膜 332 が形成されている。

[0085] このように、積層トランジスタ構造 390 d は、ゲート電極 356、ナノワイヤ 358、ゲート絶縁膜 355 及び p 型半導体層 331 p を含む p F E T を有する。この p F E T では、一方の p 型半導体層 331 p がソース領域として機能し、他方の p 型半導体層 331 p がドレイン領域として機能し、ナノワイヤ 358 がチャネルとして機能する。積層トランジスタ構造 390 d は、ゲート電極 356、ナノワイヤ 358、ゲート絶縁膜 355 及び p 型半導体層 341 p を含む p F E T も有する。この p F E T では、一方の p 型半導体層 341 p がソース領域として機能し、他方の p 型半導体層 341 p がドレイン領域として機能し、ナノワイヤ 358 がチャネルとして機能する。

[0086] 積層トランジスタ構造 390 a ~ 390 d の間に層間絶縁膜 361 が形成されている。層間絶縁膜 361 に開口部 363 が形成され、ローカル配線 386、絶縁膜 332 及びローカル配線 388 は開口部 363 内に形成されている。開口部 363 内でローカル配線 388 上に絶縁膜 389 が形成されている。また、積層トランジスタ構造 390 a ~ 390 d を覆う層間絶縁膜 362 が層間絶縁膜 361 上に形成されている。

[0087] 例えば、層間絶縁膜 361、362 には、シリコン酸化物、シリコン窒化物、シリコン炭化物又はシリコン酸窒化物等を用いることができる。例えば、ローカル配線 386、388 には、タングステン、コバルト、ルテニウム等を用いることができる。タングステンを用いる場合、導電性の下地膜を形成することが好ましいが、コバルト又はルテニウムを用いる場合は、下地膜を形成しなくてもよい。

[0088] 第3の実施形態に係る半導体装置では、積層トランジスタ構造390aがpFET及びその上のnFETを含み、積層トランジスタ構造390bがnFET及びその上のpFETを含み、これらはCFETの一例である。第3の実施形態に係る半導体装置は、これらCFETの他に、nFET及びその上のnFETを含む積層トランジスタ構造390c並びにpFET及びその上のpFETを含む積層トランジスタ構造390dを有する。従って、第3の実施形態によれば、従来、平面視で異なる位置に設けられる導電型が同一の2つのトランジスタを、平面視で重ね合わせることができ、半導体装置を微細化することができる。

[0089] 更に、第3の実施形態では、積層トランジスタ構造390a～390dの各々において、下側に位置するトランジスタに接続されるローカル配線386と上側に位置するトランジスタに接続されるローカル配線388とを重ね合わせることができる。従って、第1、第2の実施形態と比較して、X方向において、上層の配線との接続のための領域を狭めることができ、より半導体装置を微細化することができる。

[0090] 次に、第3の実施形態に係る半導体装置の製造方法について説明する。図33A及び図33B～図46A及び図46Bは、第3の実施形態に係る半導体装置の製造方法を示す断面図である。

[0091] 先ず、半導体基板301の表面に素子分離領域302を形成する。次いで、図33A及び図33Bに示すように、第2の実施形態と同様にして、半導体基板301の表面に素子分離領域302を形成し、半導体基板301上にダミーゲート構造317、サイドウォール315及び半導体積層構造318を形成する。また、半導体積層構造318の両脇において、半導体基板301上に絶縁膜316を形成する。ダミーゲート構造317は、犠牲膜311、シリコン酸化膜312、シリコン窒化膜313及びシリコン酸化膜314を含む。半導体積層構造318は、SiGe膜303、Si膜304、SiGe膜305、Si膜306、SiGe膜307、Si膜308、SiGe膜309及びSi膜310を含む。

- [0092] その後、図34A及び図34Bに示すように、等方性エッチングによりSiGe膜309、307、305及び303の両端を後退させ、後退させた部分にスペーサ357を形成する。スペーサ357は、例えばシリコン窒化膜の形成及び異方性エッチングにより形成することができる。
- [0093] 続いて、図35A及び図35Bに示すように、第2の実施形態と同様にして、SiGe膜307の上面と下面との間に上面が位置するシリコン酸化膜321を形成する。次いで、各積層体の上面及び側面上、並びにシリコン酸化膜321の上面上にシリコン窒化膜322を形成する。シリコン窒化膜322は、例えばCVD法により形成することができる。
- [0094] その後、図36A及び図36Bに示すように、素子活性領域30a~30dにおいて、シリコン窒化膜322をエッチバックする。この結果、積層体の側面上にサイドウォール324が形成される。
- [0095] 続いて、図37A及び図37Bに示すように、シリコン酸化膜321を除去する。
- [0096] 次いで、図37A及び図37Bに示す積層体を覆う層間絶縁膜361を形成し、例えばCMPにより、サイドウォール315が露出するまで層間絶縁膜361を研磨する。この結果、図38A及び図38Bに示すように、平坦化された層間絶縁膜361により、図37A及び図37Bに示す積層体の間の空間が埋められる。層間絶縁膜361は、例えばCVD法により形成することができる。
- [0097] その後、図39A及び図39Bに示すように、図37A及び図37Bに示す積層体の両側面を露出する開口部363を層間絶縁膜361に形成する。
- [0098] 続いて、図40A及び図40Bに示すように、素子活性領域30b及び30cにレジストマスク323を形成し、素子活性領域30a及び30dにおいて、Si膜304及び306の側面上にp型半導体層331pをエピタキシャル成長させる。
- [0099] 次いで、図41A及び図41Bに示すように、レジストマスク323を除去し、素子活性領域30a及び30dにレジストマスク333を形成し、素

子活性領域 30b 及び 30c において、Si 膜 304 及び 306 の側面上に n 型半導体層 331n をエピタキシャル成長させる。

[0100] その後、図 42A 及び図 42B に示すように、レジストマスク 333 を除去し、素子活性領域 30a ~ 30d のそれぞれにおいて、p 型半導体層 331p 又は n 型半導体層 331n に接するローカル配線 386 を形成する。例えば、ローカル配線 386 の上面は、SiGe 膜 307 の上面と下面との間に位置させる。ローカル配線 386 は、例えば開口部 363 への導電膜の埋め込み、この導電膜の平坦化及びこの導電膜のエッチバックにより形成することができる。続いて、ローカル配線 386 上に絶縁膜 387 を形成する。

[0101] 次に、図 43A 及び図 43B に示すように、素子活性領域 30b 及び 30d にレジストマスク 335 を形成し、エッチングにより、素子活性領域 30a 内のサイドウォール 324 の一部及び素子活性領域 30c 内のサイドウォール 324 の一部を除去する。その後、素子活性領域 30a 及び 30c において、Si 膜 308 及び 310 の側面上に n 型半導体層 341n をエピタキシャル成長させる。

[0102] 続いて、図 44A 及び図 44B に示すように、レジストマスク 335 を除去し、素子活性領域 30a 及び 30c にレジストマスク 343 を形成し、エッチングにより、素子活性領域 30b 内のサイドウォール 324 の一部及び素子活性領域 30d 内のサイドウォール 324 の一部を除去する。次に、素子活性領域 30b 及び 30d において、Si 膜 308 及び 310 の側面上に p 型半導体層 341p をエピタキシャル成長させる。

[0103] その後、図 45A 及び図 45B に示すように、レジストマスク 343 を除去し、素子活性領域 30a ~ 30d のそれぞれにおいて、p 型半導体層 341p 又は n 型半導体層 341n に接するローカル配線 388 を形成する。例えば、ローカル配線 388 の上面は、ダミーゲート構造 317 の上面と下面との間に位置させる。ローカル配線 388 は、例えば開口部 363 への導電膜の埋め込み、この導電膜の平坦化及びこの導電膜のエッチバックにより形成することができる。続いて、ローカル配線 388 上に絶縁膜 389 を形成

し、絶縁膜389の平坦化処理を行う。

[0104] 次いで、図46A及び図46Bに示すように、シリコン窒化膜313上の絶縁膜389、シリコン窒化膜313、シリコン酸化膜312及び犠牲膜311を除去する。この結果、素子活性領域30a~30dにおいて、半導体積層構造318のY方向に直交する側面が露出する。更に、SiGe膜303、305、307及び309を除去する。この結果、Si膜304、306、308及び310の周囲に空間が形成される。その後、第2の実施形態と同様にして、Si膜304、306、308及び310の周囲にゲート絶縁膜355及びゲート電極356を形成する。このようにして、素子活性領域30a~30dのそれぞれに積層トランジスタ構造390a~390dが形成される。また、Si膜304、306、308及び310がナノワイヤ358として機能する。

[0105] 続いて、積層トランジスタ構造390a~390dを覆う層間絶縁膜362を層間絶縁膜361上に形成する。

[0106] その後、適宜、上層配線等を形成して半導体装置を完成させる。

[0107] なお、半導体基板301上の絶縁膜316が設けられなくてもよい。この場合、半導体基板301上にp型半導体層331p若しくはn型半導体層331n又はこれらの両方が成長してもよい。また、p型半導体層331pとn型半導体層331nの形成順は適宜前後しても良い。同様に、p型半導体層341pとn型半導体層341nの形成順は適宜前後しても良い。

[0108] (第4の実施形態)

次に、第4の実施形態について説明する。第4の実施形態は、第1の実施形態に含まれる積層トランジスタ構造と同様の積層トランジスタ構造をカラムスイッチ及びカラムデコーダに含むスタティックランダムアクセスメモリ(Static Random Access Memory: SRAM)に関する。図47は、SRAMの一般的な構成を示す回路図である。

[0109] 図47に示すように、第4の実施形態に係るSRAM400は、 $(m+1)$ 本のワード線 $WL_0 \sim WL_m$ 、 $(n+1)$ 対のビット線対 BL_0 及び BL_X 。

$\sim BL_n$ 及び BLX_n 、並びに $(m+1) \times (n+1)$ 個のスタティック型のメモリセル $C_0 \sim C_n$ を含む。なお、 m 及び n は任意の自然数である。ワード線 $WL_0 \sim WL_m$ は第1の方向（横方向）に平行に延び、ビット線対 BL_0 及び $BLX_0 \sim BL_n$ 及び BLX_n は第1の方向と交差する第2の方向（縦方向）に延び、メモリセル $C_{0,0} \sim C_{n,m}$ はこれらの交差部に配置される。SRAM400は、ローデコーダRD、カラムスイッチ回路 $CS_0 \sim CS_n$ 、並びにカラムデコーダCDを含む。ローデコーダRDは、ワード線 $WL_0 \sim WL_m$ に接続される。カラムスイッチ回路 $CS_0 \sim CS_n$ は、それぞれがビット線対 BL_0 及び $BLX_0 \sim BL_n$ 及び BLX_n に接続される。カラムデコーダCDは、カラムスイッチ回路 $CS_0 \sim CS_n$ に接続される。SRAM400は、カラムスイッチ回路 $CS_0 \sim CS_n$ に接続されたデータ線対D及びDX、データ線対D及びDXに接続されたデータ入出力回路IOを含む。カラムデコーダCDにメモリセル $C_{0,0} \sim C_{n,m}$ を特定するアドレス信号対S及びSXが入力される。データ入出力回路IOにメモリセル $C_{0,0} \sim C_{n,m}$ に記憶させるデータDIが入力され、データ入出力回路IOからメモリセル $C_{0,0} \sim C_{n,m}$ に記憶されていたデータDOが出力される。ビット線 $BLX_0 \sim BLX_n$ を流れる信号は、ビット線 $BL_0 \sim BL_n$ を流れる信号の反転信号である。データ線DXを流れる信号は、データ線Dを流れる信号の反転信号である。アドレス信号SXはアドレス信号Sの反転信号である。

[0110] 次に、カラムスイッチ回路の回路構成について説明する。図48は、ビット線対 BL_0 及び BLX_0 に対応するカラムスイッチ回路 CS_0 の回路構成を示す回路図である。

[0111] 図48に示すように、カラムスイッチ回路 CS_0 はゲート同士が接続された2つのトランジスタ914p及び915pを含む。トランジスタ914p及び915pはpFETである。トランジスタ914pはビット線 BL_0 とデータ線Dとの間に接続され、トランジスタ915pはビット線 BLX_0 とデータ線DXとの間に接続され、トランジスタ914p及び915pのゲートにカラムデコーダCDから制御信号 A_0 が入力される。

[0112] 次に、カラムデコーダの回路構成について説明する。図49は、カラムデコーダCDの4対のビット線対BL₀及びBLX₀～BL₃及びBLX₃に対応する部分の回路構成を示す回路図である。図50は、制御信号A₀を出力するAND回路の回路構成を示す回路図である。

[0113] 図49に示すように、カラムデコーダCDの4対のビット線対BL₀及びBLX₀～BL₃及びBLX₃に対応する部分には、4つのAND回路AND0～AND3が設けられている。AND回路AND0にアドレス信号SX₀及びSX₁が入力され、AND回路AND0は制御信号A₀をカラムスイッチ回路CS0に出力する。AND回路AND1にアドレス信号SX₀及びSX₁が入力され、AND回路AND1は制御信号A₁をカラムスイッチ回路CS1に出力する。AND回路AND2にアドレス信号S₀及びSX₁が入力され、AND回路AND2は制御信号A₂をカラムスイッチ回路CS2に出力する。AND回路AND3にアドレス信号S₀及びSX₁が入力され、AND回路AND3は制御信号A₃をカラムスイッチ回路CS3に出力する。

[0114] 図50に示すように、AND回路AND0は、6つのトランジスタ911p、912p、913p、911n、912n及び913nを含む。トランジスタ911p、912p及び913pはpFETであり、トランジスタ911n、912n及び913nはnFETである。トランジスタ911p、912p及び913pの各ソースは電源電位V_{dd}が供給される電源線902に接続されている。トランジスタ911n及び913nの各ソースは接地電位V_{ss}が供給される電源線901に接続されている。トランジスタ912nのソースはトランジスタ911nのドレインに接続されている。トランジスタ911p及び911nのゲートにアドレス信号SX₀が入力され、トランジスタ912p及び912nのゲートにアドレス信号SX₁が入力される。トランジスタ913p及び913nのゲートは、トランジスタ911p、912p及び912nのドレインに接続されている。トランジスタ913p及び913nのドレインから制御信号A₀が出力される。

[0115] 入力信号及び出力信号が異なるが、AND回路AND1～AND3もAN

D回路AND0と同様の構成を備える。

[0116] 次に、AND回路AND0及びカラムスイッチ回路CS0を構成するナノワイヤ、ゲート、配線及び半導体層のレイアウトについて説明する。図51～図53は、第4の実施形態におけるAND回路AND0及びカラムスイッチ回路CS0の平面構成を示す図である。図51は、主として、ナノワイヤ、配線及び半導体層のレイアウトを示す。図52は、主として、図51中の積層トランジスタ構造の半導体基板側の半導体層のレイアウトを示す。図53は、主として、図51中の積層トランジスタ構造の半導体基板から離間する側の半導体層のレイアウトを示す。図51～図53には、ビア等も図示する。図54～図57は、AND回路AND0及びカラムスイッチ回路CS0を示す断面図である。図54は、図51中のY1-Y1線に沿った断面図に相当し、図55は、図51中のY2-Y2線に沿った断面図に相当し、図56は、図51中のX1-X1線に沿った断面図に相当し、図57は、図51中のX2-X2線に沿った断面図に相当する。

[0117] 図51～図57に示すように、半導体基板401の表面に素子分離領域402が形成されている。半導体基板401上に層間絶縁膜461、462、463及び464が形成されている。層間絶縁膜461内に4つの積層トランジスタ構造471、472、473及び474が形成されている。積層トランジスタ構造471、472及び473はAND回路AND0に含まれ、積層トランジスタ構造474はカラムスイッチ回路CS0に含まれる。

[0118] 積層トランジスタ構造471、472及び473はこの順でX方向に並んでいる。また、X方向に延びる電源線1101及び1102が層間絶縁膜463内に形成されている。電源線1101に接地電位 V_{ss} が供給され、電源線1102に電源電位 V_{dd} が供給される。積層トランジスタ構造471、472及び473は、Y方向で電源線1101及び1102の間に設けられている。

[0119] 積層トランジスタ構造471は、ゲート電極1041、複数のナノワイヤ458、ゲート絶縁膜455、スペーサ457及びサイドウォール415を

含む。積層トランジスタ構造471は、更に、p型半導体層1011p及び1012p、n型半導体層1021n及び1022n並びに絶縁膜432を含む。ゲート電極1041、複数のナノワイヤ458、ゲート絶縁膜455、スペーサ457及びサイドウォール415は、第1の実施形態のゲート電極156、複数のナノワイヤ158、ゲート絶縁膜155、スペーサ157及びサイドウォール115と同様に配置されている。また、p型半導体層1011p及び1012p、n型半導体層1021n及び1022n並びに絶縁膜432は、第1の実施形態のp型半導体層131p、n型半導体層141n及び絶縁膜132と同様に配置されている。p型半導体層1011pにローカル配線1301が接続され、p型半導体層1012pにローカル配線1303が接続され、n型半導体層1021nにローカル配線1401が接続され、n型半導体層1022nにローカル配線1402が接続されている。

[0120] このように、積層トランジスタ構造471は、ゲート電極1041、ナノワイヤ458、ゲート絶縁膜455、p型半導体層1011p及びp型半導体層1012pを含むpチャネル型のトランジスタ1001pを有する。トランジスタ1001pはトランジスタ911pに相当し、p型半導体層1011pはソース領域として機能し、p型半導体層1012pはドレイン領域として機能し、ナノワイヤ458はチャネルとして機能する。

[0121] また、積層トランジスタ構造471は、ゲート電極1041、ナノワイヤ458、ゲート絶縁膜455、n型半導体層1021n及びn型半導体層1022nを含むnチャネル型のトランジスタ1001nを有する。トランジスタ1001nはトランジスタ911nに相当し、n型半導体層1021nはソース領域として機能し、n型半導体層1022nはドレイン領域として機能し、ナノワイヤ458はチャネルとして機能する。

[0122] 積層トランジスタ構造472は、ゲート電極1042、複数のナノワイヤ458、ゲート絶縁膜455、スペーサ457及びサイドウォール415を含む。積層トランジスタ構造472は、更に、p型半導体層1012p及び

1013p、n型半導体層1023n及び1024n並びに絶縁膜432を含む。ゲート電極1042、複数のナノワイヤ458、ゲート絶縁膜455、スペーサ457及びサイドウォール415は、第1の実施形態のゲート電極156、複数のナノワイヤ158、ゲート絶縁膜155、スペーサ157及びサイドウォール115と同様に配置されている。また、p型半導体層1012p及び1013p、n型半導体層1023n及び1024n並びに絶縁膜432は、第1の実施形態のp型半導体層131p、n型半導体層141n及び絶縁膜132と同様に配置されている。p型半導体層1012pにローカル配線1303が接続され、p型半導体層1013pにローカル配線1302が接続され、n型半導体層1023nにローカル配線1403が接続され、n型半導体層1024nにローカル配線1404が接続されている。

[0123] このように、積層トランジスタ構造472は、ゲート電極1042、ナノワイヤ458、ゲート絶縁膜455、p型半導体層1012p及びp型半導体層1013pを含むpチャネル型のトランジスタ1002pを有する。トランジスタ1002pはトランジスタ912pに相当し、p型半導体層1013pはソース領域として機能し、p型半導体層1012pはドレイン領域として機能し、ナノワイヤ458はチャネルとして機能する。

[0124] また、積層トランジスタ構造472は、ゲート電極1042、ナノワイヤ458、ゲート絶縁膜455、n型半導体層1023n及びn型半導体層1024nを含むnチャネル型のトランジスタ1002nを有する。トランジスタ1002nはトランジスタ912nに相当し、n型半導体層1023nはソース領域として機能し、n型半導体層1024nはドレイン領域として機能し、ナノワイヤ458はチャネルとして機能する。

[0125] なお、p型半導体層1012p及びローカル配線1303はトランジスタ1001p及び1002pにより共有される。

[0126] 積層トランジスタ構造473は、ゲート電極1043、複数のナノワイヤ458、ゲート絶縁膜455、スペーサ457及びサイドウォール415を

含む。積層トランジスタ構造473は、更に、p型半導体層1013p及び1014p、n型半導体層1025n及び1026n並びに絶縁膜432を含む。ゲート電極1043、複数のナノワイヤ458、ゲート絶縁膜455、スペーサ457及びサイドウォール415は、第1の実施形態のゲート電極156、複数のナノワイヤ158、ゲート絶縁膜155、スペーサ157及びサイドウォール115と同様に配置されている。また、p型半導体層1013p及び1014p、n型半導体層1025n及び1026n並びに絶縁膜432は、第1の実施形態のp型半導体層131p、n型半導体層141n及び絶縁膜132と同様に配置されている。p型半導体層1013pにローカル配線1302が接続され、p型半導体層1014pにローカル配線1304が接続され、n型半導体層1025nにローカル配線1405が接続され、n型半導体層1026nにローカル配線1406が接続されている。

[0127] このように、積層トランジスタ構造473は、ゲート電極1043、ナノワイヤ458、ゲート絶縁膜455、p型半導体層1013p及びp型半導体層1014pを含むpチャネル型のトランジスタ1003pを有する。トランジスタ1003pはトランジスタ913pに相当し、p型半導体層1013pはソース領域として機能し、p型半導体層1014pはドレイン領域として機能し、ナノワイヤ458はチャネルとして機能する。

[0128] また、積層トランジスタ構造473は、ゲート電極1043、ナノワイヤ458、ゲート絶縁膜455、n型半導体層1025n及びn型半導体層1026nを含むnチャネル型のトランジスタ1003nを有する。トランジスタ1003nはトランジスタ913nに相当し、n型半導体層1025nはソース領域として機能し、n型半導体層1026nはドレイン領域として機能し、ナノワイヤ458はチャネルとして機能する。

[0129] なお、p型半導体層1013p及びローカル配線1302はトランジスタ1002p及び1003pにより共有される。

[0130] ローカル配線1301及び1302はそれぞれビア1071を介して電源

線 1 1 0 2 に接続され、ローカル配線 1 4 0 1 及び 1 4 0 5 はそれぞれビア 1 0 7 1 を介して電源線 1 1 0 1 に接続されている。ゲート電極 1 0 4 1 はビア 1 0 7 1 を介して配線 1 1 0 5 に接続され、ゲート電極 1 0 4 2 はビア 1 0 7 1 を介して配線 1 1 0 4 に接続され、ゲート電極 1 0 4 3 はビア 1 0 7 1 を介して配線 1 1 0 3 に接続されている。ローカル配線 1 4 0 2 及び 1 4 0 3 はそれぞれビア 1 0 7 1 を介して配線 1 1 0 6 に接続され、ローカル配線 1 3 0 4 及び 1 4 0 6 はそれぞれビア 1 0 7 1 を介して配線 1 1 0 7 に接続されている。配線 1 1 0 3 ~ 1 1 0 7 は、電源線 1 1 0 1 及び 1 1 0 2 と同様に、層間絶縁膜 4 6 3 内に形成され、X 方向に延びる。ビア 1 0 7 1 は層間絶縁膜 4 6 2 内に複数形成されている。ビア 1 0 7 1 は、層間絶縁膜 4 6 3 内に形成された配線と、各ゲート電極または各ローカル配線とを接続する。

[0131] 配線 1 1 0 4 はビア 1 0 7 2 を介して配線 1 2 0 1 に接続され、配線 1 1 0 5 はビア 1 0 7 2 を介して配線 1 2 0 2 に接続され、配線 1 1 0 7 はビア 1 0 7 2 を介して配線 1 2 0 3 に接続されている。配線 1 2 0 1 ~ 1 2 0 3 は層間絶縁膜 4 6 4 内に形成され、Y 方向に延びる。ビア 1 0 7 2 も層間絶縁膜 4 6 4 内に複数形成されている。ビア 1 0 7 2 は、層間絶縁膜 4 6 4 内に形成された配線と、層間絶縁膜 4 6 3 内に形成された配線とを接続する。配線 1 2 0 1 からアドレス信号 SX_1 が入力され、配線 1 2 0 2 からアドレス信号 SX_0 が入力され、配線 1 2 0 3 に制御信号 A_0 が出力される。

[0132] 積層トランジスタ構造 4 7 4 は、ゲート電極 1 0 4 4、複数のナノワイヤ 4 5 8、ゲート絶縁膜 4 5 5、スペーサ 4 5 7 及びサイドウォール 4 1 5 を含む。積層トランジスタ構造 4 7 4 は、更に、p 型半導体層 1 0 1 5 p 及び 1 0 1 6 p、p 型半導体層 1 0 3 1 p 及び 1 0 3 2 p 並びに絶縁膜 4 3 2 を含む。ゲート電極 1 0 4 4、複数のナノワイヤ 4 5 8、ゲート絶縁膜 4 5 5、スペーサ 4 5 7 及びサイドウォール 4 1 5 は、第 1 の実施形態のゲート電極 1 5 6、複数のナノワイヤ 1 5 8、ゲート絶縁膜 1 5 5、スペーサ 1 5 7 及びサイドウォール 1 1 5 と同様に配置されている。また、p 型半導体層 1

１０１５ｐ及び１０１６ｐ、ｐ型半導体層１０３１ｐ及び１０３２ｐ並びに絶縁膜４３２は、第１の実施形態のｐ型半導体層１３１ｐ、ｐ型半導体層１４１ｐ及び絶縁膜１３２と同様に配置されている。ｐ型半導体層１０１５ｐにローカル配線１３０５が接続され、ｐ型半導体層１０１６ｐにローカル配線１３０６が接続され、ｐ型半導体層１０３１ｐにローカル配線１４０７が接続され、ｐ型半導体層１０３２ｐにローカル配線１４０８が接続されている。

[0133] このように、積層トランジスタ構造４７４は、ゲート電極１０４４、ナノワイヤ４５８、ゲート絶縁膜４５５、ｐ型半導体層１０１５ｐ及びｐ型半導体層１０１６ｐを含むｐチャネル型のトランジスタ１００４ｐを有する。トランジスタ１００４ｐはトランジスタ９１５ｐに相当し、ｐ型半導体層１０１５ｐ及び１０１６ｐはソース領域又はドレイン領域として機能し、ナノワイヤ４５８はチャネルとして機能する。

[0134] また、積層トランジスタ構造４７４は、ゲート電極１０４４、ナノワイヤ４５８、ゲート絶縁膜４５５、ｐ型半導体層１０３１ｐ及びｐ型半導体層１０３２ｐを含むｐチャネル型のトランジスタ１００５ｐを有する。トランジスタ１００５ｐはトランジスタ９１４ｐに相当し、ｐ型半導体層１０３１ｐ及び１０３２ｐはソース領域又はドレイン領域として機能し、ナノワイヤ４５８はチャネルとして機能する。

[0135] ゲート電極１０４４はビア１０７１を介して配線１１０５に接続されている。ローカル配線１３０５はビア１０７１を介して配線１１０８に接続され、ローカル配線１３０６はビア１０７１を介して配線１１０９に接続されている。ローカル配線１４０７はビア１０７１を介して配線１１１２に接続され、ローカル配線１４０８はビア１０７１を介して配線１１１０に接続されている。配線１１０８～１１１２は、電源線１１０１及び１１０２と同様に、層間絶縁膜４６３内に形成され、Ｘ方向に延びる。

[0136] 配線１１０８はビア１０７２を介して配線１２０３に接続されている。配線１１０９はビア１０７２を介して配線１２０６に接続され、配線１１１１

はビア1072を介して配線1205に接続されている。配線1110はビア1072を介して配線1207に接続され、配線1112はビア1072を介して配線1204に接続されている。配線1204～1207は、配線1201～1203と同様に、層間絶縁膜464内に形成され、Y方向に延びる。配線1204がビット線BL₀に対応し、配線1205がビット線BLX₀に対応し、配線1207がデータ線D₀に対応し、配線1206がデータ線DX₀に対応する。

[0137] このように、AND回路AND₀及びカラムスイッチ回路CS₀は、Y方向に延びる配線1203を介して互いに接続される。

[0138] 例えば、層間絶縁膜461～464には、シリコン酸化物、シリコン窒化物、シリコン炭化物又はシリコン酸窒化物等を用いることができる。例えば、ローカル配線1301～1306及び1401～1408には、タングステン、コバルト、ルテニウム等を用いることができる。タングステンを用いる場合、導電性の下地膜を形成することが好ましいが、コバルト又はルテニウムを用いる場合は、下地膜を形成しなくてもよい。

[0139] 例えば、ゲート電極1041～1044には、チタン、チタン窒化物又は多結晶シリコン等を用いることができる。例えば、ゲート絶縁膜455には、ハフニウム酸化物、アルミニウム酸化物又はハフニウム及びアルミニウムの酸化物等の高誘電率材料を用いることができる。例えば、ナノワイヤ458にはシリコン等を用いることができる。例えば、絶縁膜432、スペーサ457及びサイドウォール415には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0140] 例えば、ビア1071には、タングステン、コバルト、ルテニウム等を用いることができる。タングステンを用いる場合、導電性の下地膜を形成することが好ましいが、コバルト又はルテニウムを用いる場合は、下地膜を形成しなくてもよい。

[0141] 例えば、電源線1101～1102、配線1103～1112、ビア1072及び配線1201～1207には、タングステン、コバルト、ルテニウ

ム等を用いることができる。タングステンを用いる場合、導電性の下地膜を形成することが好ましいが、コバルト又はルテニウムを用いる場合は、下地膜を形成しなくてもよい。配線1201～1207のそれぞれ及びビア1072は、デュアルダマシン法等により一体的に形成されていてもよい。

[0142] 図58～図60は、第4の実施形態における複数のAND回路及びカラムスイッチ回路の平面構成を示す図である。図58は、主として、ノワイヤ、配線及び半導体層のレイアウトを示す。図59は、主として、図58中の積層トランジスタ構造の半導体基板側の半導体層のレイアウトを示す。図60は、主として、図58中の積層トランジスタ構造の半導体基板から離間する側の半導体層のレイアウトを示す。図58～図60には、ビア等も図示する。

[0143] 図58～図60に示すように、X方向に複数のAND回路AND0、AND1、・・・、ANDnが配列し、これらAND回路AND0、AND1、・・・、ANDnの間で、電源線1101及び1102が共有されている。また、X方向に複数のカラムスイッチ回路CS0、CS1、・・・、CSnが配列している。カラムスイッチ回路CS0～CSnは、Y方向に延びる配線1203を介して、それぞれAND回路AND0～ANDnに接続されている。

[0144] 第4の実施形態に係る半導体装置では、積層トランジスタ構造471～473がCFETの一例である。第4の実施形態に係る半導体装置は、これらCFETをAND回路AND0～ANDnに有すると共に、pチャネル型のトランジスタ1004p及び1005pを含む積層トランジスタ構造474をカラムスイッチ回路CS0～CSnに有する。従って、第4の実施形態によれば、導電型が同一の2つのトランジスタ1004p及び1005pを、平面視で重ね合わせることができ、半導体装置を微細化することができる。なお、本実施形態では2つのpチャネル型のトランジスタによる積層トランジスタ構造を有するが、2つのnチャネル型のトランジスタによる積層トランジスタ構造を有するものであっても良い。また、半導体基板501上にn

チャネル型のトランジスタが配置され、その上にpチャネル型のトランジスタが配置された積層トランジスタ構造を有するものであっても良い。

[0145] 例えば、電源線1101～1102及び配線1103～1112はX方向に延在し、ローカル配線1301～1306及び1401～1408並びに配線1201～1207はY方向に延在するが、これに限定されるものではない。

[0146] また、例えば、ローカル配線1301～1306の上面とローカル配線1401～1408の上面は層間絶縁膜461の上面と面一であるが、これに限定されるものではない。

[0147] また、図58～図60に示す例では、各カラムスイッチ回路において、ビット線対がゲート電極1044から見てX方向で同じ側に位置するが、ビット線対の間にゲート電極1044が位置するようにしてもよい。このようにすることで、容易にビット線対の間の距離を設定することができる。

[0148] (第5の実施形態)

次に、第5の実施形態について説明する。第5の実施形態は、第3の実施形態に含まれる積層トランジスタ構造と同様の積層トランジスタ構造をカラムスイッチ及びカラムデコーダに含むSRAMに関する。

[0149] SRAMの回路構成は第4の実施形態と同様であるため、AND回路及びカラムスイッチ回路を構成するナノワイヤ、ゲート、配線及び半導体層のレイアウトについて説明する。図61～図64は、第5の実施形態におけるAND回路AND0及びカラムスイッチ回路CS0の平面構成を示す図である。図61は、主として、ナノワイヤ、配線及び半導体層のレイアウトを示す。図62は、主として、図61中の積層トランジスタ構造の半導体基板側の半導体層のレイアウトを示す。図63は、主として、図61中の積層トランジスタ構造の半導体基板から離間する側の半導体層のレイアウトを示す。図64は、主として、図61中の配線のレイアウトを示す。図61～図64には、ビア等も図示する。図65～図66は、AND回路AND0及びカラムスイッチ回路CS0を示す断面図である。図65は、図61中のY3-Y3

線に沿った断面図に相当し、図 6 6 は、図 6 1 中の Y 4 - Y 4 線に沿った断面図に相当する。

[0150] 図 6 1 ～図 6 6 に示すように、半導体基板 5 0 1 の表面に素子分離領域 5 0 2 が形成されている。半導体基板 5 0 1 上に層間絶縁膜 5 6 1、5 6 2、5 6 3 及び 5 6 4 が形成されている。層間絶縁膜 5 6 1 内に 4 つの積層トランジスタ構造 5 7 1、5 7 2、5 7 3 及び 5 7 4 が形成されている。積層トランジスタ構造 5 7 1、5 7 2 及び 5 7 3 は AND 回路 AND 0 に含まれ、積層トランジスタ構造 5 7 4 はカラムスイッチ回路 CS 0 に含まれる。なお、層間絶縁膜 5 6 1、5 6 2、5 6 3 及び 5 6 4 のそれぞれは、複数の絶縁膜が積層したものであっても良い。

[0151] 積層トランジスタ構造 5 7 1、5 7 2 及び 5 7 3 はこの順で X 方向に並んでいる。また、X 方向に延びる電源線 2 1 0 1 及び 2 1 0 2 が層間絶縁膜 5 6 3 内に形成されている。電源線 2 1 0 1 に接地電位 V_{ss} が供給され、電源線 2 1 0 2 に電源電位 V_{dd} が供給される。積層トランジスタ構造 5 7 1、5 7 2 及び 5 7 3 は、Y 方向で電源線 2 1 0 1 及び 2 1 0 2 の間に設けられている。

[0152] 積層トランジスタ構造 5 7 1 は、ゲート電極 2 0 4 1、複数のナノワイヤ 5 5 8、ゲート絶縁膜、スペーサ及びサイドウォールを含む。積層トランジスタ構造 5 7 1 は、更に、p 型半導体層 2 0 6 1 p 及び 2 0 6 2 p、n 型半導体層 2 0 6 1 n 及び 2 0 6 2 n 並びに絶縁膜 5 3 2 を含む。積層トランジスタ構造 5 7 1 の両脇において、半導体基板 5 0 1 上に絶縁膜 5 1 6 が形成されている。ゲート電極 2 0 4 1、複数のナノワイヤ 5 5 8、絶縁膜 5 1 6、ゲート絶縁膜、スペーサ及びサイドウォールは、第 3 の実施形態のゲート電極 3 5 6、複数のナノワイヤ 3 5 8、絶縁膜 3 1 6、ゲート絶縁膜 3 5 5、スペーサ 3 5 7 及びサイドウォール 3 1 5 と同様に配置されている。また、p 型半導体層 2 0 6 1 p 及び 2 0 6 2 p、n 型半導体層 2 0 6 1 n 及び 2 0 6 2 n 並びに絶縁膜 5 3 2 は、第 3 の実施形態の p 型半導体層 3 3 1 p、n 型半導体層 3 4 1 n 及び絶縁膜 3 3 2 と同様に配置されている。p 型半導

体層 2061p にローカル配線 2301 が接続され、p 型半導体層 2062p にローカル配線 2302 が接続され、n 型半導体層 2061n にローカル配線 2401 が接続され、n 型半導体層 2062n にローカル配線 2402 が接続されている。ローカル配線 2301 とローカル配線 2401 とは、平面視で Y 方向に互いにずれて配置され、ローカル配線 2302 とローカル配線 2402 とは、平面視で Y 方向に互いにずれて配置されている。

[0153] このように、積層トランジスタ構造 571 は、ゲート電極 2041、ナノワイヤ 558、ゲート絶縁膜、p 型半導体層 2061p 及び p 型半導体層 2062p を含む p チャネル型のトランジスタ 2001p を有する。トランジスタ 2001p はトランジスタ 911p に相当し、p 型半導体層 2061p はソース領域として機能し、p 型半導体層 2062p はドレイン領域として機能し、ナノワイヤ 558 はチャネルとして機能する。

[0154] また、積層トランジスタ構造 571 は、ゲート電極 2041、ナノワイヤ 558、ゲート絶縁膜、n 型半導体層 2061n 及び n 型半導体層 2062n を含む n チャネル型のトランジスタ 2001n を有する。トランジスタ 2001n はトランジスタ 911n に相当し、n 型半導体層 2061n はソース領域として機能し、n 型半導体層 2062n はドレイン領域として機能し、ナノワイヤ 558 はチャネルとして機能する。

[0155] 積層トランジスタ構造 572 は、ゲート電極 2042、複数のナノワイヤ 558、ゲート絶縁膜、スペーサ及びサイドウォールを含む。積層トランジスタ構造 572 は、更に、p 型半導体層 2063p 及び 2064p、n 型半導体層 2063n 及び 2064n 並びに絶縁膜 532 を含む。ゲート電極 2042、複数のナノワイヤ 558、ゲート絶縁膜、スペーサ及びサイドウォールは、第 3 の実施形態のゲート電極 356、複数のナノワイヤ 358、ゲート絶縁膜 355、スペーサ 357 及びサイドウォール 315 と同様に配置されている。また、p 型半導体層 2063p 及び 2064p、n 型半導体層 2063n 及び 2064n 並びに絶縁膜 532 は、第 3 の実施形態の p 型半導体層 331p、n 型半導体層 341n 及び絶縁膜 332 と同様に配置され

ている。p型半導体層2063pにローカル配線2302が接続され、p型半導体層2064pにローカル配線2303が接続され、n型半導体層2063nにローカル配線2402が接続され、n型半導体層2064nにローカル配線2403が接続されている。ローカル配線2303とローカル配線2403とは、平面視でY方向に互いにずれて配置されている。

[0156] このように、積層トランジスタ構造572は、ゲート電極2042、ナノワイヤ558、ゲート絶縁膜、p型半導体層2063p及びp型半導体層2064pを含むpチャネル型のトランジスタ2002pを有する。トランジスタ2002pはトランジスタ912pに相当し、p型半導体層2064pはソース領域として機能し、p型半導体層2063pはドレイン領域として機能し、ナノワイヤ558はチャネルとして機能する。

[0157] また、積層トランジスタ構造572は、ゲート電極2042、ナノワイヤ558、ゲート絶縁膜、n型半導体層2063n及びn型半導体層2064nを含むnチャネル型のトランジスタ2002nを有する。トランジスタ2002nはトランジスタ912nに相当し、n型半導体層2063nはソース領域として機能し、n型半導体層2064nはドレイン領域として機能し、ナノワイヤ558はチャネルとして機能する。

[0158] なお、ローカル配線2302はトランジスタ2001p及び2002pにより共有される。また、ローカル配線2402はトランジスタ2001n及び2002nにより共有される。ただし、トランジスタ2001p及び2002pで別々のローカル配線を形成し、配線やビア等を介して電氣的に接続するものとしても良い。また、トランジスタ2001n及び2002nで別々のローカル配線を形成し、配線やビア等を介して電氣的に接続するものとしても良い。

[0159] 積層トランジスタ構造573は、ゲート電極2043、複数のナノワイヤ558、ゲート絶縁膜、スペーサ及びサイドウォールを含む。積層トランジスタ構造573は、更に、p型半導体層2065p及び2066p、n型半導体層2065n及び2066n並びに絶縁膜532を含む。ゲート電極2

043、複数のナノワイヤ558、ゲート絶縁膜、スペーサ及びサイドウォールは、第3の実施形態のゲート電極356、複数のナノワイヤ358、ゲート絶縁膜355、スペーサ357及びサイドウォール315と同様に配置されている。また、p型半導体層2065p及び2066p、n型半導体層2065n及び2066n並びに絶縁膜532は、第3の実施形態のp型半導体層331p、n型半導体層341n及び絶縁膜332と同様に配置されている。p型半導体層2065pにローカル配線2304が接続され、p型半導体層2066pにローカル配線2305が接続され、n型半導体層2065nにローカル配線2404が接続され、n型半導体層2066nにローカル配線2405が接続されている。ローカル配線2304とローカル配線2404とは、平面視でY方向に互いにずれて配置され、ローカル配線2305とローカル配線2405とは、平面視でY方向に互いにずれて配置されている。

[0160] このように、積層トランジスタ構造573は、ゲート電極2043、ナノワイヤ558、ゲート絶縁膜、p型半導体層2065p及びp型半導体層2066pを含むpチャネル型のトランジスタ2003pを有する。トランジスタ2003pはトランジスタ913pに相当し、p型半導体層2065pはソース領域として機能し、p型半導体層2066pはドレイン領域として機能し、ナノワイヤ558はチャネルとして機能する。

[0161] また、積層トランジスタ構造573は、ゲート電極2043、ナノワイヤ558、ゲート絶縁膜、n型半導体層2065n及びn型半導体層2066nを含むnチャネル型のトランジスタ2003nを有する。トランジスタ2003nはトランジスタ913nに相当し、n型半導体層2065nはソース領域として機能し、n型半導体層2066nはドレイン領域として機能し、ナノワイヤ558はチャネルとして機能する。

[0162] ローカル配線2301、2303及び2304はそれぞれビア2071を介して電源線2102に接続され、ローカル配線2401及び2404はそれぞれビア2071を介して電源線2101に接続されている。ゲート電極

2041はビア2071を介して配線2105に接続され、ゲート電極2042はビア2071を介して配線2104に接続され、ゲート電極2043はビア2071を介して配線2107に接続されている。ローカル配線2302はビア2071を介して配線2103に接続され、ローカル配線2403はビア2071を介して配線2106に接続され、ローカル配線2403はビア2071を介して配線2108に接続されている。ローカル配線2305及び2405はこれらの間の絶縁膜532に形成された開口部532aを介して互いに接続されている。なお、開口部532aは、平面視でp型半導体層2066p及びn型半導体層2066nからずれて配置されているが、開口部532aの配置される位置はこれに限定されない。配線2103～2108は、電源線2101及び2102と同様に、層間絶縁膜563内に形成され、X方向に延びる。ビア2071は層間絶縁膜562内に複数形成されている。ビア2071は、層間絶縁膜563内に形成された配線と、各ローカル配線とを接続する。また、層間絶縁膜563内に形成された配線と、各ゲート電極とを接続する。なお、半導体基板501側のローカル配線上にビア2071が形成された場合、ビア2071の一部が基板から離れた側のローカル配線と同じ高さに位置しても良い。

[0163] 配線2104はビア2072を介して配線2201に接続され、配線2105はビア2072を介して配線2202に接続されている。配線2103及び2107はそれぞれビア2072を介して配線2204に接続され、配線2108はビア2072を介して配線2203に接続されている。配線2201～2204は層間絶縁膜564内に形成され、Y方向に延びる。ビア2072も層間絶縁膜564内に複数形成されている。ビア2072は、層間絶縁膜563内に形成された配線と、層間絶縁膜564内に形成された配線とを接続する。配線2201からアドレス信号 SX_1 が入力され、配線2202からアドレス信号 SX_0 が入力され、配線2203に制御信号 A_0 が出力される。

[0164] 積層トランジスタ構造574は、ゲート電極2044、複数のナノワイヤ

558、ゲート絶縁膜、スペーサ及びサイドウォールを含む。積層トランジスタ構造574は、更に、p型半導体層2067p及び2068p、p型半導体層2069p及び2070p並びに絶縁膜532を含む。ゲート電極2044、複数のナノワイヤ558、ゲート絶縁膜、スペーサ及びサイドウォールは、第3の実施形態のゲート電極356、複数のナノワイヤ358、ゲート絶縁膜355、スペーサ357及びサイドウォール315と同様に配置されている。また、p型半導体層2067p及び2068p、p型半導体層2069p及び2070p並びに絶縁膜532は、第3の実施形態のp型半導体層331p、p型半導体層341p及び絶縁膜332と同様に配置されている。p型半導体層2067pにローカル配線2306が接続され、p型半導体層2068pにローカル配線2307が接続され、p型半導体層2069pにローカル配線2406が接続され、p型半導体層2070pにローカル配線2407が接続されている。

[0165] このように、積層トランジスタ構造574は、ゲート電極2044、ナノワイヤ558、ゲート絶縁膜、p型半導体層2067p及びp型半導体層2068pを含むpチャネル型のトランジスタ2004pを有する。トランジスタ2004pはトランジスタ914pに相当し、p型半導体層2067p及び2068pはソース領域又はドレイン領域として機能し、ナノワイヤ558はチャネルとして機能する。

[0166] また、積層トランジスタ構造574は、ゲート電極2044、ナノワイヤ558、ゲート絶縁膜、p型半導体層2069p及びp型半導体層2070pを含むpチャネル型のトランジスタ2005pを有する。トランジスタ2005pはトランジスタ915pに相当し、p型半導体層2069p及び1032pはソース領域又はドレイン領域として機能し、ナノワイヤ558はチャネルとして機能する。

[0167] ゲート電極2044はビア2071を介して配線2113に接続されている。ローカル配線2306はビア2071を介して配線2111に接続され、ローカル配線2307はビア2071を介して配線2109に接続されて

いる。ローカル配線2406はビア2071を介して配線2112に接続され、ローカル配線2407はビア2071を介して配線2110に接続されている。配線2109～2113は、電源線2101及び2102と同様に、層間絶縁膜563内に形成され、X方向に延びる。ビア2071は層間絶縁膜562内に形成されている。

[0168] 配線2113はビア2072を介して配線2203に接続されている。配線2111はビア2072を介して配線2208に接続され、配線2109はビア2072を介して配線2206に接続されている。配線2112はビア2072を介して配線2205に接続され、配線2110はビア2072を介して配線2207に接続されている。配線2205～2208は、配線2201～2204と同様に、層間絶縁膜564内に形成され、Y方向に延びる。ビア2072も層間絶縁膜564内に形成されている。配線2208がビット線BL₀に対応し、配線2207がビット線BLX₀に対応し、配線2206がデータ線D₀に対応し、配線2205がデータ線DX₀に対応する。

[0169] このように、AND回路AND₀及びカラムスイッチ回路CS₀は、Y方向に延びる配線2203を介して互いに接続される。

[0170] 例えば、層間絶縁膜561～564には、シリコン酸化物、シリコン窒化物、シリコン炭化物又はシリコン酸窒化物等を用いることができる。例えば、ローカル配線2301～2307及び2401～2407には、タングステン、コバルト、ルテニウム等を用いることができる。タングステンを用いる場合、導電性の下地膜を形成することが好ましいが、コバルト又はルテニウムを用いる場合は、下地膜を形成しなくてもよい。

[0171] 例えば、ゲート電極2041～2044には、チタン、チタン窒化物又は多結晶シリコン等を用いることができる。例えば、ゲート絶縁膜には、ハフニウム酸化物、アルミニウム酸化物又はハフニウム及びアルミニウムの酸化物等の高誘電率材料を用いることができる。例えば、ナノワイヤ558にはシリコン等を用いることができる。例えば、絶縁膜516、絶縁膜532、

スペーサ及びサイドウォールには、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0172] 例えば、ビア2071には、タングステン、コバルト、ルテニウム等を用いることができる。タングステンを用いる場合、導電性の下地膜を形成することが好ましいが、コバルト又はルテニウムを用いる場合は、下地膜を形成しなくてもよい。

[0173] 例えば、電源線2101～2102、配線2103～2113、ビア2072及び配線2201～2208には、タングステン、コバルト、ルテニウム等を用いることができる。タングステンを用いる場合、導電性の下地膜を形成することが好ましいが、コバルト又はルテニウムを用いる場合は、下地膜を形成しなくてもよい。配線2201～2208のそれぞれ及びビア2072は、デュアルダマシン法等により一体的に形成されていてもよい。

[0174] 図67～図70は、第5の実施形態における複数のAND回路及びカラムスイッチ回路の平面構成を示す図である。図67は、ナノワイヤ、配線及び半導体層のレイアウトを示す。図68は、主として、図67中の積層トランジスタ構造の半導体基板側の半導体層のレイアウトを示す。図69は、主として、図67中の積層トランジスタ構造の半導体基板から離間する側の半導体層のレイアウトを示す。図70は、主として、図67中の配線のレイアウトを示す。図67～図70には、ビア等も図示する。

[0175] 図67～図70に示すように、X方向に複数のAND回路AND0、AND1、・・・、ANDnが配列し、これらAND回路AND0、AND1、・・・、ANDnの間で、電源線2101及び2102が共有されている。また、X方向に複数のカラムスイッチ回路CS0、CS1、・・・、CSnが配列している。カラムスイッチ回路CS0～CSnは、Y方向に延びる配線2203を介して、それぞれAND回路AND0～ANDnに接続されている。

[0176] 第5の実施形態に係る半導体装置では、積層トランジスタ構造571～573がCFETの一例である。第5の実施形態に係る半導体装置は、これら

C F E TをAND回路AND 0～AND nに有すると共に、pチャネル型のトランジスタ2004 p及び2005 pを含む積層トランジスタ構造574をカラムスイッチ回路CS 0～CS nに有する。従って、第5の実施形態によれば、導電型が同一の2つのトランジスタ2004 p及び2005 pを、平面視で重ね合わせることができ、半導体装置を微細化することができる。なお、本実施形態では2つのpチャネル型のトランジスタによる積層トランジスタ構造を有するが、2つのnチャネル型のトランジスタによる積層トランジスタ構造を有するものであっても良い。また、半導体基板501上にnチャネル型のトランジスタが配置され、その上にpチャネル型のトランジスタが配置された積層トランジスタ構造を有するものであっても良い。また、本実施形態のカラムスイッチ回路に限らず、同一の導電型のトランジスタを複数有し、それらのゲート電極が互いに電氣的に接続されているような回路において、同一の導電型のトランジスタを積層した積層トランジスタ構造が配置されても良い。

[0177] また、第5の実施形態では、ローカル配線2301～2305のY方向の両端の位置は互いに同一である。このため、これらを形成するために用いるマスクを高精度で形成しやすく、ローカル配線2301～2305を高精度で形成することができる。また、ローカル配線2401～2405のY方向の両端の位置は互いに同一である。このため、これらを形成するために用いるマスクを高精度で形成しやすく、ローカル配線2401～2405を高精度で形成することができる。なお、本開示において同一とは、完全な同一を意味するものではなく、プロセス変動等に起因する位置ずれ等を許容する。なお、ローカル配線2301～2305のY方向の一端又は両端の位置を互いに異なるものとしても良く、ローカル配線2401～2405のY方向の一端又は両端の位置を互いに異なるものとしても良い。

[0178] (第6の実施形態)

次に、第6の実施形態について説明する。第6の実施形態は、主として、半導体基板の厚さ方向における電源線の位置の点で第5の実施形態と相違す

る。図 7 1 は、第 6 の実施形態における AND 回路及びカラムスイッチ回路の平面構成を示す図である。図 7 1 は、主として、複数の AND 回路及びカラムスイッチ回路を構成するナノワイヤ、配線及び半導体層のレイアウトを示す。図 7 2 は、AND 回路 AND 0 及びカラムスイッチ回路 CS 0 を示す断面図である。図 7 2 は、図 7 1 中の Y 5 - Y 5 線に沿った断面図に相当する。

[0179] 図 7 1 ~ 図 7 2 に示すように、第 6 の実施形態に係る半導体装置は、電源線 2 1 0 1 に代えて電源線 3 1 0 1 を有し、電源線 2 1 0 2 に代えて電源線 3 1 0 2 を有する。電源線 3 1 0 1 及び 3 1 0 2 は、半導体基板 5 0 1 及び素子分離領域 5 0 2 に形成された溝内に形成された絶縁性の下地膜とその上の導電膜を有する。例えば、下地膜にはシリコン酸化物を用いることができ、導電膜にはタングステン、コバルト、ルテニウム等を用いることができる。導電膜の表面に絶縁膜が形成されていてもよい。電源線 3 1 0 1 に接地電位 V_{ss} が供給され、電源線 3 1 0 2 に電源電位 V_{dd} が供給される。電源線 3 1 0 1 とローカル配線 2 4 0 1 及び 2 4 0 4 とは、層間絶縁膜 5 6 1 内に形成されたビア 3 0 7 1 を介して互いに接続されている。また、電源線 3 1 0 2 とローカル配線 2 3 0 1、2 3 0 3 及び 2 4 0 4 とは、絶縁膜 5 1 6 内に形成されたビア 3 0 7 2 を介して互いに接続されている。ビア 3 0 7 1 ~ 3 0 7 2 には、タングステン、コバルト、ルテニウム等を用いることができる。タングステンを用いる場合、導電性の下地膜を形成することが好ましいが、コバルト又はルテニウムを用いる場合は、下地膜を形成しなくてもよい。ローカル配線 2 4 0 1 及び 2 4 0 4 のそれぞれ並びにビア 3 0 7 1 は、デュアルダマシン法等により一体的に形成されていてもよく、ローカル配線 2 3 0 1、2 3 0 3 及び 2 4 0 4 のそれぞれ並びにビア 3 0 7 2 は、デュアルダマシン法等により一体的に形成されていてもよい。

[0180] 以上、各実施形態に基づき本発明の説明を行ってきたが、上記実施形態に示した要件に本発明が限定されるものではない。これらの点に関しては、本発明の主旨をそこなわない範囲で変更することができ、その応用形態に応じ

て適切に定めることができる。

符号の説明

- [0181] 131p、141p、331p、341p、1011p、1012p、1013p、1014p、1015p、1016p、1031p、1032p、2061p、2062p、2063p、2064p、2065p、2066p、2067p、2068p、2069p、2070p
: p型半導体層
- 131n、141n、331n、341n、1021n、1022n、1023n、1024n、1025n、1026n、2061n、2062n、2063n、2064n、2065n、2066n : n型半導体層
- 132、332、432、532 : 絶縁膜
- 155、255、355、455 : ゲート絶縁膜
- 156、256、356、1041、1042、1043、1044、2041、2042、2043、2044 : ゲート電極
- 158、258、358、458、558 : ナノワイヤ
- 190a、190b、190c、190d、290a、290b、290c、290d、390a、390b、390c、390d、471、472、473、474、571、572、573、574 : 積層トランジスタ構造
- 231p、241p : p型SiGe層
- 231n、241n : n型Si層
- 234、242 : 酸化膜
- 1001p、1002p、1003p、1004p、1005p、2001p、2002p、2003p、2004p、2005p、1001n、1002n、1003n、2001n、2002n、2003n : トランジスタ

請求の範囲

[請求項1]

基板と、
前記基板の上方に形成された第1のトランジスタと、
前記第1のトランジスタの上方に形成された第2のトランジスタと、
、
前記基板の上方に形成された第3のトランジスタと、
前記第3のトランジスタの上方に形成された第4のトランジスタと、
、
を有し、
前記第1のトランジスタは、
第1のゲート電極と、
第1導電型の第1のソース領域と、
前記第1導電型の第1のドレイン領域と、
を有し、
前記第2のトランジスタは、
第2のゲート電極と、
第2導電型の第2のソース領域と、
前記第2導電型の第2のドレイン領域と、
を有し、
前記第3のトランジスタは、
第3のゲート電極と、
第3導電型の第3のソース領域と、
前記第3導電型の第3のドレイン領域と、
を有し、
前記第4のトランジスタは、
第4のゲート電極と、
第4導電型の第4のソース領域と、
前記第4導電型の第4のドレイン領域と、

を有し、
前記第 1 導電型及び前記第 2 導電型は互いに異なり、
前記第 3 導電型及び前記第 4 導電型は互いに同一であり、
前記第 1 のゲート電極及び前記第 2 のゲート電極が一体化され、
前記第 3 のゲート電極及び前記第 4 のゲート電極が一体化されていることを特徴とする半導体装置。

[請求項2] 前記第 1 のトランジスタは、前記第 1 のソース領域と前記第 1 のドレイン領域との間に第 1 のナノワイヤの第 1 のチャンネルを有し、
前記第 2 のトランジスタは、前記第 2 のソース領域と前記第 2 のドレイン領域との間に第 2 のナノワイヤの第 2 のチャンネルを有し、
前記第 3 のトランジスタは、前記第 3 のソース領域と前記第 3 のドレイン領域との間に第 3 のナノワイヤの第 3 のチャンネルを有し、
前記第 4 のトランジスタは、前記第 4 のソース領域と前記第 4 のドレイン領域との間に第 4 のナノワイヤの第 4 のチャンネルを有することを特徴とする請求項 1 に記載の半導体装置。

[請求項3] 前記第 1 のソース領域に接触する第 1 のソース側ローカル配線と、
前記第 1 のドレイン領域に接触する第 1 のドレイン側ローカル配線と、
前記第 2 のソース領域に接触する第 2 のソース側ローカル配線と、
前記第 2 のドレイン領域に接触する第 2 のドレイン側ローカル配線と、
前記第 3 のソース領域に接触する第 3 のソース側ローカル配線と、
前記第 3 のドレイン領域に接触する第 3 のドレイン側ローカル配線と、
前記第 4 のソース領域に接触する第 4 のソース側ローカル配線と、
前記第 4 のドレイン領域に接触する第 4 のドレイン側ローカル配線と、
を有し、

前記第 1 のソース側ローカル配線の少なくとも一部は、前記第 2 のソース側ローカル配線又は前記第 2 のドレイン側ローカル配線の一方の少なくとも一部と平面視で重なり合い、

前記第 1 のドレイン側ローカル配線の少なくとも一部は、前記第 2 のソース側ローカル配線又は前記第 2 のドレイン側ローカル配線の他方の少なくとも一部と平面視で重なり合い、

前記第 3 のソース側ローカル配線の少なくとも一部は、前記第 4 のソース側ローカル配線又は前記第 4 のドレイン側ローカル配線の一方の少なくとも一部と平面視で重なり合い、

前記第 3 のドレイン側ローカル配線の少なくとも一部は、前記第 4 のソース側ローカル配線又は前記第 4 のドレイン側ローカル配線の他方の少なくとも一部と平面視で重なり合うことを特徴とする請求項 2 に記載の半導体装置。

[請求項 4]

前記第 1 のソース側ローカル配線は、前記第 2 のソース側ローカル配線又は前記第 2 のドレイン側ローカル配線の前記一方と平面視で重なっていない部分を有し、

前記第 1 のドレイン側ローカル配線は、前記第 2 のソース側ローカル配線又は前記第 2 のドレイン側ローカル配線の前記他方と平面視で重なっていない部分を有し、

前記第 3 のソース側ローカル配線は、前記第 4 のソース側ローカル配線又は前記第 4 のドレイン側ローカル配線の前記一方と平面視で重なっていない部分を有し、

前記第 3 のドレイン側ローカル配線は、前記第 4 のソース側ローカル配線又は前記第 4 のドレイン側ローカル配線の前記他方と平面視で重なっていない部分を有することを特徴とする請求項 3 に記載の半導体装置。

[請求項 5]

前記第 1 導電型は p 型であり、

前記第 2 導電型は n 型であり、

前記第3導電型及び前記第4導電型はp型又はn型であることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置。

[請求項6] 前記第1のトランジスタ及び前記第2のトランジスタの出力信号が前記第3のゲート電極及び前記第4のゲート電極に入力されることを特徴とする請求項1乃至5のいずれか1項に記載の半導体装置。

[請求項7] 複数のメモリセルと、
前記複数のメモリセルに接続されたビット線対と、
前記ビット線対に接続されたカラムスイッチ回路と、
前記カラムスイッチ回路を制御するカラムデコーダと、
を有し、
前記カラムデコーダは、前記第1のトランジスタ及び前記第2のトランジスタを有し、
前記カラムスイッチ回路は、前記第3のトランジスタ及び前記第4のトランジスタを有することを特徴とする請求項1乃至6のいずれか1項に記載の半導体装置。

[請求項8] 前記カラムデコーダは、複数の前記第1のトランジスタ及び複数の前記第2のトランジスタを有し、
隣接する2つの前記第1のトランジスタは、互いに共有する1つのローカル配線をその間に有し、
前記隣接する2つの第1トランジスタ上で隣接する2つの前記第2のトランジスタは、互いに共有する1つのローカル配線をその間に有することを特徴とする請求項7に記載の半導体装置。

[請求項9] 基板の上方に第1のトランジスタを形成する工程と、
前記第1のトランジスタの上方に第2のトランジスタを形成する工程と、
前記基板の上方に第3のトランジスタを形成する工程と、
前記第3のトランジスタの上方に第4のトランジスタを形成する工程と、

を有し、
前記第 1 のトランジスタは、
第 1 のゲート電極と、
第 1 導電型の第 1 のソース領域と、
前記第 1 導電型の第 1 のドレイン領域と、
を有し、
前記第 2 のトランジスタは、
第 2 のゲート電極と、
第 2 導電型の第 2 のソース領域と、
前記第 2 導電型の第 2 のドレイン領域と、
を有し、
前記第 3 のトランジスタは、
第 3 のゲート電極と、
第 3 導電型の第 3 のソース領域と、
前記第 3 導電型の第 3 のドレイン領域と、
を有し、
前記第 4 のトランジスタは、
第 4 のゲート電極と、
第 4 導電型の第 4 のソース領域と、
前記第 4 導電型の第 4 のドレイン領域と、
を有し、
前記第 1 導電型及び前記第 2 導電型は互いに異なり、
前記第 3 導電型及び前記第 4 導電型は互いに同一であり、
前記第 1 のゲート電極及び前記第 2 のゲート電極を一体的に形成する工程と、
前記第 3 のゲート電極及び前記第 4 のゲート電極を一体的に形成する工程と、
前記第 1 のソース領域及び前記第 1 のドレイン領域と前記第 3 のソ

ース領域及び前記第3のドレイン領域を並行して形成する工程、又は、前記第2のソース領域及び前記第2のドレイン領域と前記第4のソース領域及び前記第4のドレイン領域を並行して形成する工程と、
を有することを特徴とする半導体装置の製造方法。

[請求項10]

前記第1のトランジスタは、前記第1のソース領域と前記第1のドレイン領域との間に第1のナノワイヤの第1のチャンネルを有し、

前記第2のトランジスタは、前記第2のソース領域と前記第2のドレイン領域との間に第2のナノワイヤの第2のチャンネルを有し、

前記第3のトランジスタは、前記第3のソース領域と前記第3のドレイン領域との間に第3のナノワイヤの第3のチャンネルを有し、

前記第4のトランジスタは、前記第4のソース領域と前記第4のドレイン領域との間に第4のナノワイヤの第4のチャンネルを有し、

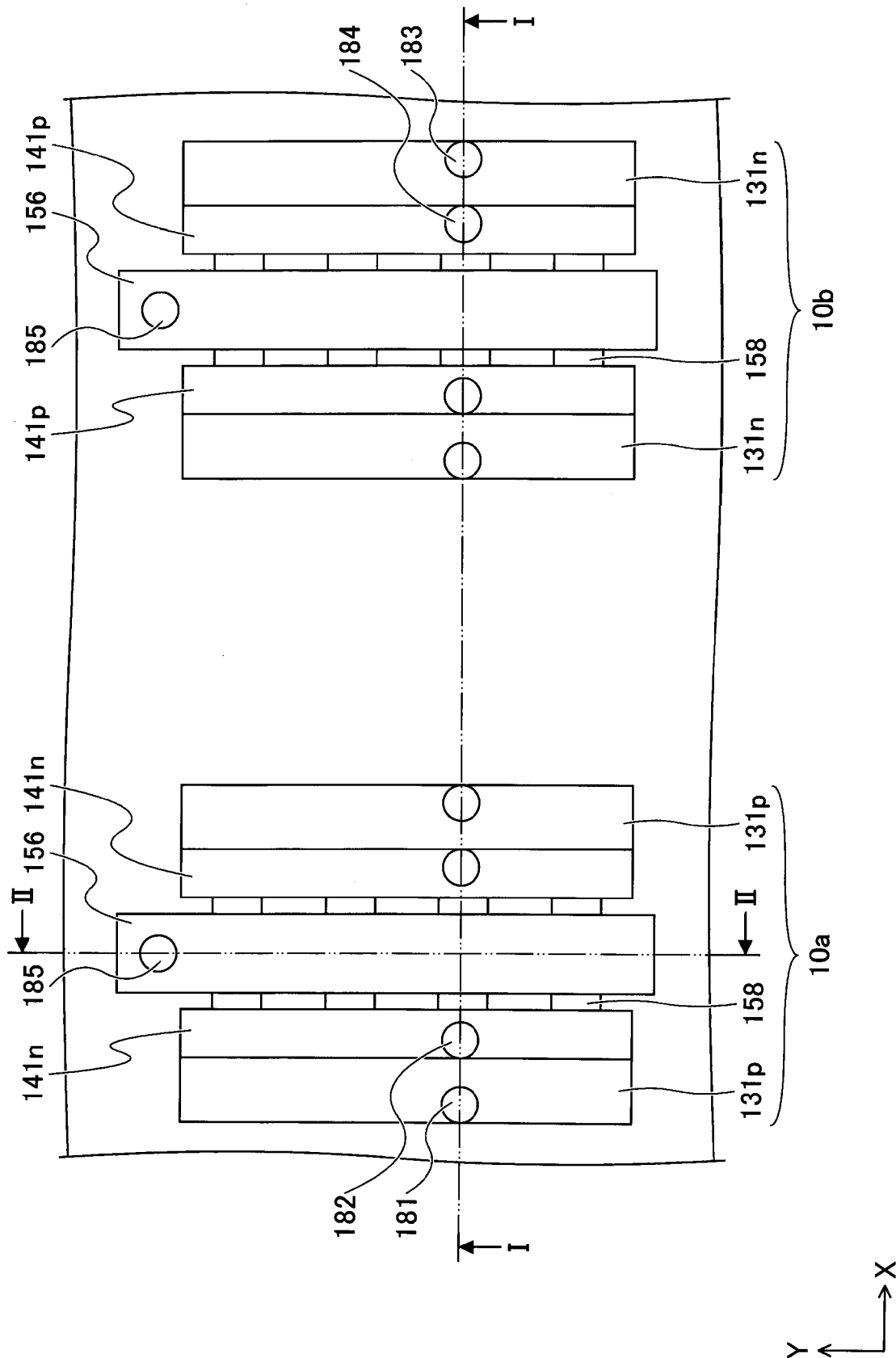
前記第1のソース領域及び前記第1のドレイン領域は、前記第1のナノワイヤからのエピタキシャル成長により形成し、

前記第2のソース領域及び前記第2のドレイン領域は、前記第2のナノワイヤからのエピタキシャル成長により形成し、

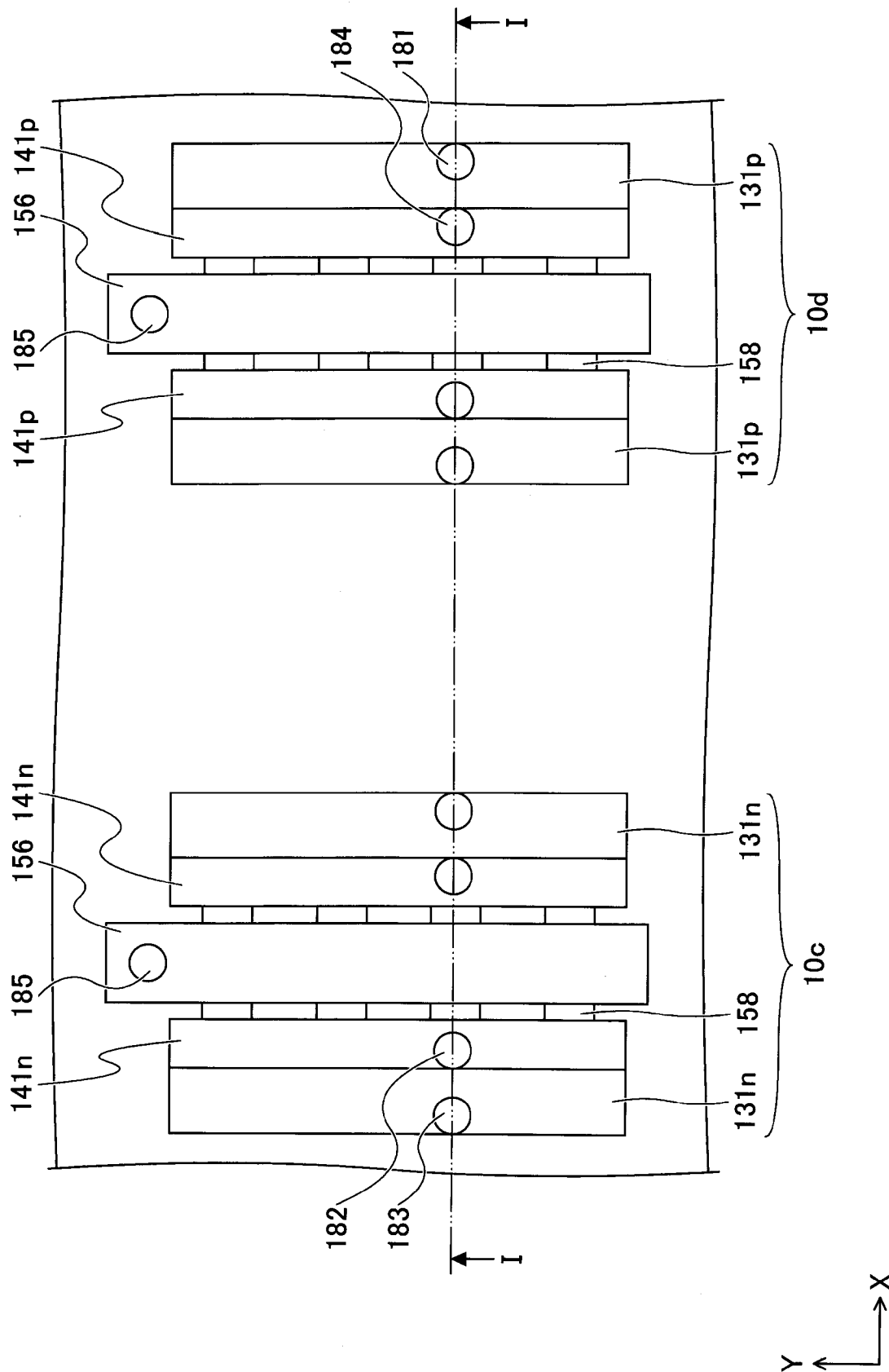
前記第3のソース領域及び前記第3のドレイン領域は、前記第3のナノワイヤからのエピタキシャル成長により形成し、

前記第4のソース領域及び前記第4のドレイン領域は、前記第4のナノワイヤからのエピタキシャル成長により形成することを特徴とする請求項9に記載の半導体装置の製造方法。

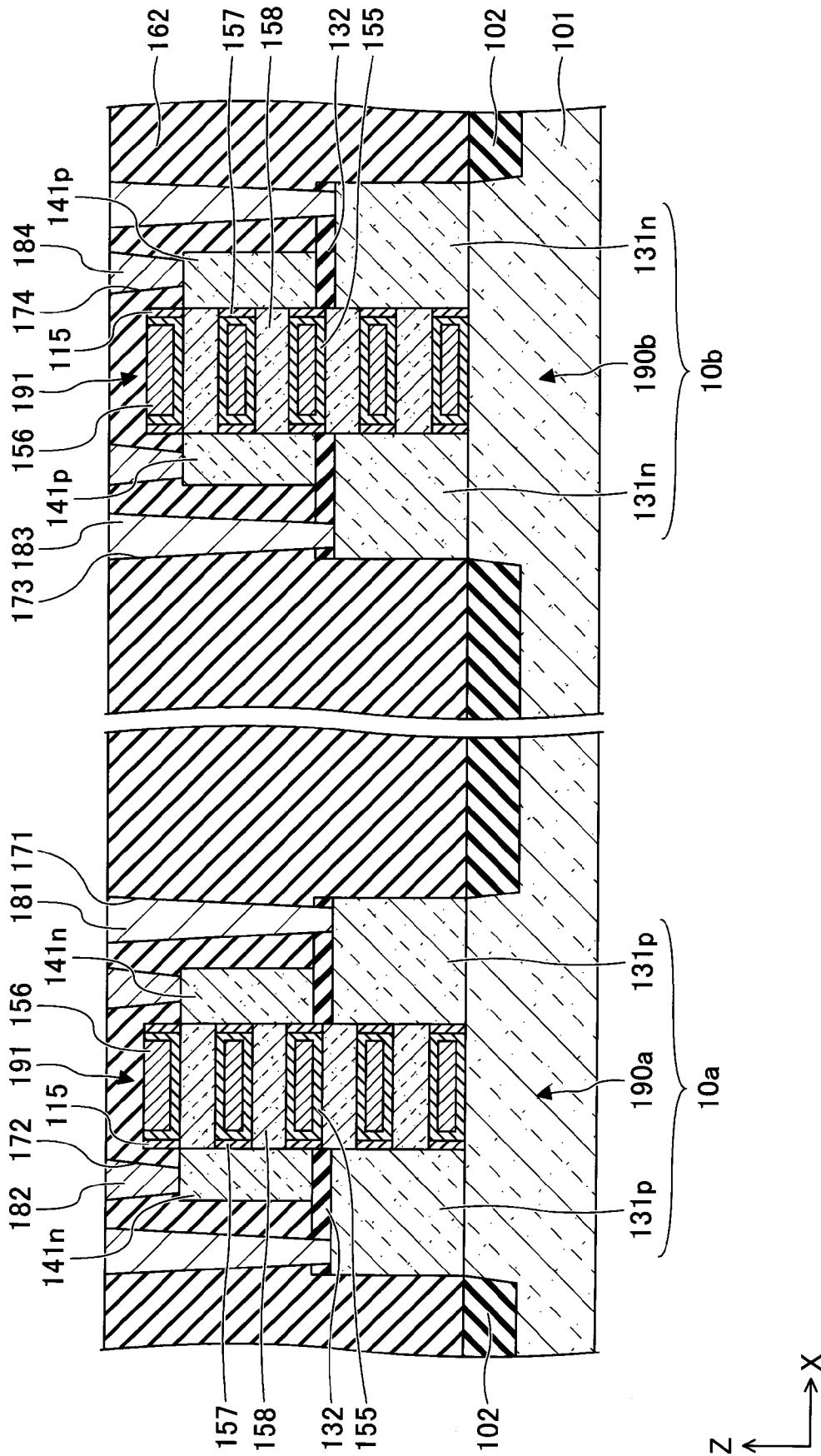
[図1A]



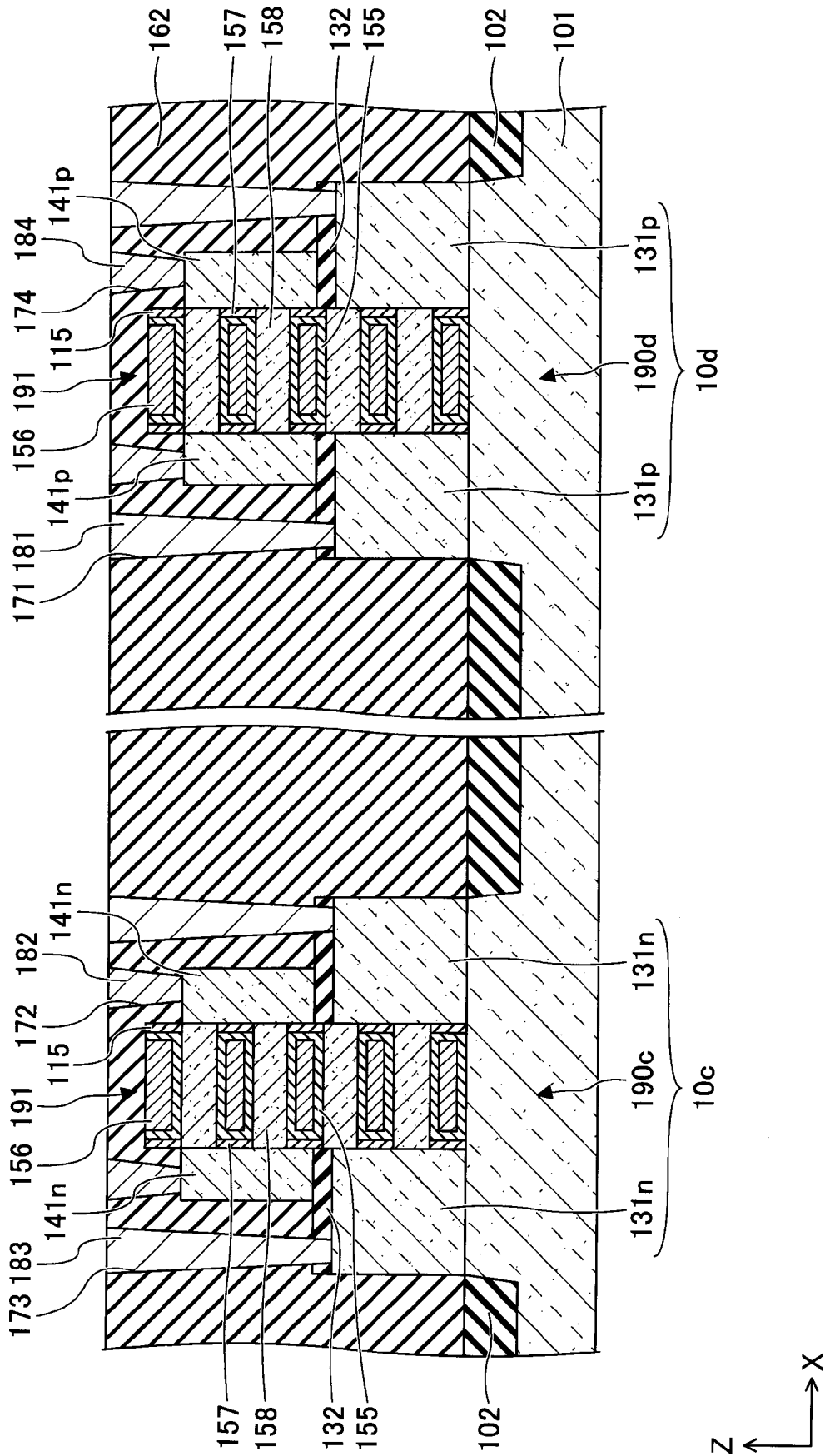
[図1B]



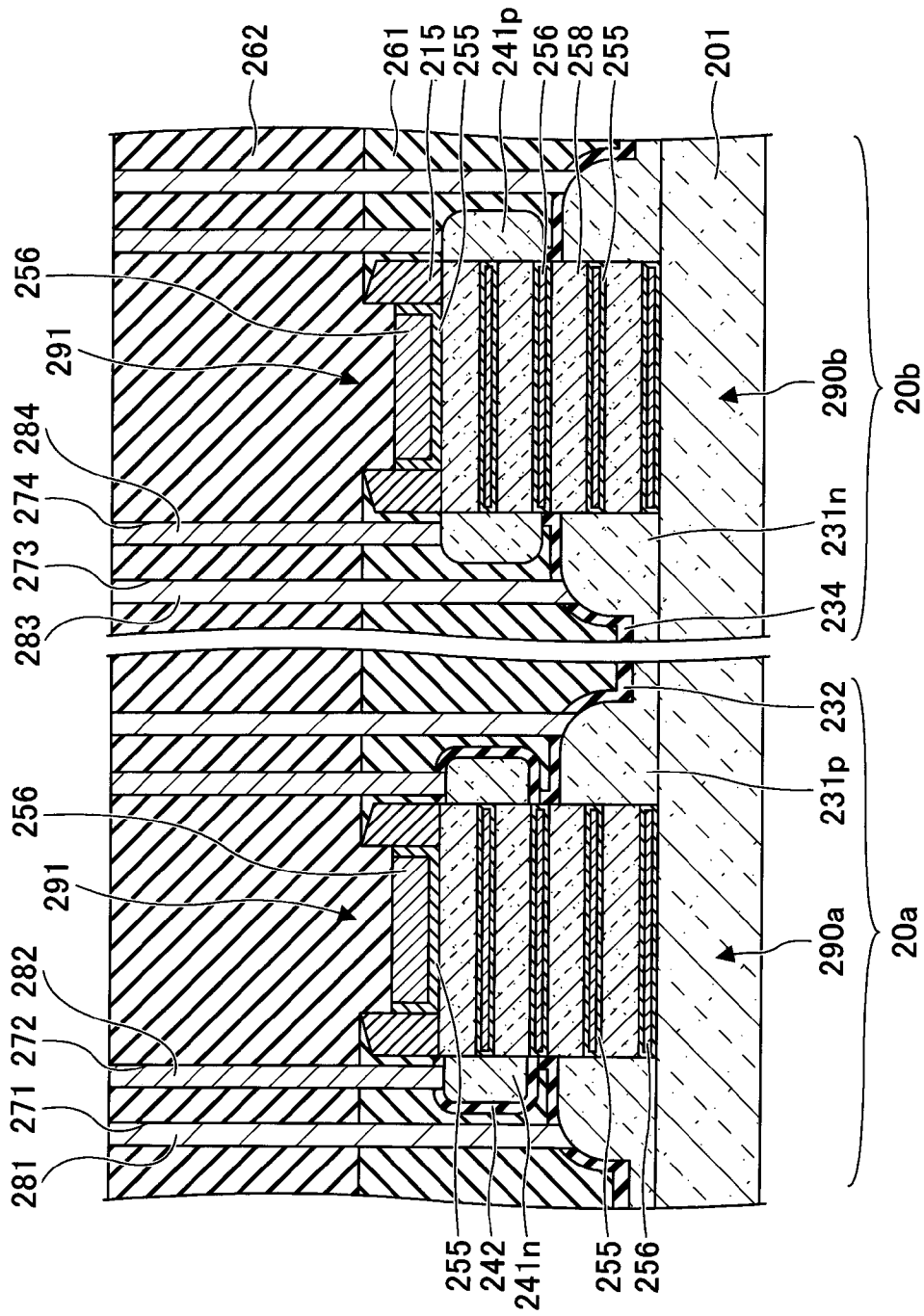
[図2A]



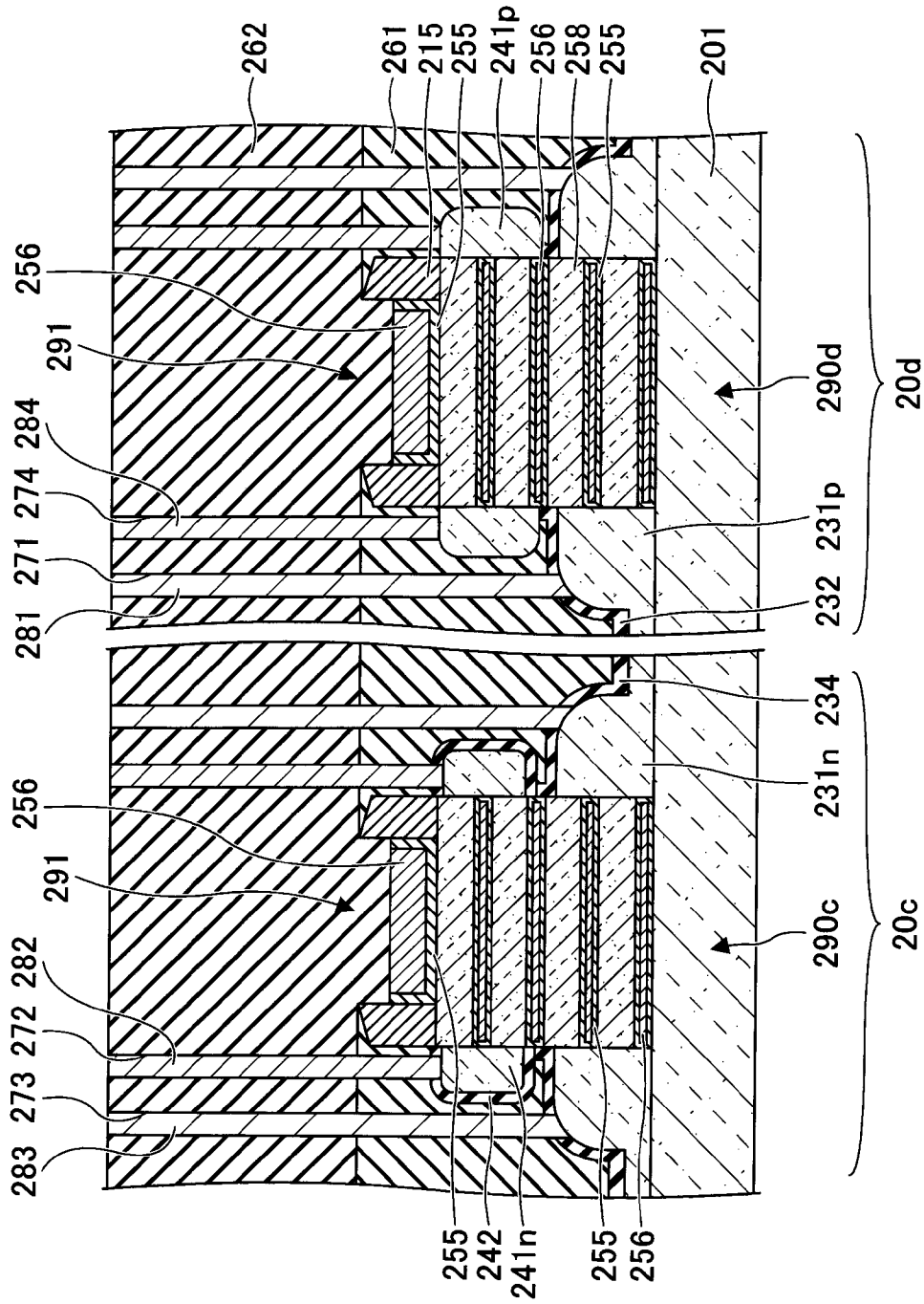
[図2B]



[図4A]



[図4B]



211 210 209 208 207 206 205 204 203 201

214 213 212

214 213 212

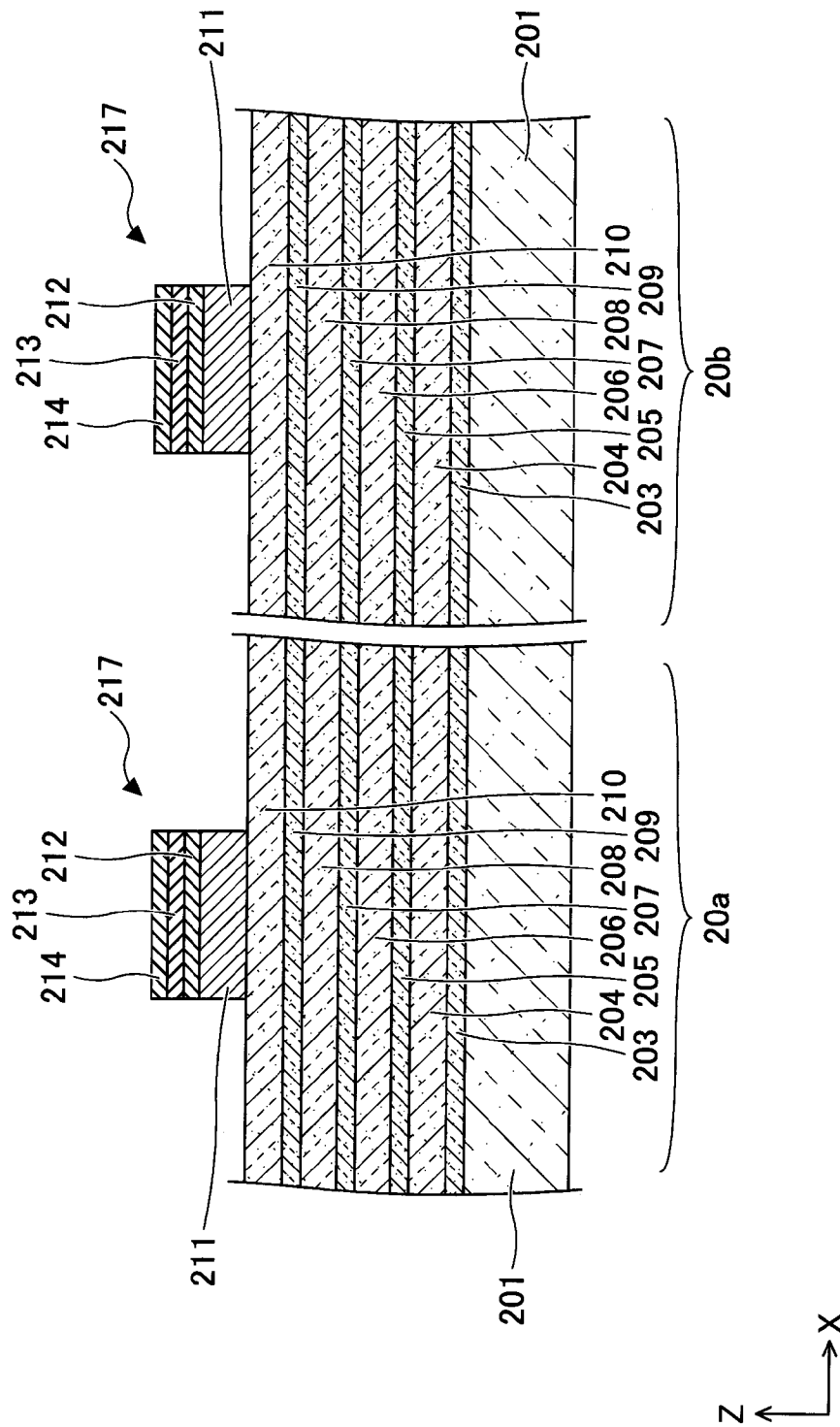
20c

20d

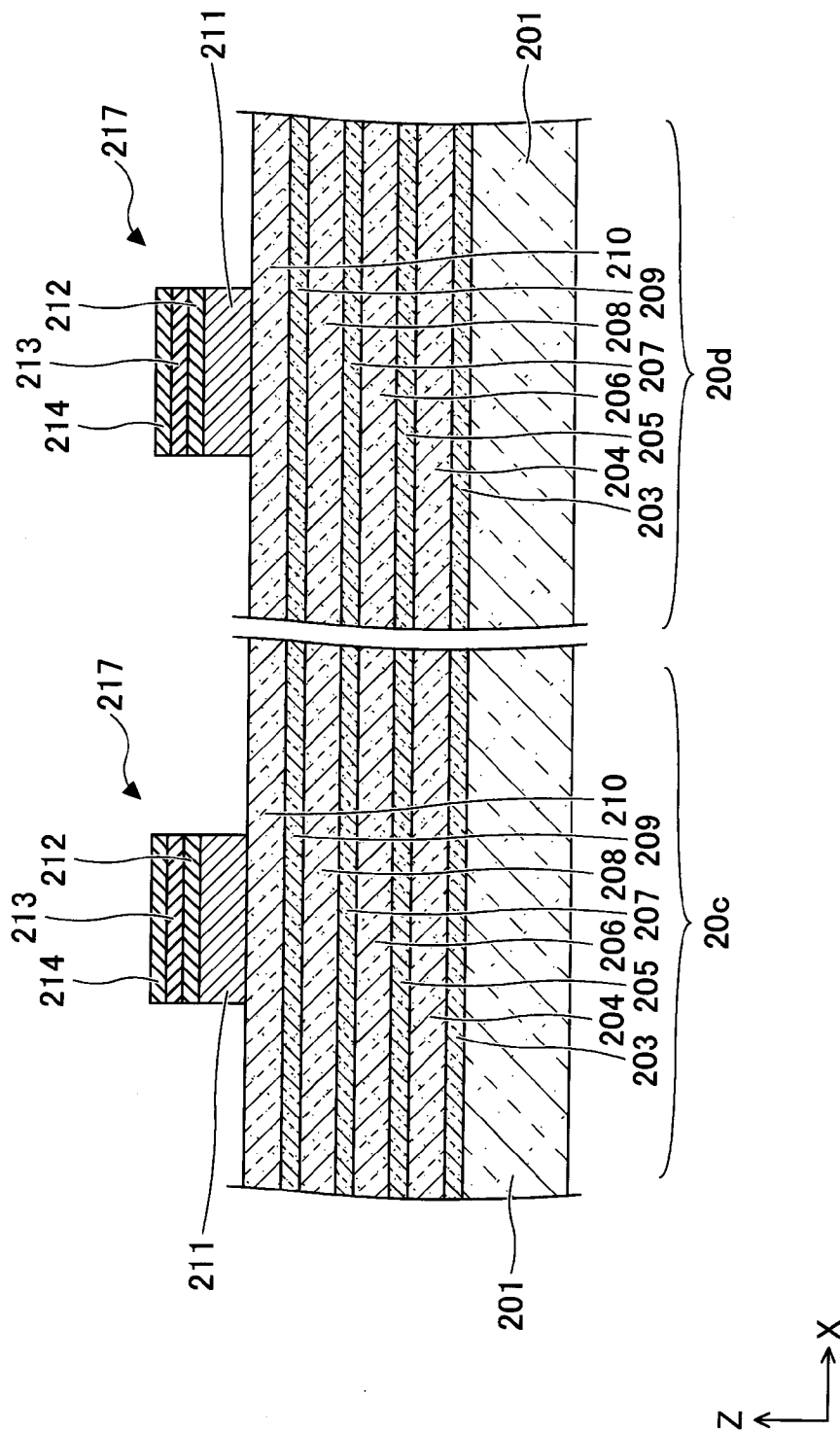
Z

X

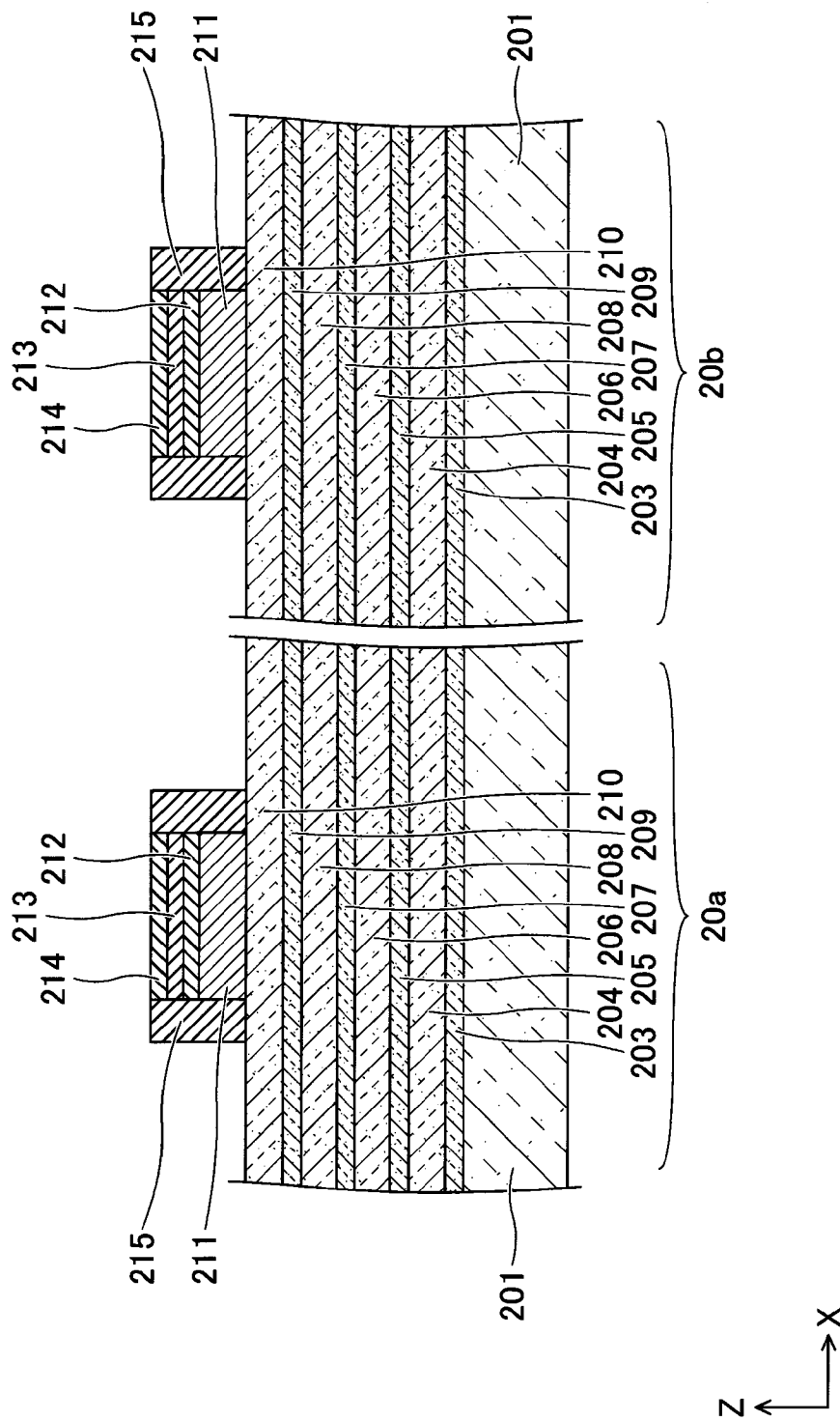
[図6A]



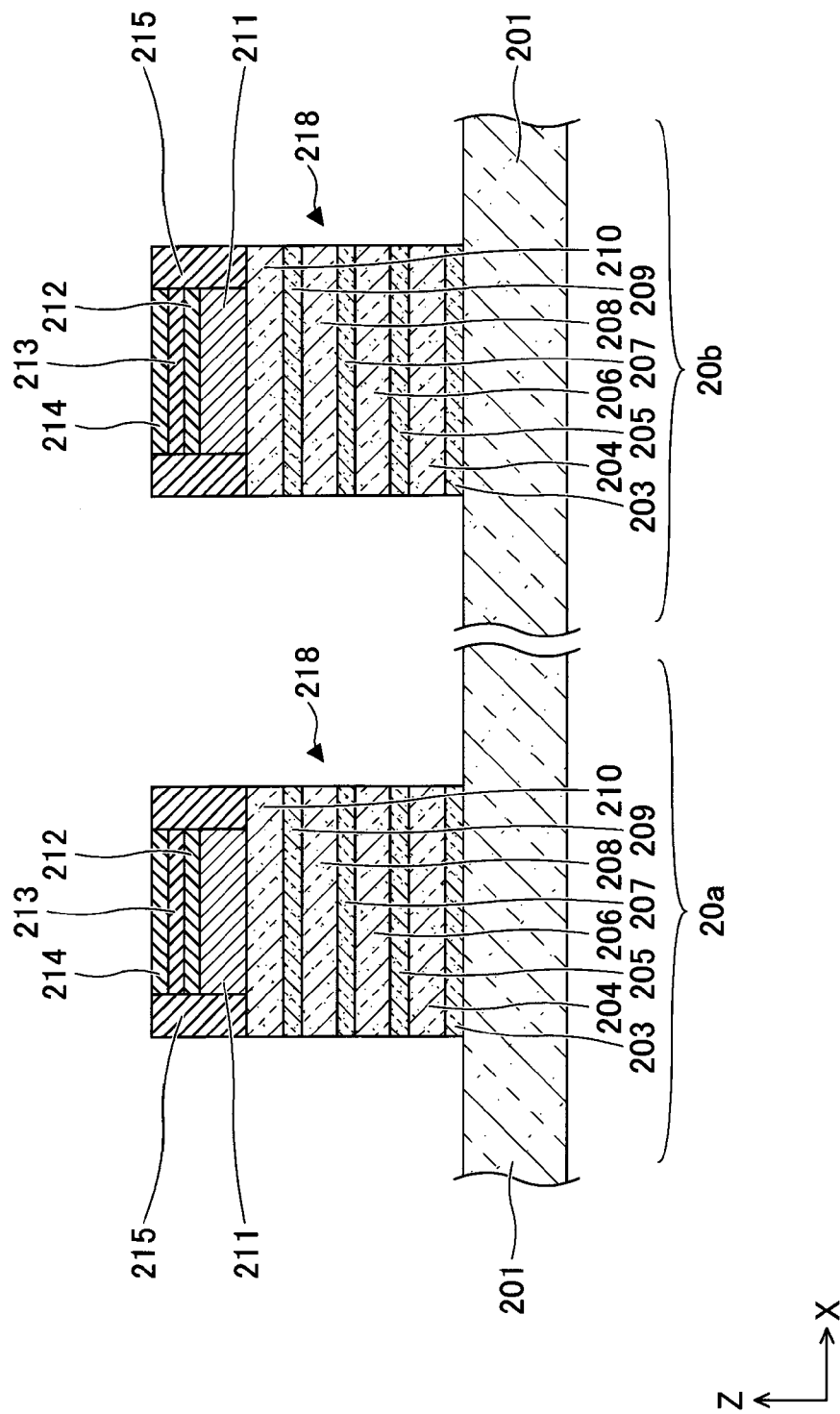
[図6B]



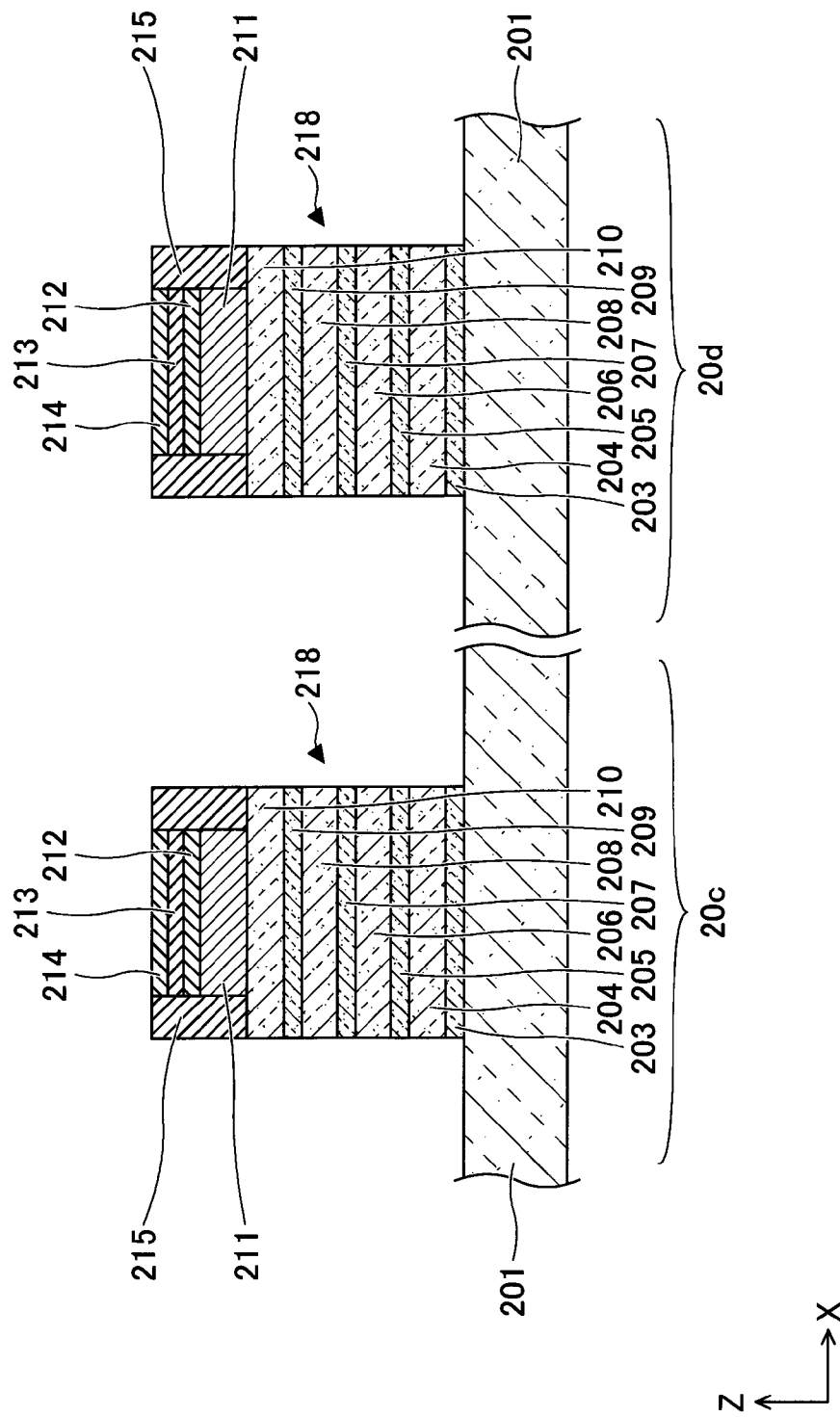
[図7A]



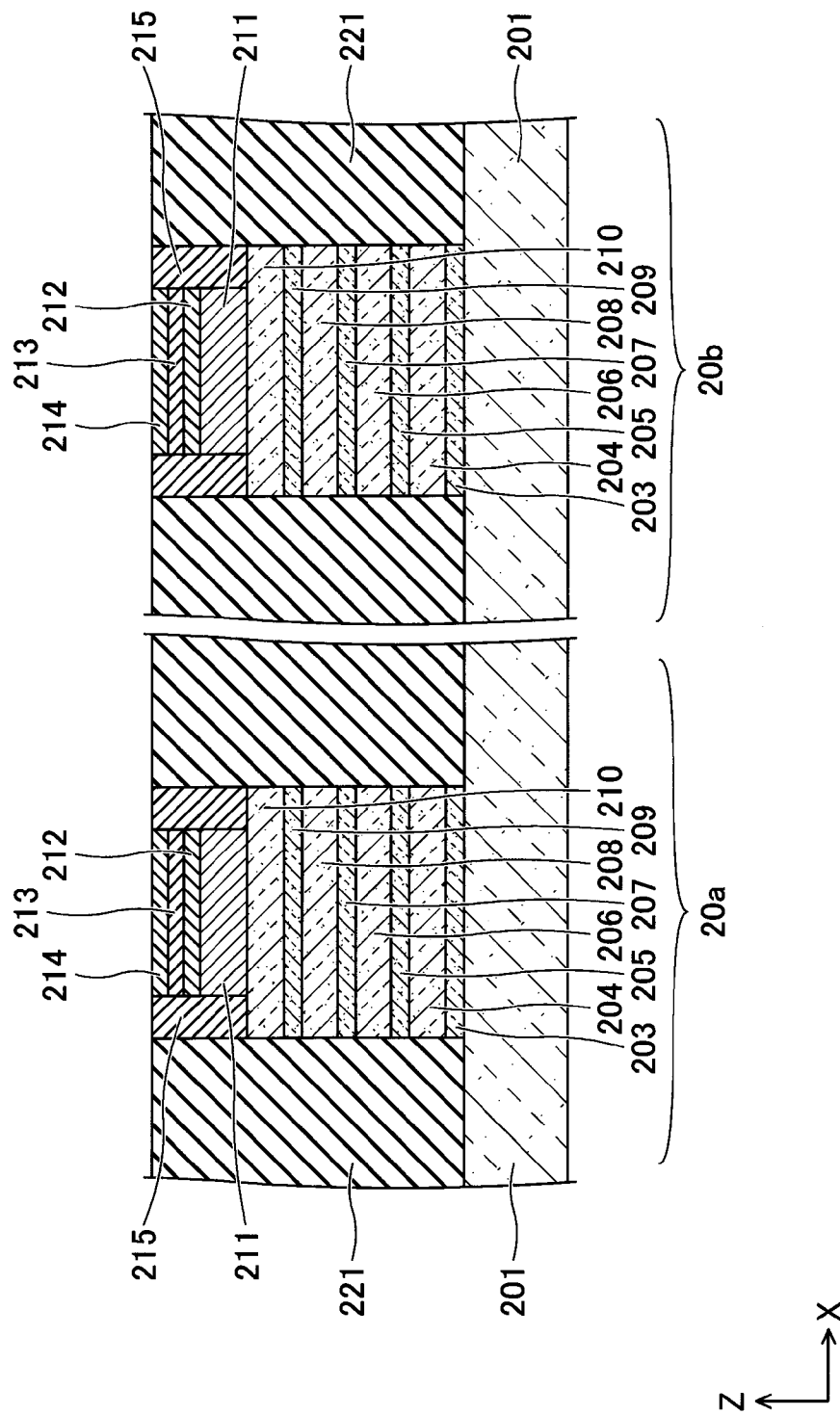
[図8A]



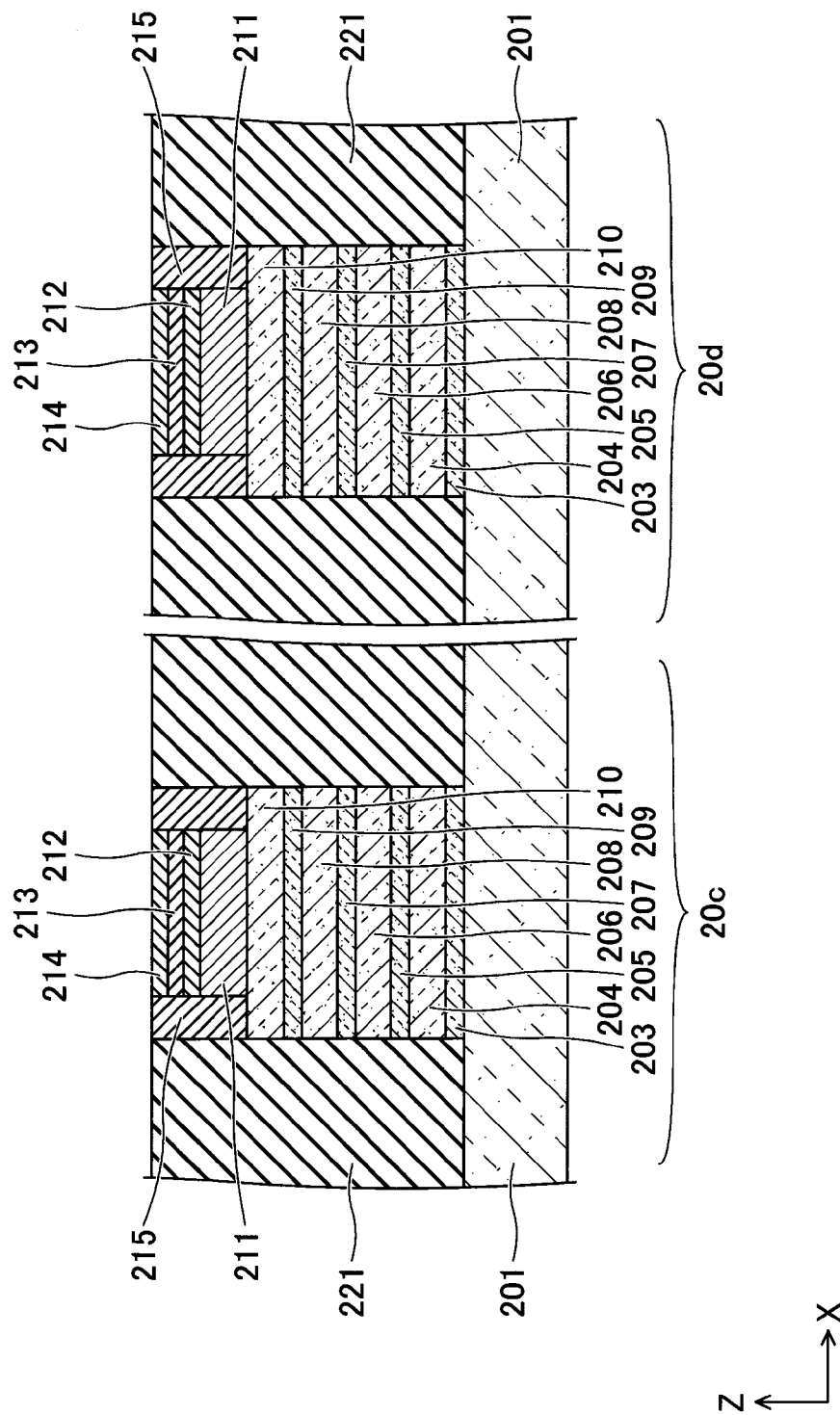
[図8B]



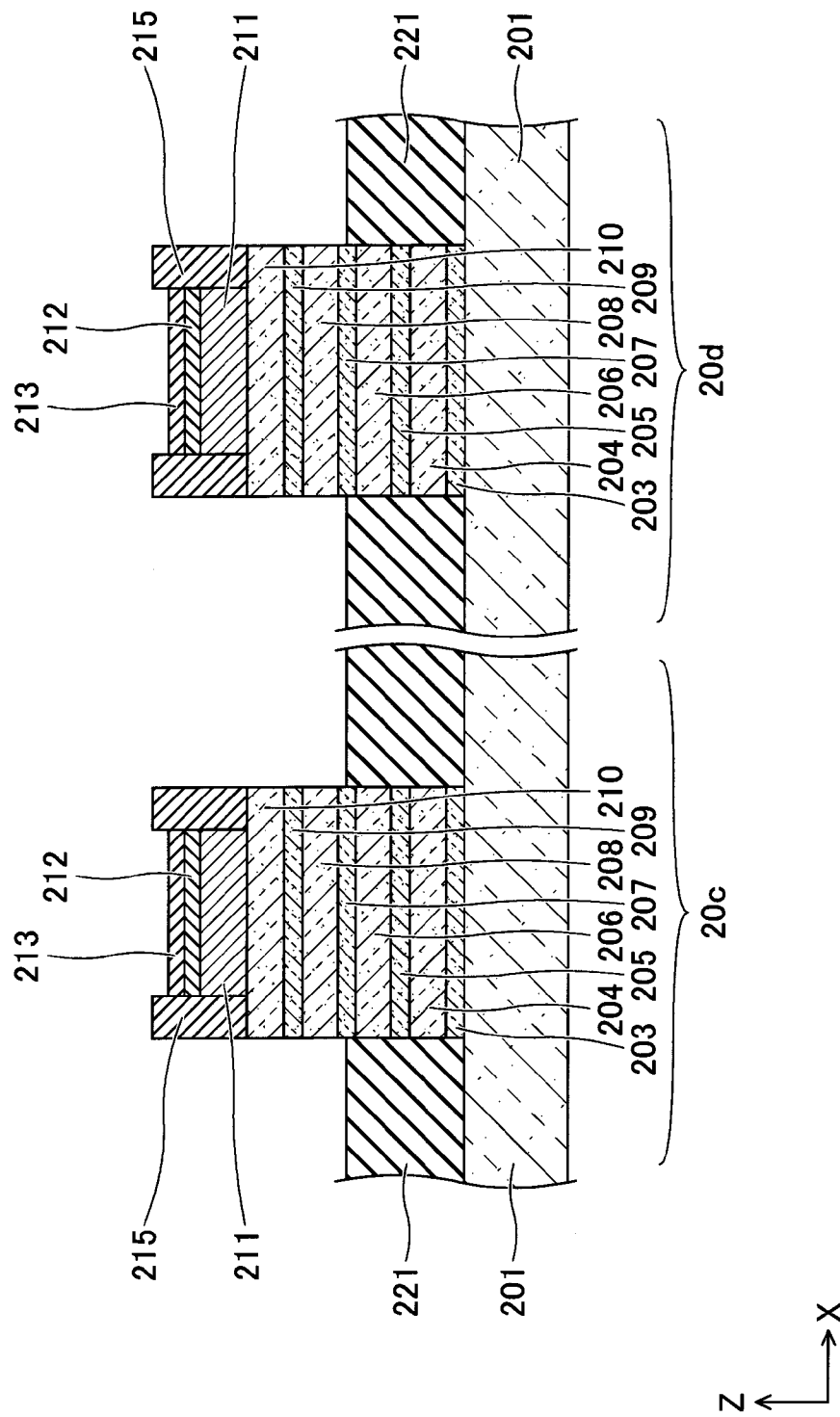
[図9A]



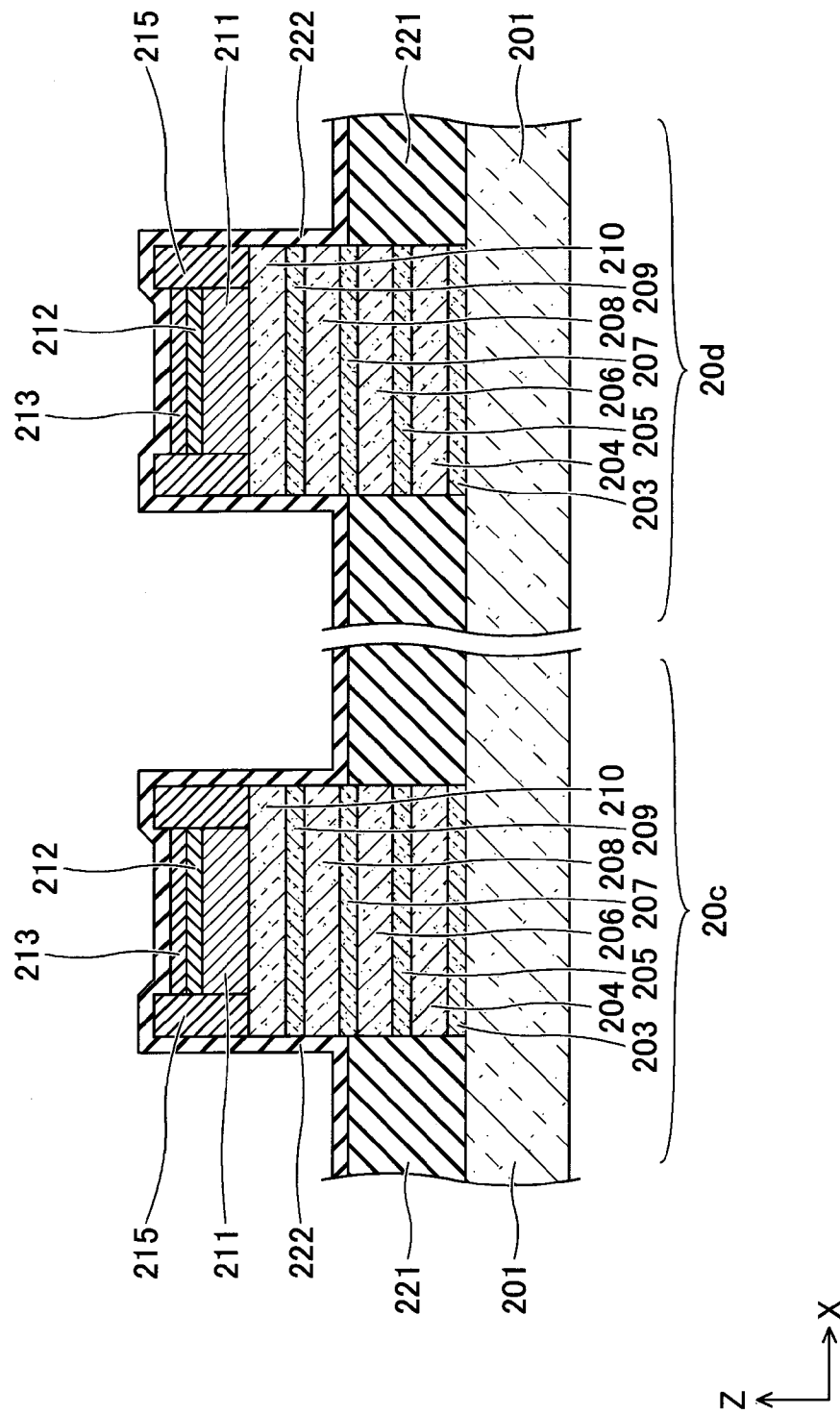
[図9B]



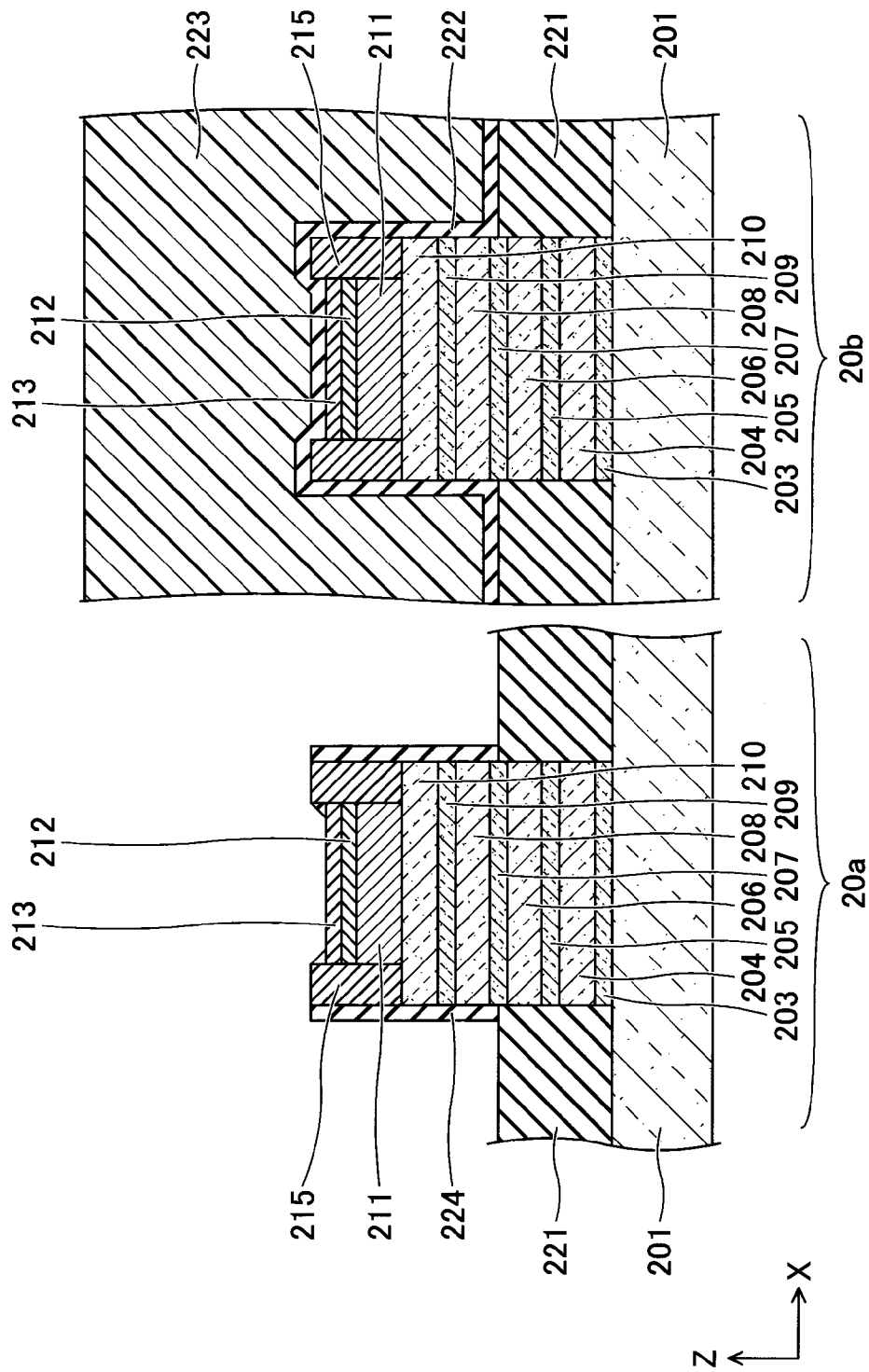
[図10B]



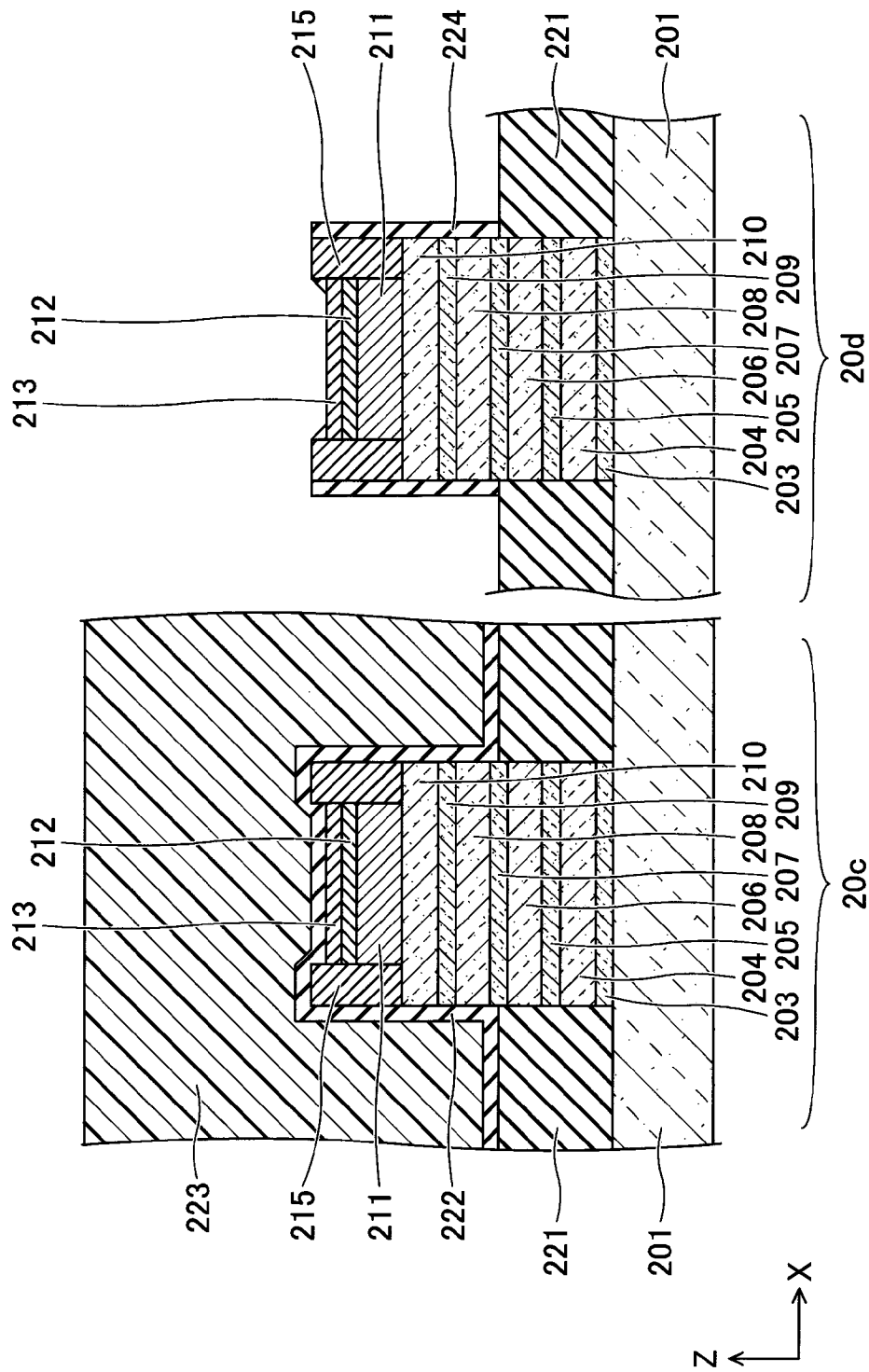
[図11B]



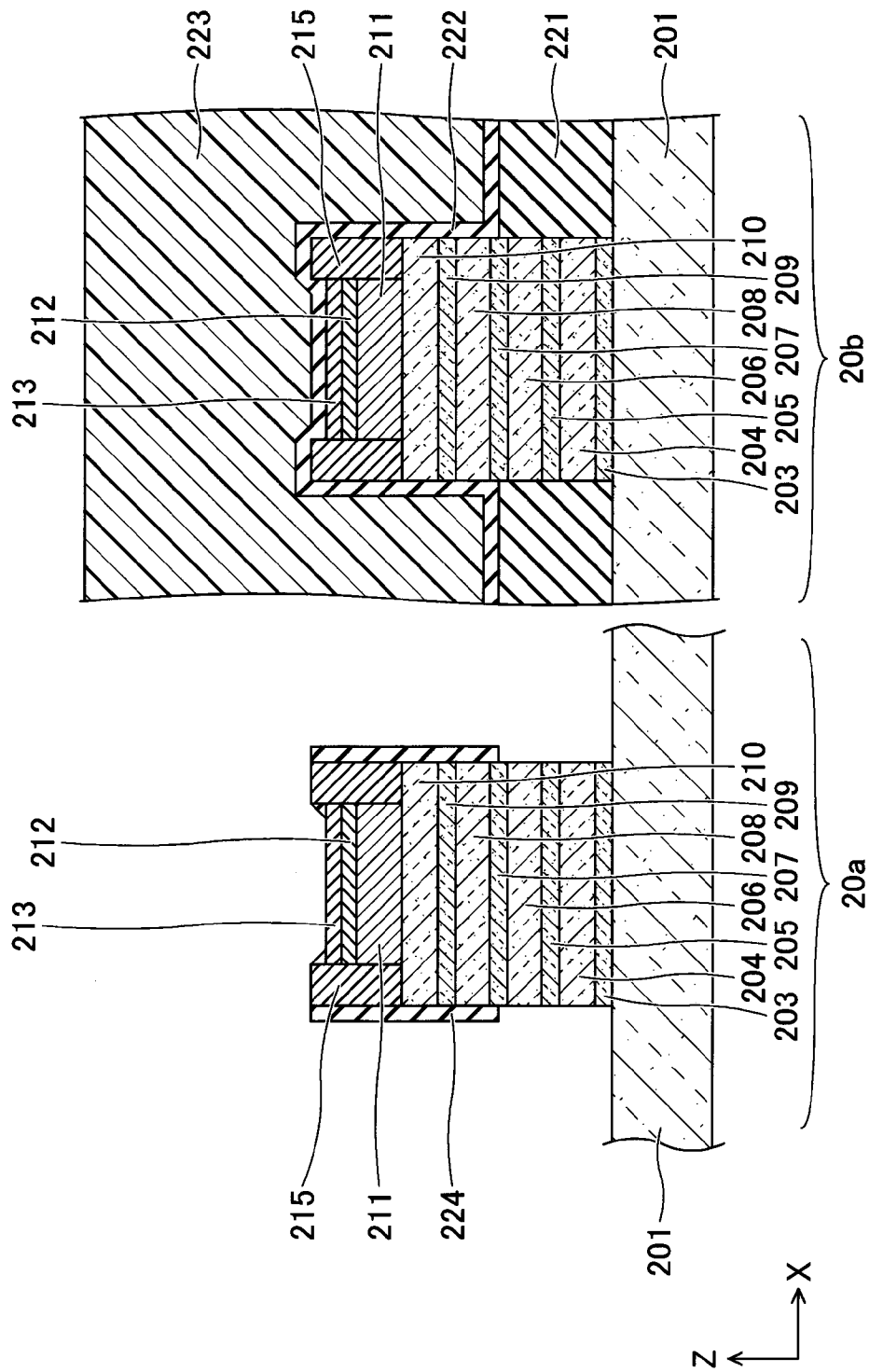
[図12A]



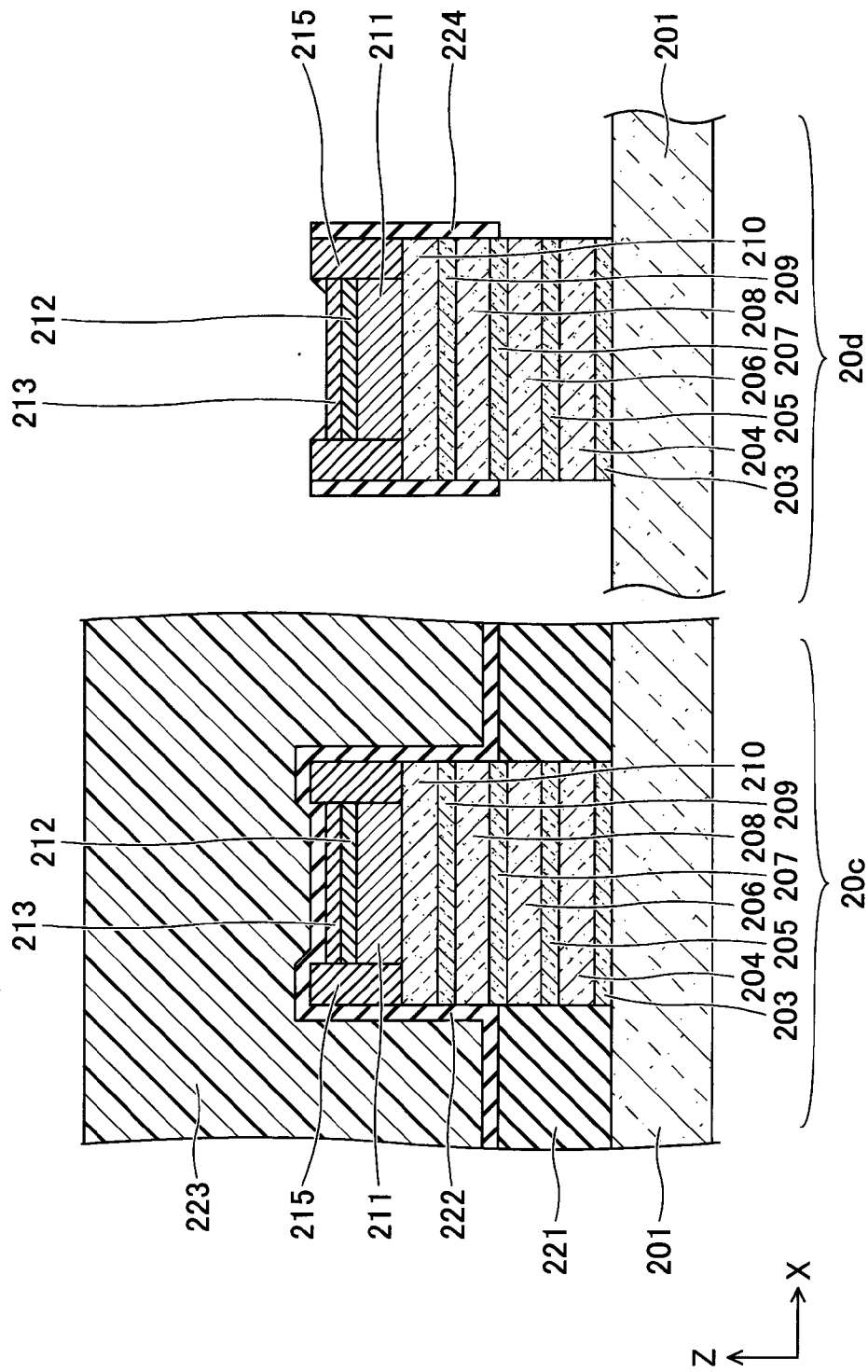
[図12B]



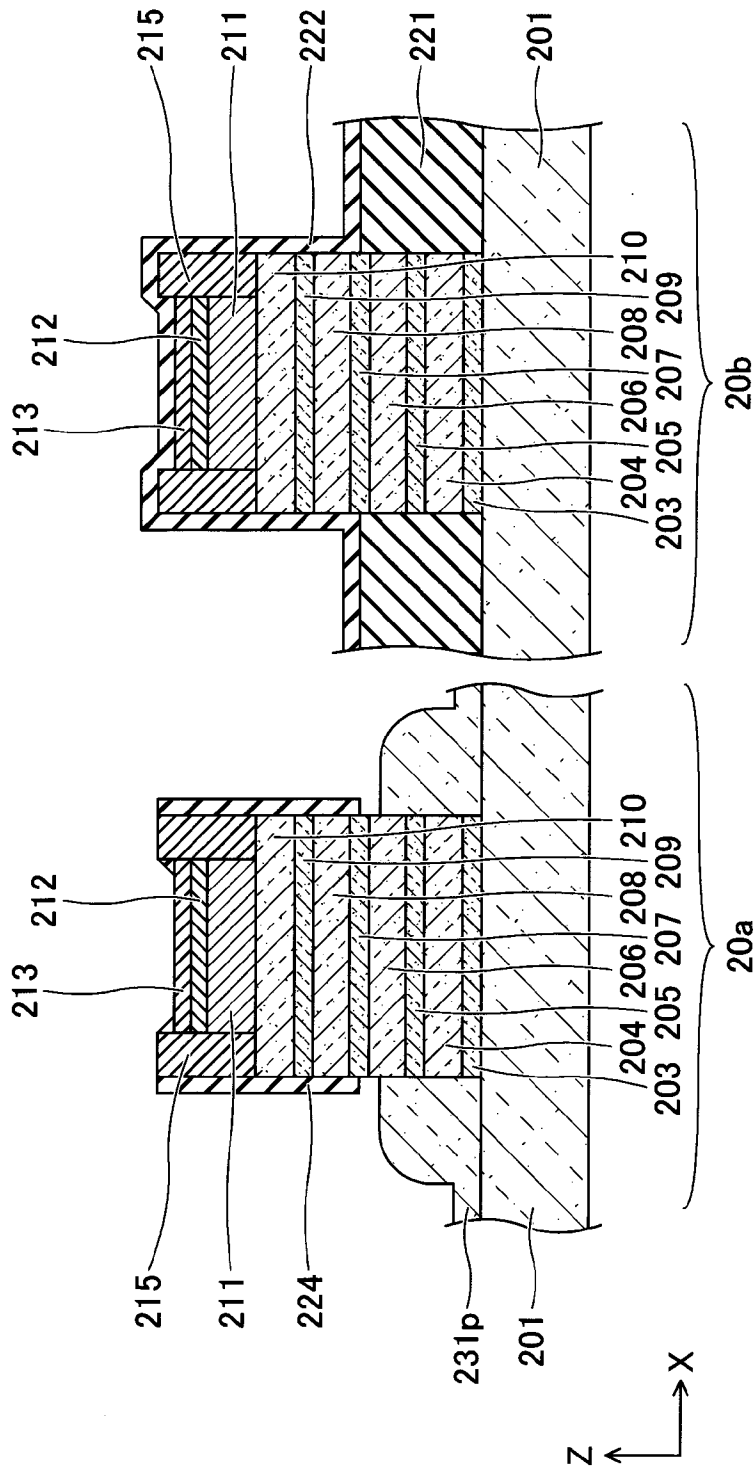
[図13A]



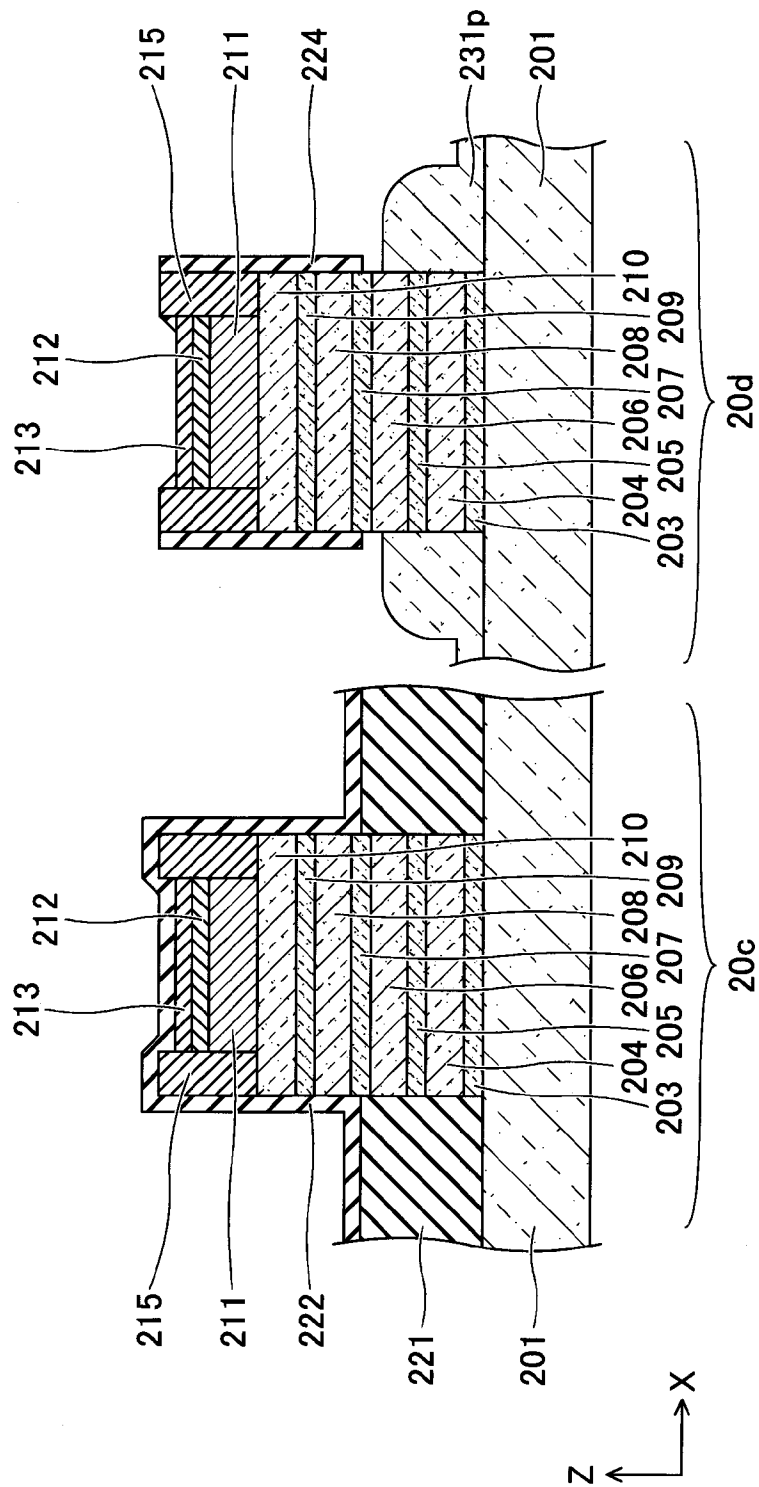
[図13B]



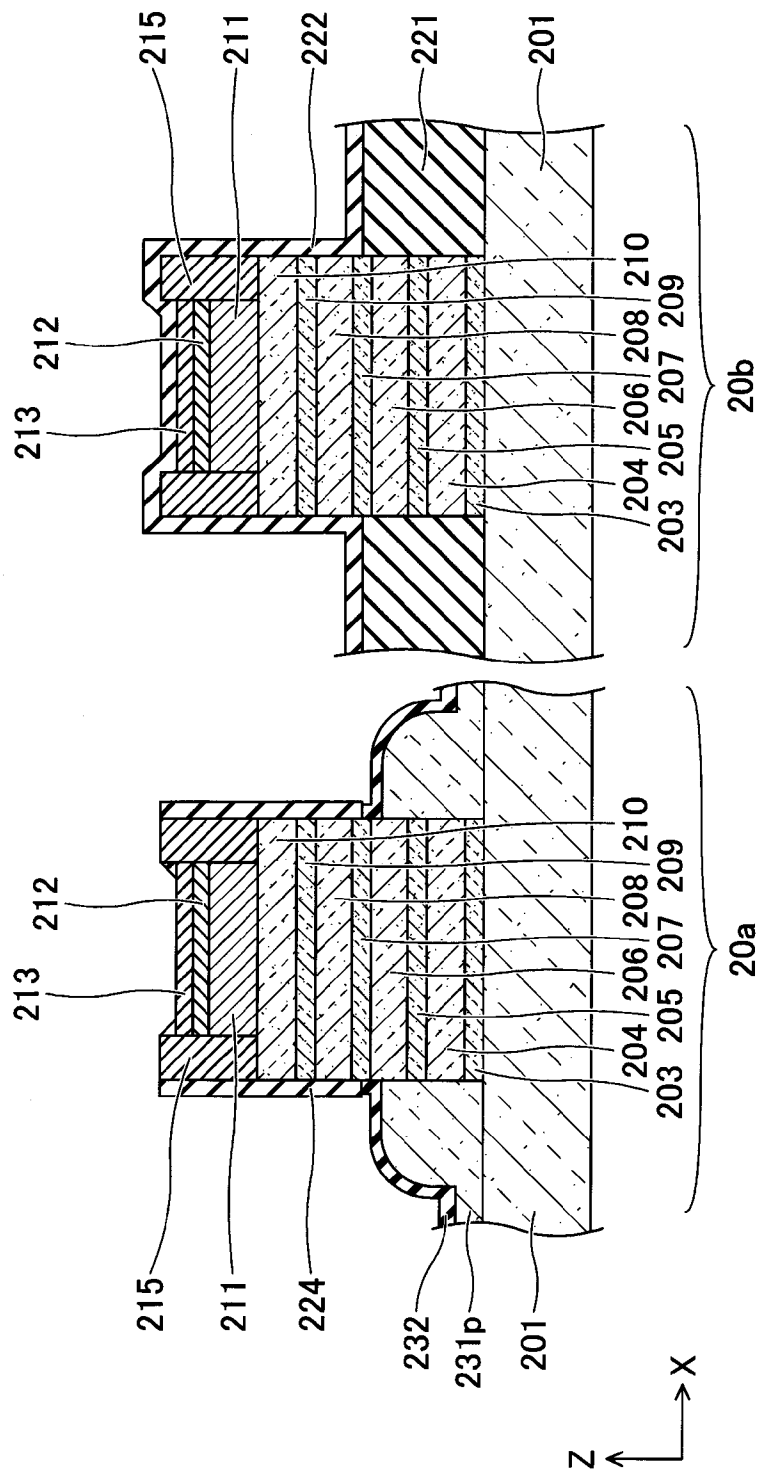
[図14A]



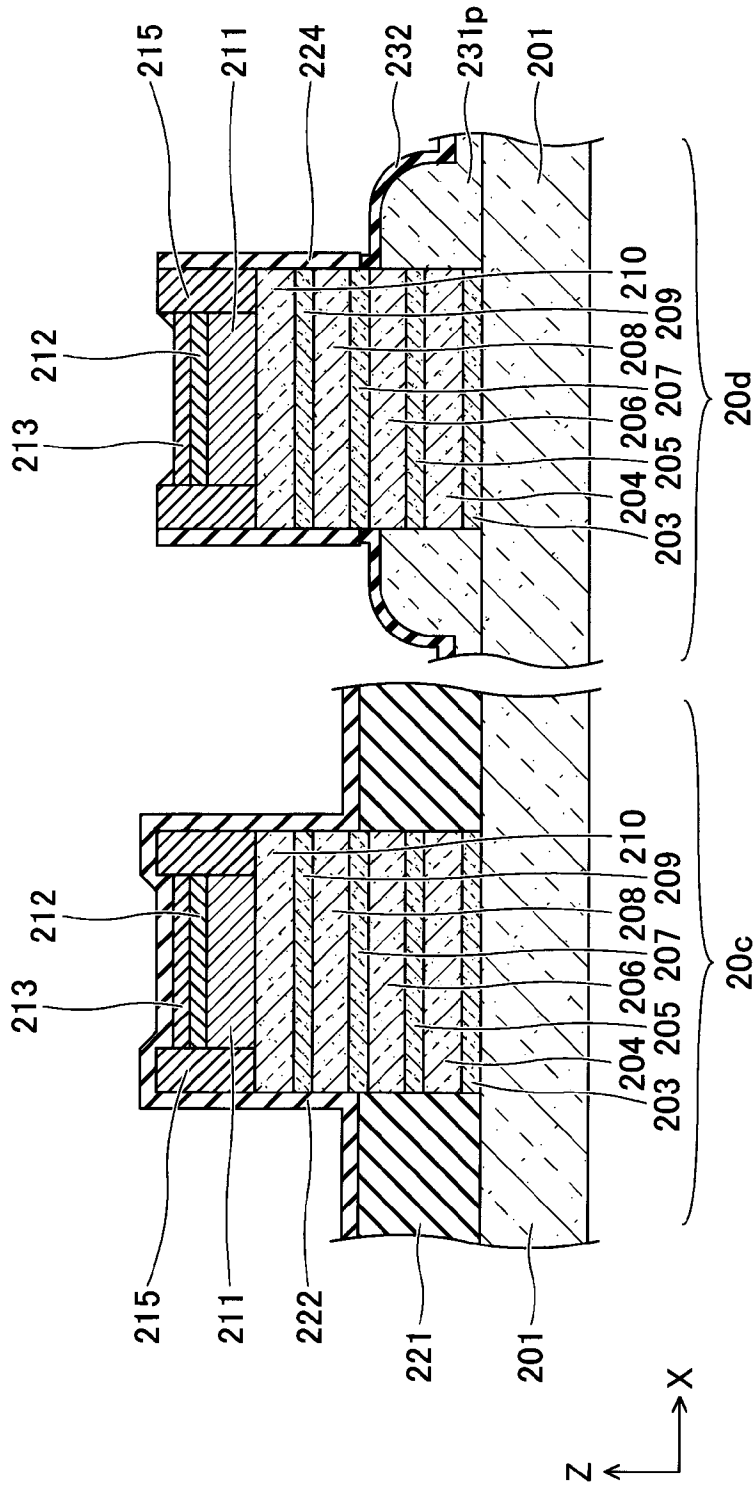
[図14B]



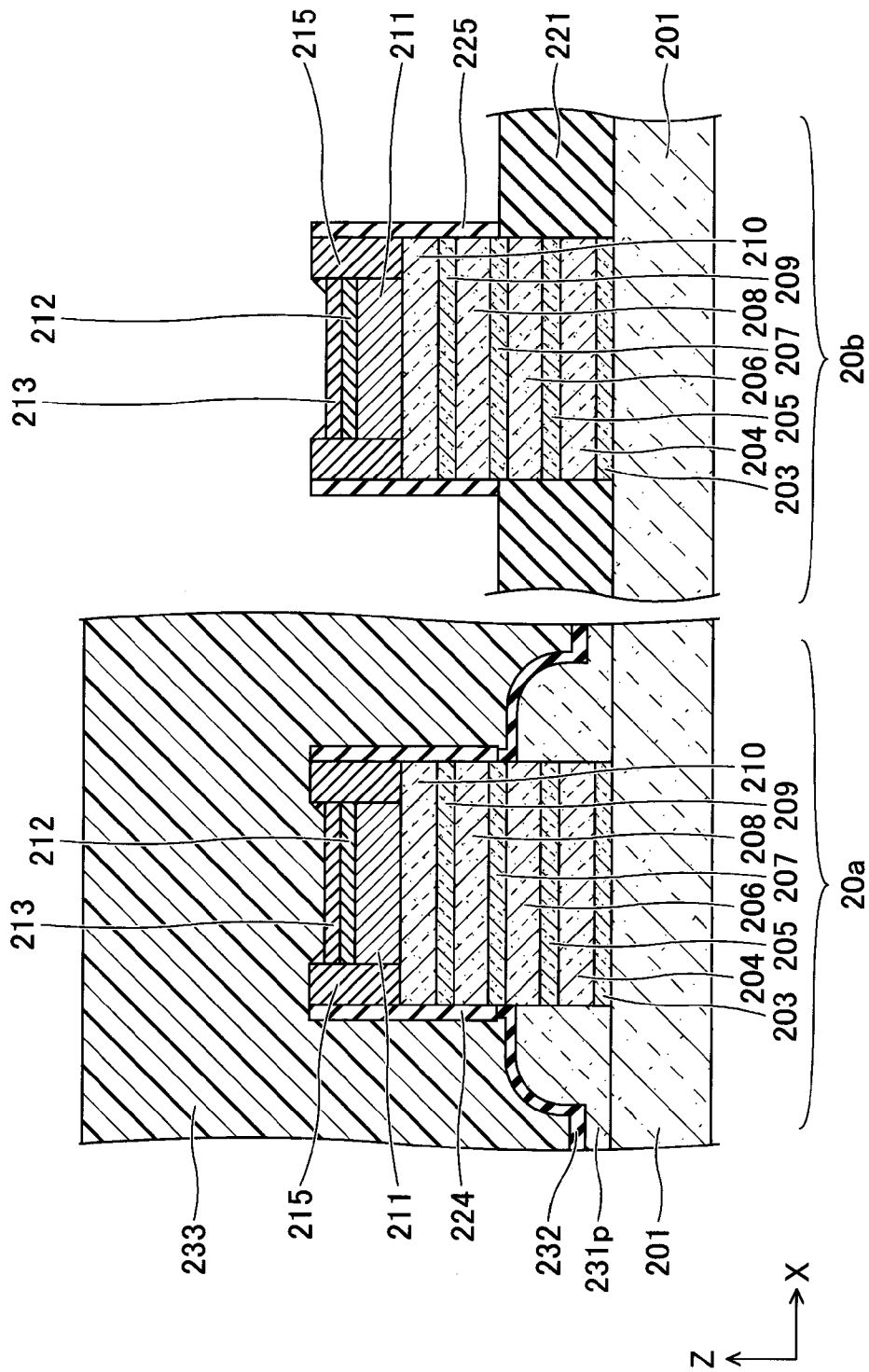
[図15A]



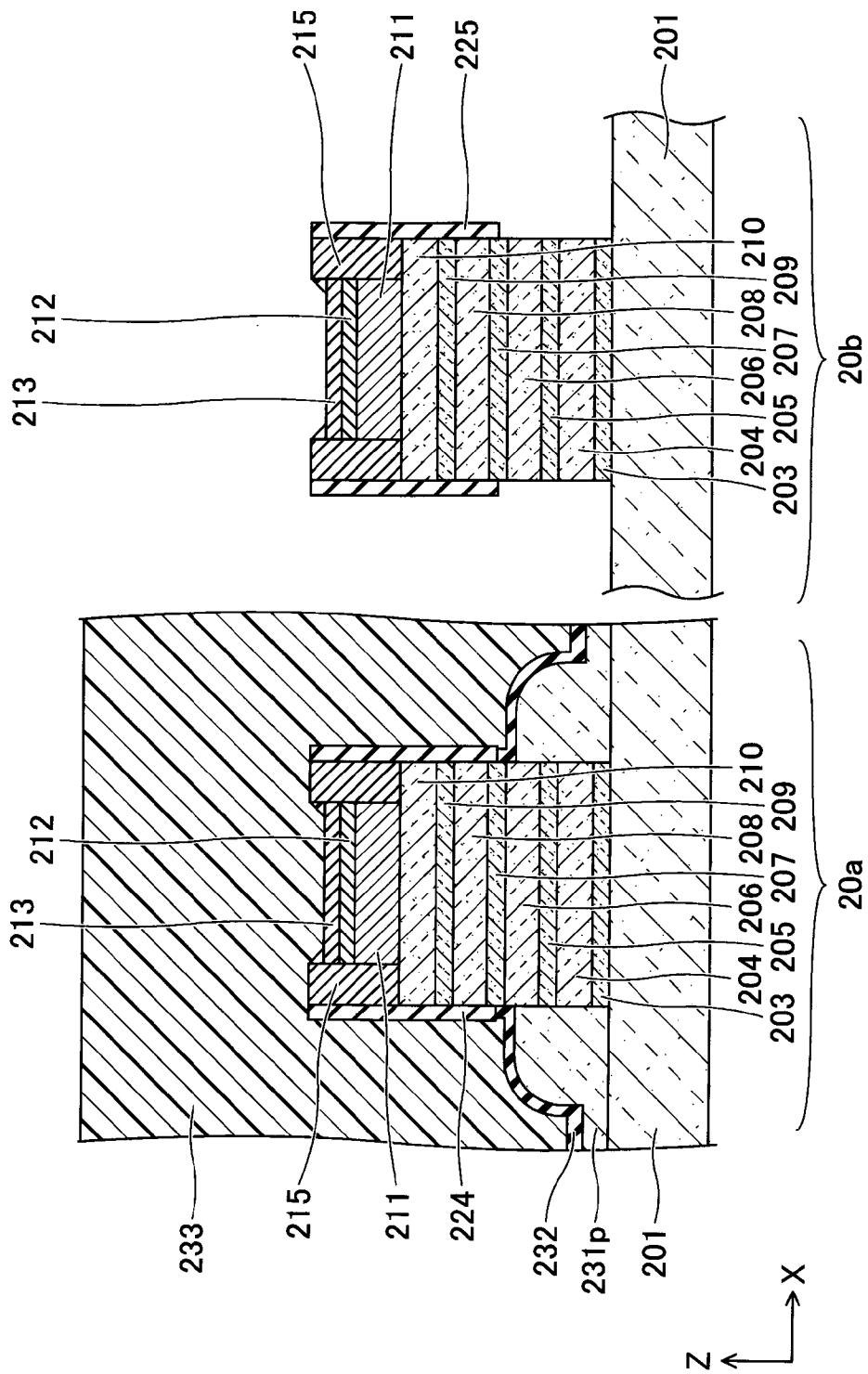
[図15B]



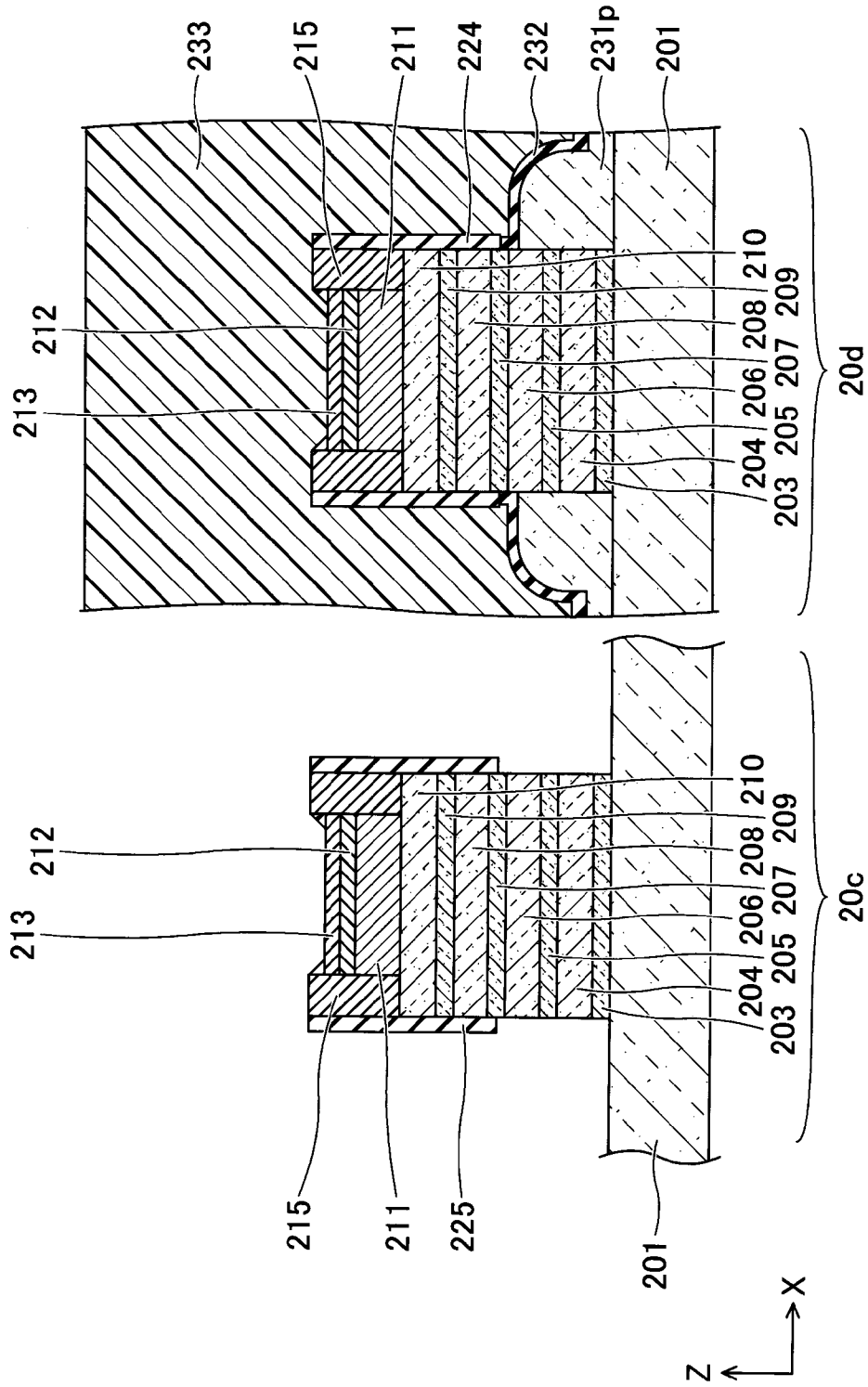
[図16A]



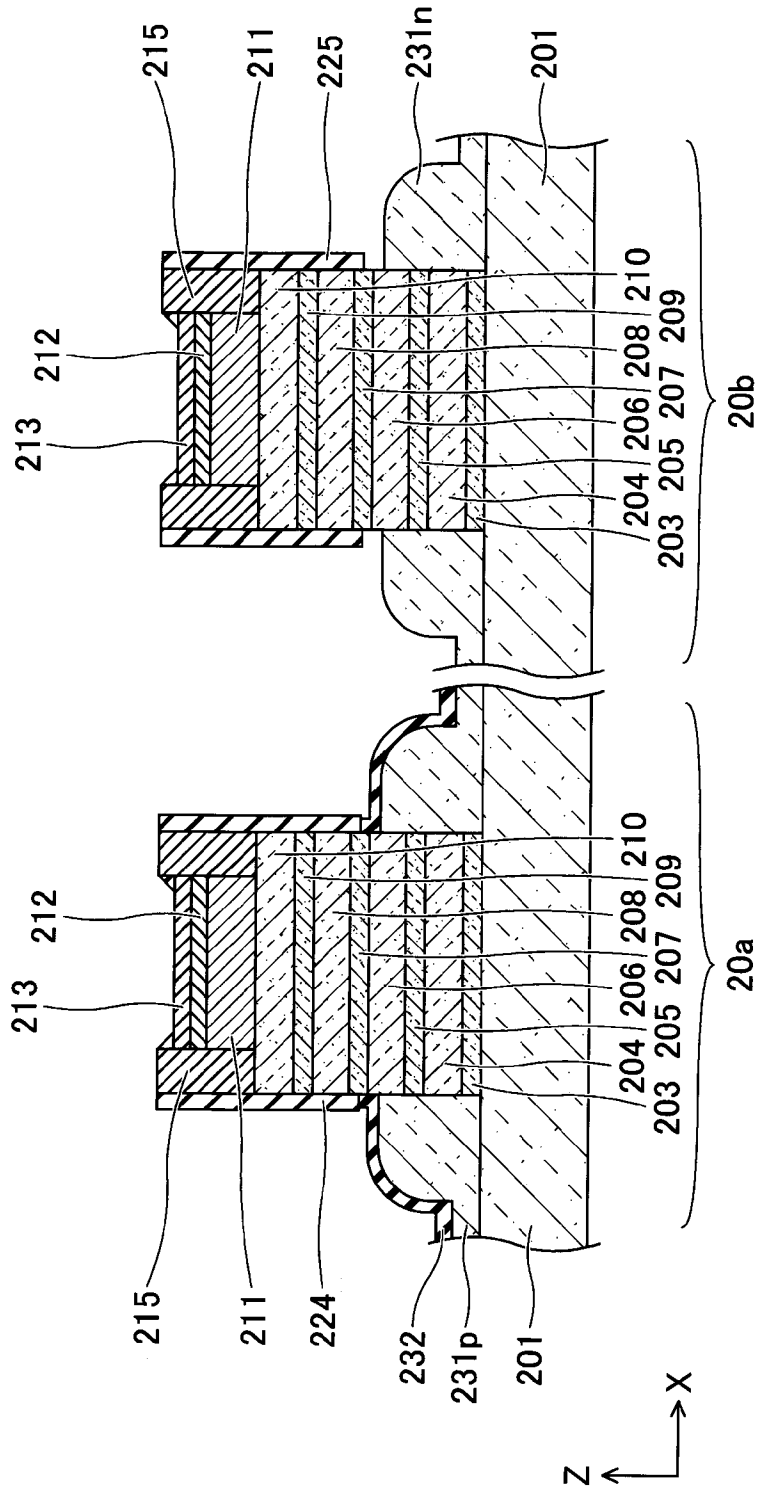
[図17A]



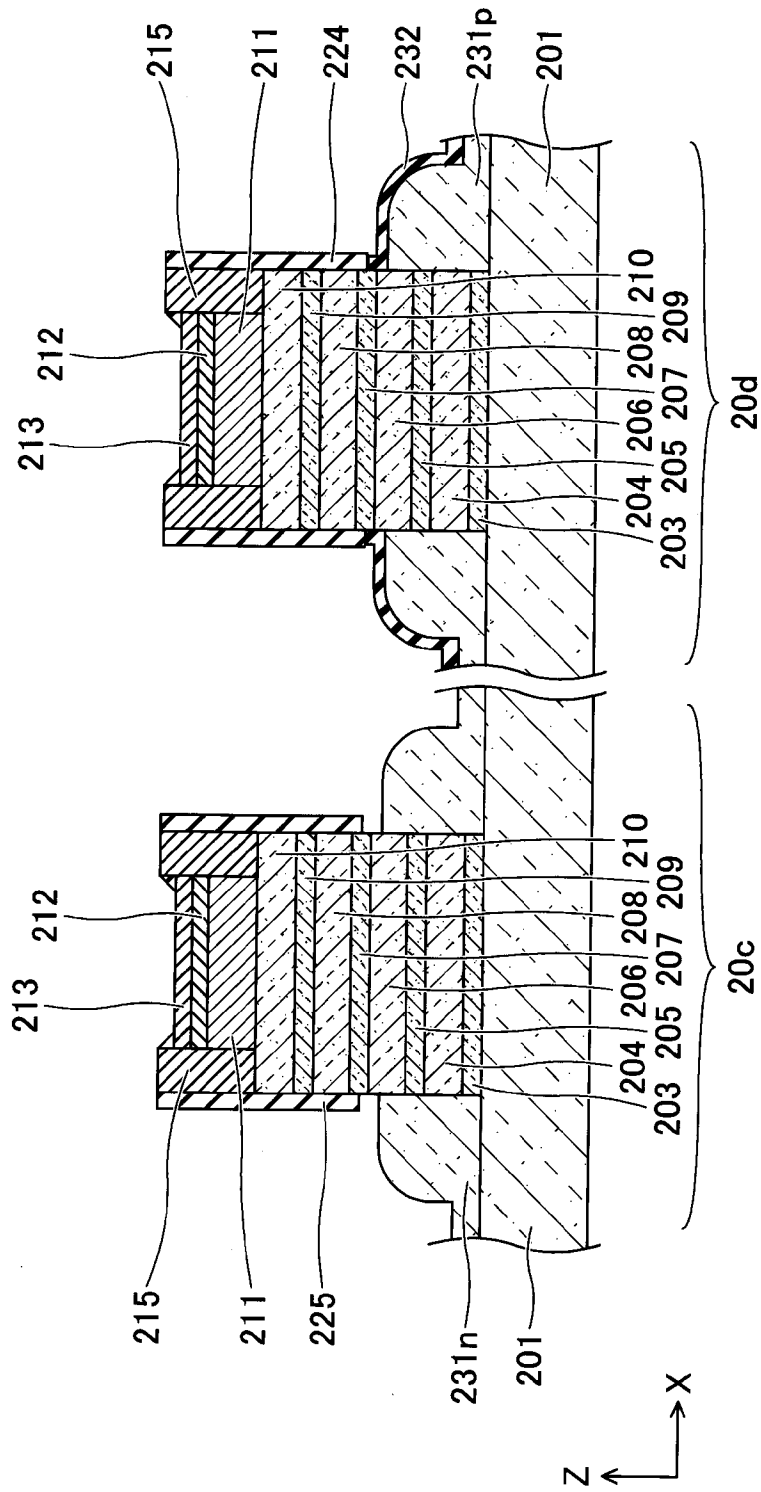
[図17B]



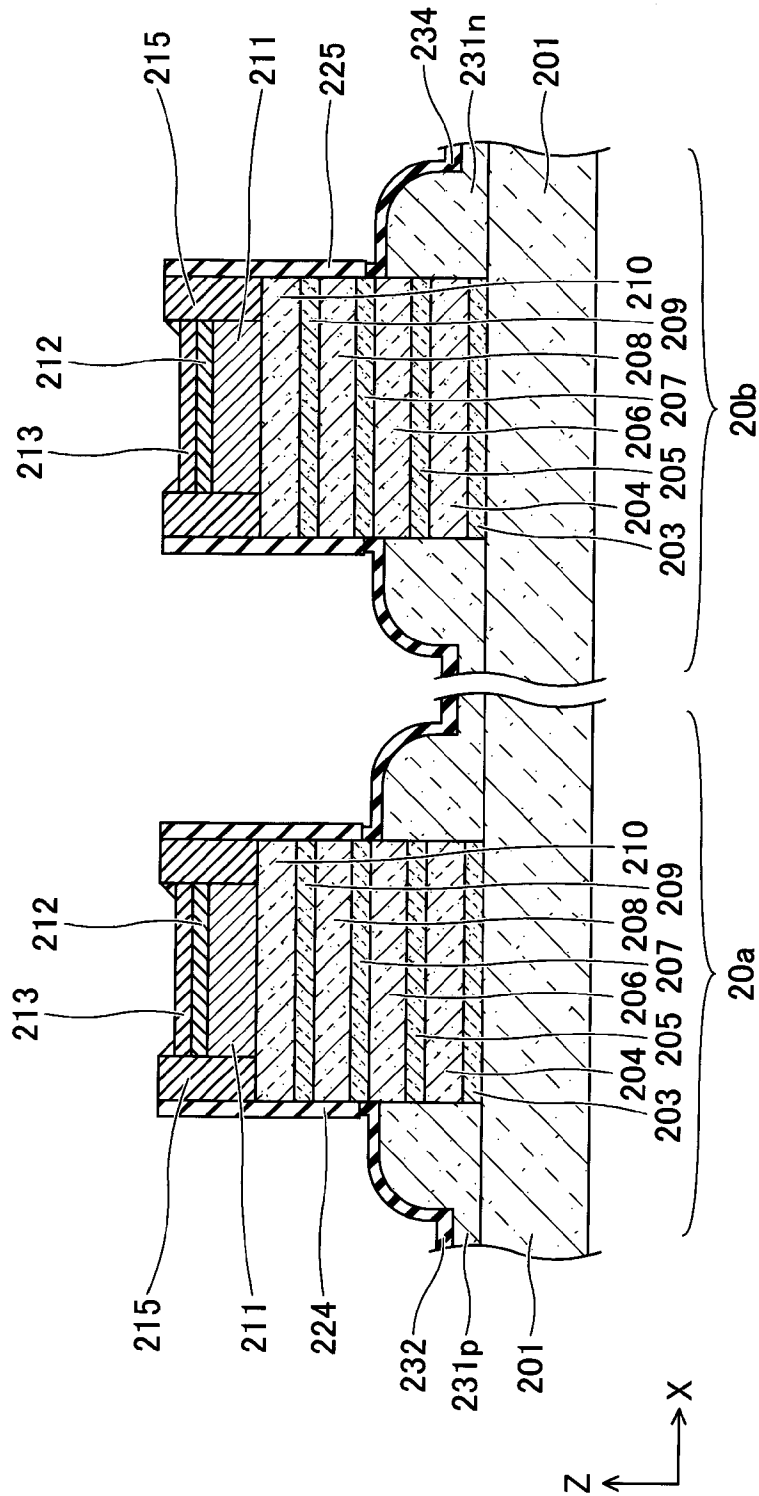
[図18A]



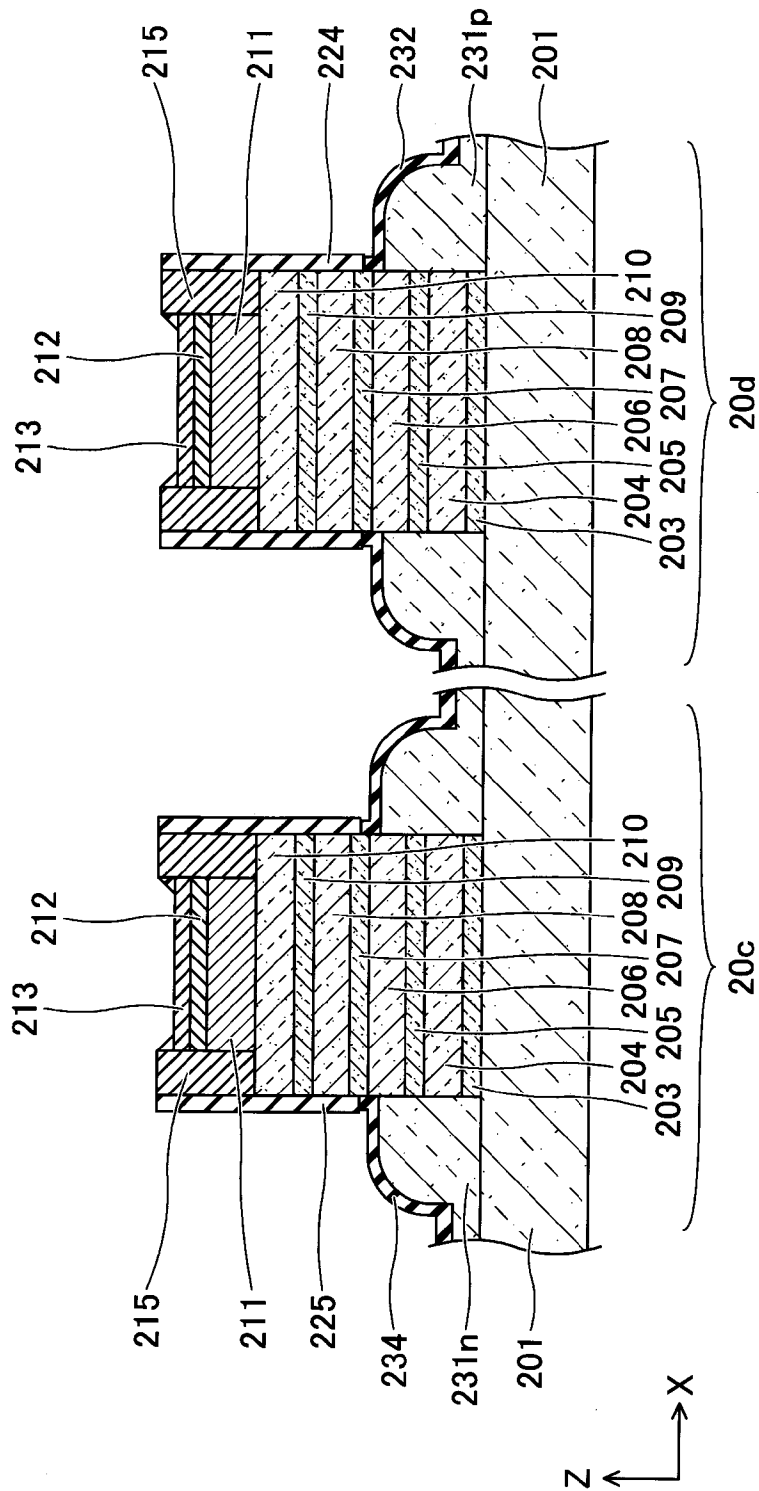
[図18B]



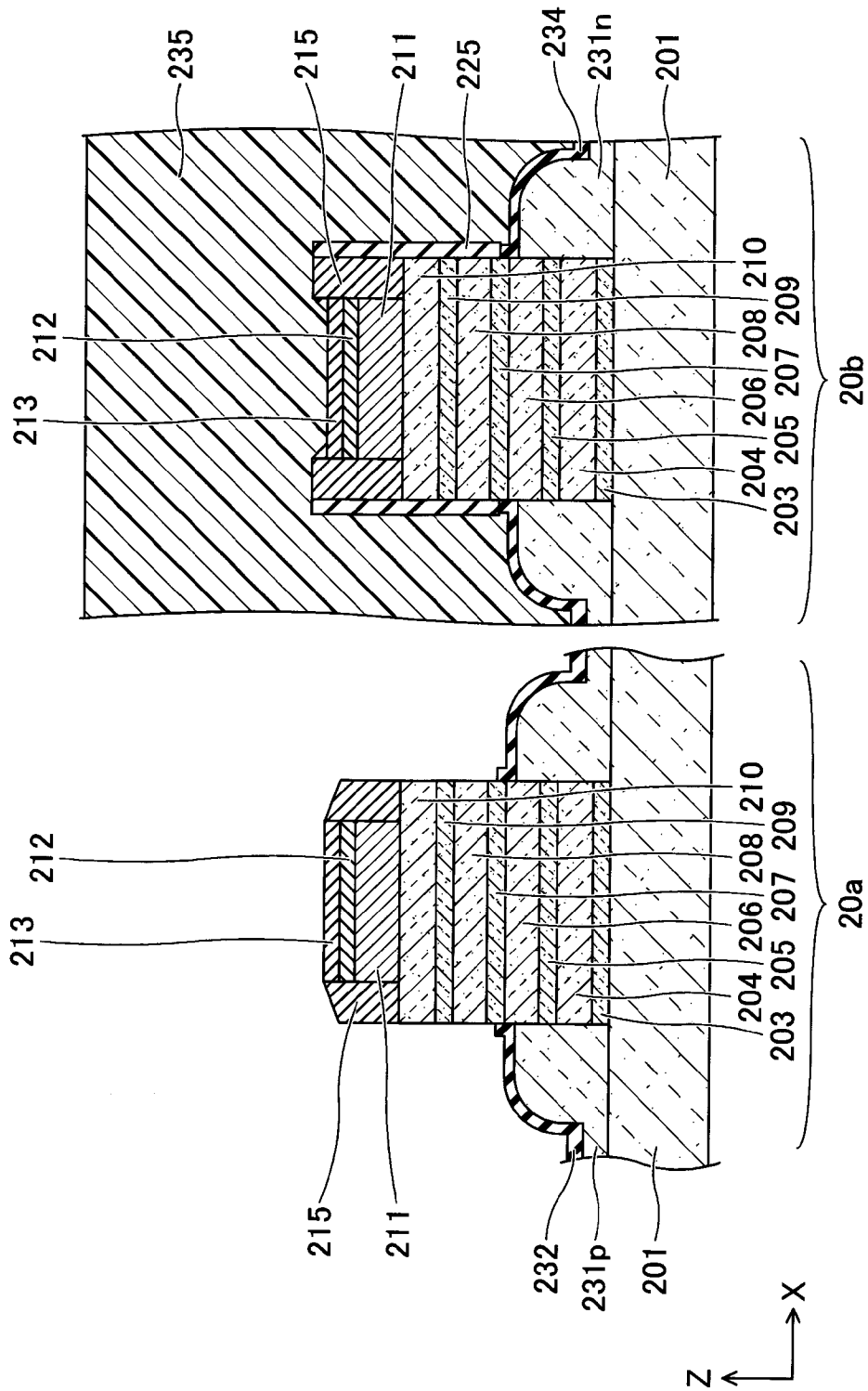
[図19A]



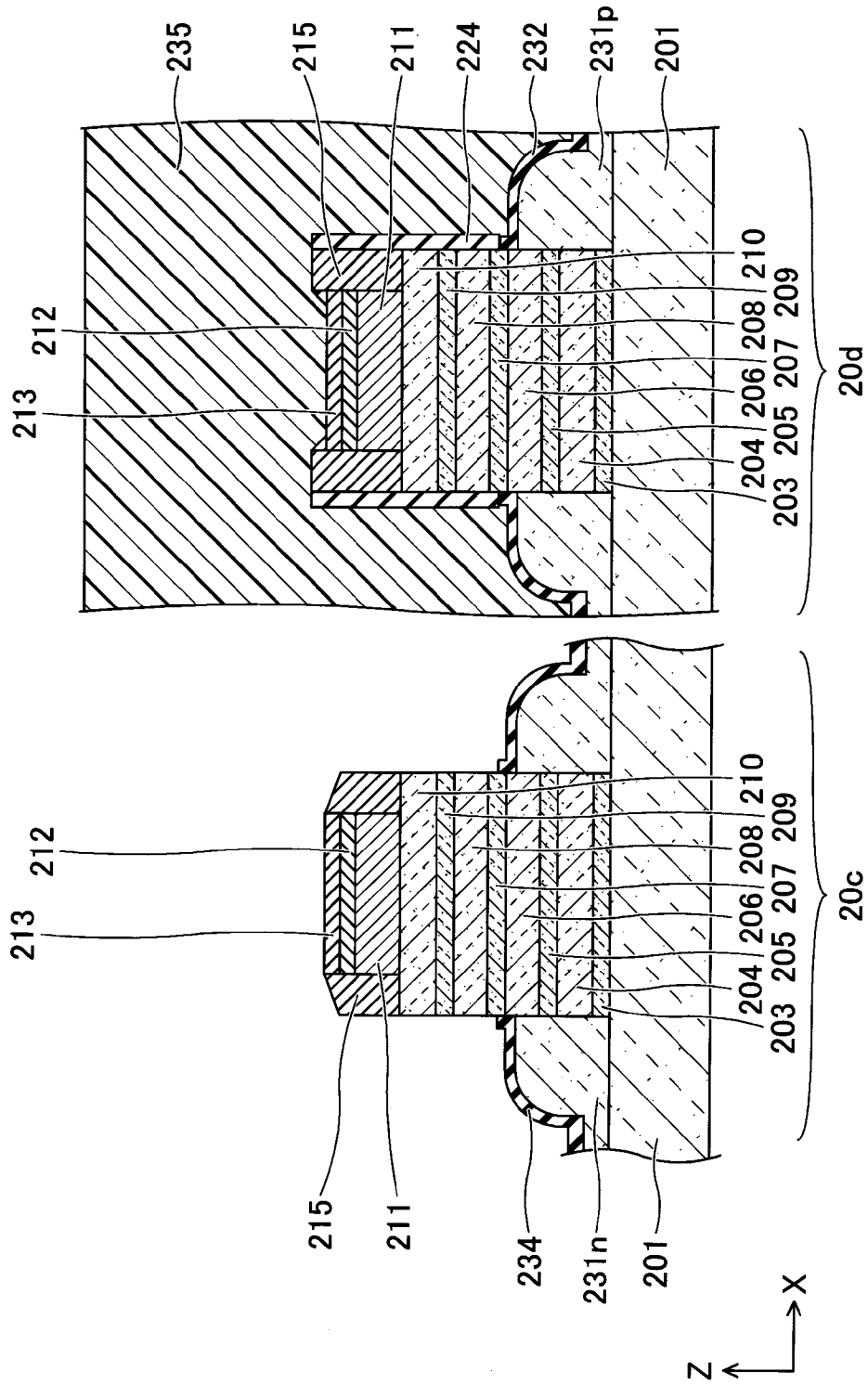
[図19B]



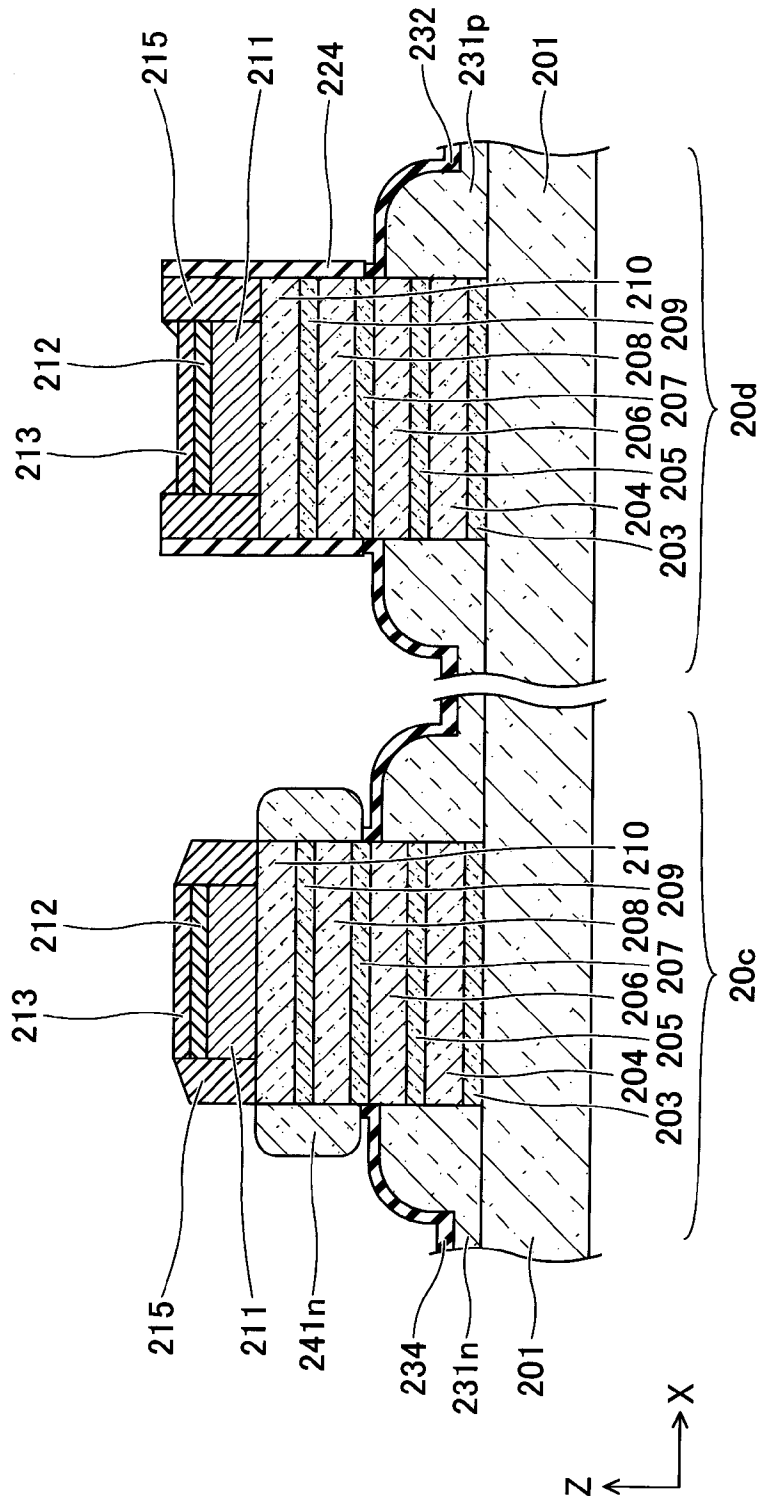
[図20A]



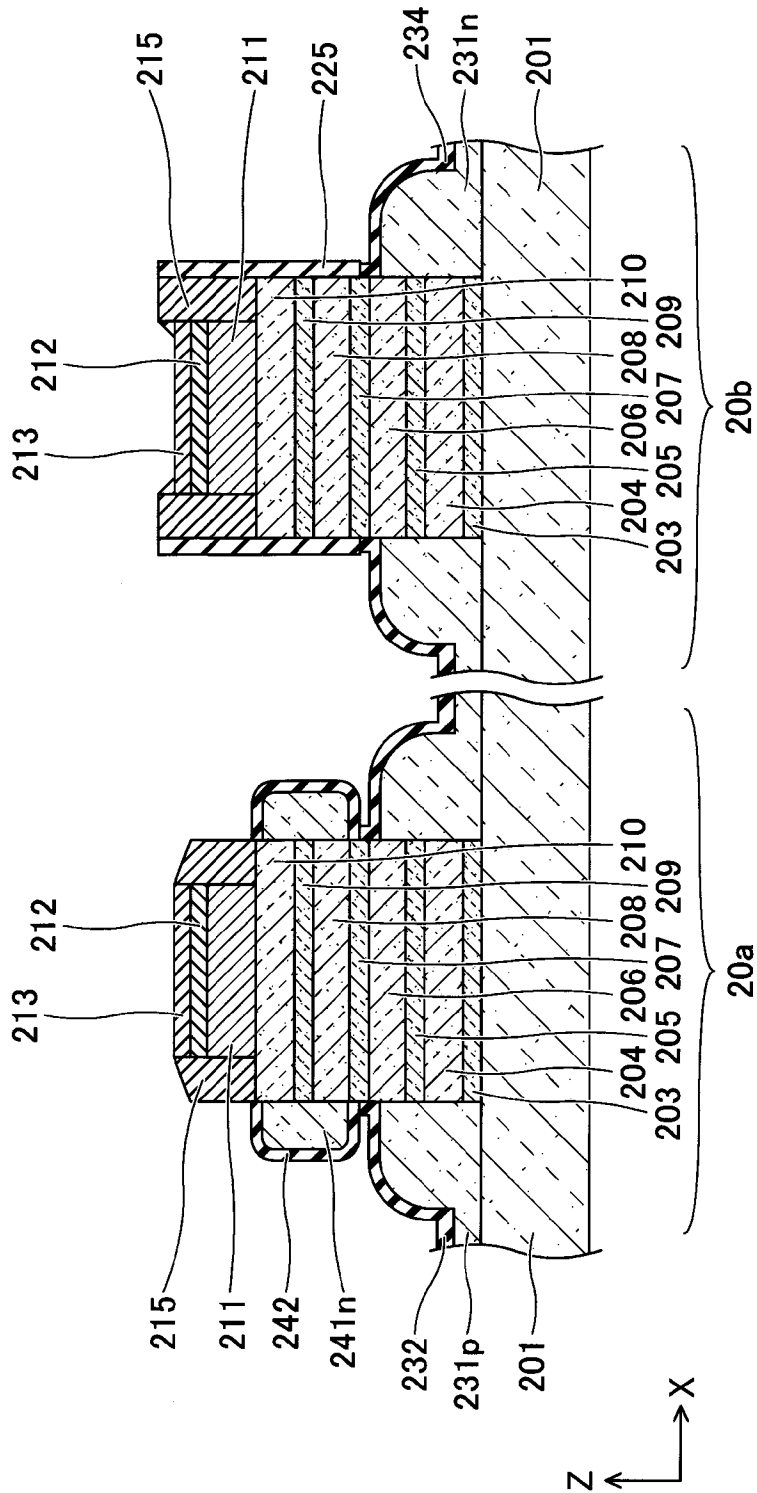
[図20B]



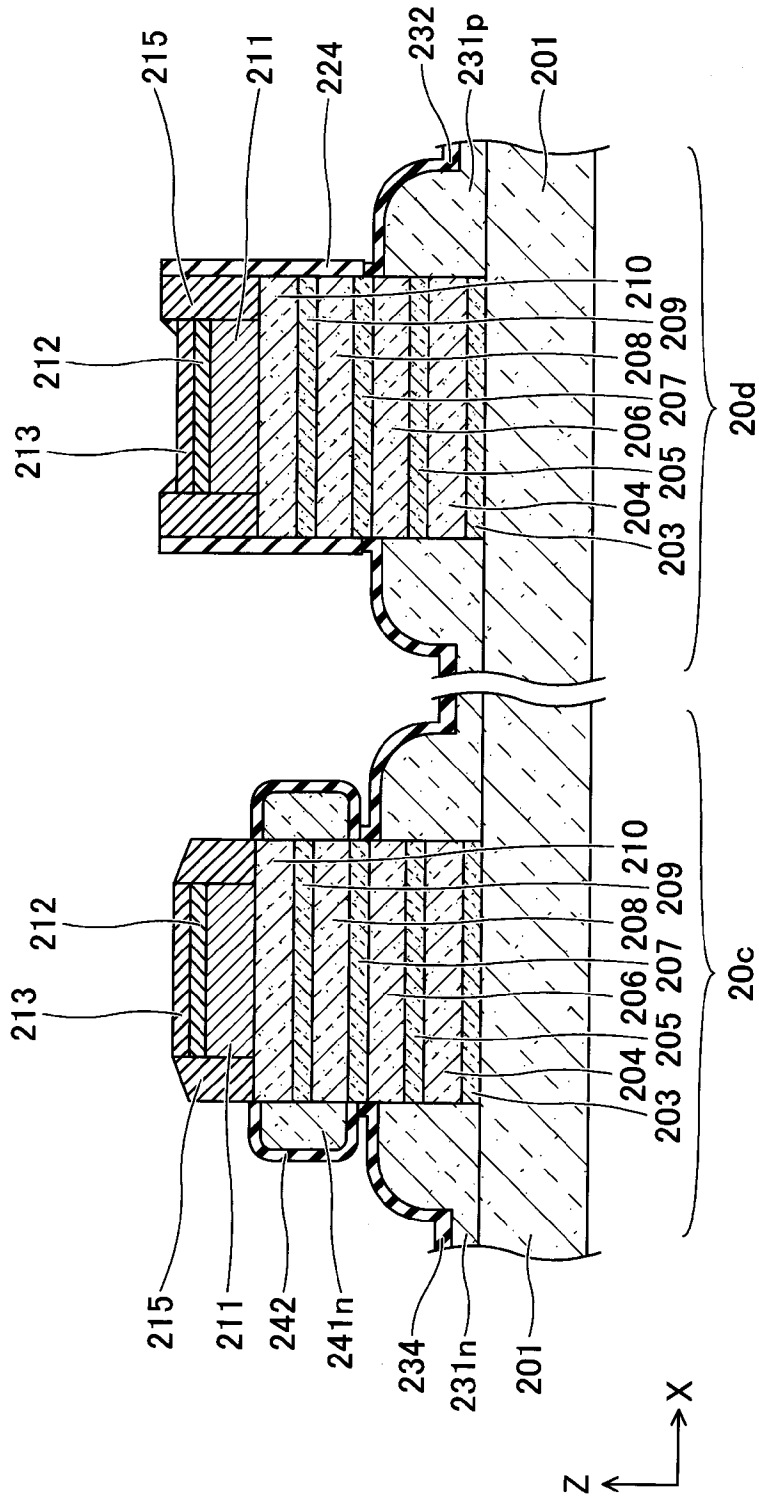
[図21B]



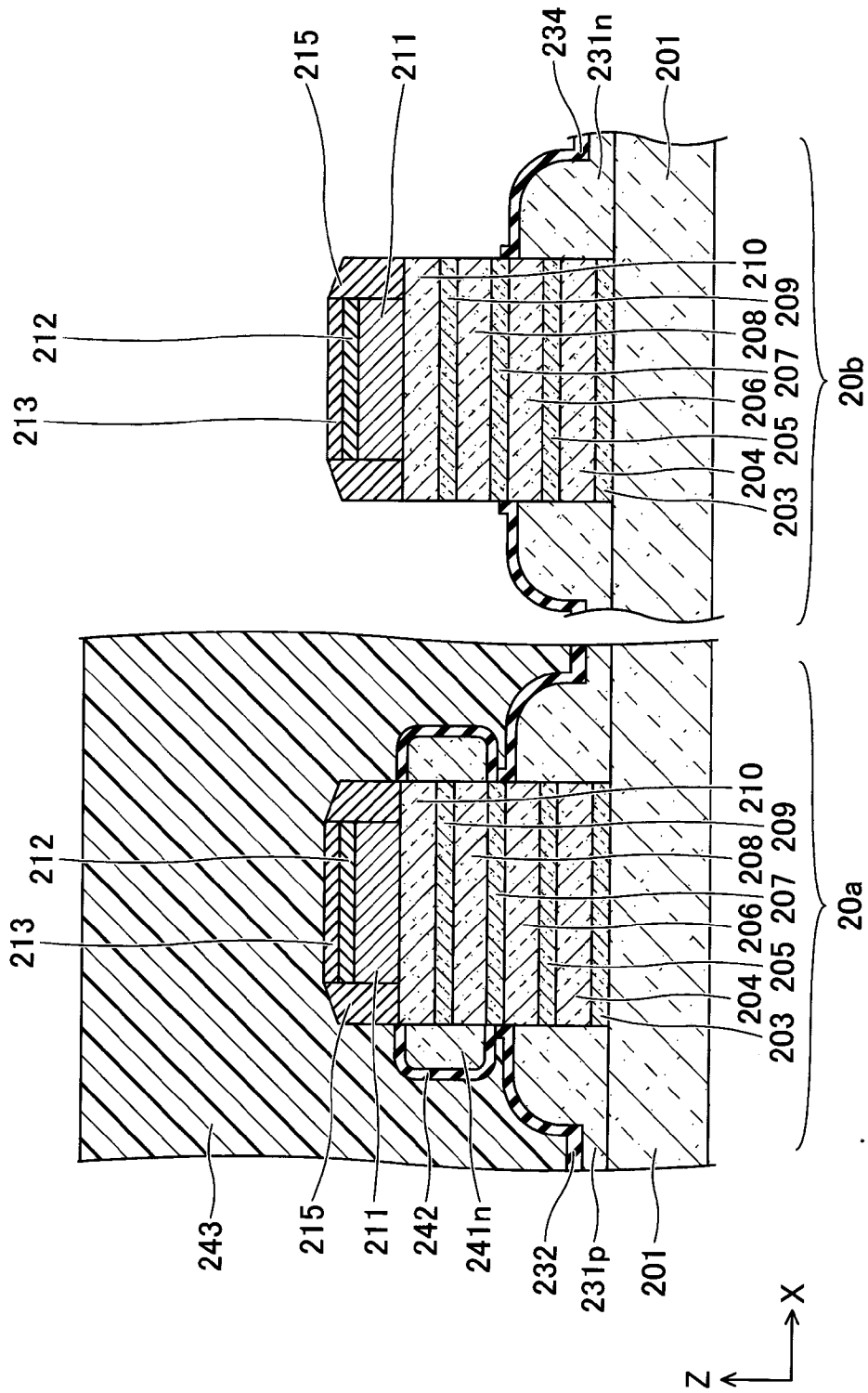
[図22A]



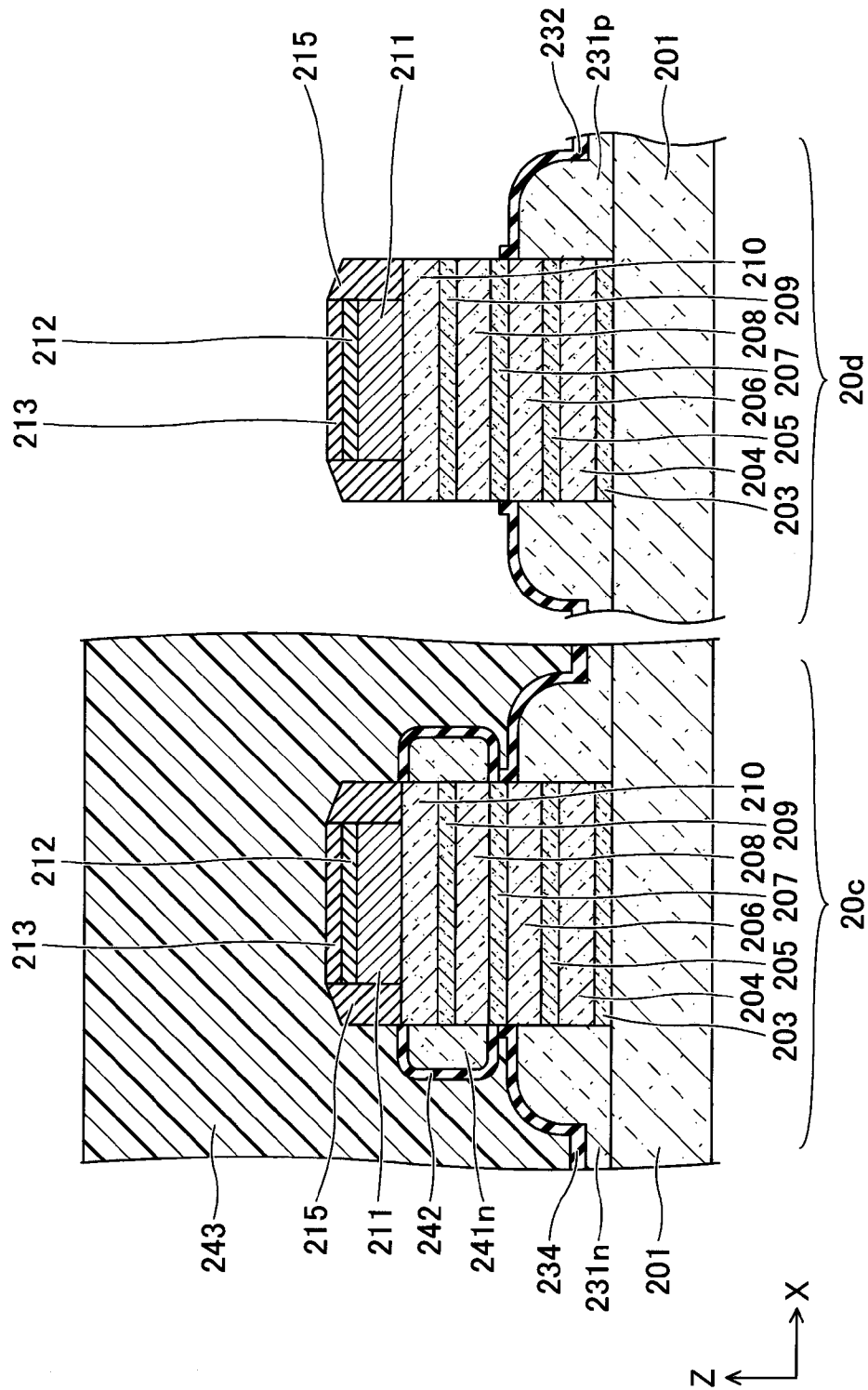
[図22B]



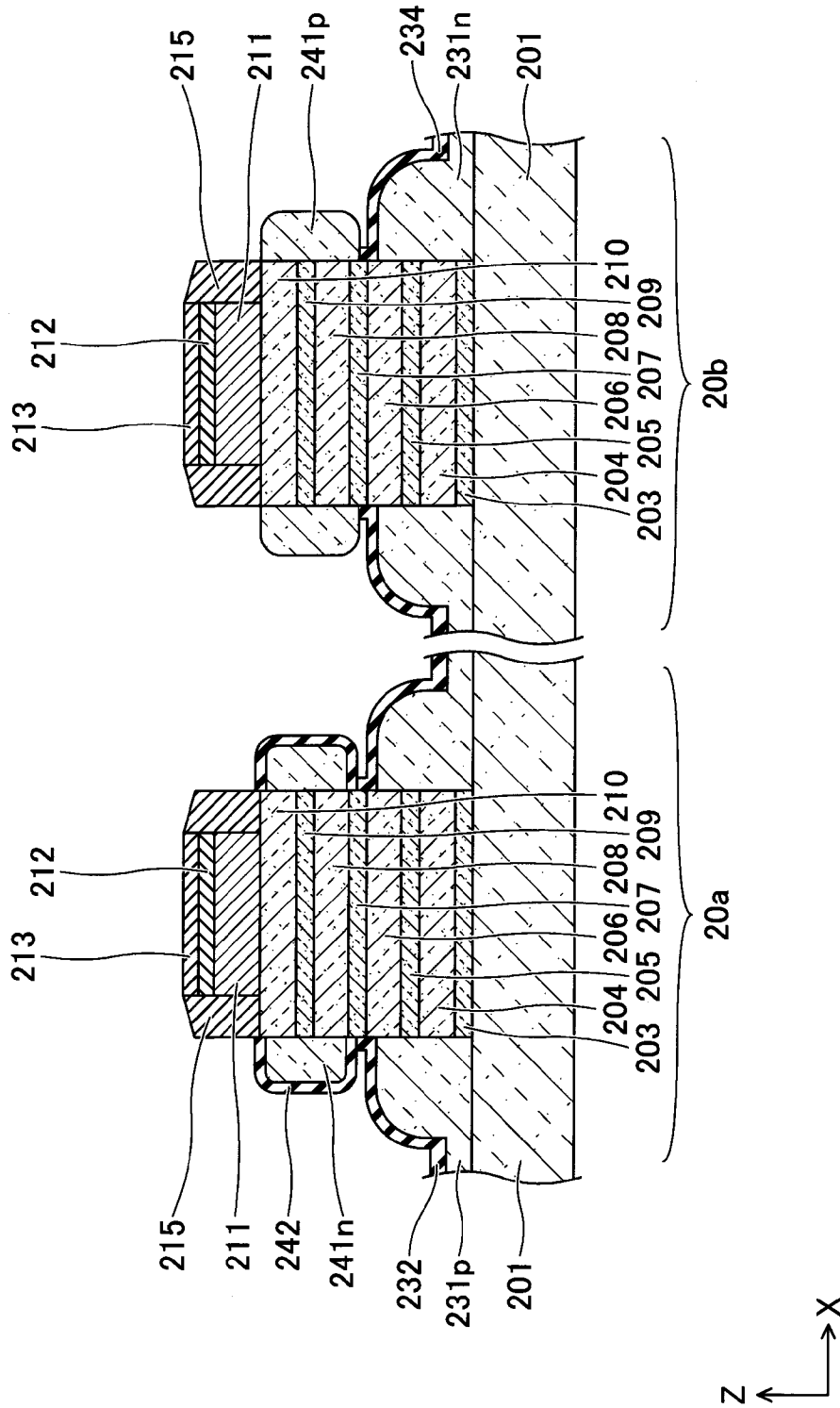
[図23A]



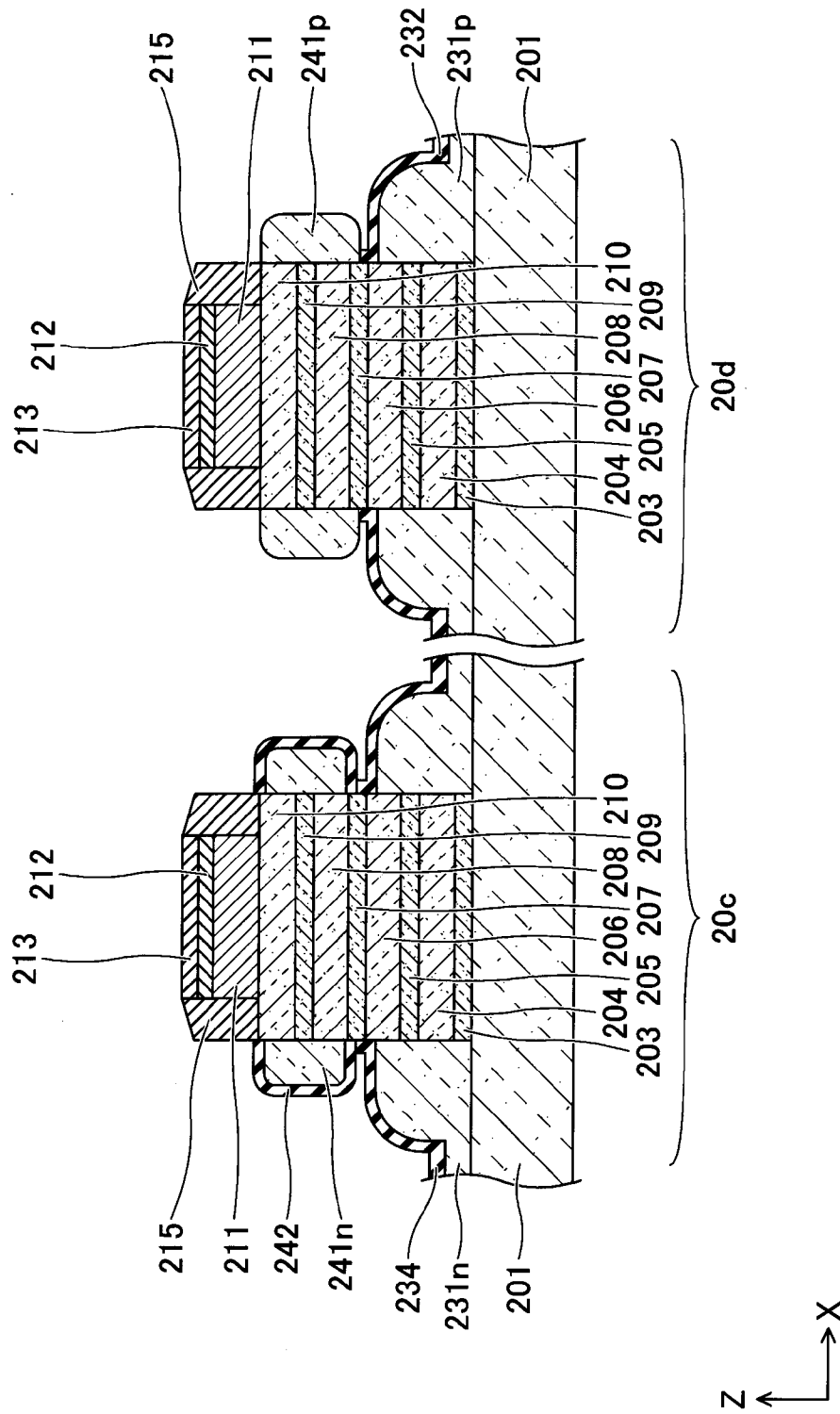
[図23B]



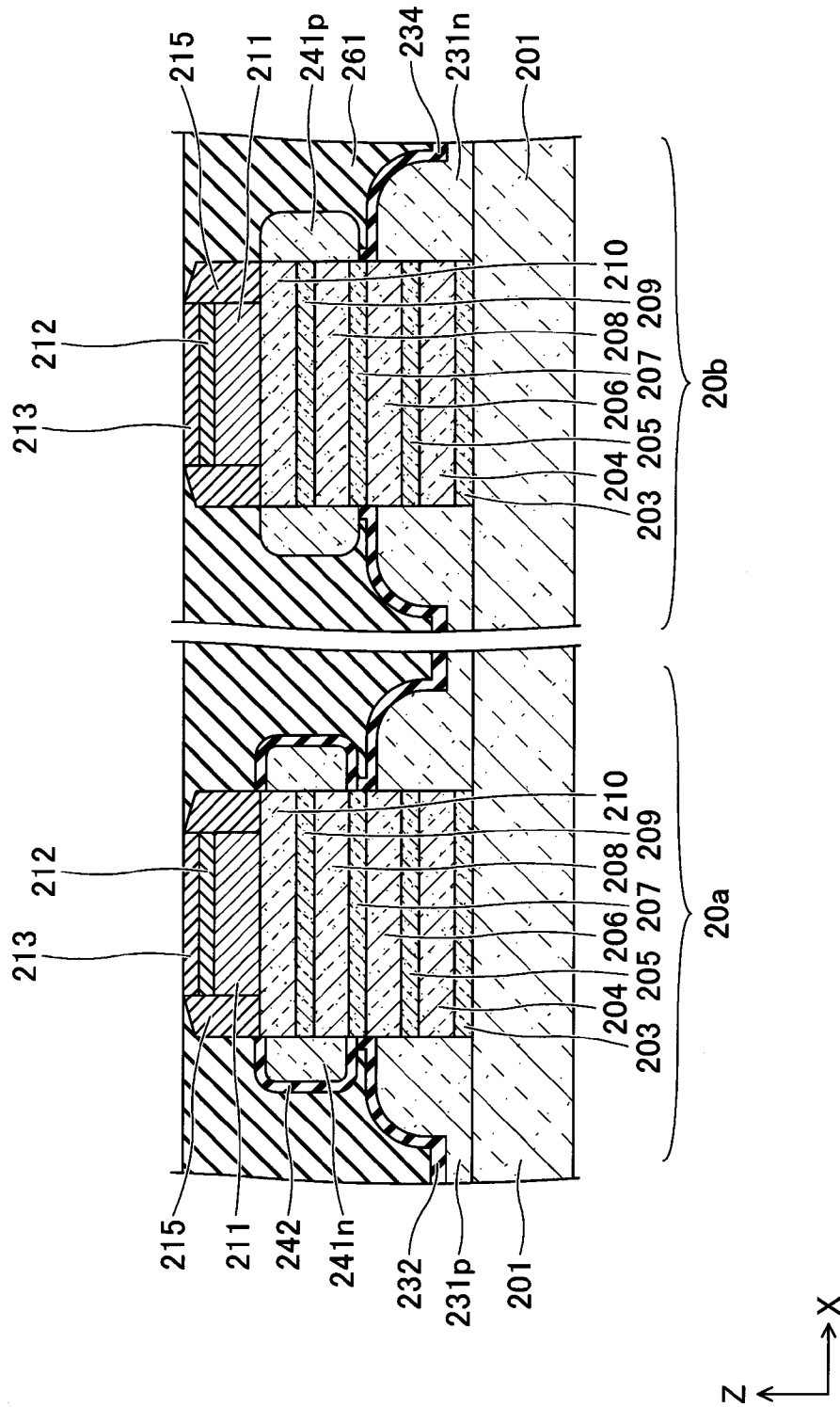
[図24A]



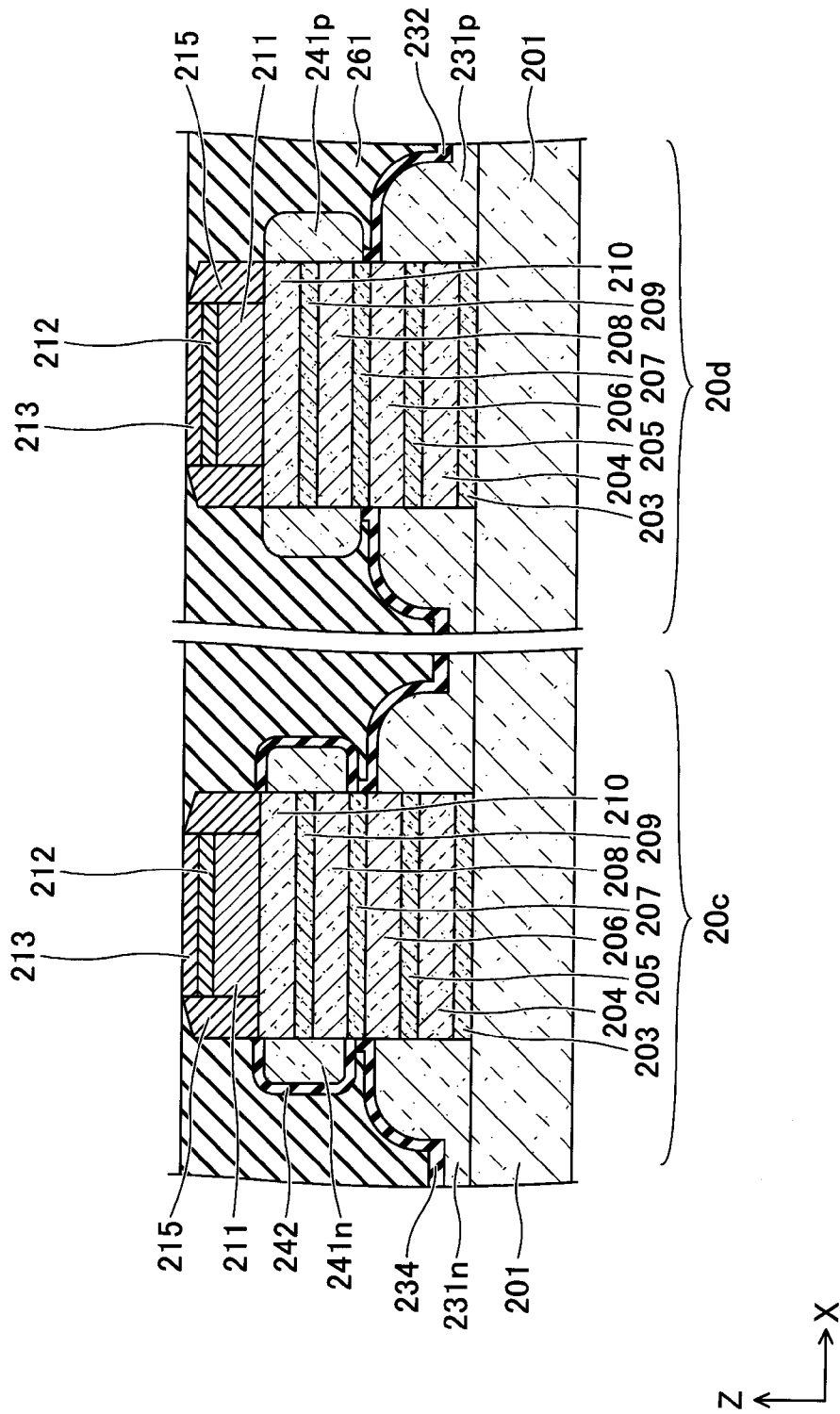
[図24B]



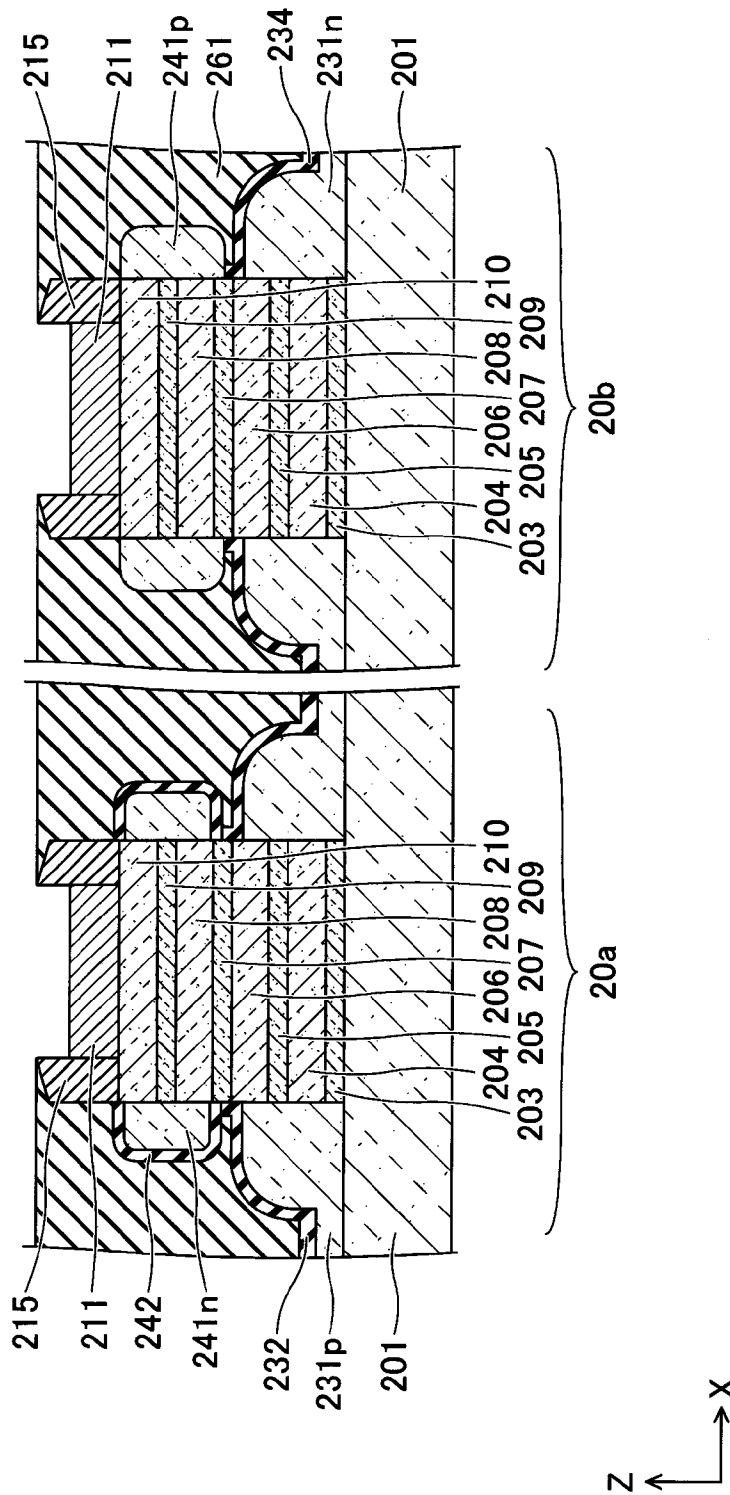
[図25A]



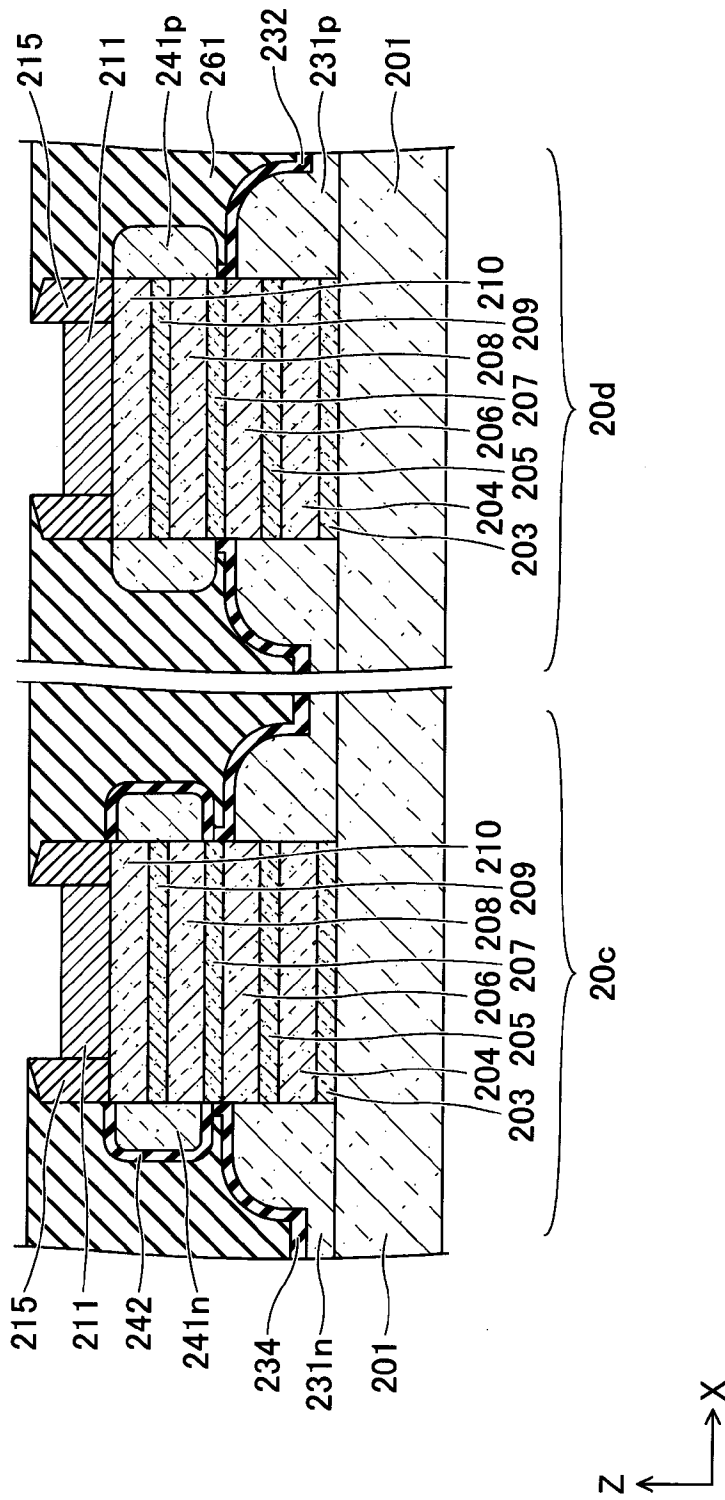
[図25B]



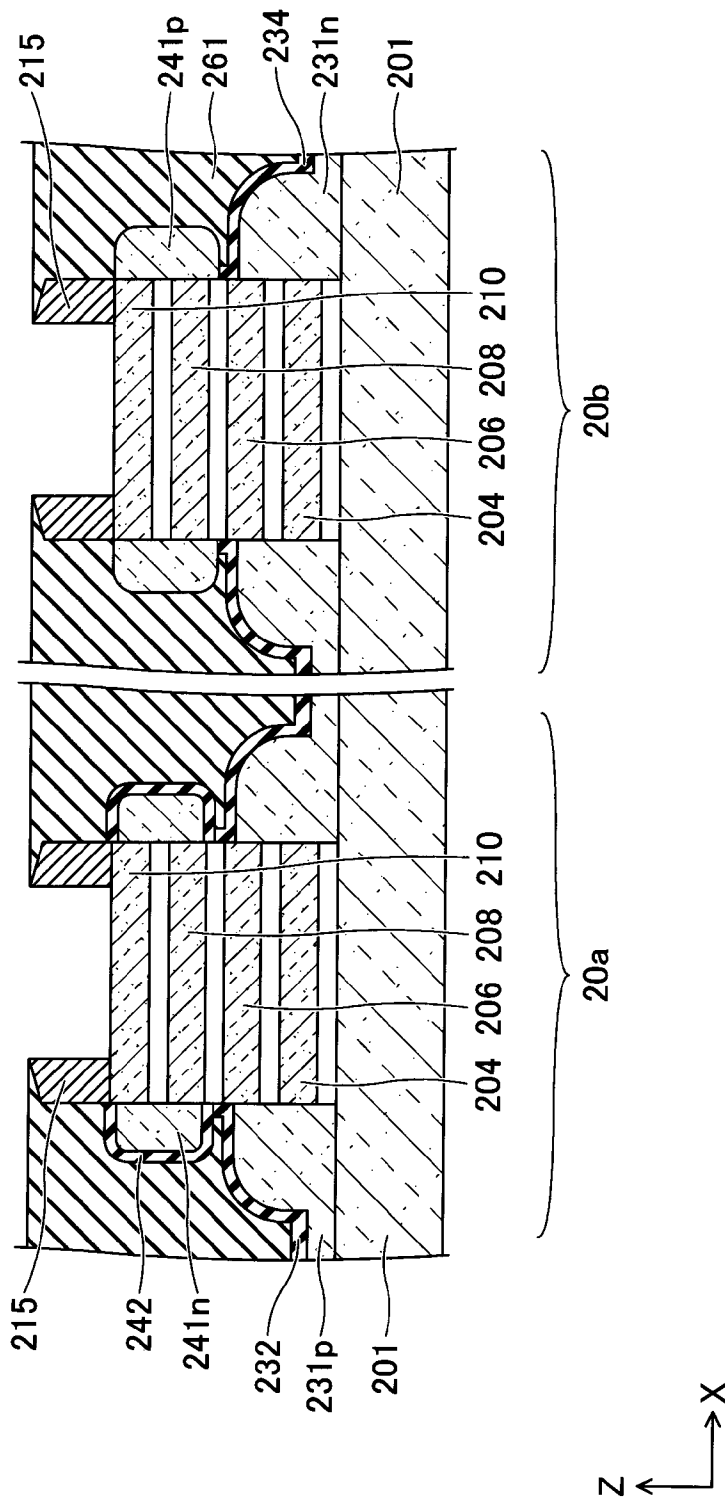
[図26A]



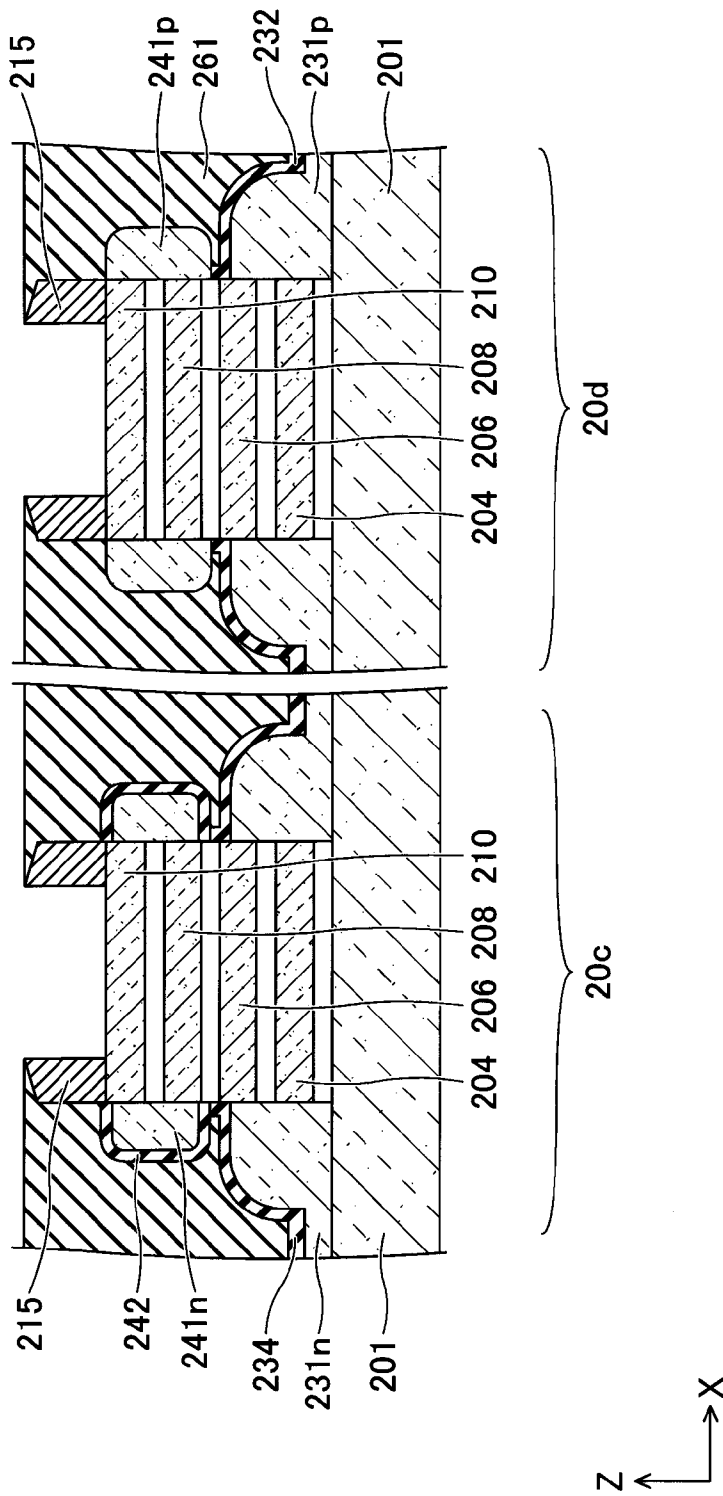
[図26B]



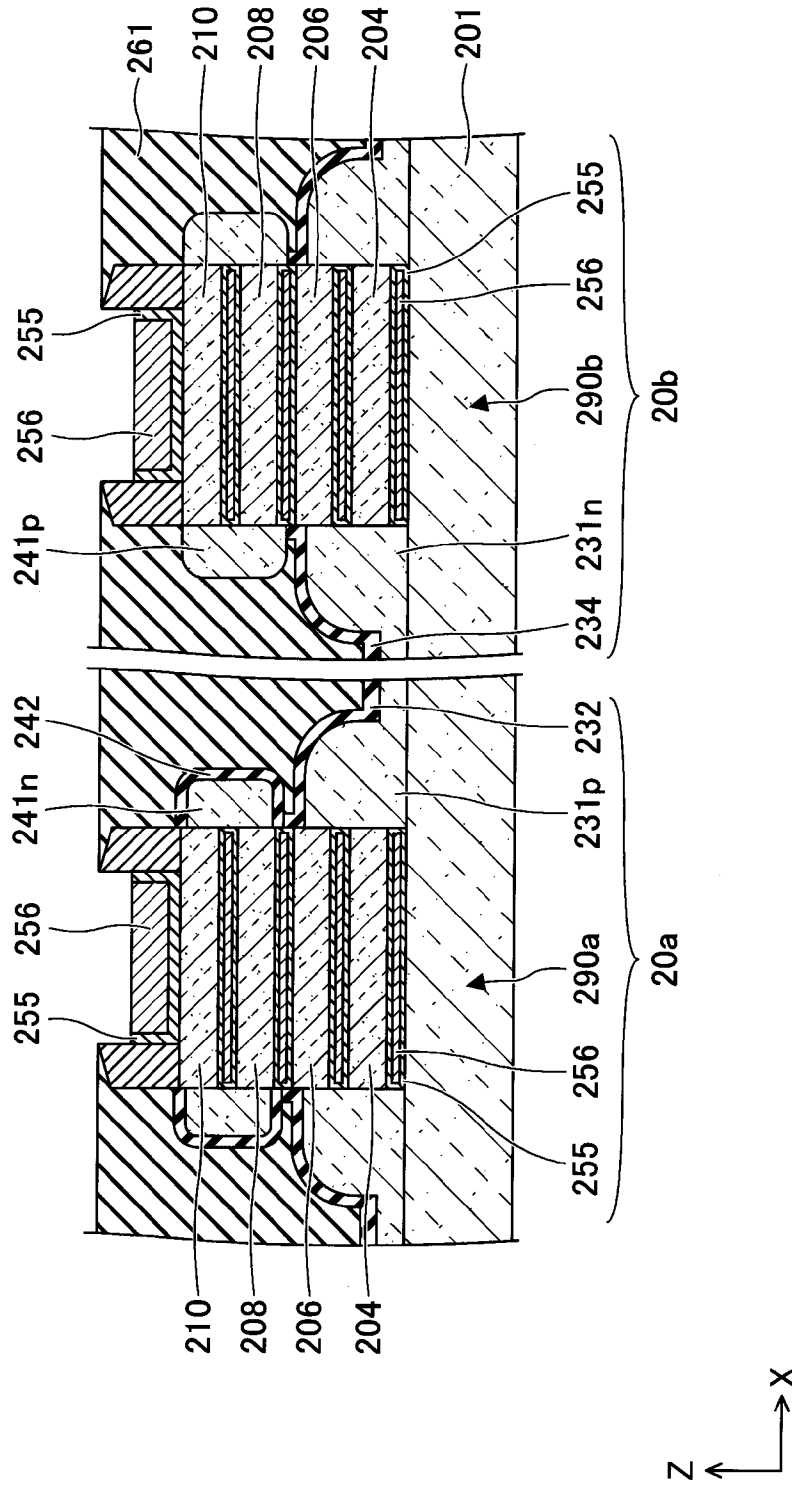
[図28A]



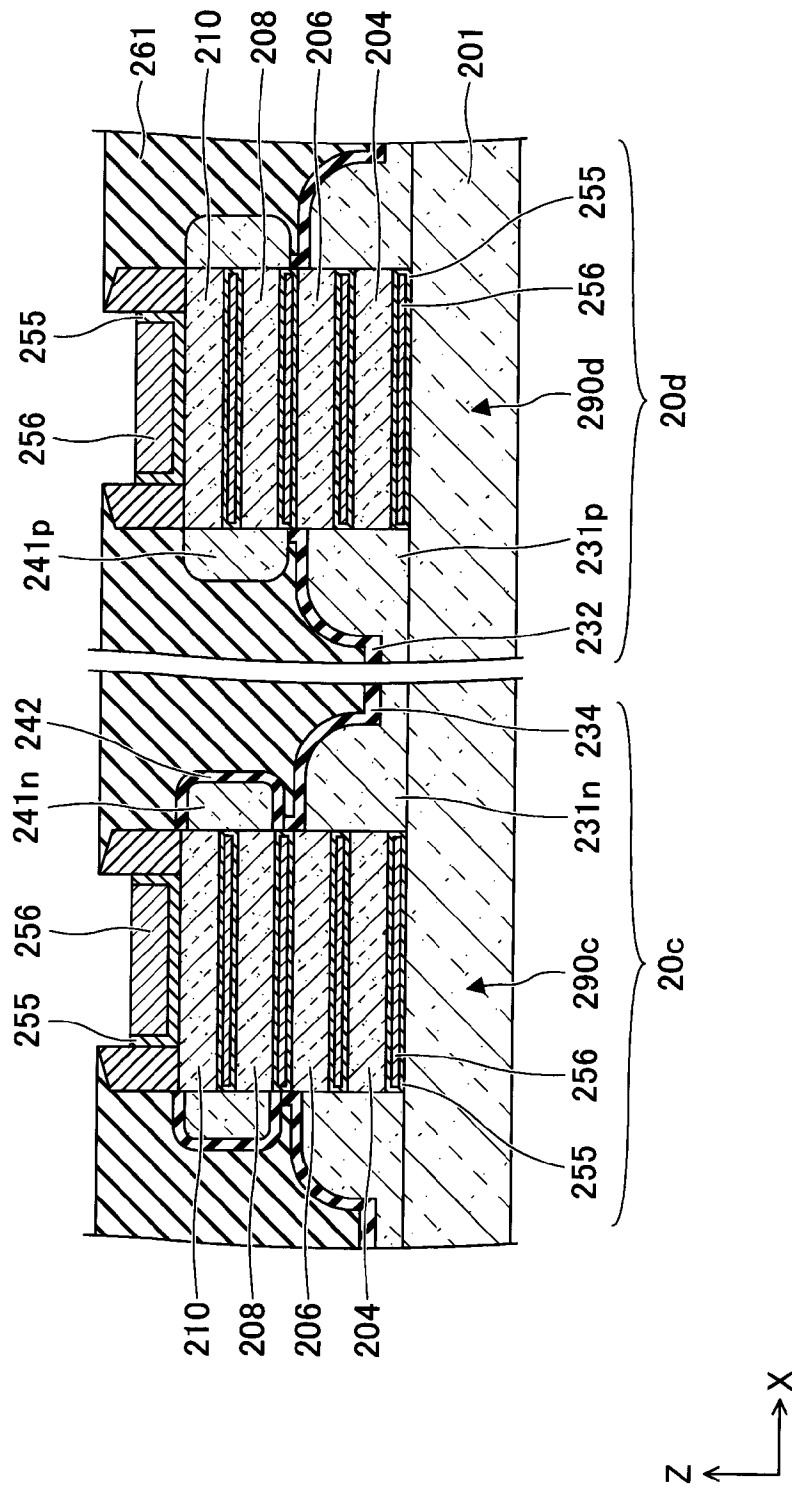
[図28B]



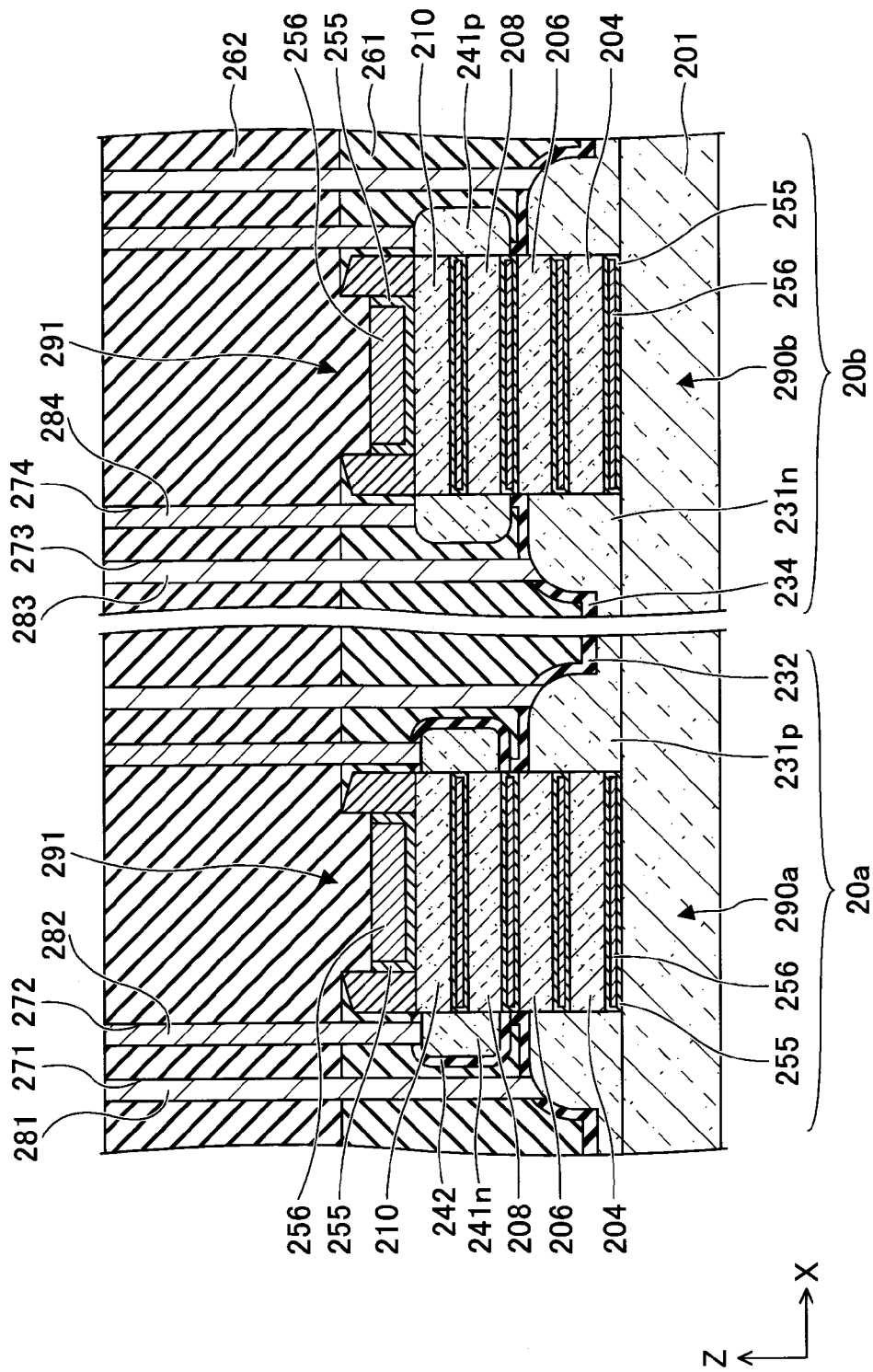
[図29A]



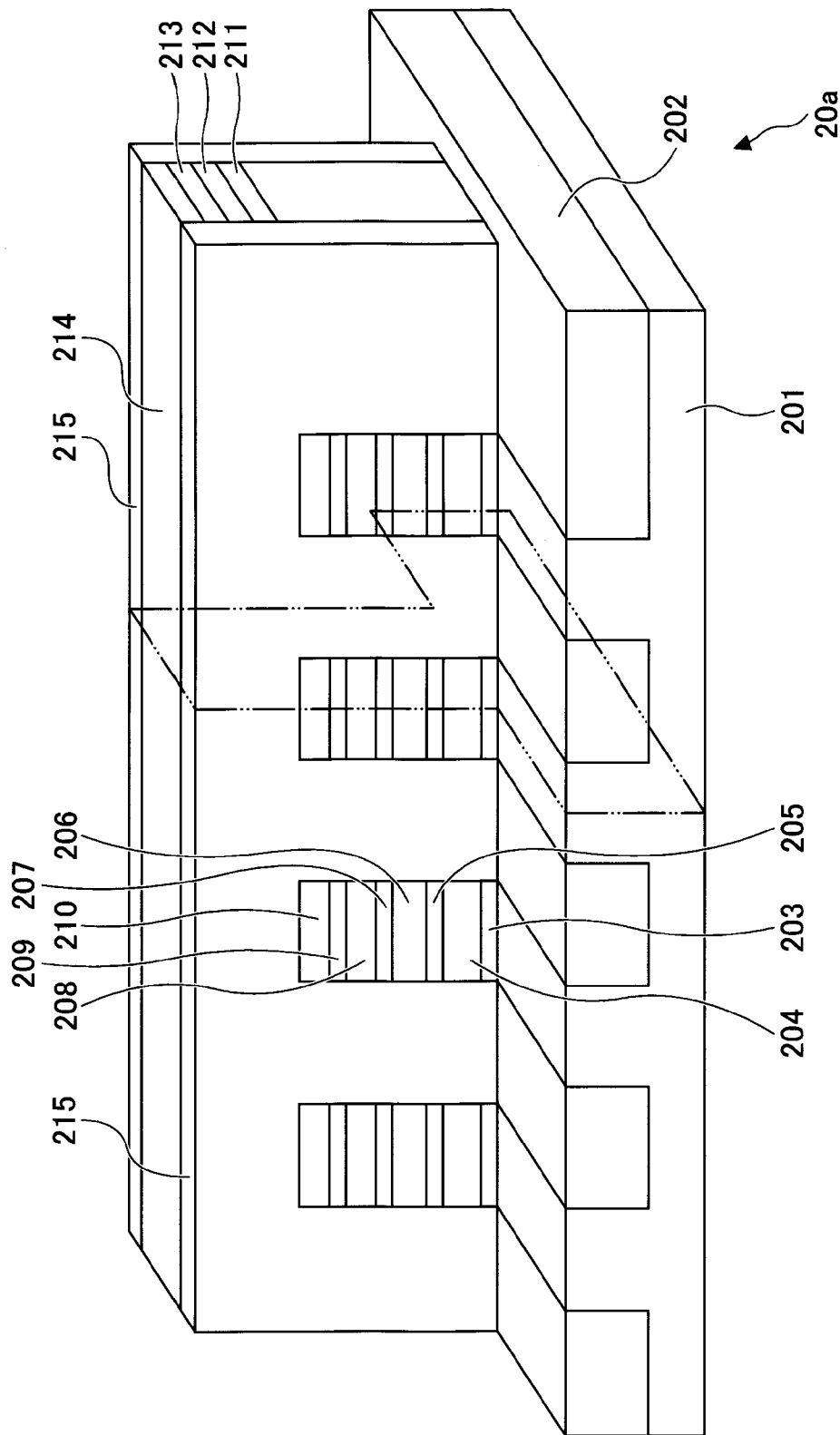
[図29B]



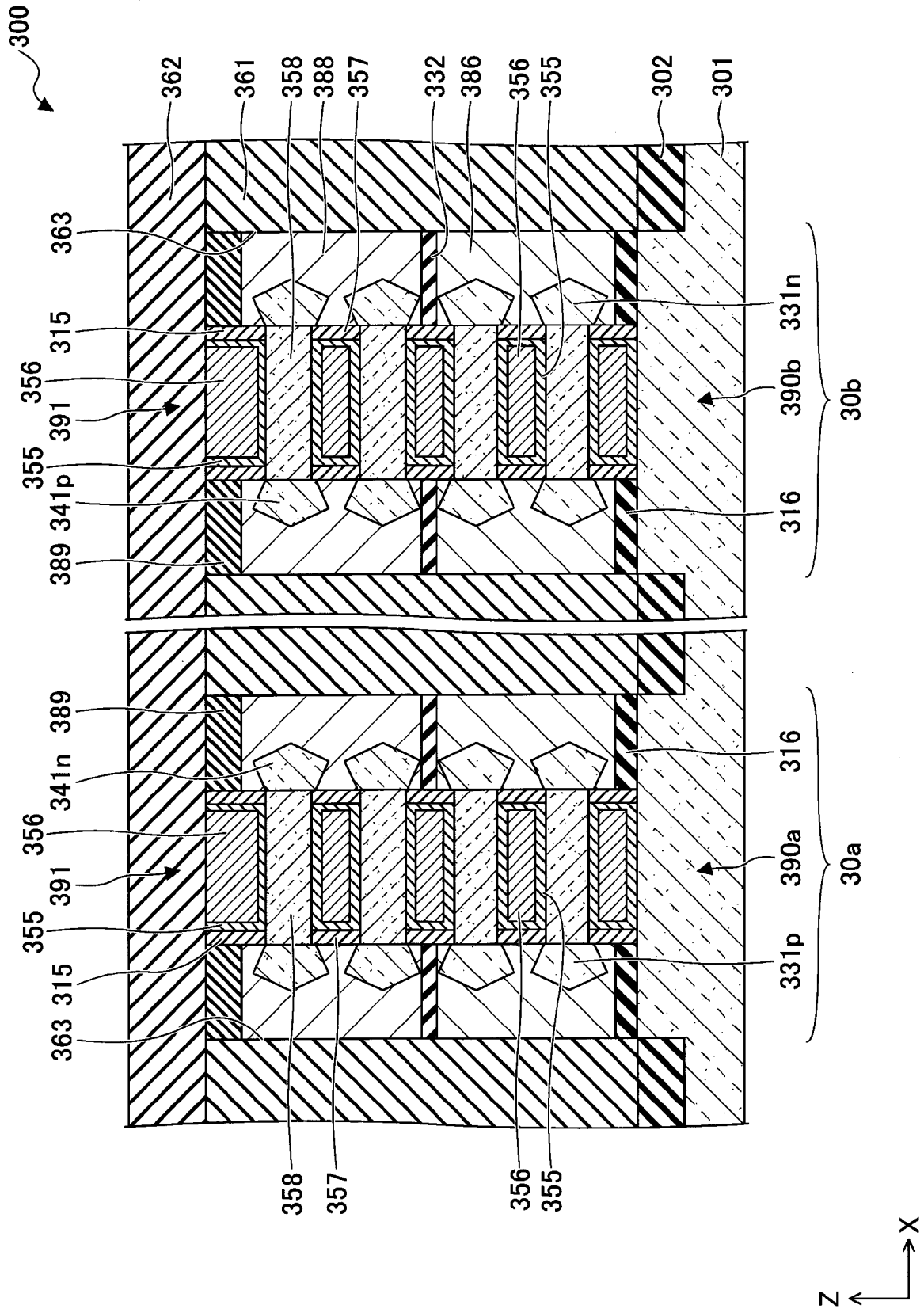
[図30A]



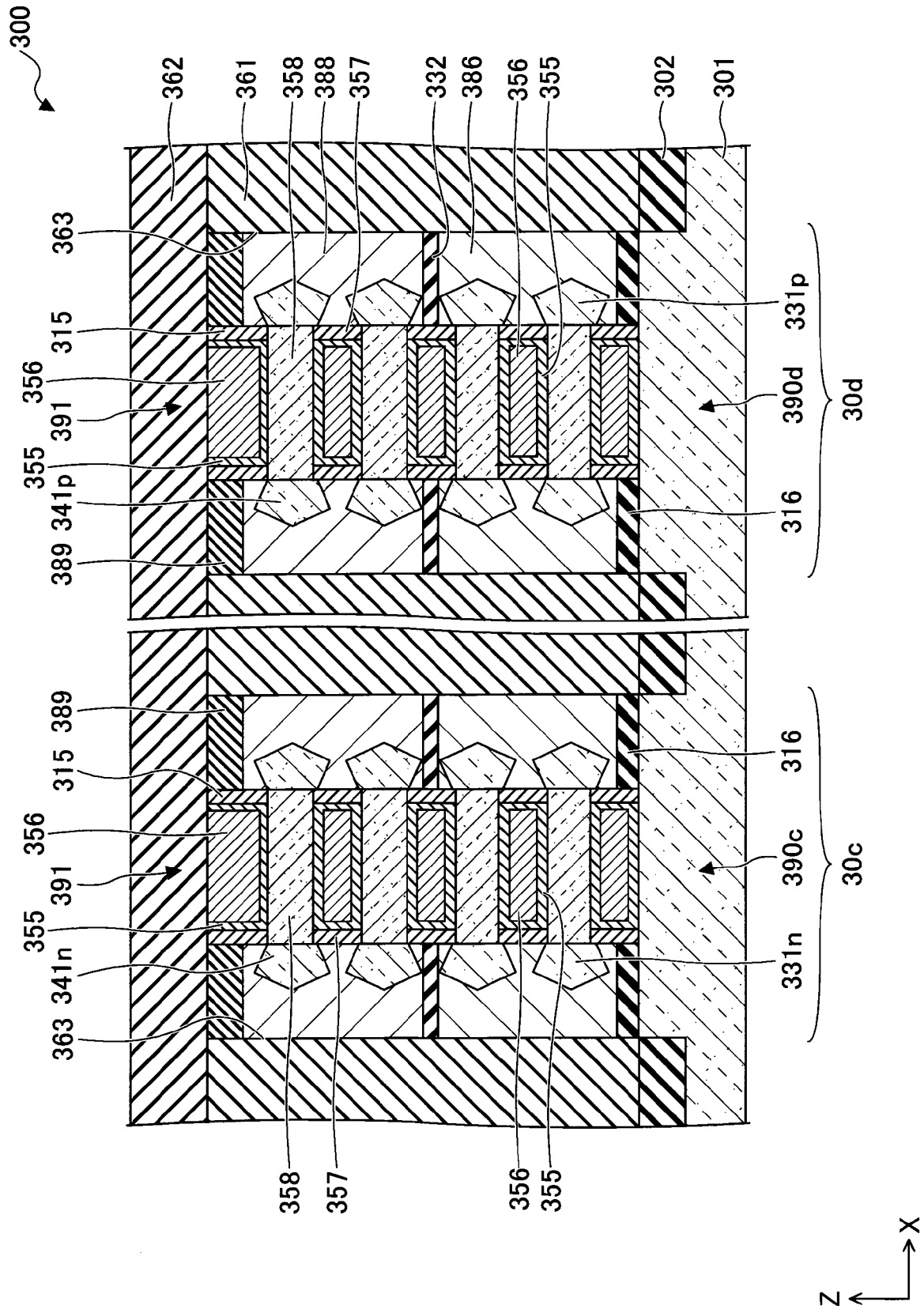
[図31]



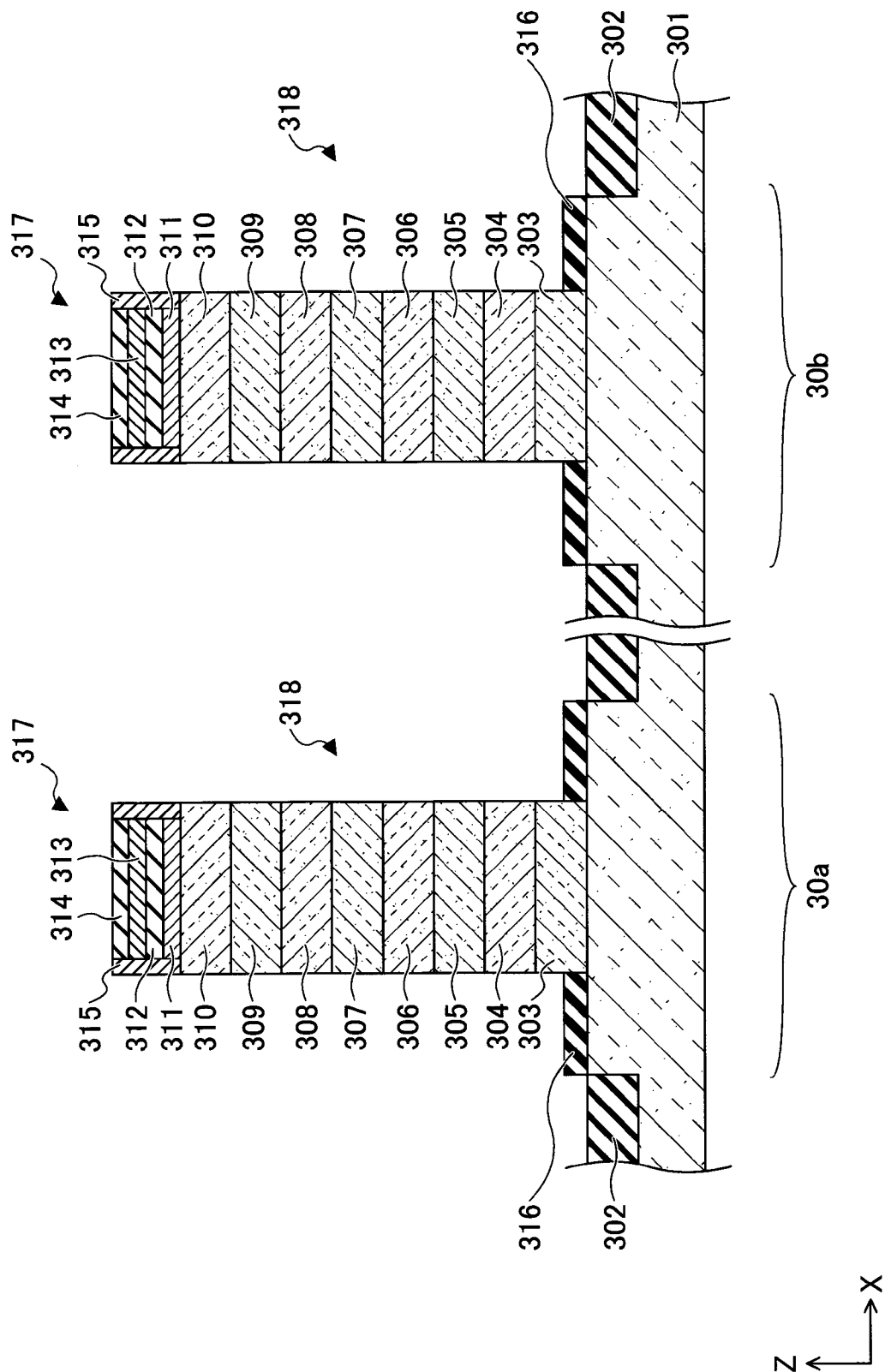
[図32A]



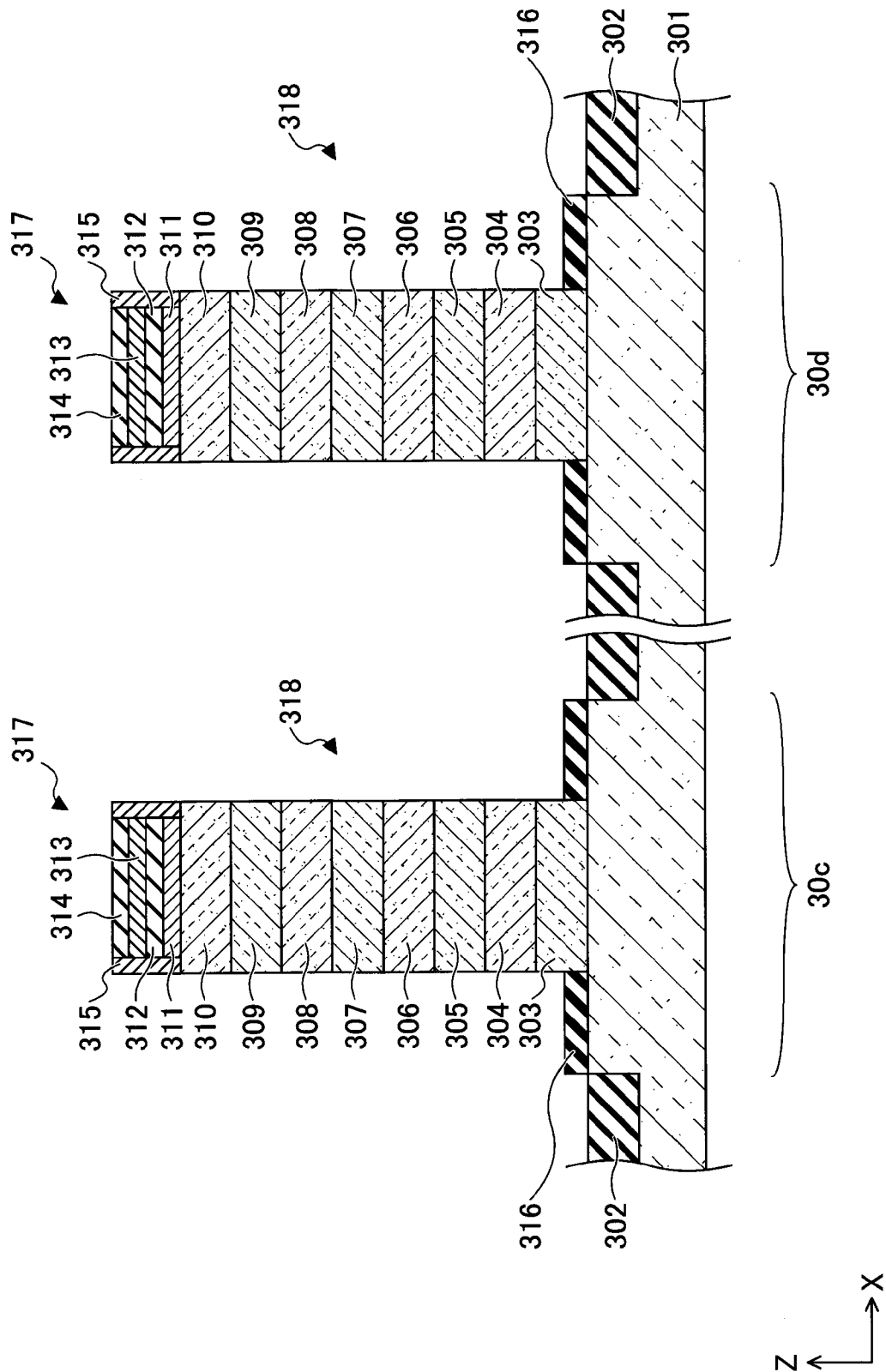
[図32B]



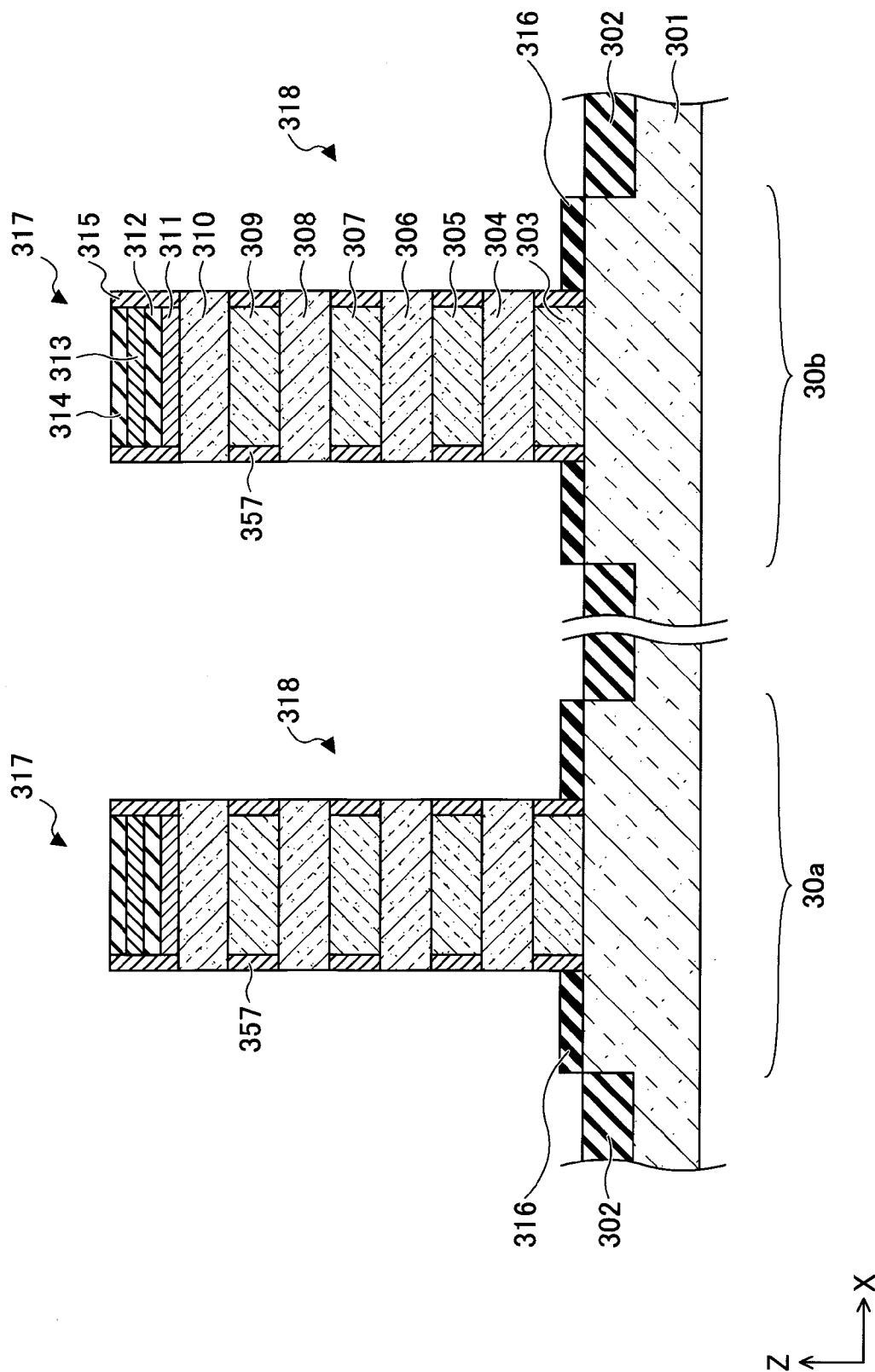
[図33A]



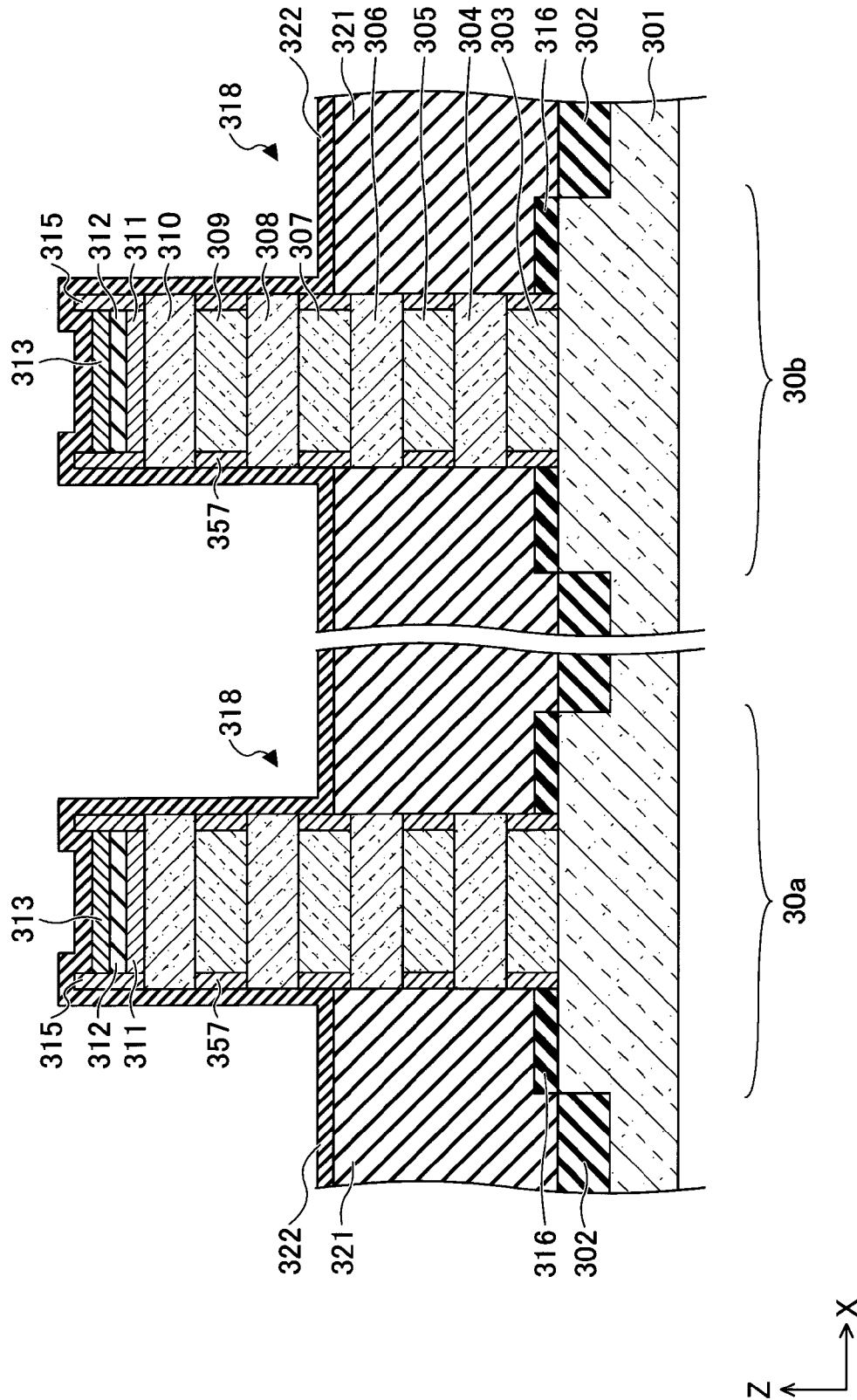
[図33B]



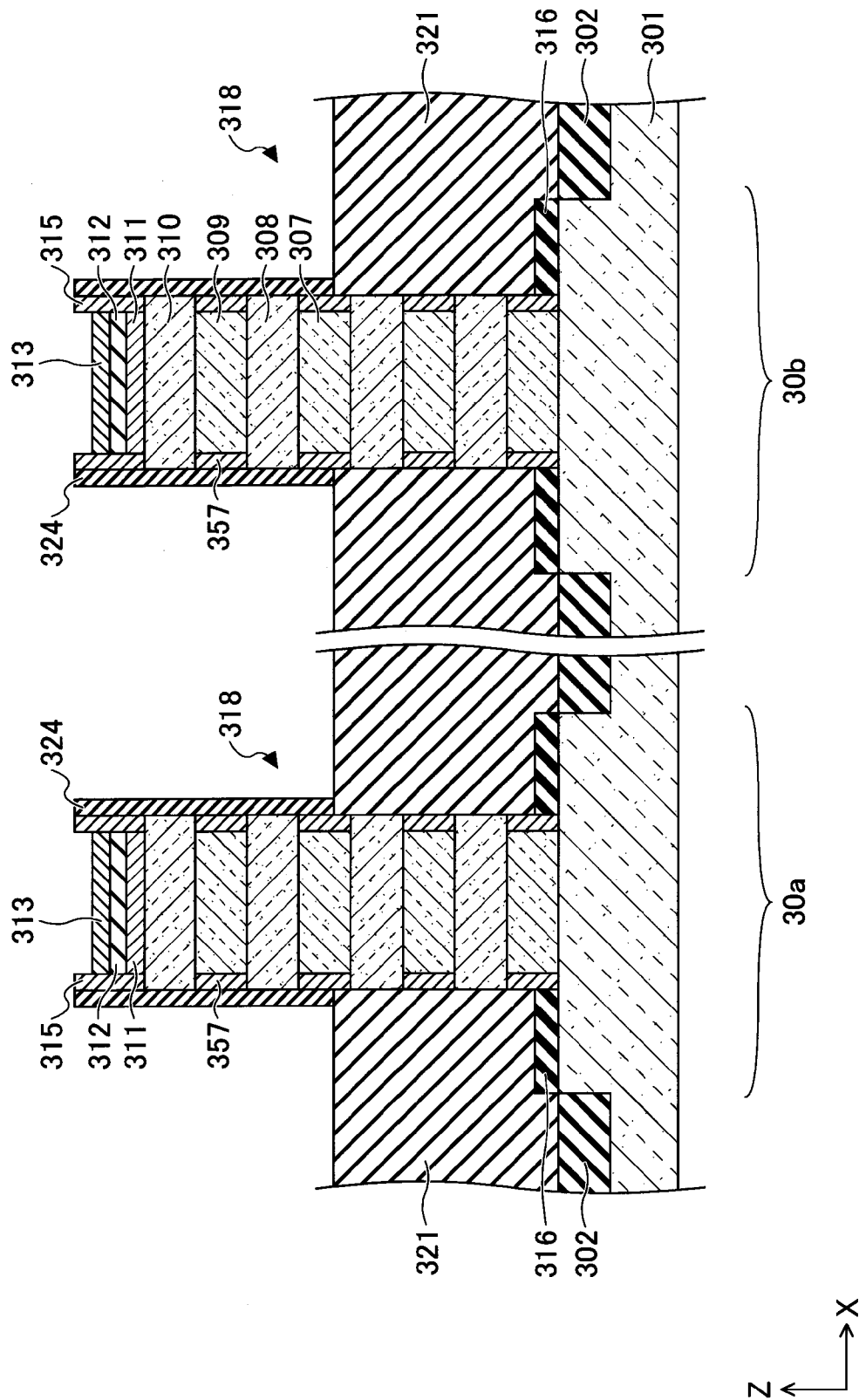
[図34A]



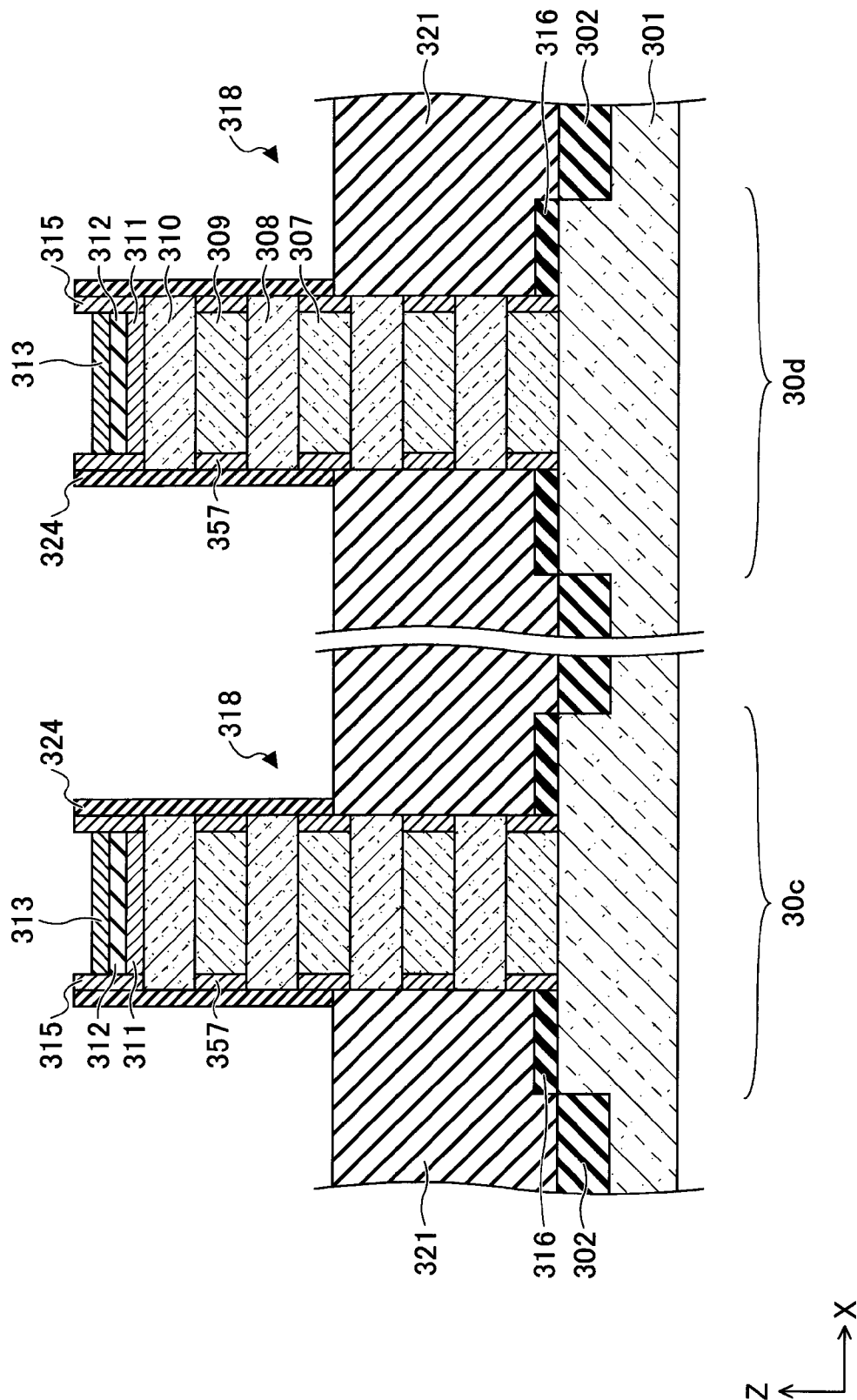
[図35A]



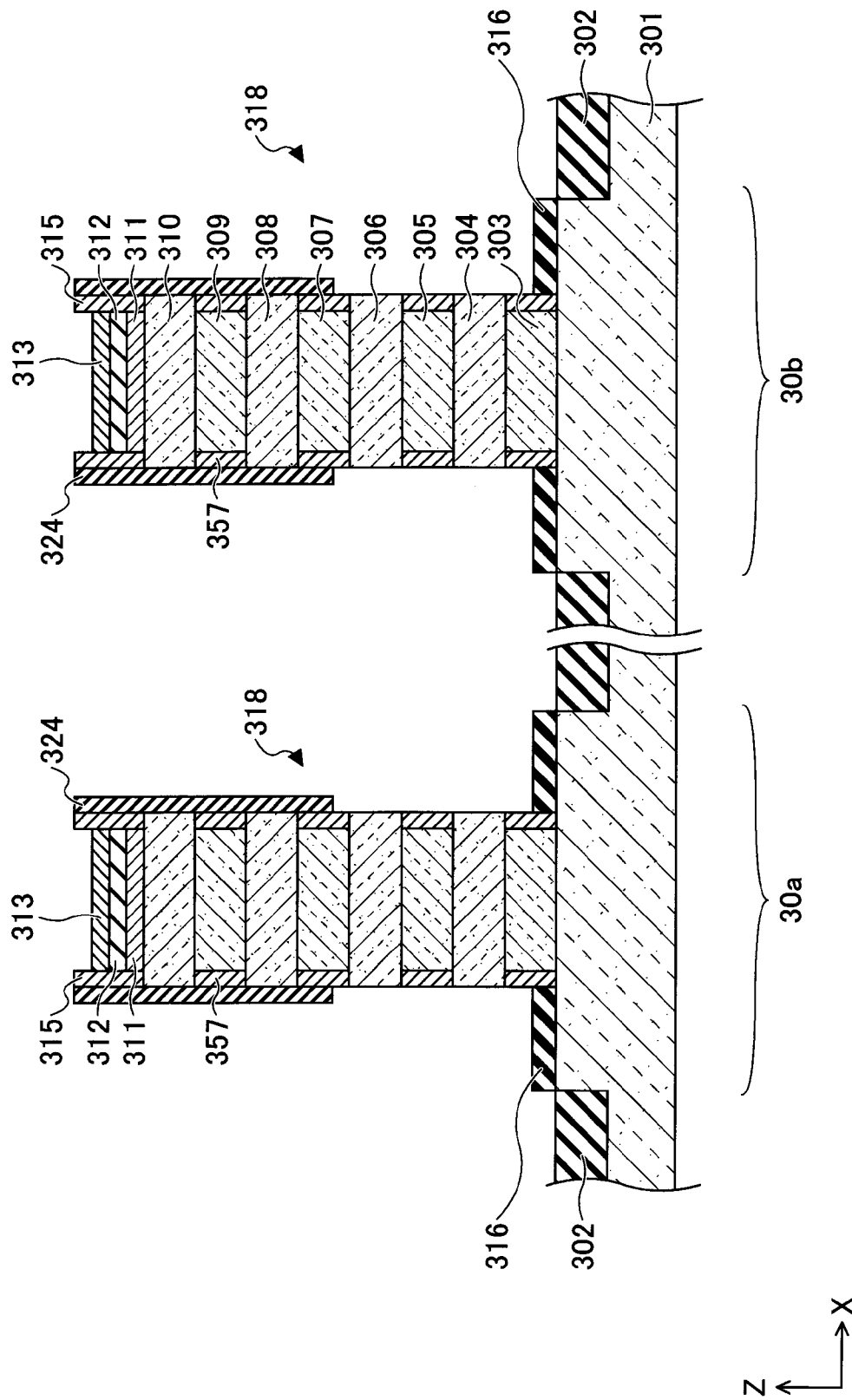
[図36A]



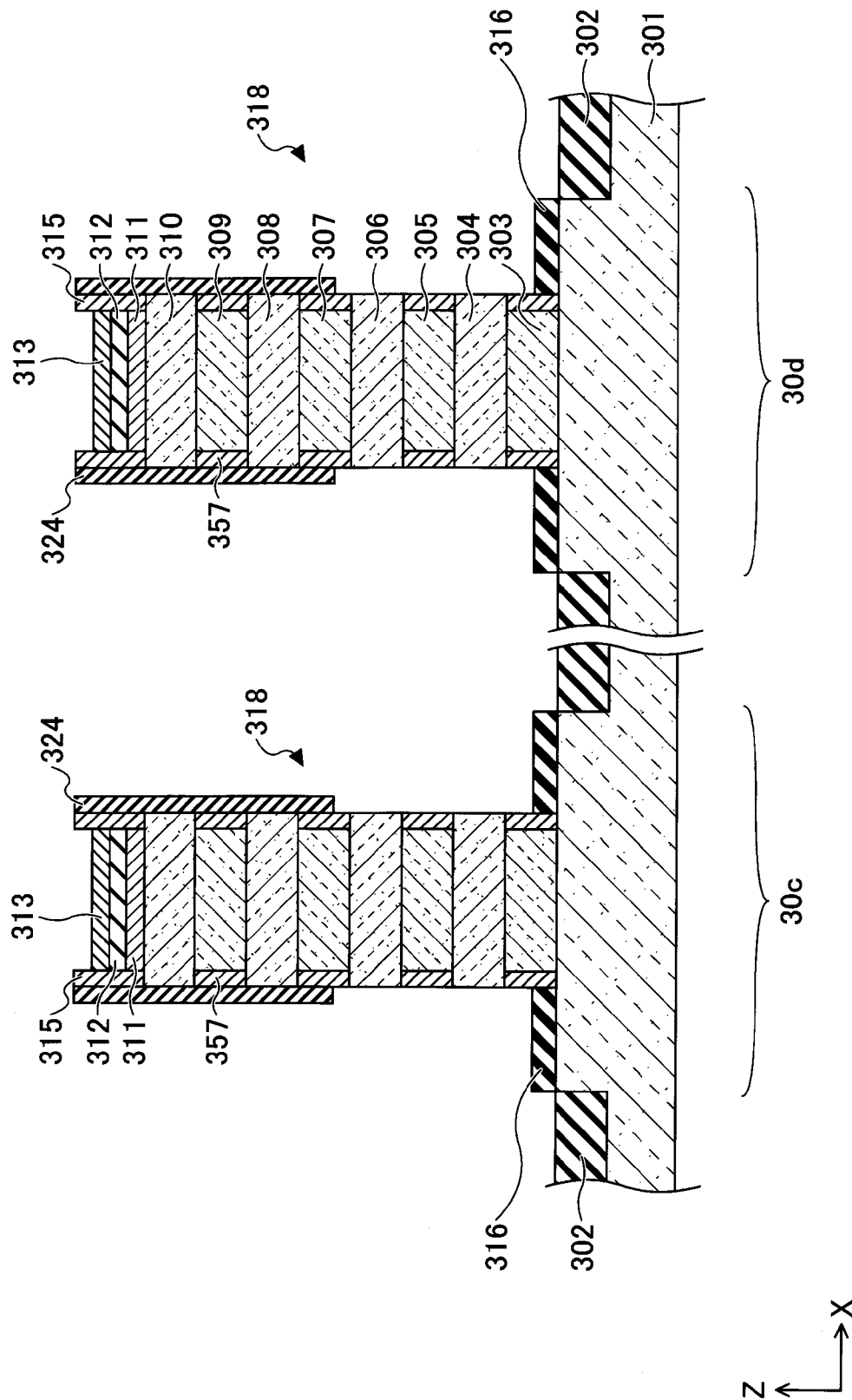
[図36B]



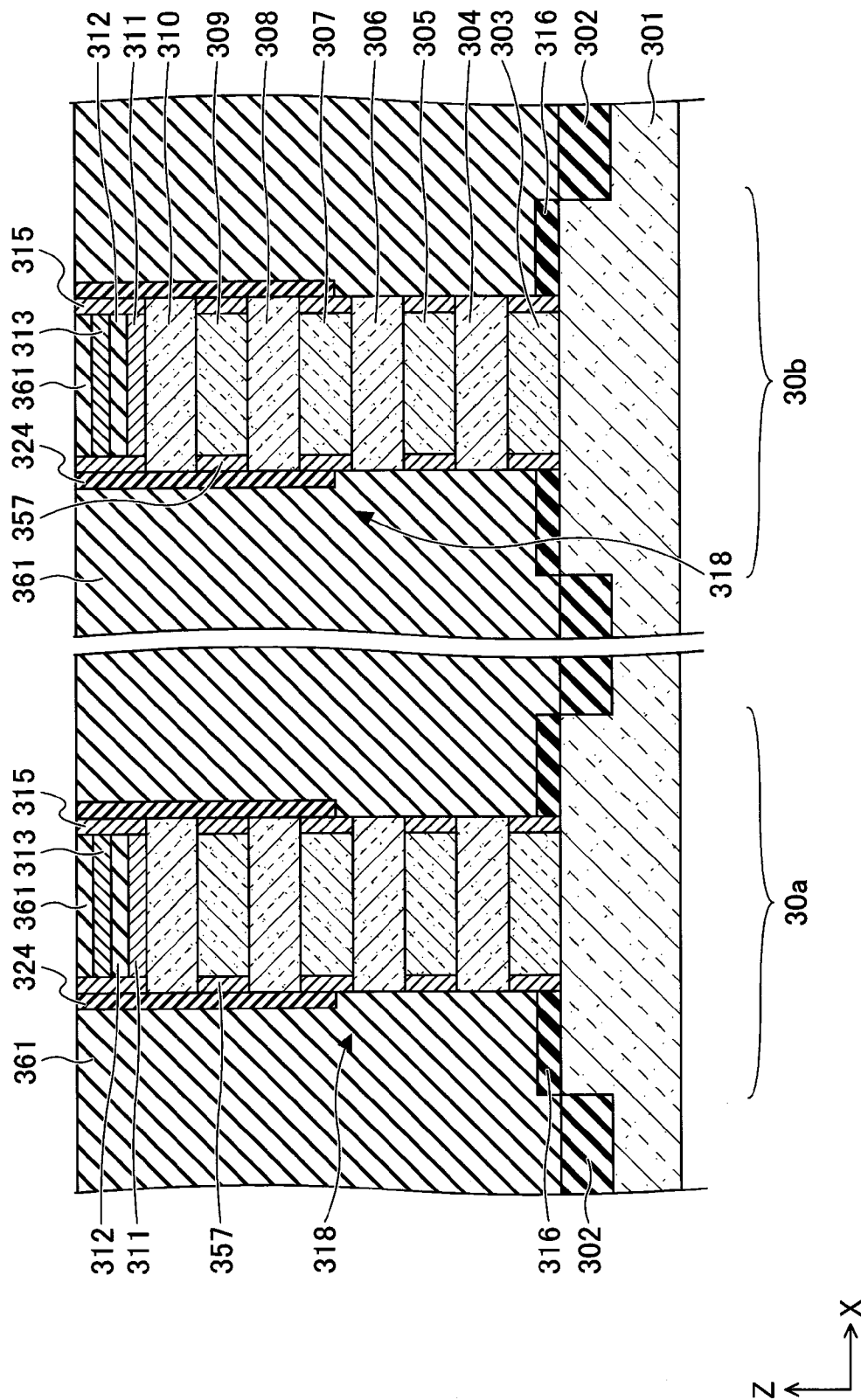
[図37A]



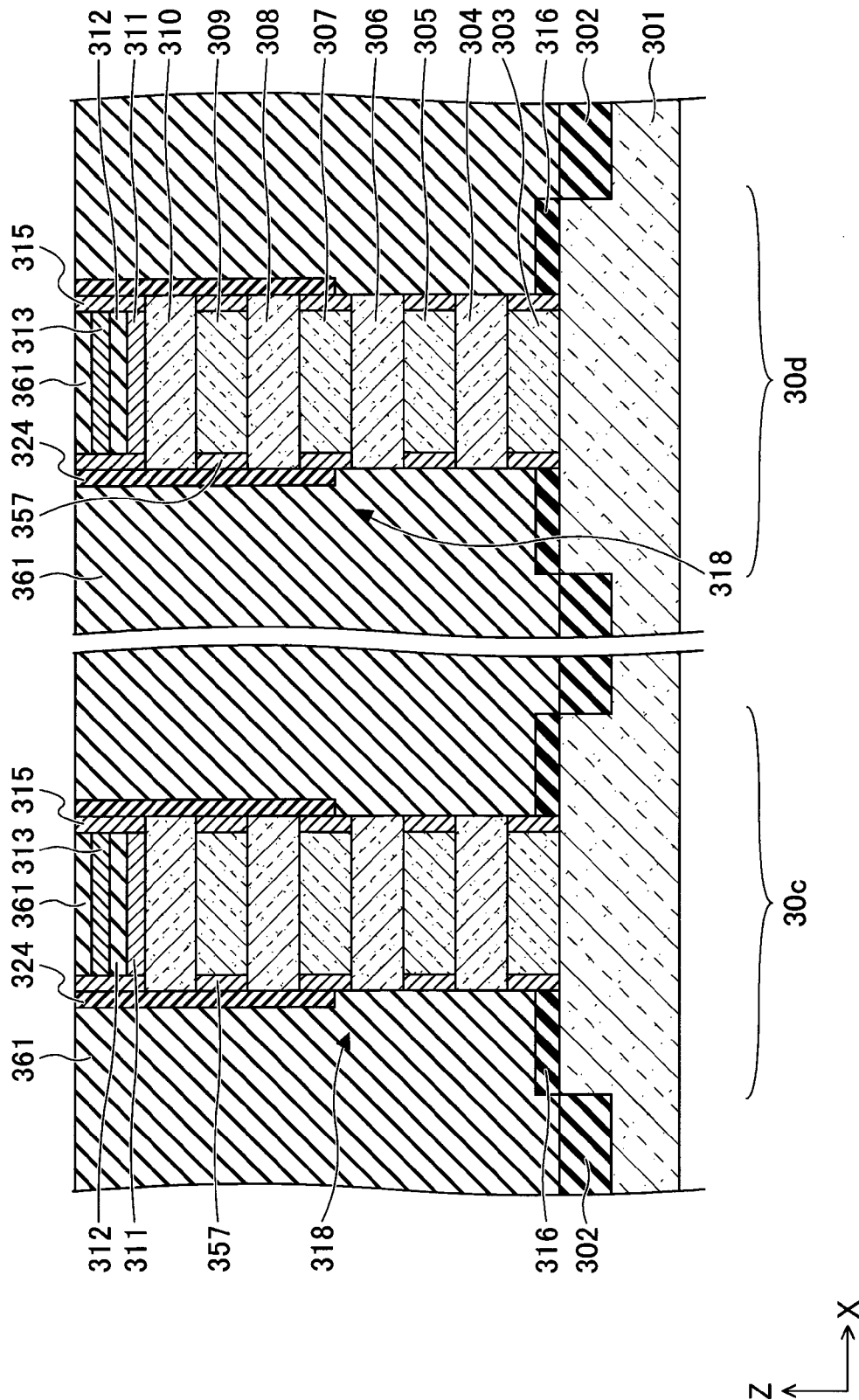
[図37B]



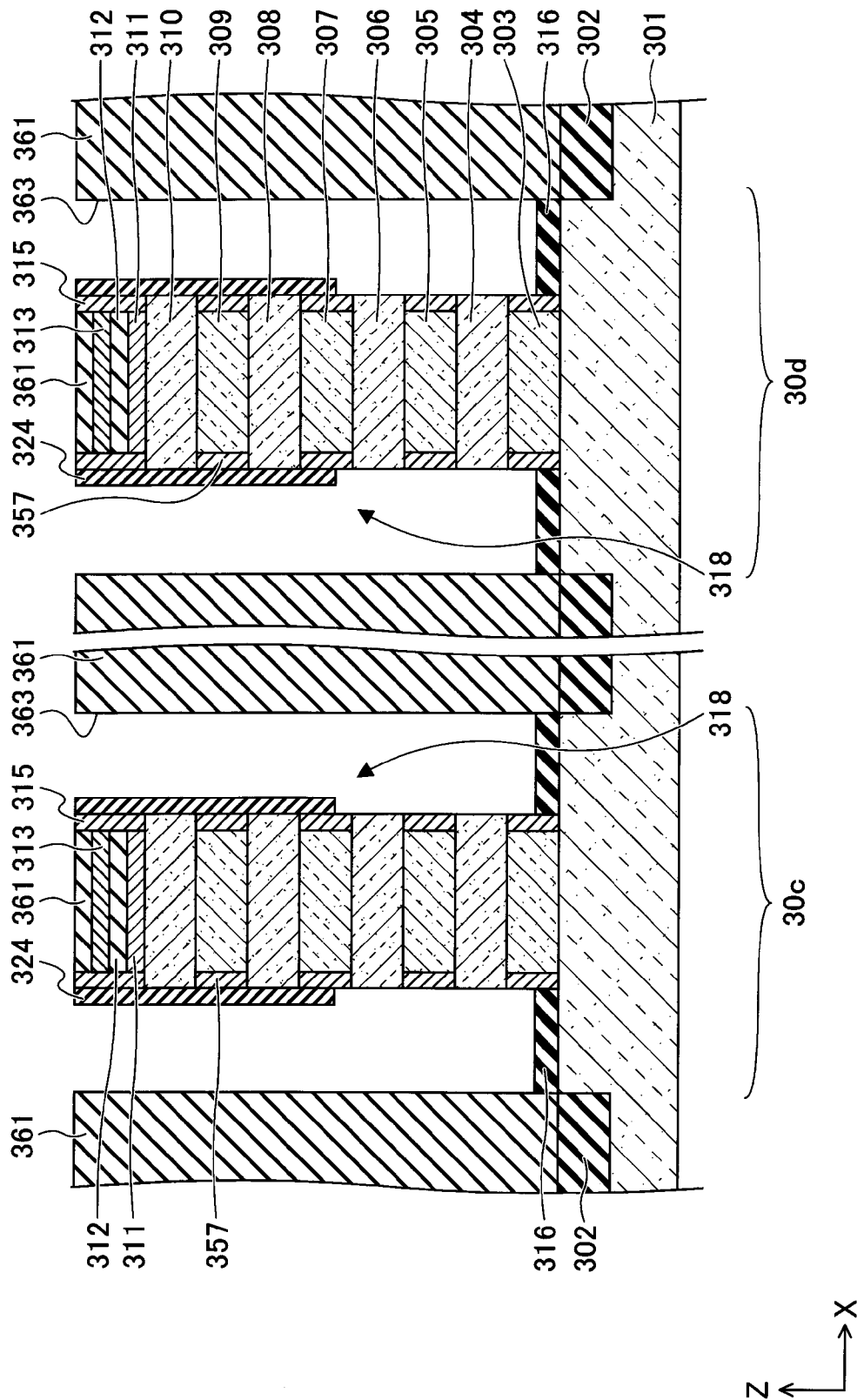
[図38A]



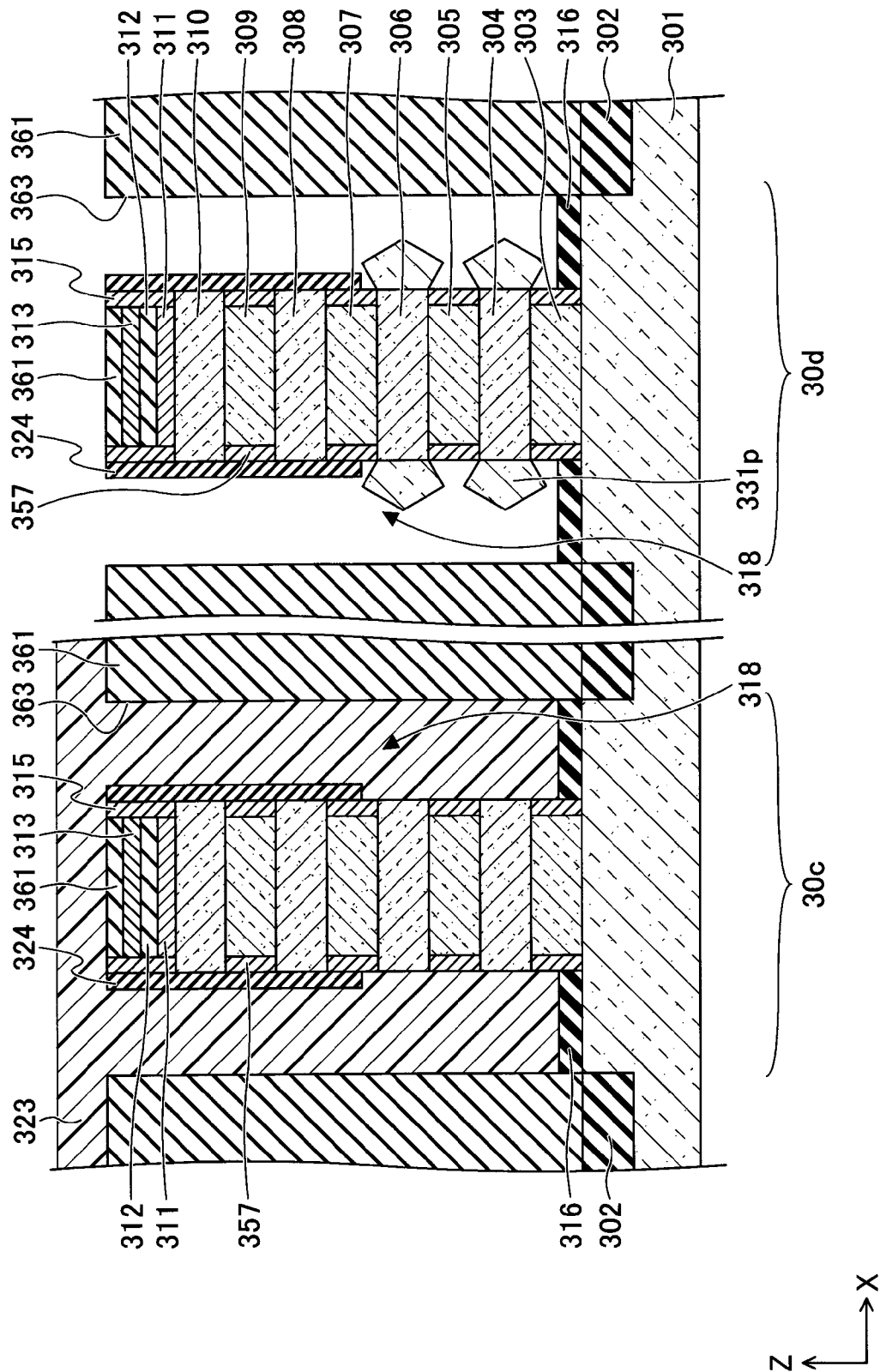
[図38B]



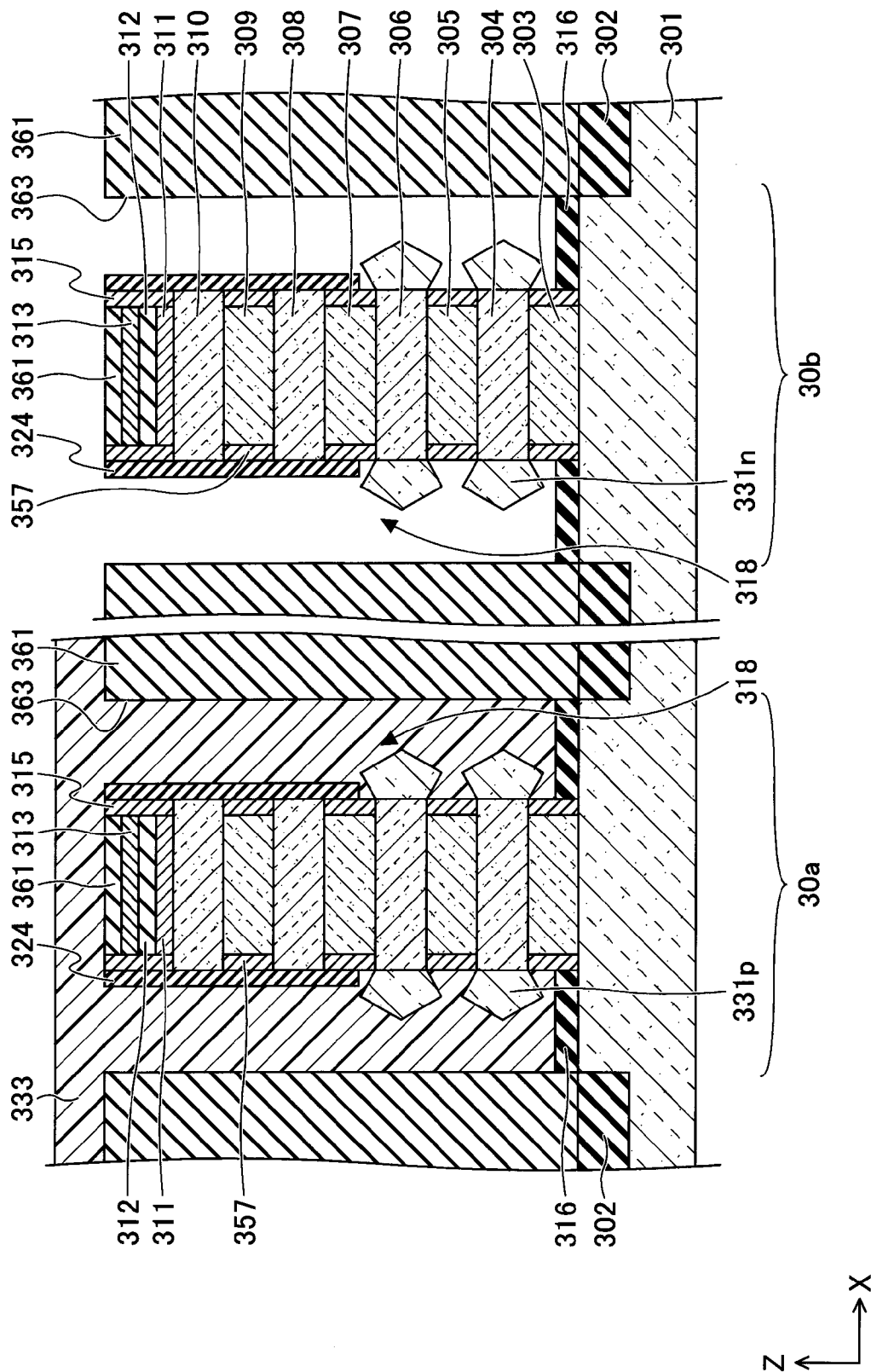
[図39B]



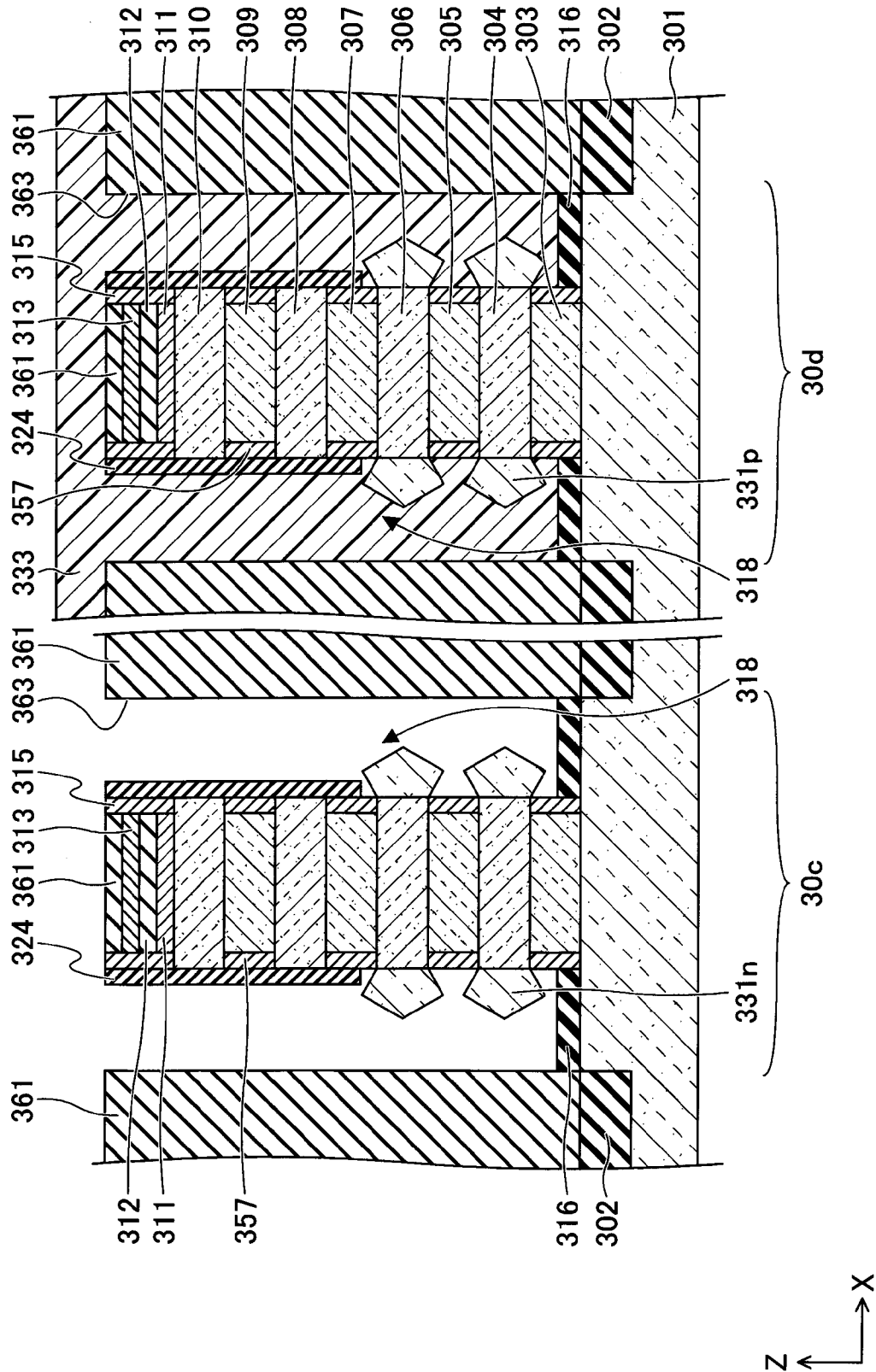
[図40B]



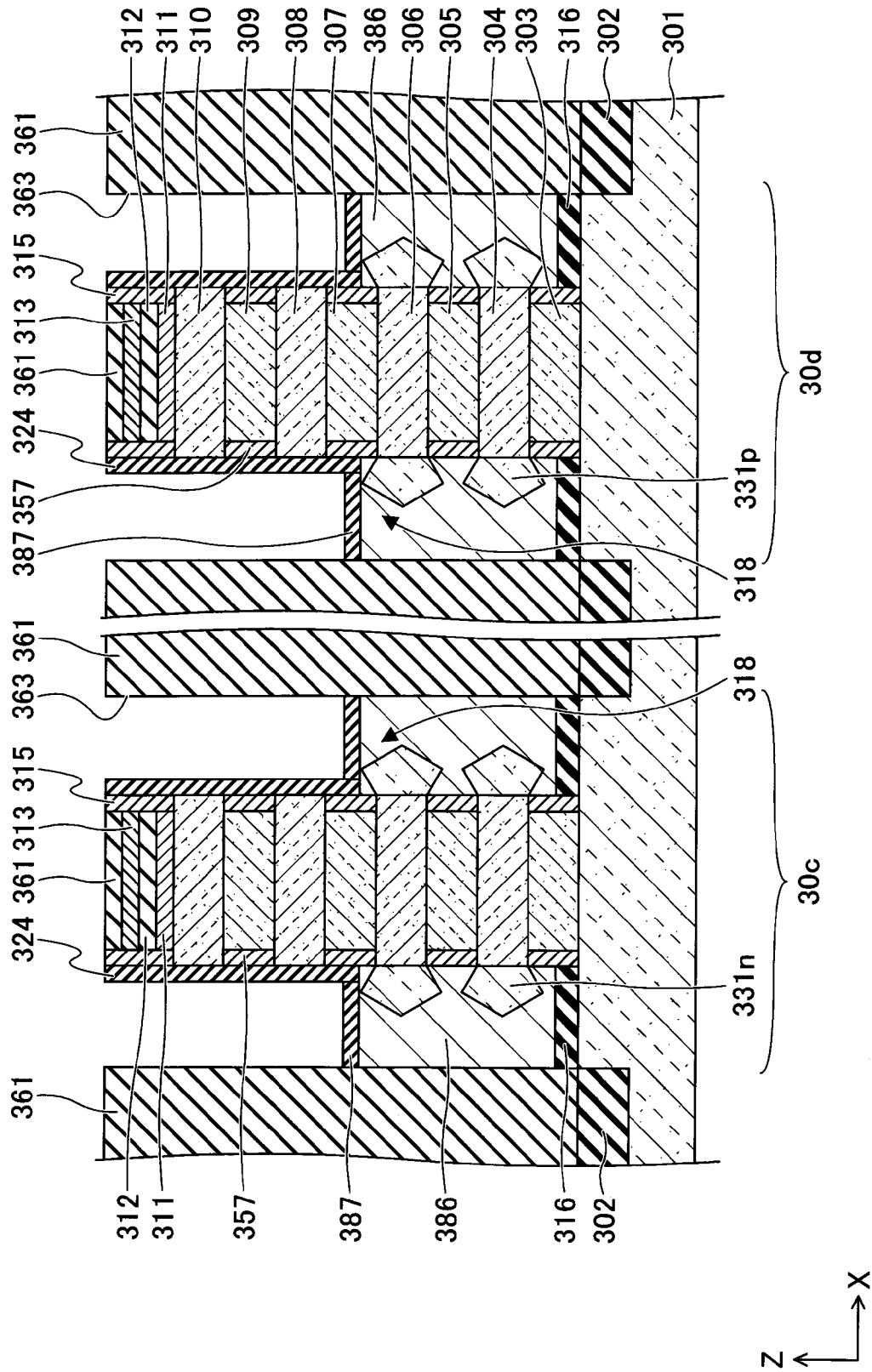
[図41A]



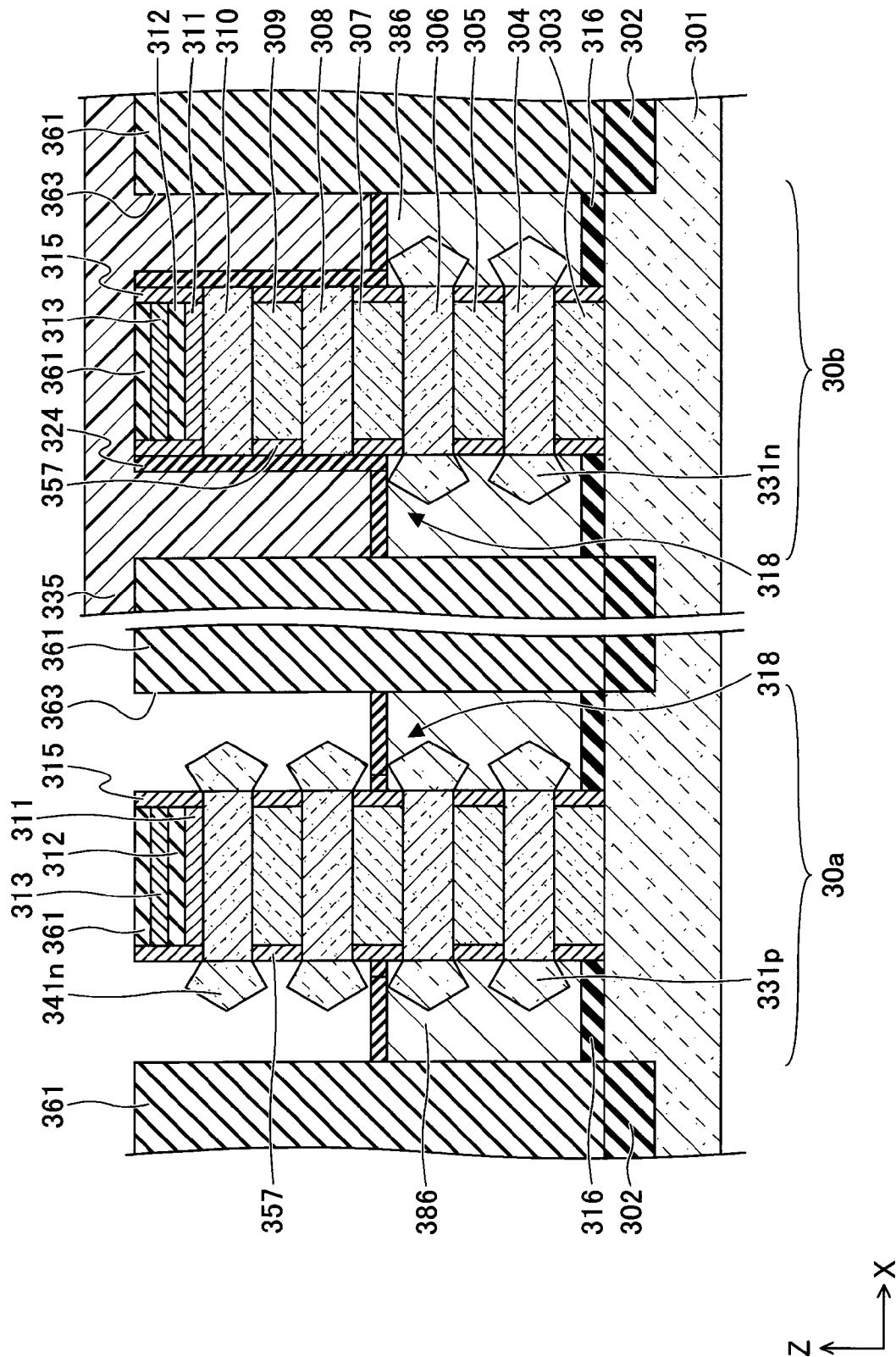
[図41B]



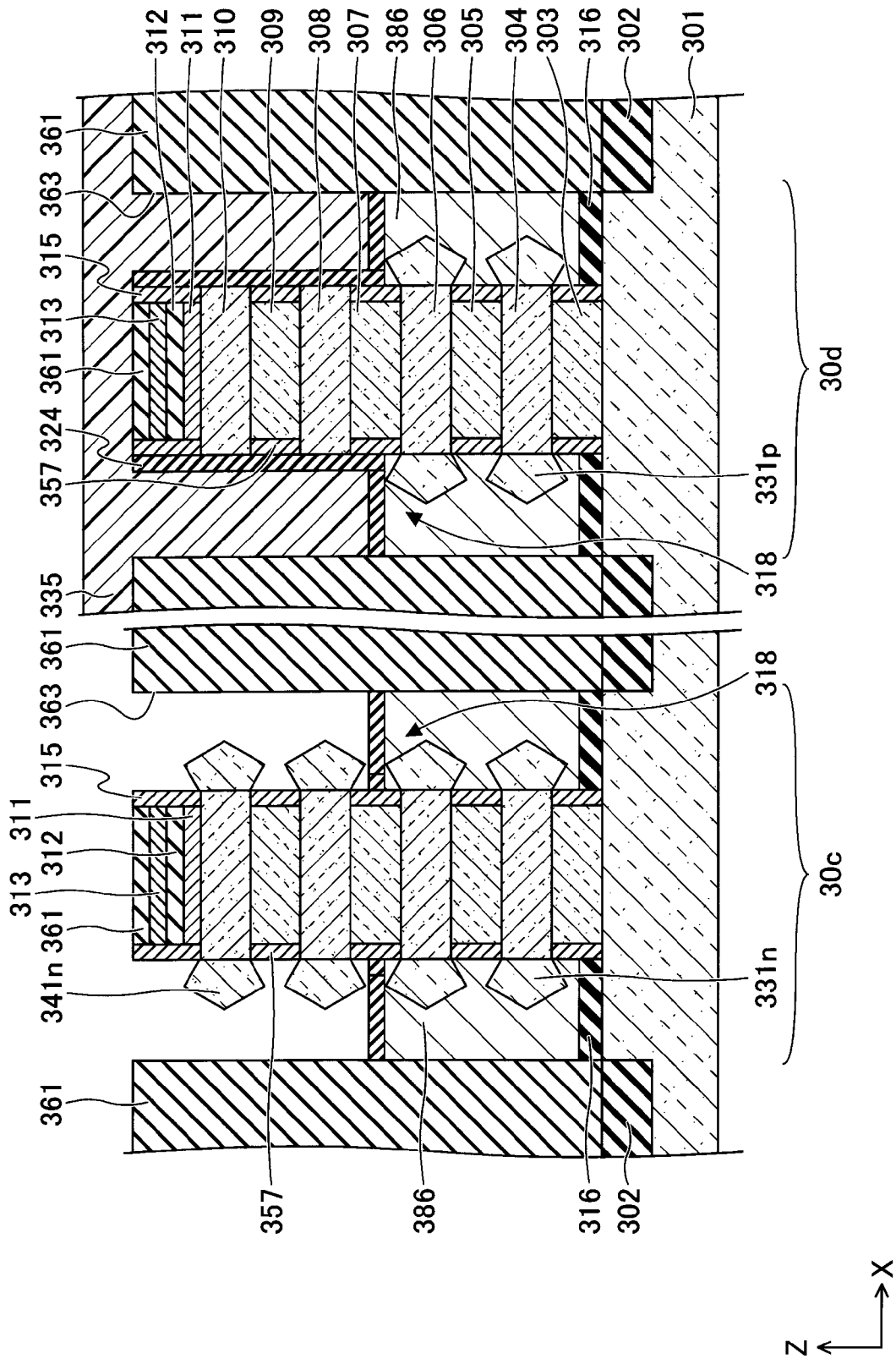
[図42B]



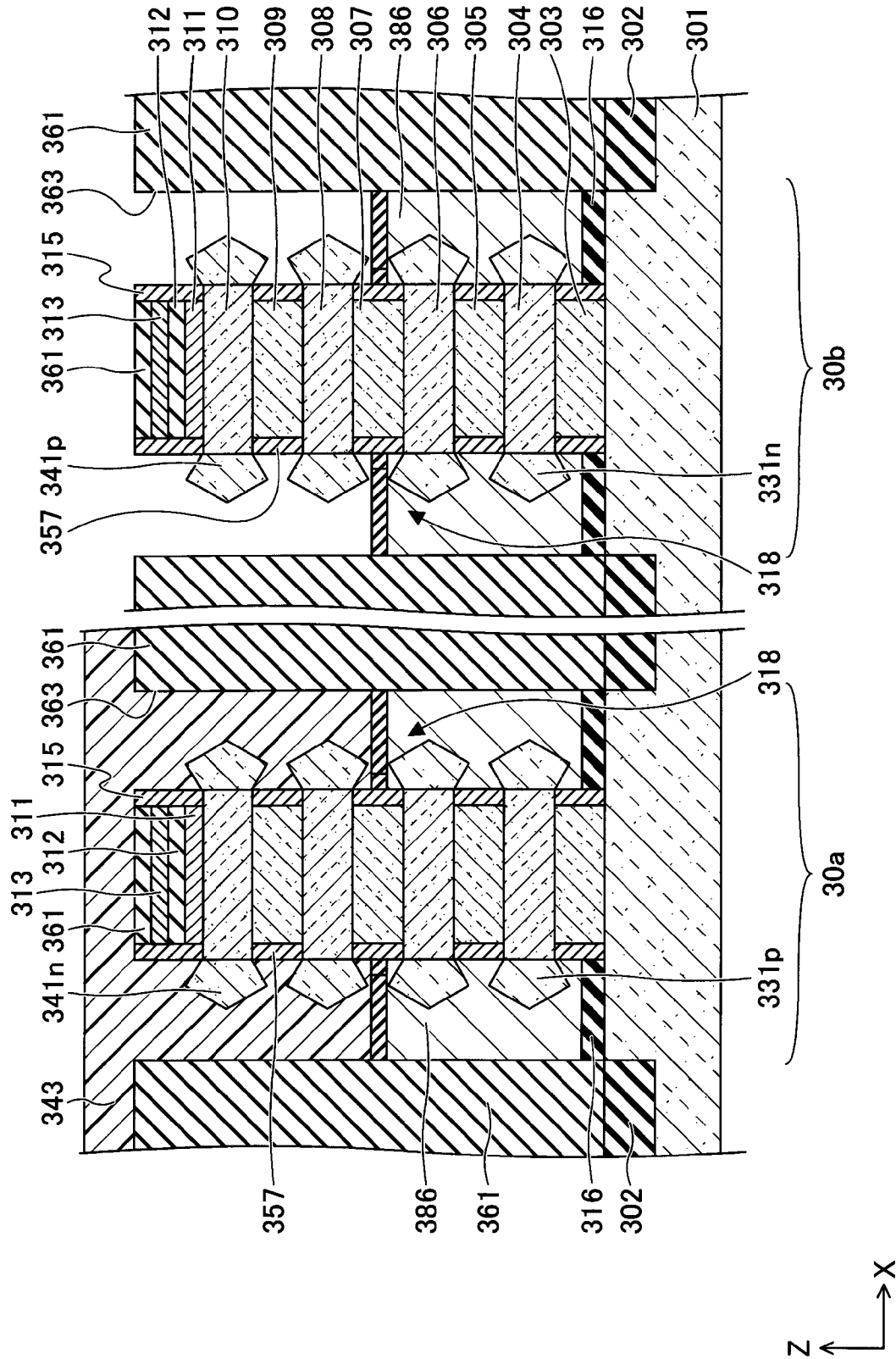
[図43A]



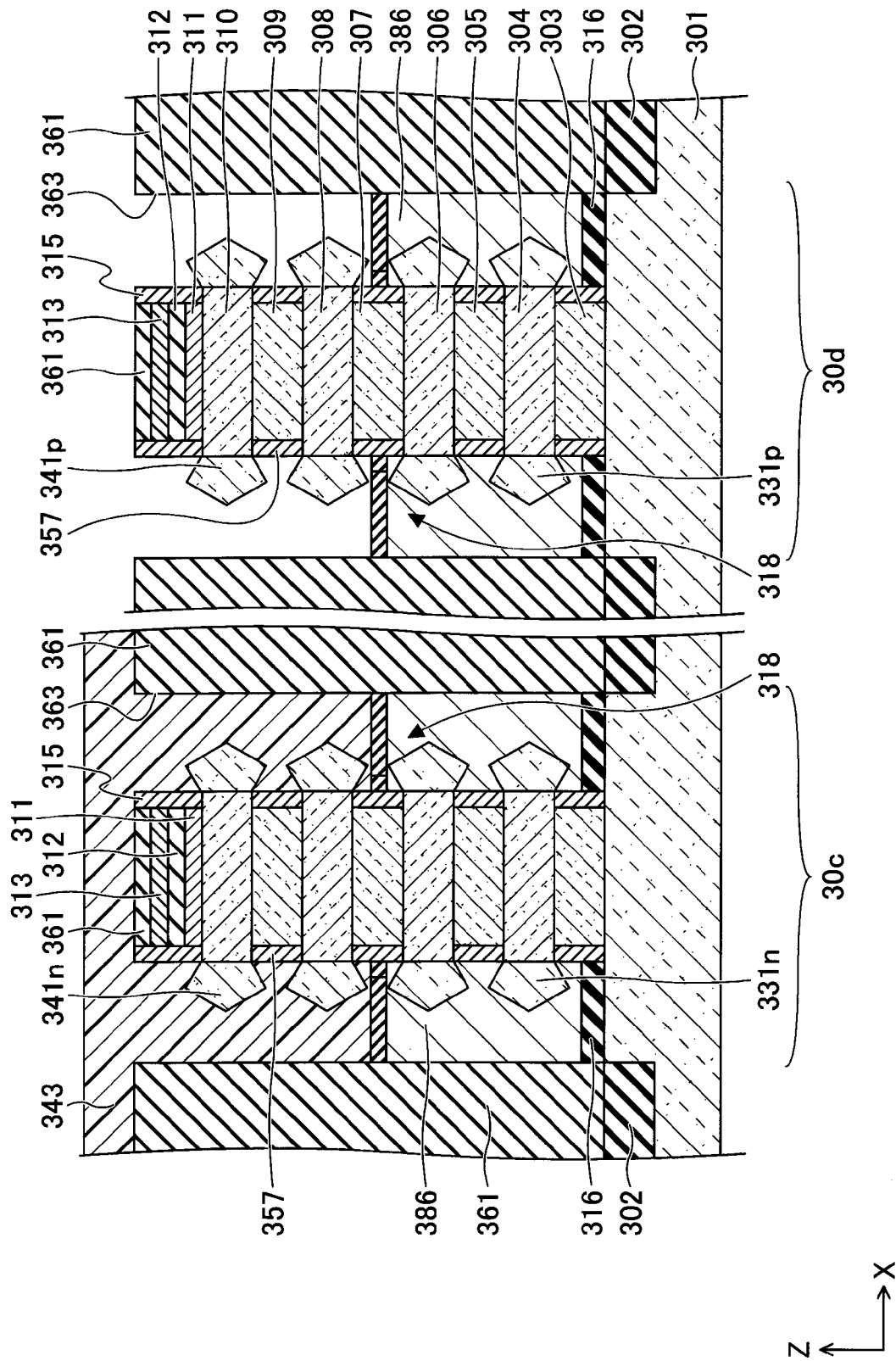
[図43B]



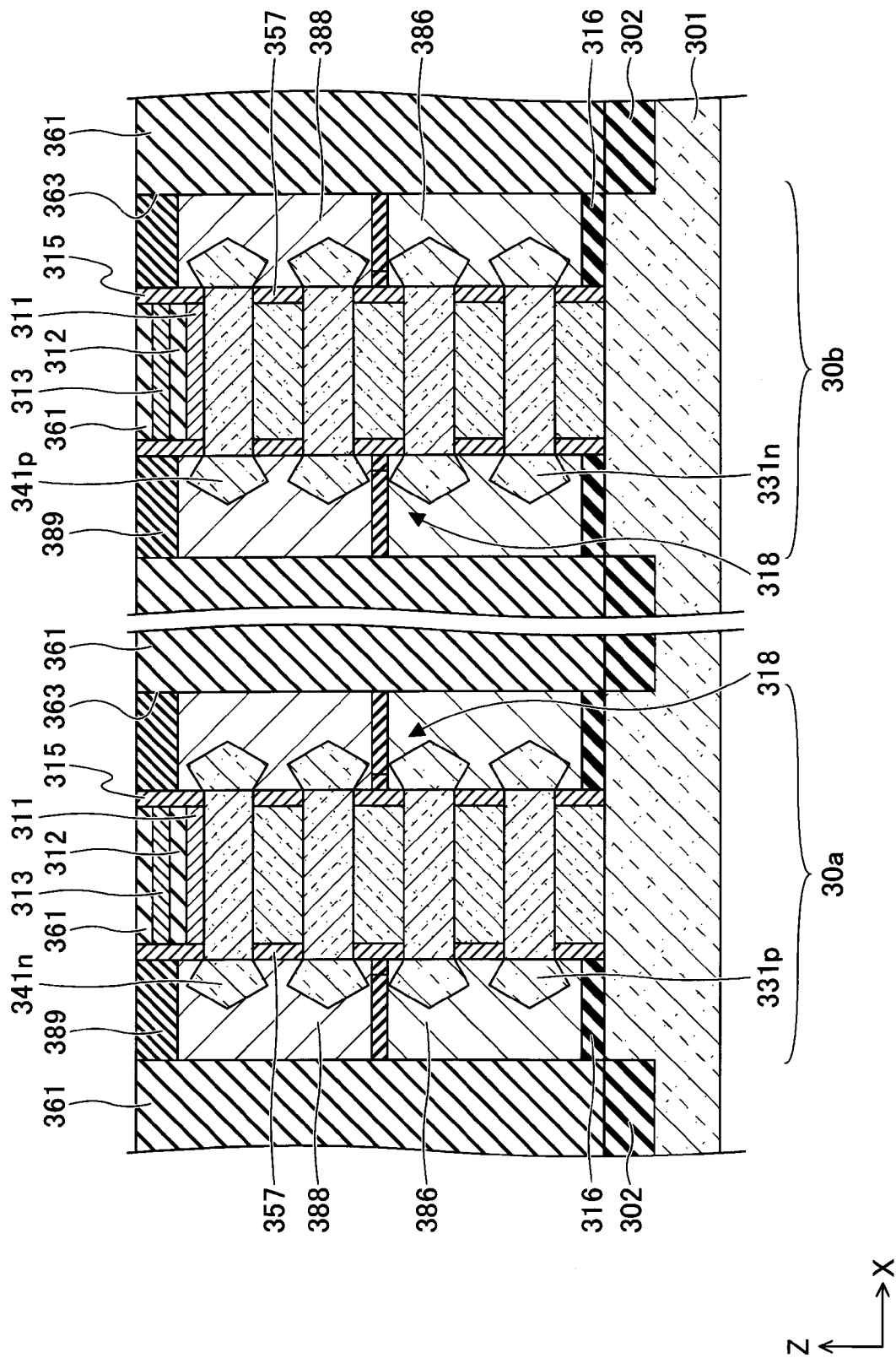
[図44A]



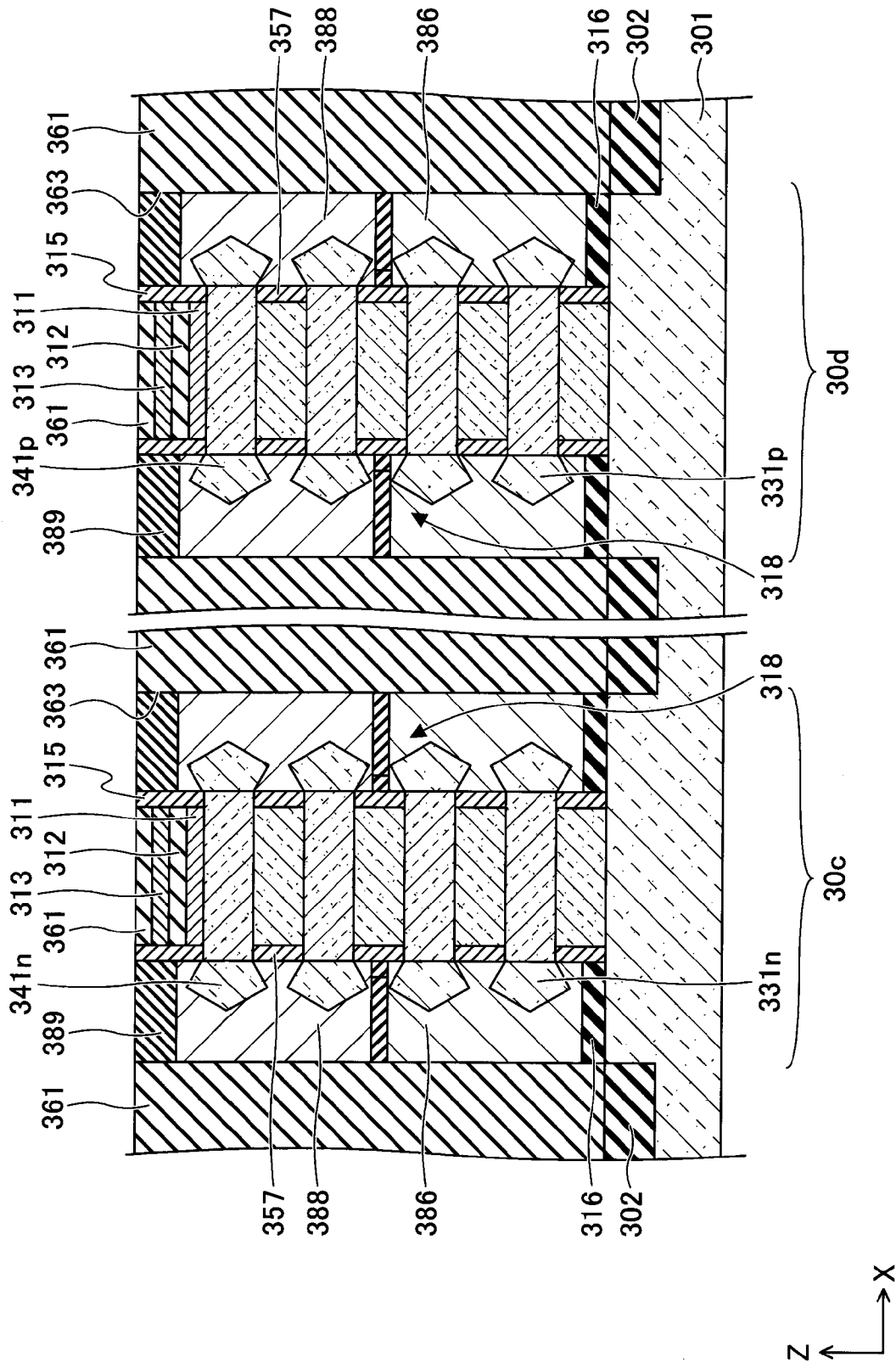
[図44B]



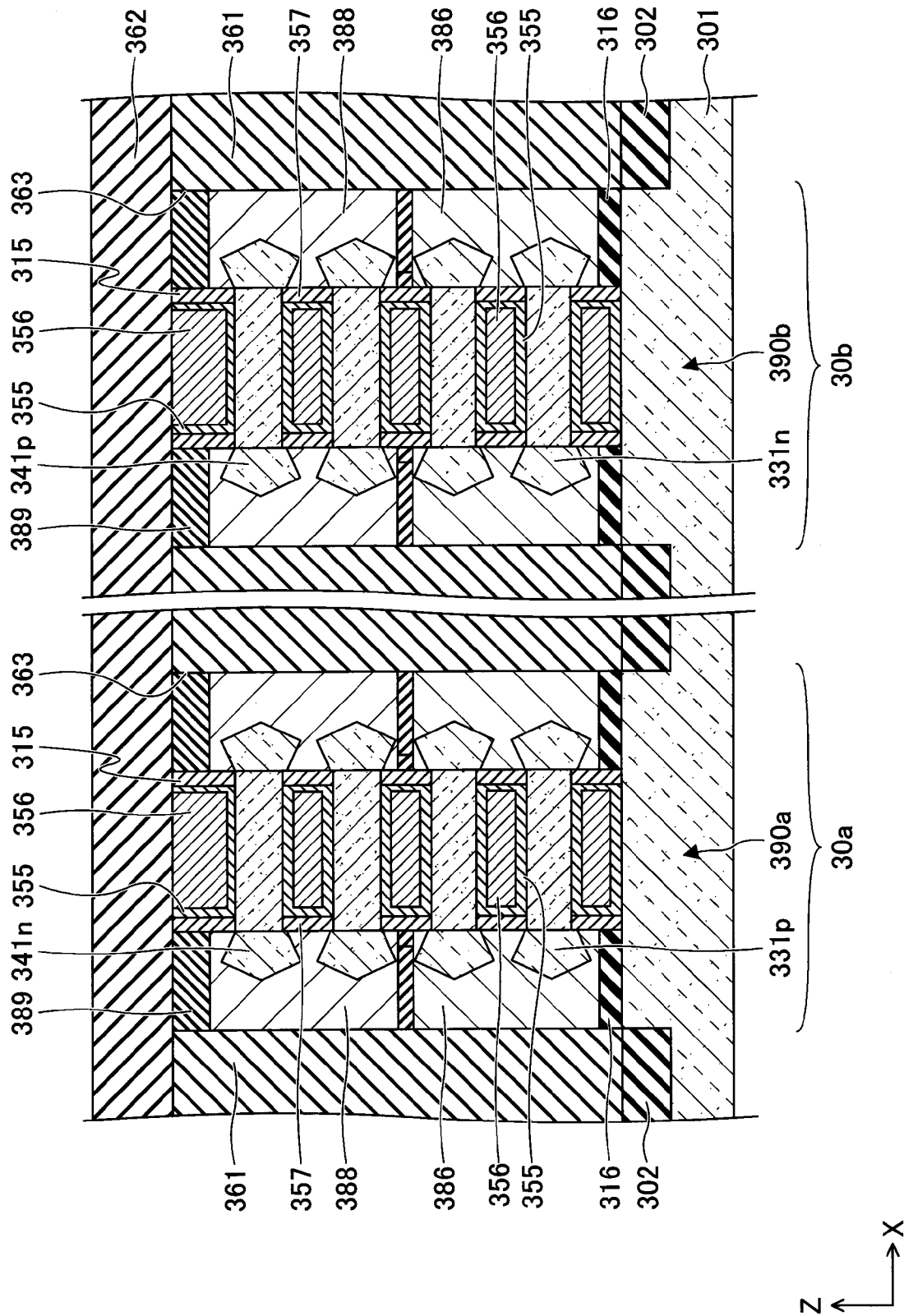
[図45A]



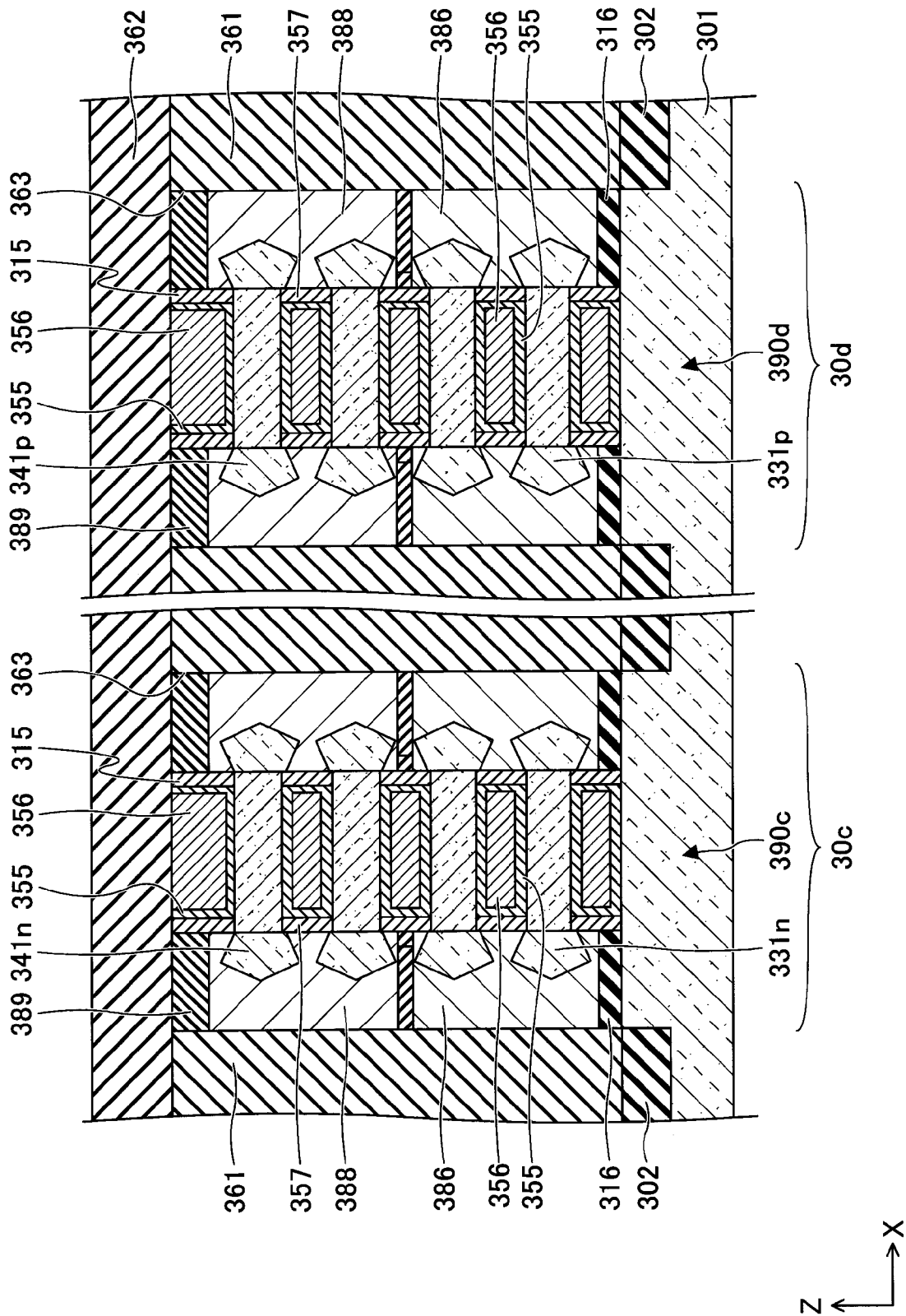
[図45B]



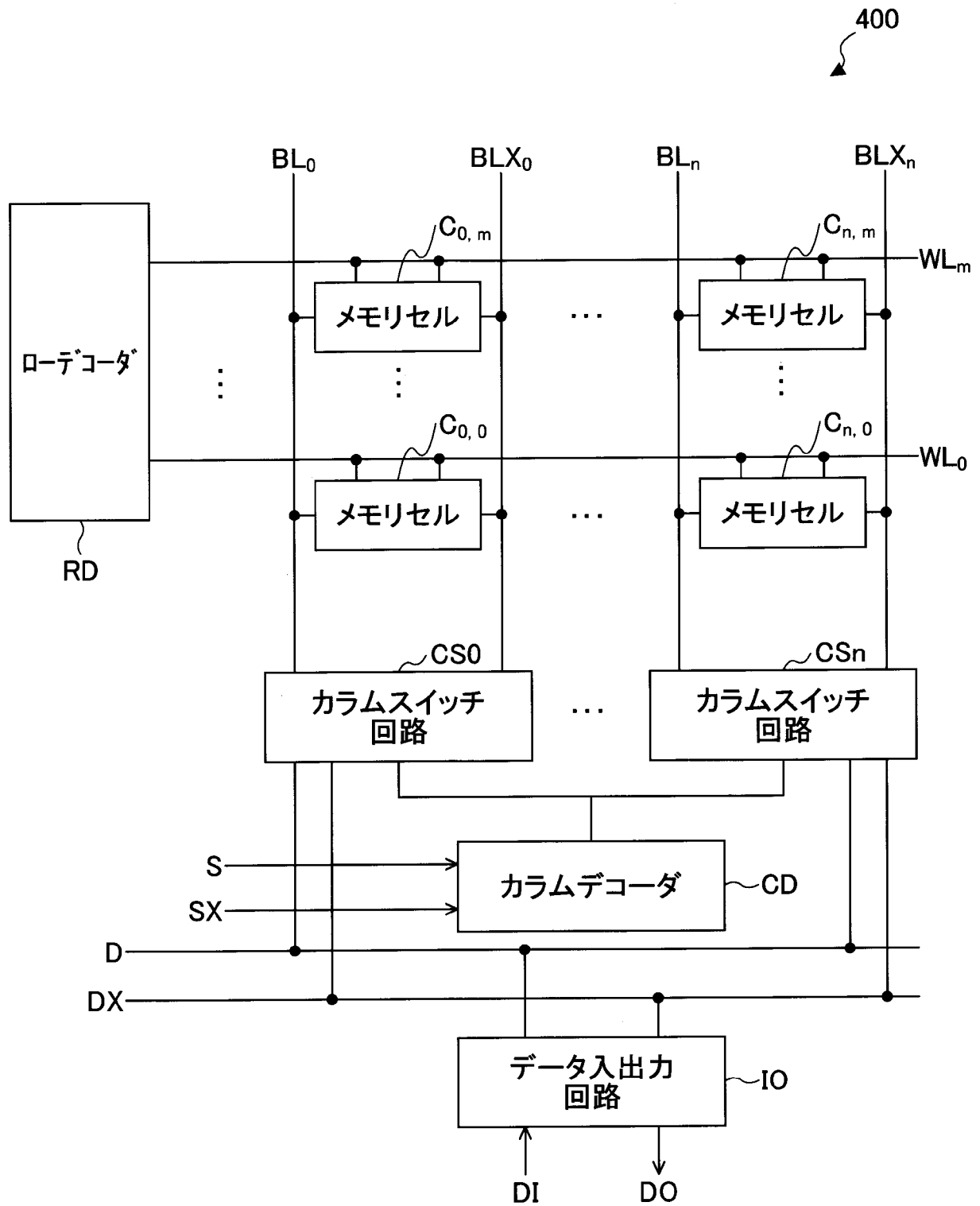
[図46A]



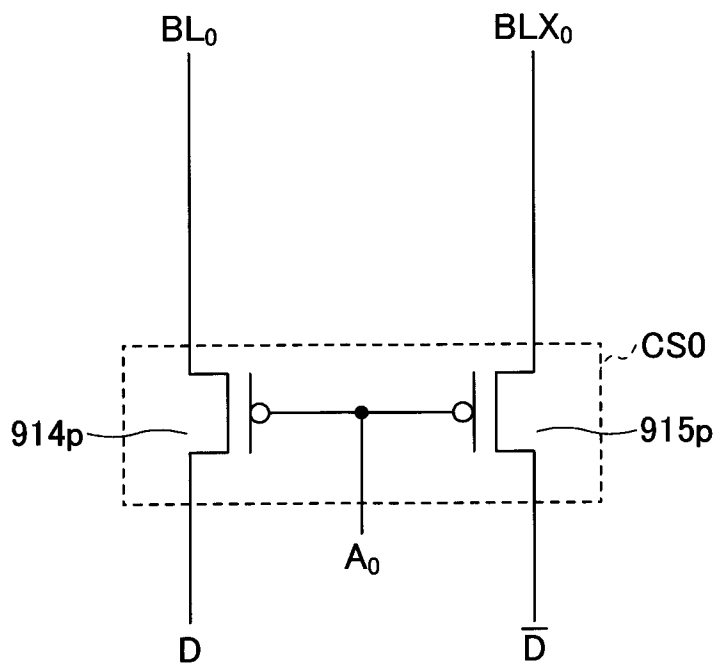
[図46B]



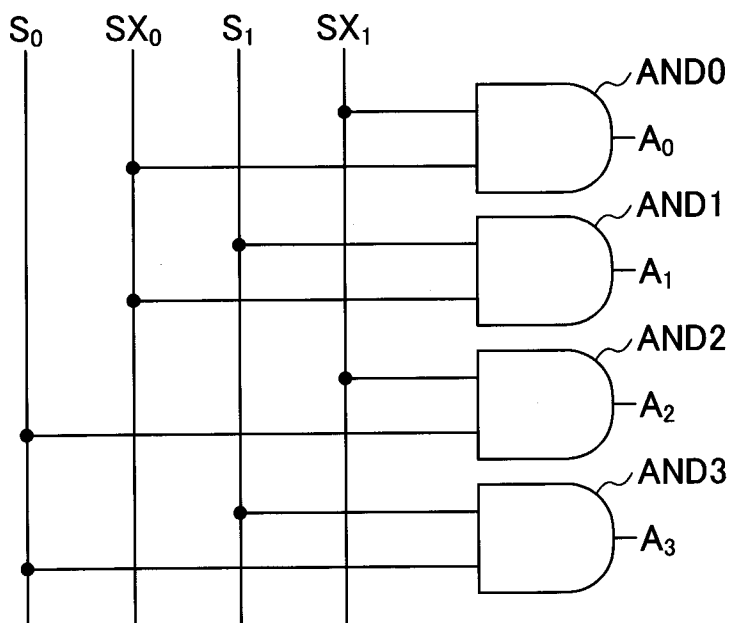
[図47]



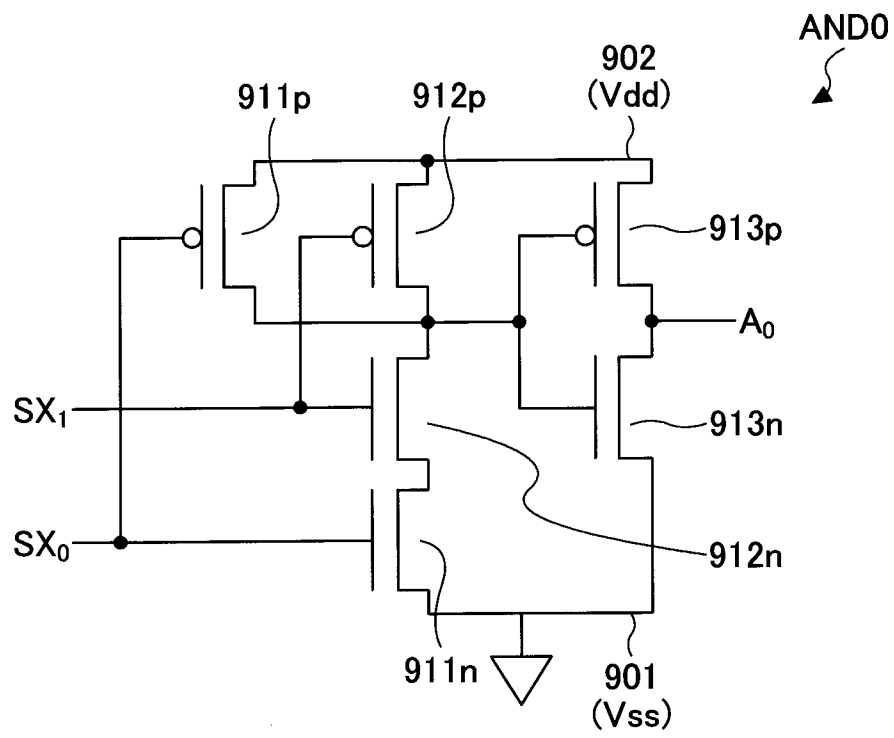
[図48]



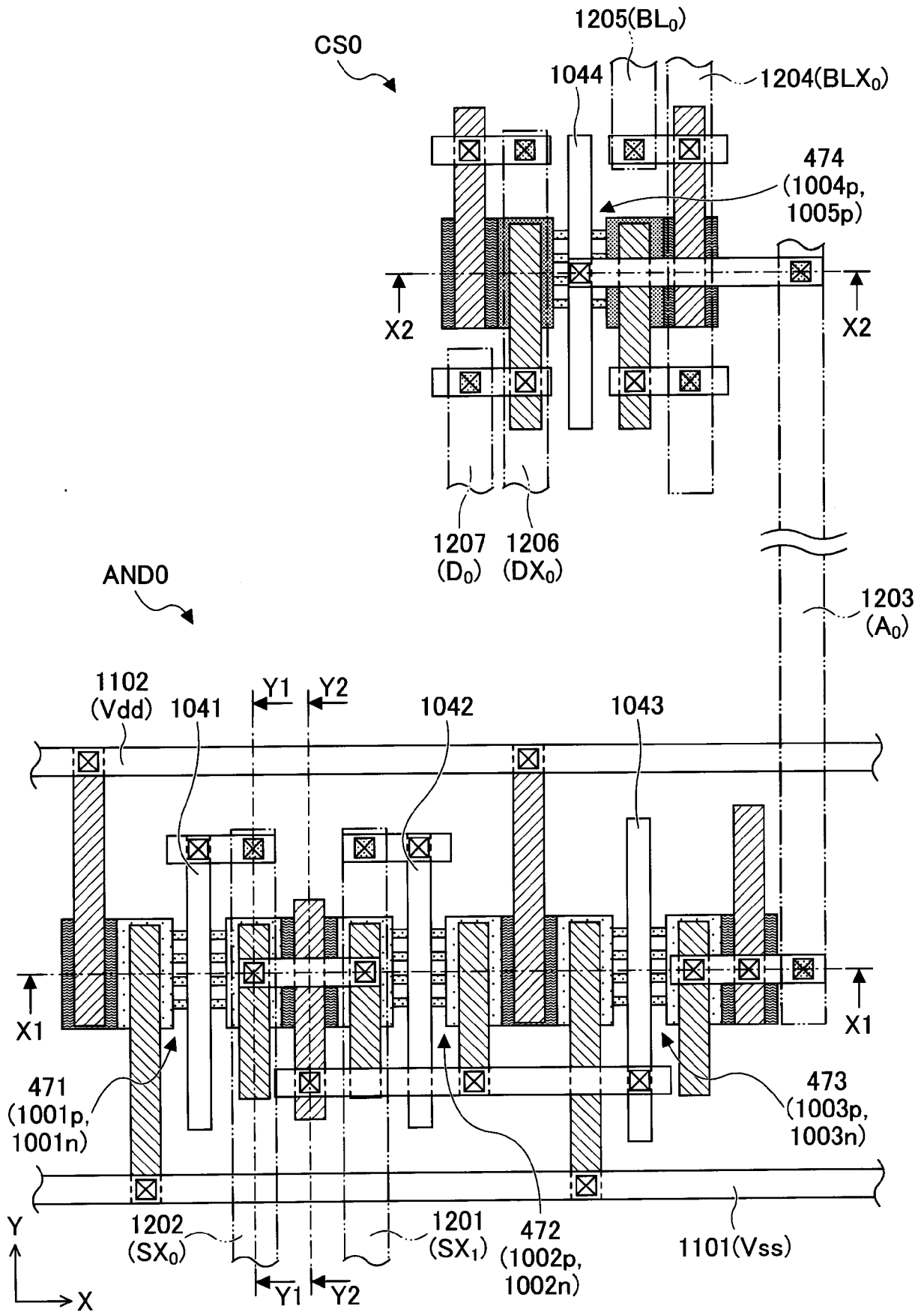
[図49]



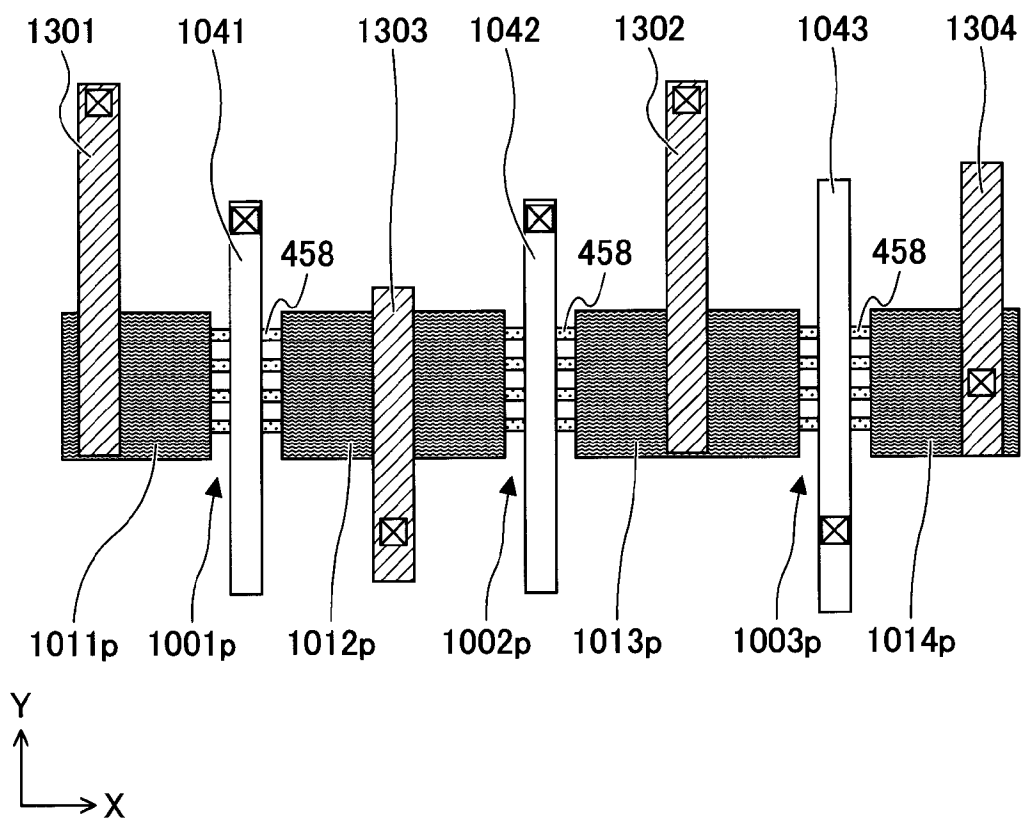
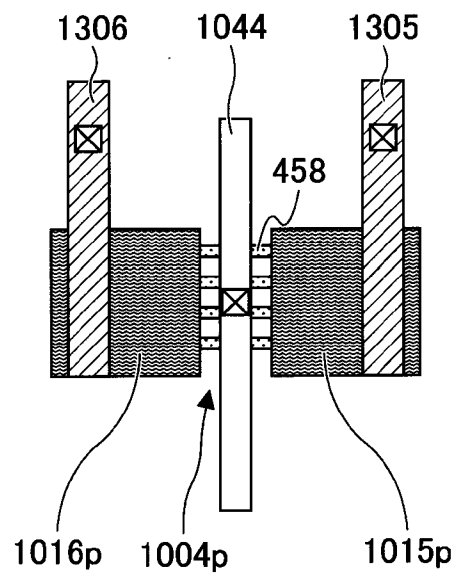
[図50]



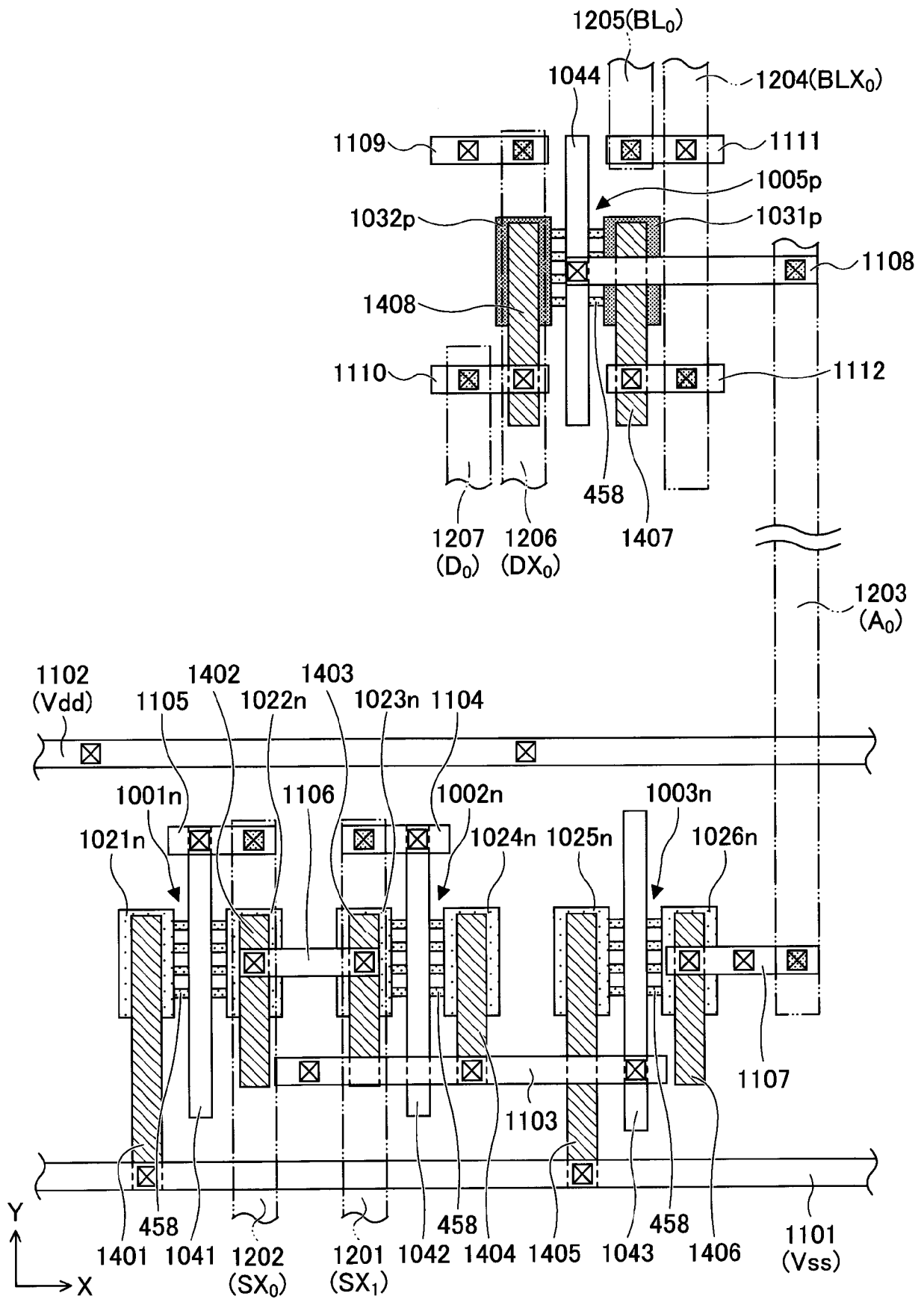
[図51]



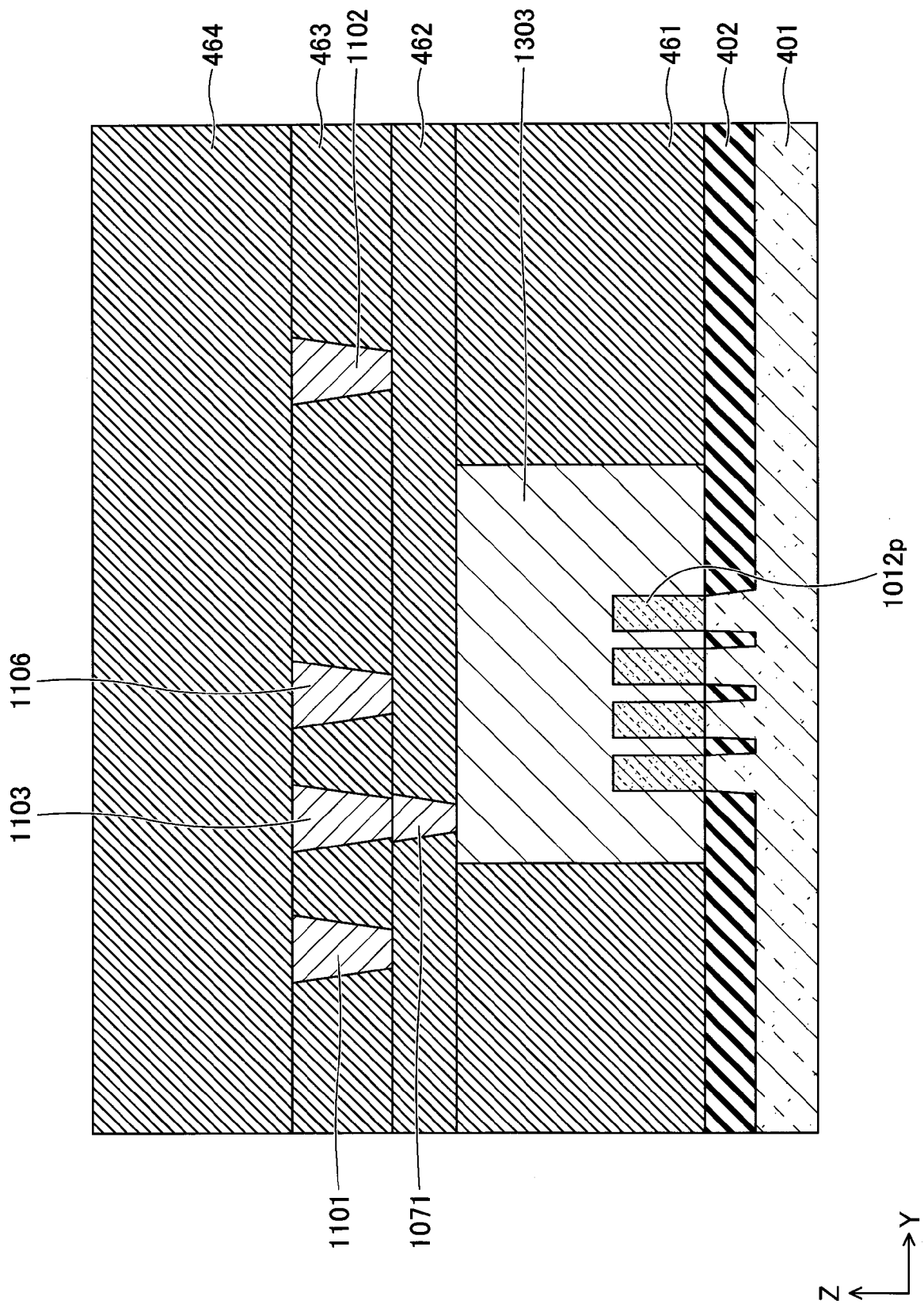
[図52]



[図53]

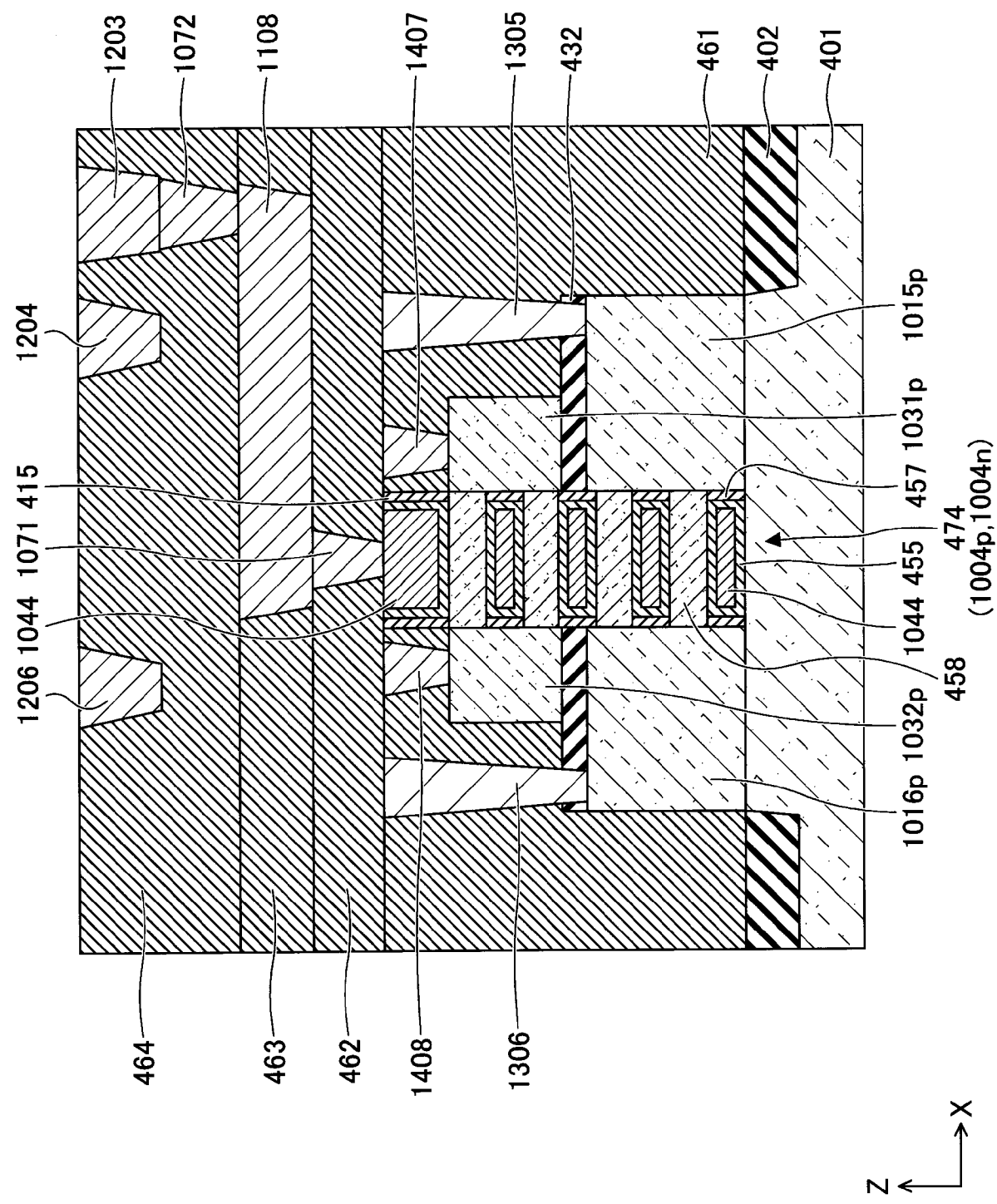


[図55]

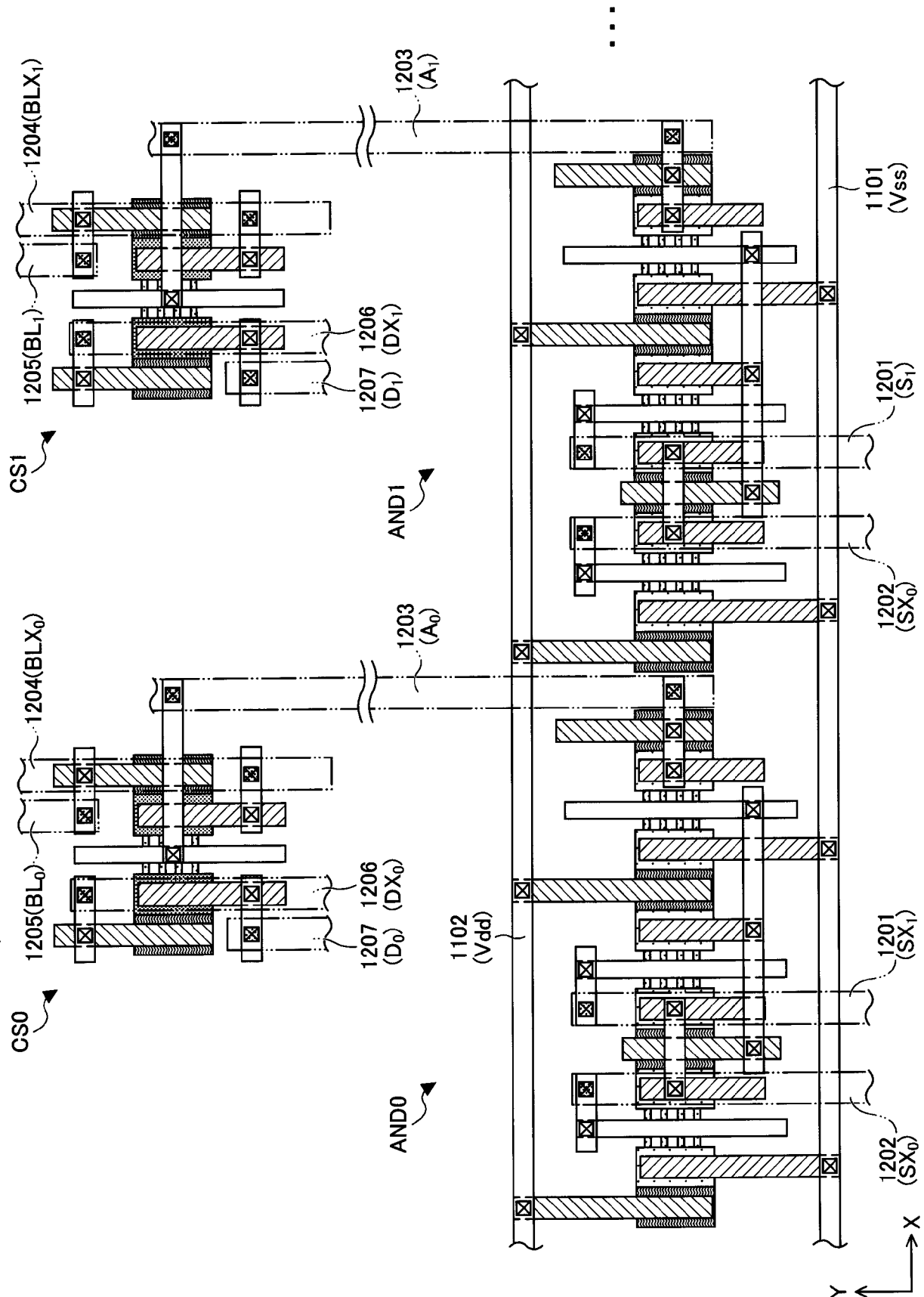


[illegible]

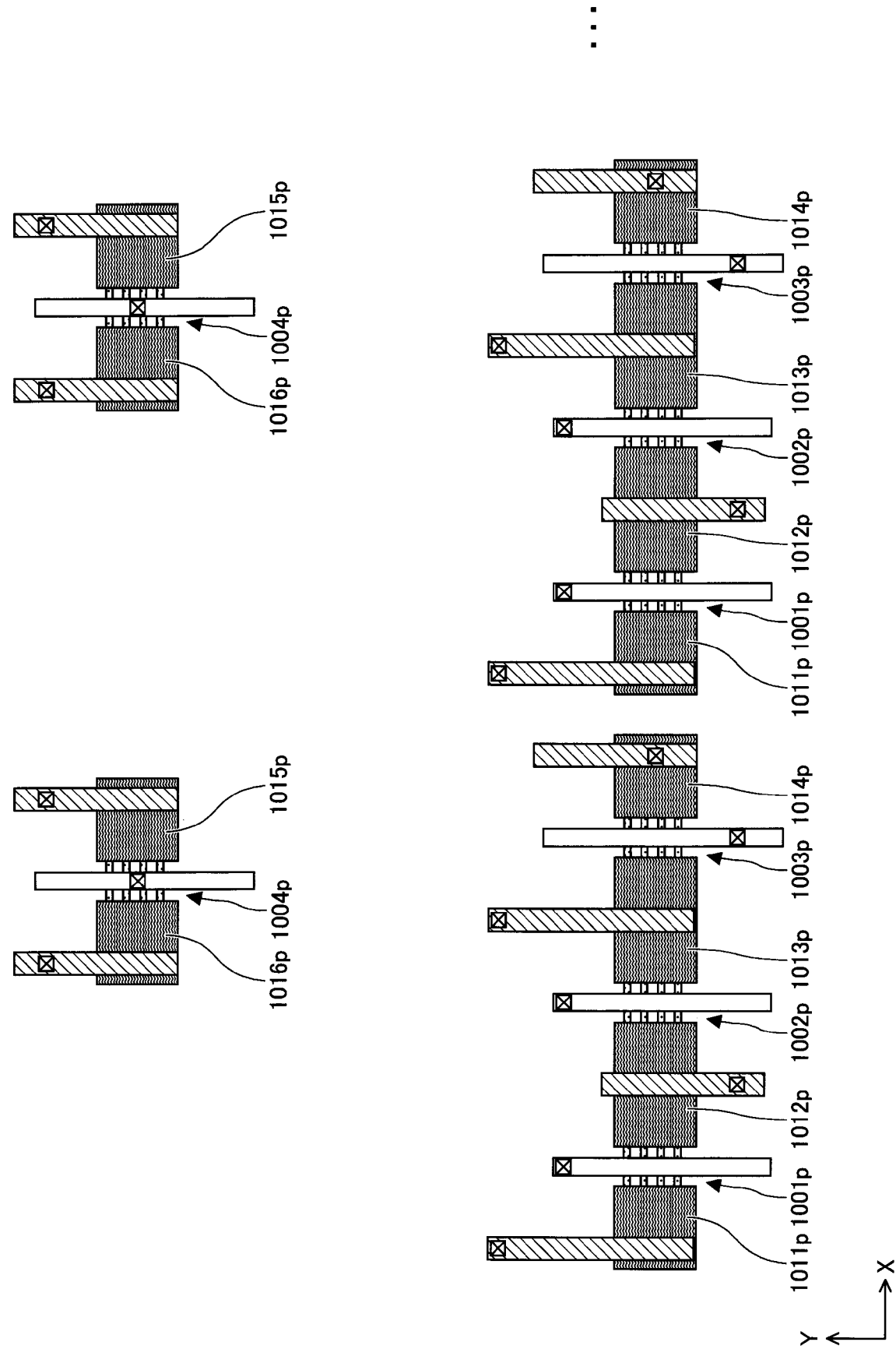
[図57]



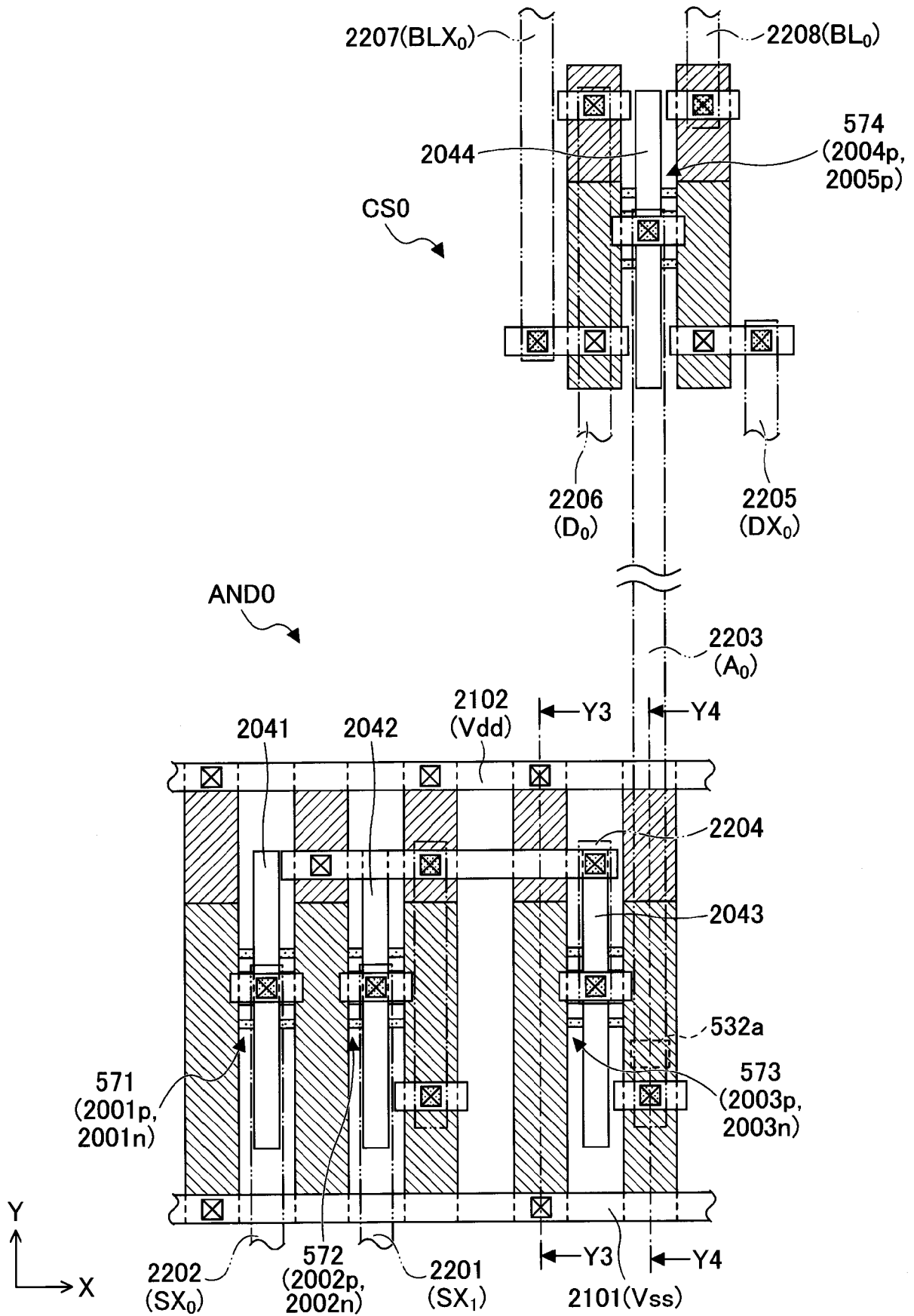
[図58]



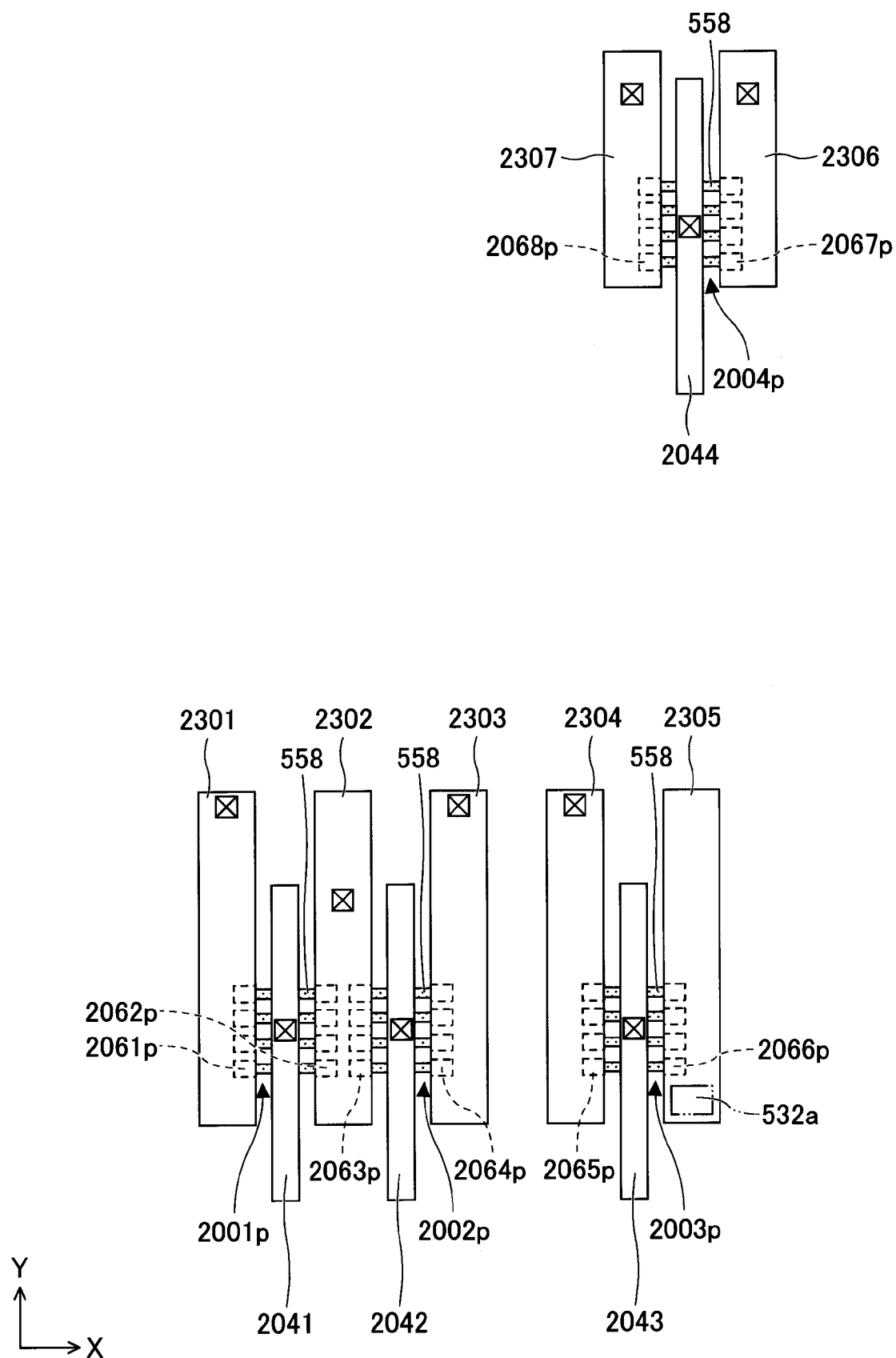
[図59]



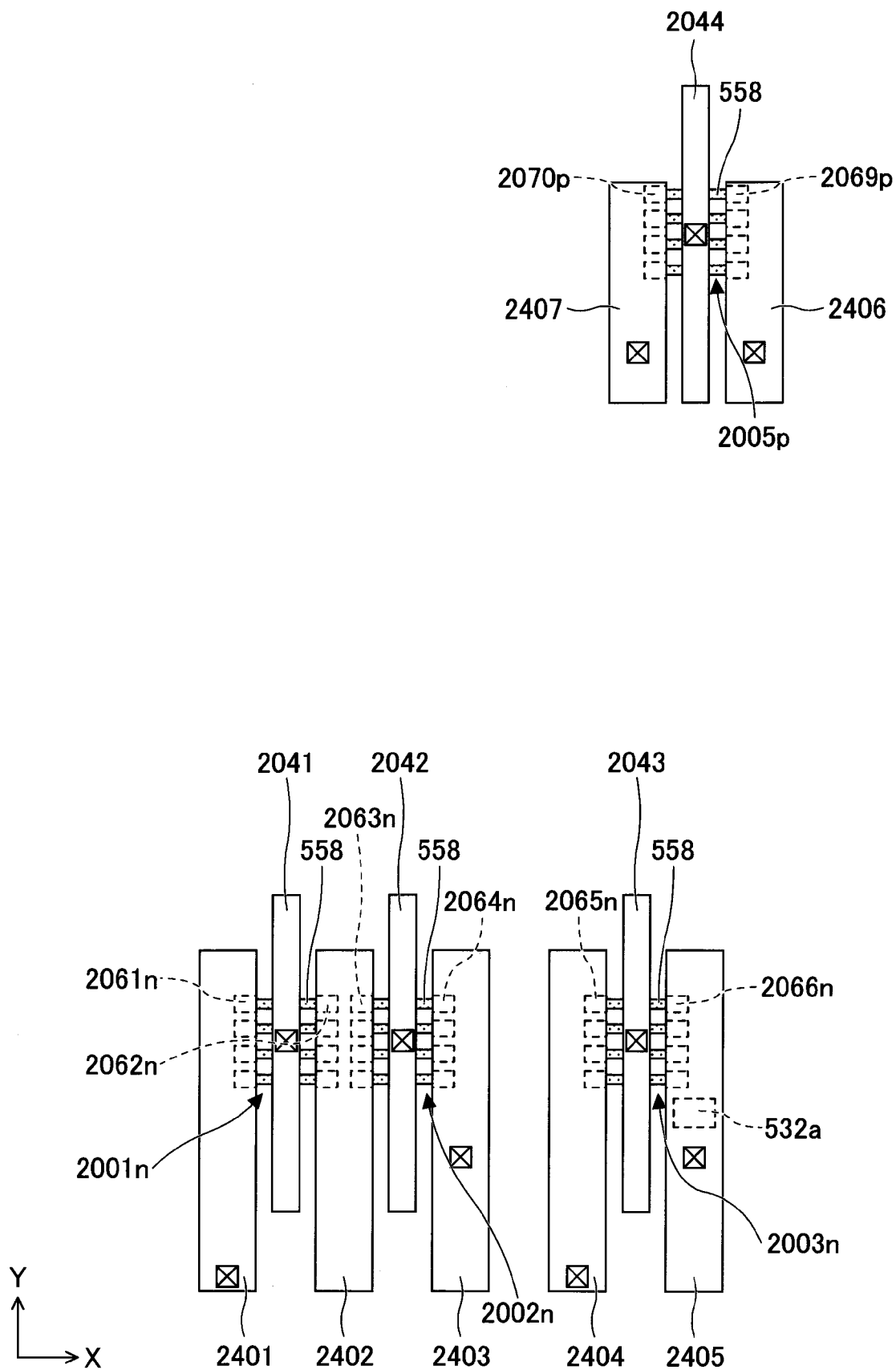
[図61]



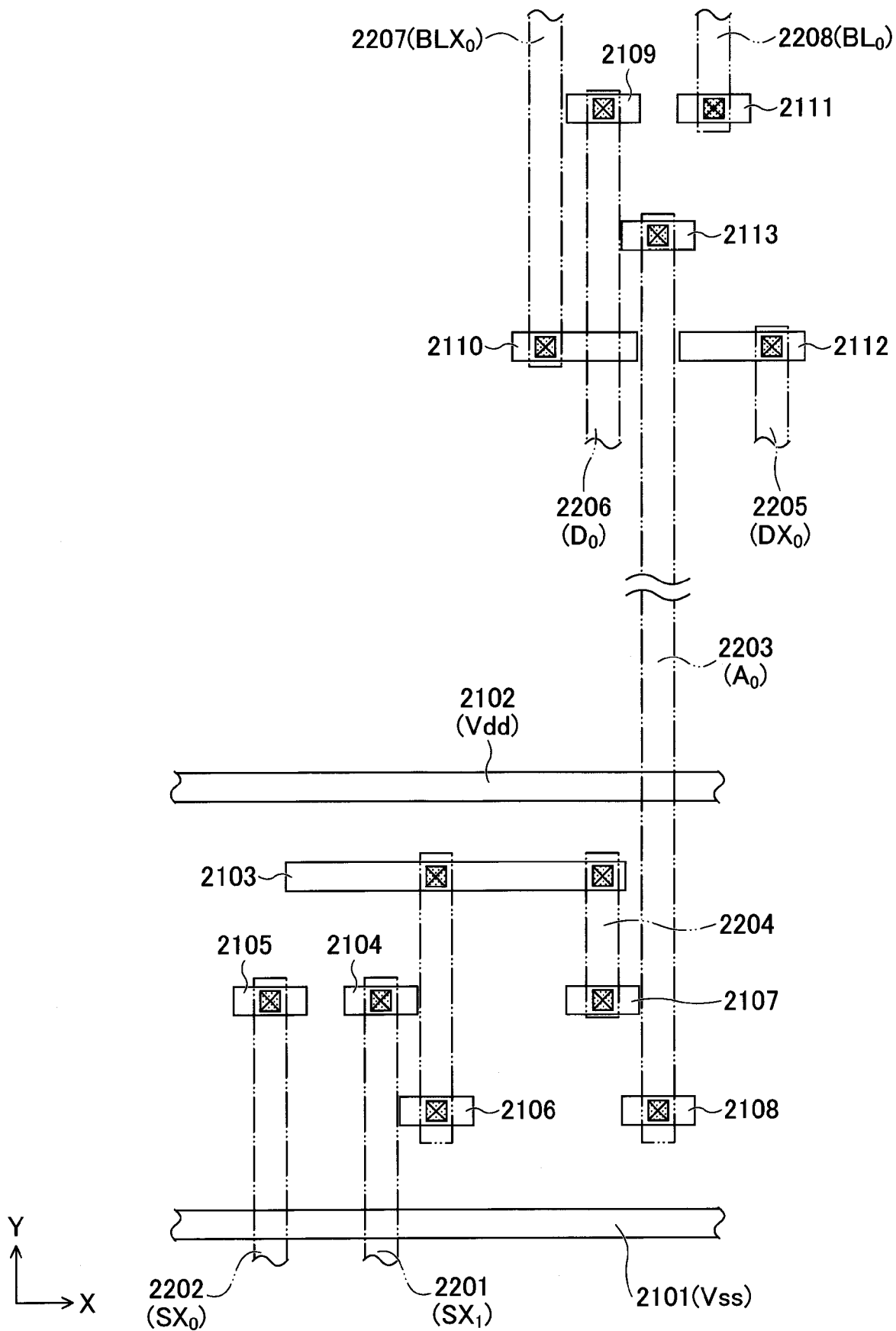
[図62]



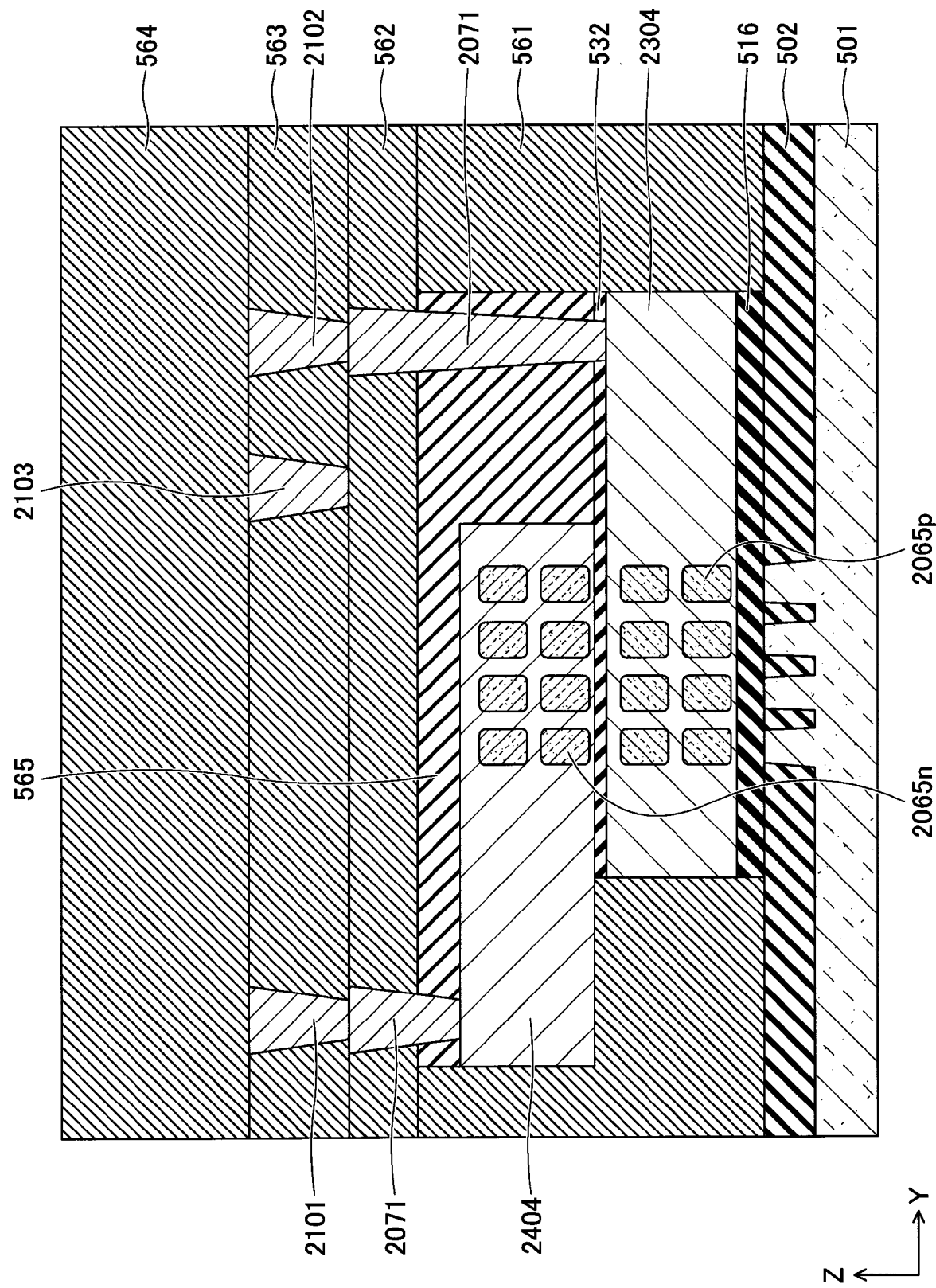
[図63]



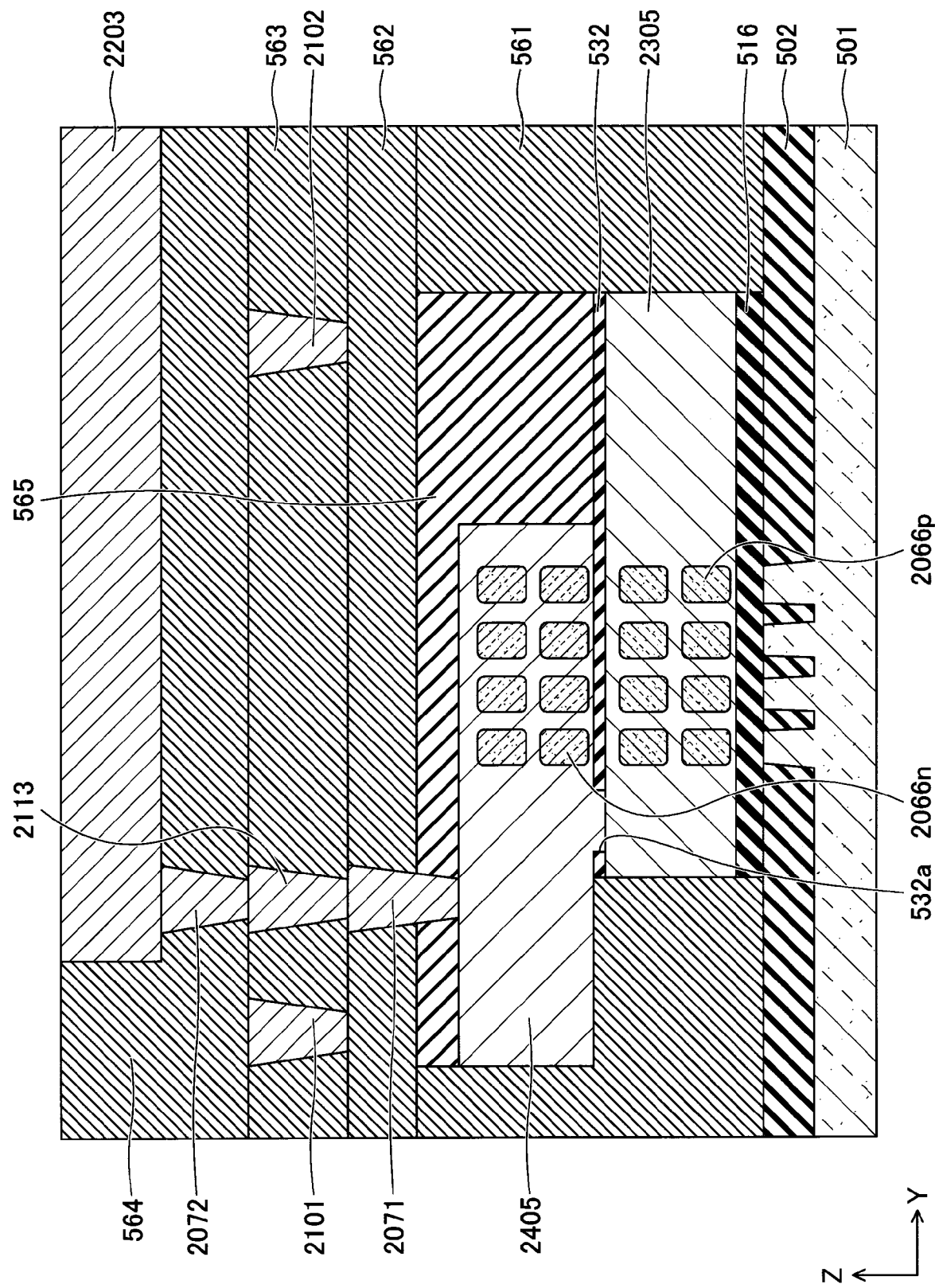
[図64]



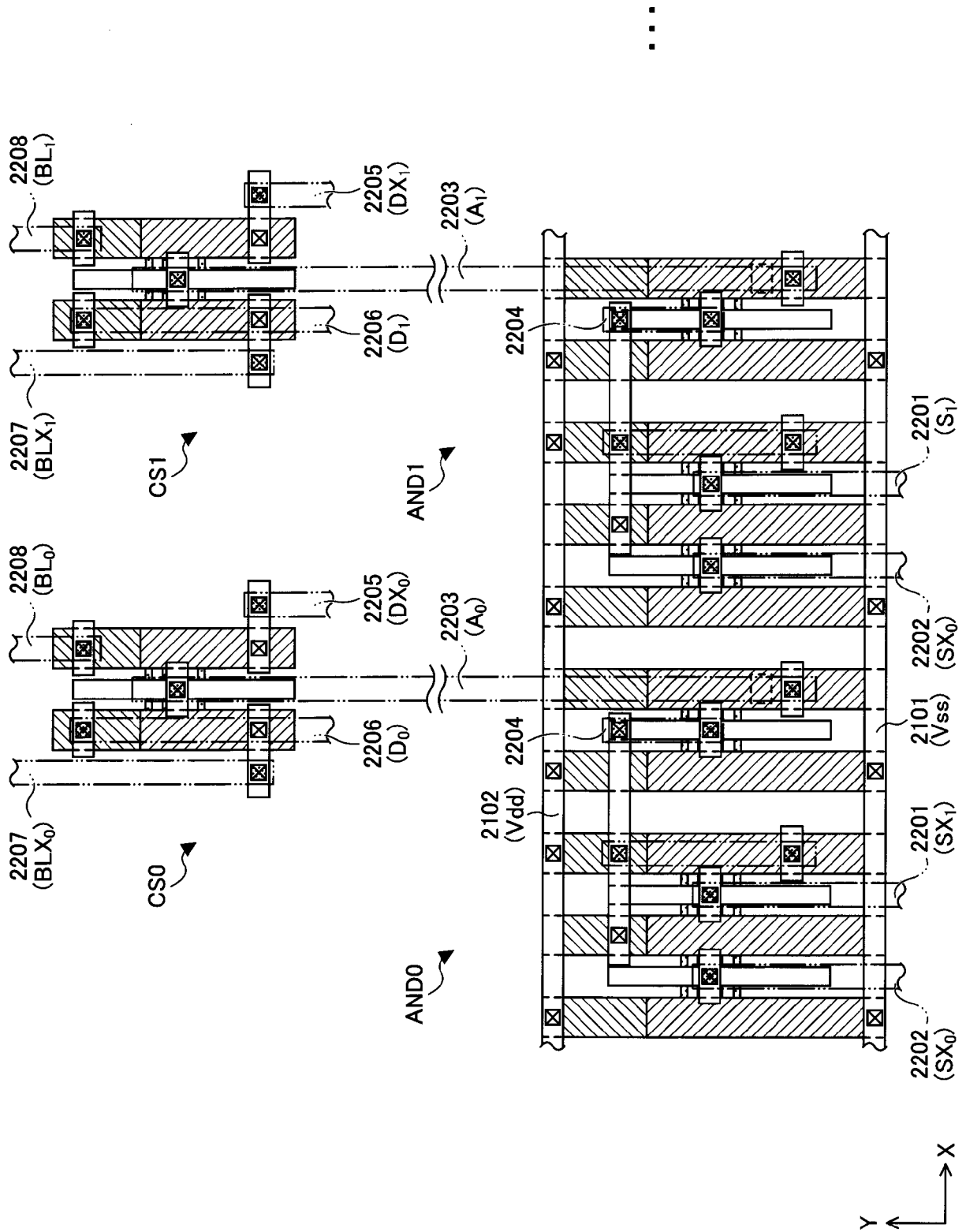
[図65]



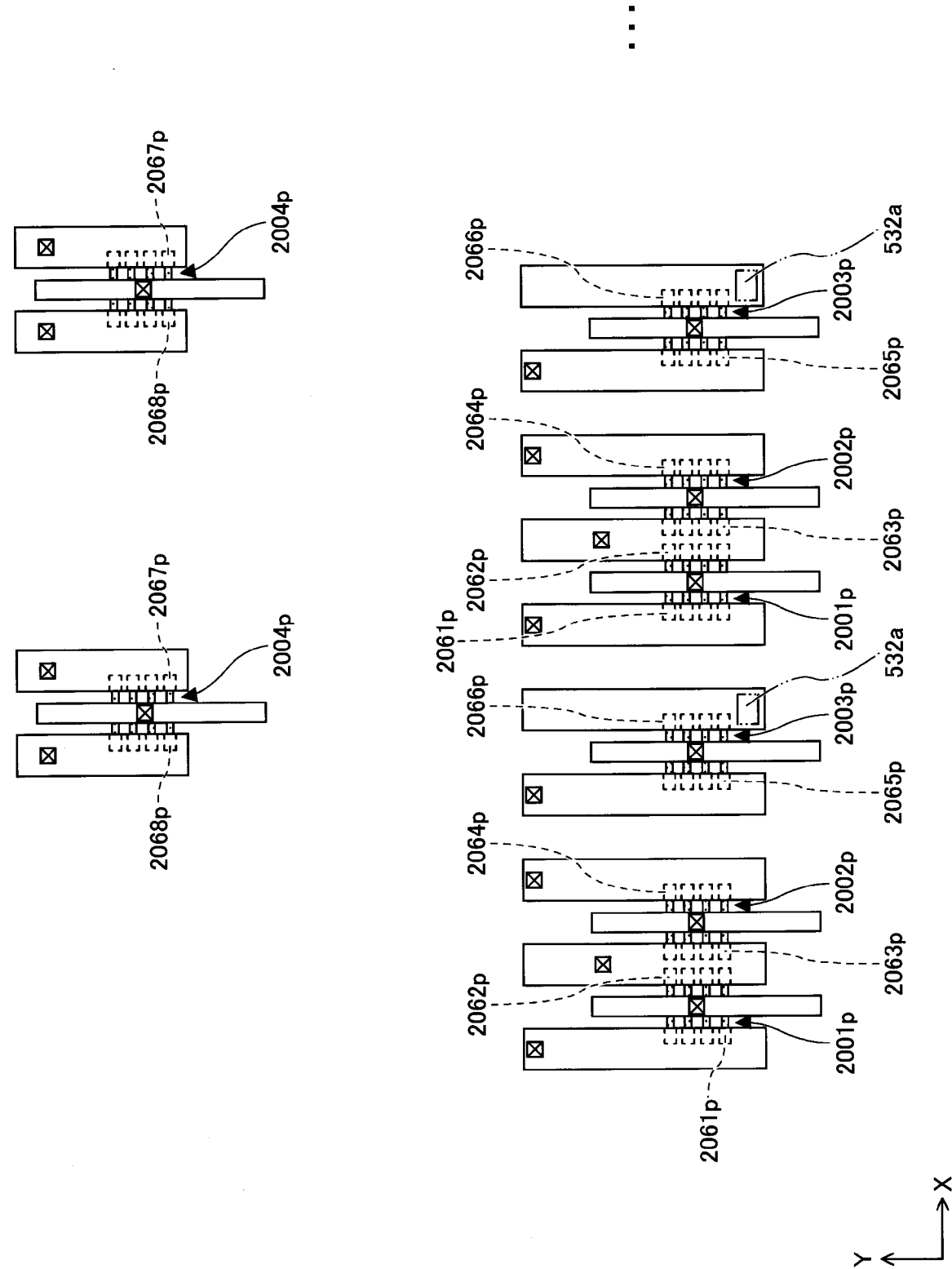
[図66]



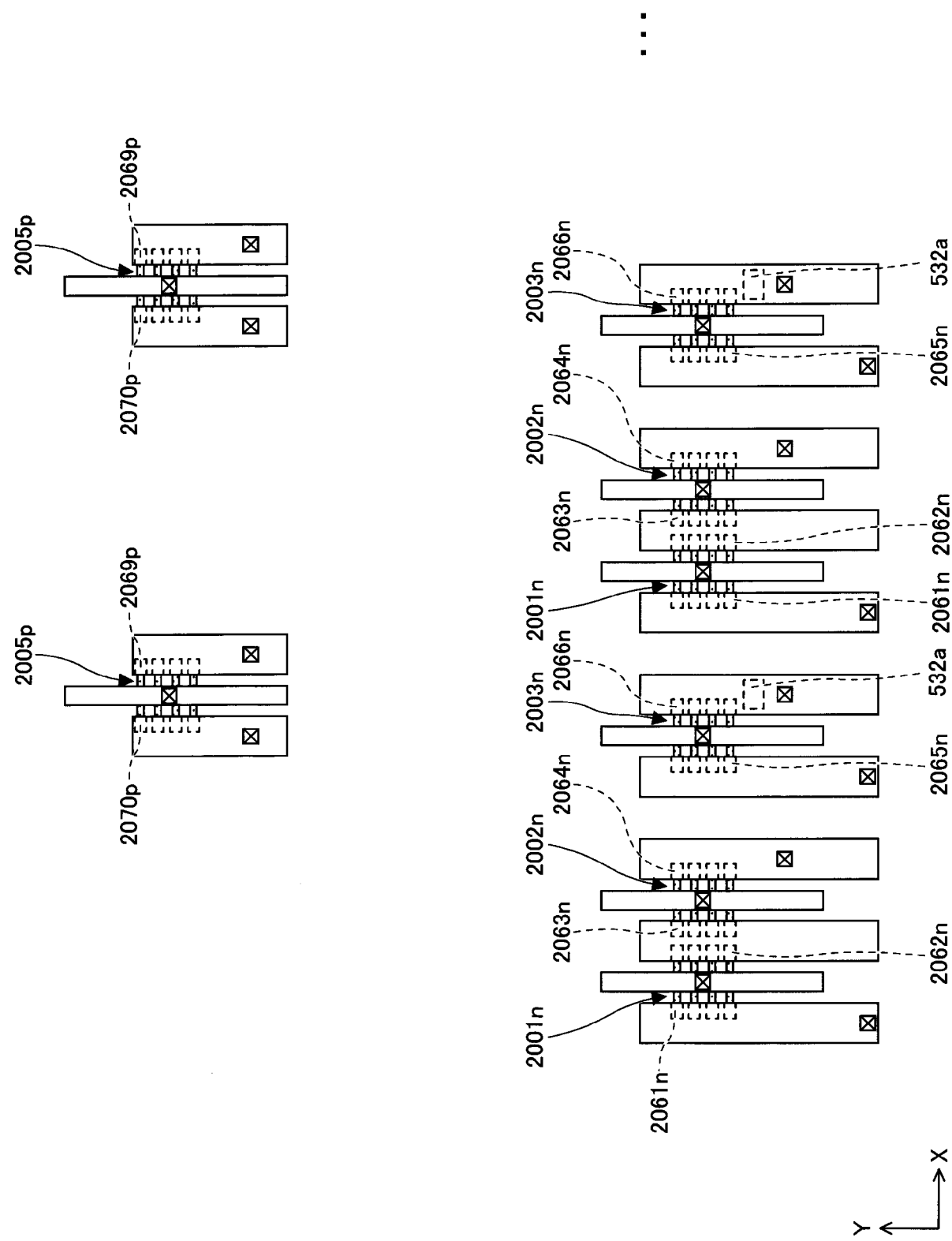
[図67]



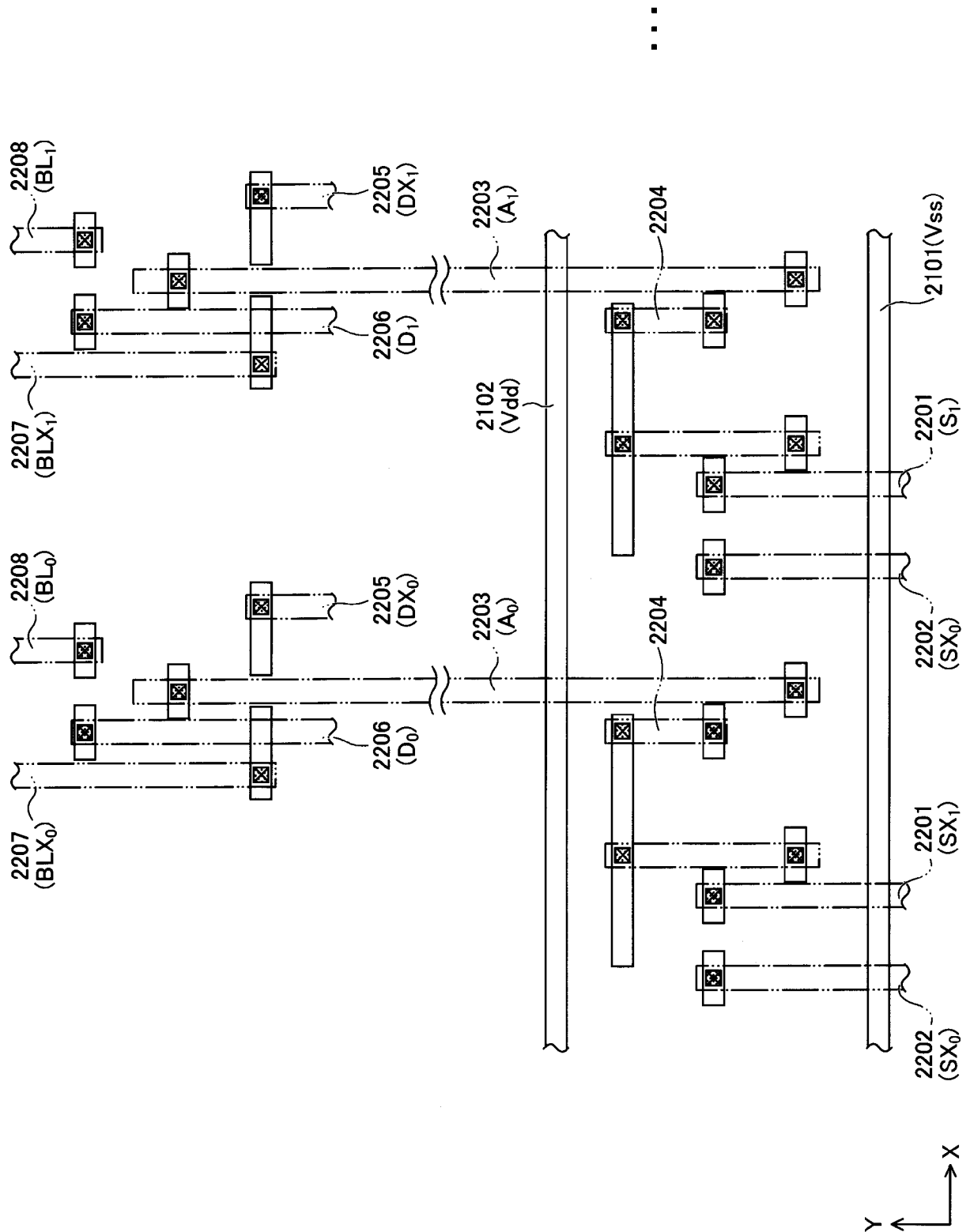
[図68]



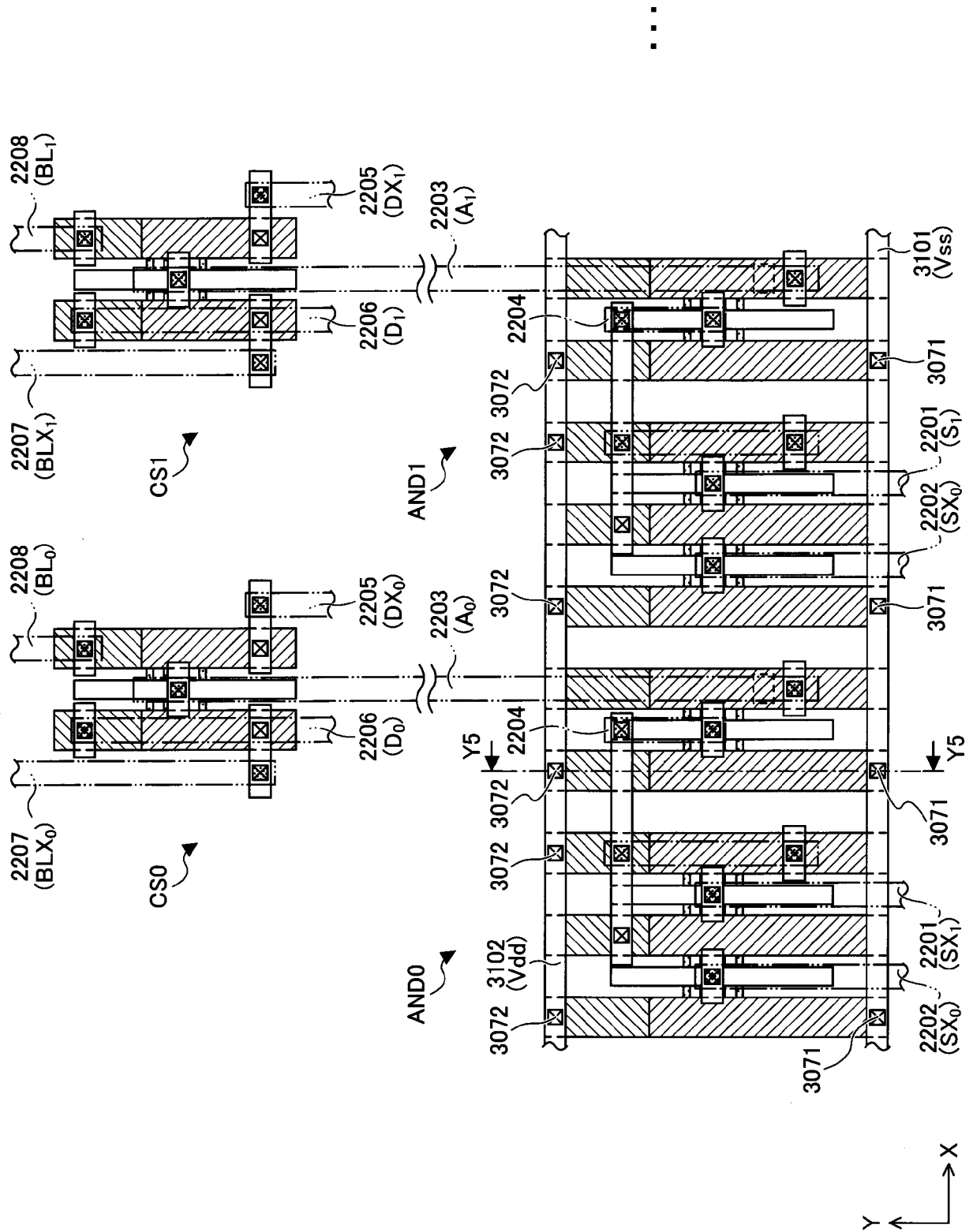
[図69]



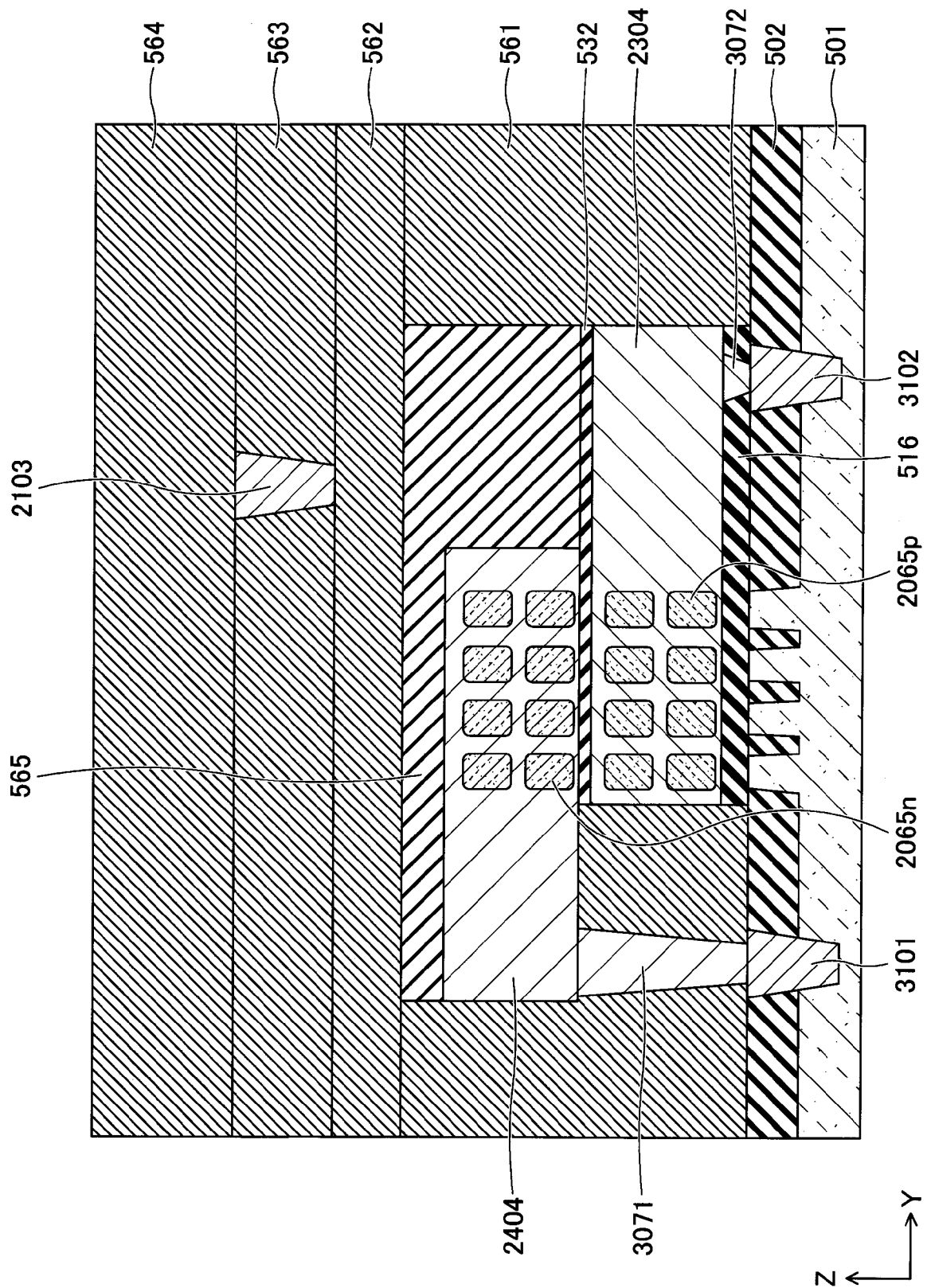
[図70]



[図71]



[図72]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/035481

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/336(2006.01)i, H01L21/8238(2006.01)i,
H01L27/092(2006.01)i, H01L29/78(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/336, H01L21/8238, H01L27/092, H01L29/78, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 9431388 B1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 30 August 2016, column 2, line 37 to column 6, line 40, fig. 1-12 (Family: none)	1-10
X Y	JP 2003-152191 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 23 May 2003, paragraphs [0006]-[0151], fig. 1-4 & US 2003/0141504 A1, paragraphs [0136]-[0229], fig. 1-4 & US 2008/0090344 A1	1, 9 2



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
06.11.2018

Date of mailing of the international search report
20.11.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/035481

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-191698 A (TOSHIBA CORPORATION) 26 September 2013, paragraphs [0012]-[0028], fig. 1-3 & US 2013/0240828 A1, paragraphs [0025]-[0038], fig. 1-3	2

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i,
H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L21/8238, H01L27/092, H01L29/78, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 9431388 B1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2016.08.30, 第2欄第37行ないし第6欄第40行、図1ないし図12（ファミリーなし）	1-10
X Y	JP 2003-152191 A (株式会社半導体エネルギー研究所) 2003.05.23, 0006段落ないし0151段落、図1ないし図4 & US 2003/0141504 A1, 0136 段落ないし0229段落、図1ないし図4 & US 2008/0090344 A1	1, 9 2

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

06.11.2018

国際調査報告の発送日

20.11.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5 F

9361

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-191698 A (株式会社東芝) 2013. 09. 26, 0012 段落ないし 0028 段落、図 1 ないし図 3 & US 2013/0240828 A1, 0025 段落ないし 0038 段落、図 1 ないし図 3	2