



(12)发明专利申请

(10)申请公布号 CN 109935199 A

(43)申请公布日 2019.06.25

(21)申请号 201810792891.7

(22)申请日 2018.07.18

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 合肥鑫晟光电科技有限公司

(72)发明人 冯雪欢 李永谦

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51)Int.Cl.

G09G 3/3208(2016.01)

G11C 19/28(2006.01)

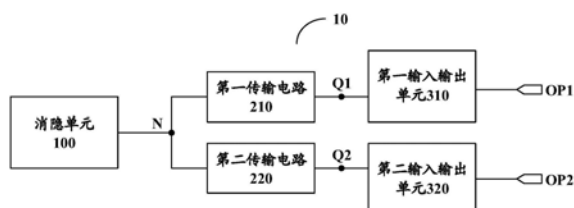
权利要求书4页 说明书21页 附图14页

(54)发明名称

移位寄存器单元、栅极驱动电路、显示装置及驱动方法

(57)摘要

一种移位寄存器单元、栅极驱动电路、显示装置及驱动方法。该移位寄存器单元包括消隐单元、第一传输电路、第二传输电路、第一输入输出单元和第二输入输出单元。所述消隐单元被配置为响应于补偿选择控制信号对上拉控制节点进行充电并将消隐上拉信号输入到消隐上拉节点；所述第一传输电路和所述消隐上拉节点以及所述第一上拉节点电连接，且被配置为响应于第一传输信号利用所述消隐上拉信号对所述第一上拉节点进行充电。该移位寄存器单元可以共用消隐单元，从而使得采用该移位寄存器单元的显示装置可以减小边框尺寸。



1. 一种移位寄存器单元,包括消隐单元、第一传输电路、第二传输电路、第一输入输出单元和第二输入输出单元;其中,

所述消隐单元被配置为响应于补偿选择控制信号对上拉控制节点进行充电并将消隐上拉信号输入到消隐上拉节点;

所述第一输入输出单元包括第一上拉节点和第一输出端,所述第二输入输出单元包括第二上拉节点和第二输出端;

所述第一传输电路和所述消隐上拉节点以及所述第一上拉节点电连接,且被配置为响应于第一传输信号利用所述消隐上拉信号对所述第一上拉节点进行充电;

所述第二传输电路和所述消隐上拉节点以及所述第二上拉节点电连接,且被配置为响应于第二传输信号利用所述消隐上拉信号对所述第二上拉节点进行充电;

所述第一输入输出单元被配置为响应于第一显示输入信号对所述第一上拉节点进行充电,并且被配置为在所述第一上拉节点的电平的控制下将复合输出信号输出至第一输出端;

所述第二输入输出单元被配置为响应于第二显示输入信号对所述第二上拉节点进行充电,并且被配置为在所述第二上拉节点的电平的控制下将复合输出信号输出至第二输出端。

2. 根据权利要求1所述的移位寄存器单元,其中,所述消隐单元包括消隐输入电路和消隐上拉电路;

所述消隐输入电路被配置为响应于所述补偿选择控制信号对所述上拉控制节点进行充电并保持所述上拉控制节点的电平;

所述消隐上拉电路被配置为在所述上拉控制节点的电平的控制下将所述消隐上拉信号输入到所述消隐上拉节点。

3. 根据权利要求2所述的移位寄存器单元,其中,所述消隐单元还包括消隐耦合电路;

所述消隐耦合电路与所述上拉控制节点电连接,且被配置为对所述上拉控制节点进行耦合上拉。

4. 根据权利要求2所述的移位寄存器单元,其中,所述消隐输入电路包括第一晶体管和第一电容;

所述第一晶体管的栅极和补偿选择控制端连接以接收所述补偿选择控制信号,所述第一晶体管的第一极和消隐输入信号端连接,所述第一晶体管的第二极和所述上拉控制节点连接;以及

所述第一电容的第一极和所述上拉控制节点连接,所述第一电容的第二极和第一电压端连接。

5. 根据权利要求2所述的移位寄存器单元,其中,所述消隐上拉电路包括第二晶体管;

所述第二晶体管的栅极和所述上拉控制节点连接,所述第二晶体管的第一极和第二电压端连接以接收第二电压,所述第二晶体管的第二极和所述消隐上拉节点连接。

6. 根据权利要求3所述的移位寄存器单元,其中,消隐耦合电路包括耦合电容和第三晶体管;

所述第三晶体管的栅极和所述上拉控制节点连接,所述第三晶体管的第一极和第二电压端连接以接收第二电压,所述第三晶体管的第二极和所述耦合电容的第一极连接,所述

耦合电容的第二极和所述上拉控制节点连接。

7. 根据权利要求1-6任一所述的移位寄存器单元, 其中, 所述第一传输电路包括第一传输晶体管;

所述第一传输晶体管的栅极和第一传输信号端连接以接收所述第一传输信号, 所述第一传输晶体管的第一极和所述消隐上拉节点连接以接收所述消隐上拉信号, 所述第一传输晶体管的第二极和所述第一上拉节点连接。

8. 根据权利要求7所述的移位晶体管单元, 其中, 所述第一传输信号端包括第一时钟信号端, 所述第一传输信号包括通过所述第一时钟信号端接收的第一时钟信号。

9. 根据权利要求1-6任一所述的移位寄存器单元, 其中, 所述第二传输电路包括第二传输晶体管;

所述第二传输晶体管的栅极和第二传输信号端连接以接收所述第二传输信号, 所述第二传输晶体管的第一极和所述消隐上拉节点连接以接收所述消隐上拉信号, 所述第二传输晶体管的第二极和所述第二上拉节点连接。

10. 根据权利要求9所述的移位晶体管单元, 其中, 所述第二传输信号端包括第一时钟信号端, 所述第二传输信号包括通过所述第一时钟信号端接收的第一时钟信号。

11. 根据权利要求1所述的移位寄存器单元, 其中, 所述第一输入输出单元包括显示输入电路、输出电路、第一下拉控制电路和下拉电路;

所述第一输出端包括移位信号输出端和像素扫描信号输出端, 所述移位信号输出端和所述像素扫描信号输出端输出所述复合输出信号;

所述显示输入电路被配置为响应于所述第一显示输入信号对所述第一上拉节点进行充电;

所述输出电路被配置为在所述第一上拉节点的电平的控制下, 将所述复合输出信号输出至所述第一输出端;

所述第一下拉控制电路被配置为在所述第一上拉节点的电平的控制下, 对下拉节点的电平进行控制;

所述下拉电路被配置为在所述下拉节点的电平的控制下, 对所述第一上拉节点、所述移位信号输出端和所述像素扫描信号输出端进行下拉复位。

12. 根据权利要求11所述的移位寄存器单元, 其中,

所述显示输入电路包括第四晶体管; 所述第四晶体管的栅极和显示输入信号端连接以接收所述第一显示输入信号, 所述第四晶体管的第一极和第二电压端连接以接收第二电压, 所述第四晶体管的第二极和所述第一上拉节点连接;

所述输出电路包括第五晶体管、第六晶体管和第二电容; 所述第五晶体管的栅极和所述第一上拉节点连接, 所述第五晶体管的第一极和第二时钟信号端连接以接收第二时钟信号并作为所述复合输出信号, 所述第五晶体管的第二极和所述移位信号输出端连接; 所述第六晶体管的栅极和所述第一上拉节点连接, 所述第六晶体管的第一极和所述第二时钟信号端连接以接收所述第二时钟信号并作为所述复合输出信号, 所述第六晶体管的第二极和所述像素扫描信号输出端连接; 所述第二电容的第一极和所述第一上拉节点连接, 所述第二电容的第二极和所述第五晶体管的第二极连接;

所述第一下拉控制电路包括第七晶体管、第八晶体管和第九晶体管; 所述第七晶体管

的栅极和第一极连接且被配置为和第三电压端连接以接收第三电压,所述第七晶体管的第二极和所述下拉节点连接;所述第八晶体管的栅极和第一极连接且被配置为和第四电压端连接以接收第四电压,所述第八晶体管的第二极和所述下拉节点连接;所述第九晶体管的栅极和所述第一上拉节点连接,所述第九晶体管的第一极和所述下拉节点连接,所述第九晶体管的第二极和第五电压端连接以接收第五电压;

所述下拉电路包括第十晶体管、第十一晶体管和第十二晶体管;所述第十晶体管的栅极和所述下拉节点连接,所述第十晶体管的第一极和所述第一上拉节点连接,所述第十晶体管的第二极和所述第五电压端连接以接收所述第五电压;所述第十一晶体管的栅极和所述下拉节点连接,所述第十一晶体管的第一极和所述移位信号输出端连接,所述第十一晶体管的第二极和所述第五电压端连接以接收所述第五电压;所述第十二晶体管的栅极和所述下拉节点连接,所述第十二晶体管的第一极和所述像素扫描信号输出端连接,所述第十二晶体管的第二极和第六电压端连接以接收第六电压。

13. 根据权利要求11所述的移位寄存器单元,其中,所述第一输入输出单元还包括第二下拉控制电路和第三下拉控制电路;其中,

所述第二下拉控制电路被配置为响应于第一时钟信号对所述下拉节点的电平进行控制;

所述第三下拉控制电路被配置为响应于所述第一显示输入信号对所述下拉节点的电平进行控制。

14. 根据权利要求13所述的移位寄存器单元,其中,所述第二下拉控制电路包括第十三晶体管,所述第三下拉控制电路包括第十四晶体管;

所述第十三晶体管的栅极和第一时钟信号端连接以接收所述第一时钟信号,所述第十三晶体管的第一极和所述下拉节点连接,所述第十三晶体管的第二极和第五电压端连接以接收第五电压;

所述第十四晶体管的栅极和显示输入信号端连接以接收所述第一显示输入信号,所述第十四晶体管的第一极和所述下拉节点连接,所述第十四晶体管的第二极和所述第五电压端连接以接收所述第五电压。

15. 根据权利要求13所述的移位寄存器单元,其中,所述第二下拉控制电路包括第十三晶体管和第十七晶体管,所述第三下拉控制电路包括第十四晶体管;

所述第十三晶体管的栅极和第一时钟信号端连接以接收所述第一时钟信号,所述第十三晶体管的第一极和所述下拉节点连接,所述第十三晶体管的第二极和第十七晶体管的第一极连接;所述第十七晶体管的栅极和所述上拉控制节点电连接,所述第十七晶体管的第二极和第五电压端连接以接收第五电压;

所述第十四晶体管的栅极和显示输入信号端连接以接收所述第一显示输入信号,所述第十四晶体管的第一极和所述下拉节点连接,所述第十四晶体管的第二极和所述第五电压端连接以接收所述第五电压。

16. 根据权利要求11所述的移位寄存器单元,其中,所述第一输入输出单元还包括显示复位电路和全局复位电路,其中,

所述显示复位电路被配置为响应于显示复位信号对所述第一上拉节点进行复位;所述全局复位信号被配置为响应于全局复位信号对所述第一上拉节点进行复位。

17. 根据权利要求16所述的移位寄存器单元, 其中, 所述显示复位电路包括第十五晶体管, 所述全局复位电路包括第十六晶体管;

所述第十五晶体管的栅极和显示复位信号端连接以接收所述显示复位信号, 所述第十五晶体管的第一极和所述第一上拉节点连接, 所述第十五晶体管的第二极和第五电压端连接以接收第五电压;

所述第十六晶体管的栅极和全局复位信号端连接以接收所述全局复位信号, 所述第十六晶体管的第一极和所述第一上拉节点连接, 所述第十六晶体管的第二极和所述第五电压端连接以接收所述第五电压。

18. 根据权利要求11-17任一所述的移位寄存器单元, 其中, 所述第二输入输出单元的电路结构和所述第一输入输出单元的电路结构相同。

19. 根据权利要求1所述的移位寄存器单元, 还包括至少一个第三传输电路和与所述至少一个第三传输电路电连接的至少一个第三输入输出单元。

20. 一种栅极驱动电路, 包括多个级联的如权利要求1-19任一所述的移位寄存器单元。

21. 一种显示装置, 包括如权利要求20所述的栅极驱动电路以及多个呈阵列排布的子像素单元, 其中,

所述栅极驱动电路中的每一个移位寄存器单元中的所述第一输出端和所述第二输出端分别和不同行的子像素单元电连接。

22. 一种如权利要求1-19任一所述的移位寄存器单元的驱动方法, 包括用于一帧的显示时段和消隐时段, 其中,

在所述显示时段, 使得所述消隐单元响应于所述补偿选择控制信号对所述上拉控制节点进行充电;

在所述消隐时段, 使得所述第一传输电路响应于所述第一传输信号利用所述消隐上拉信号对所述第一上拉节点进行充电, 以及使得所述第二传输电路响应于所述第二传输信号利用所述消隐上拉信号对所述第二上拉节点进行充电。

23. 根据权利要求22所述的驱动方法, 其中, 所述第一传输信号和所述第二传输信号的时序相同。

移位寄存器单元、栅极驱动电路、显示装置及驱动方法

技术领域

[0001] 本公开的实施例涉及一种移位寄存器单元、栅极驱动电路、显示装置及驱动方法。

背景技术

[0002] 在显示领域特别是OLED (Organic Light-Emitting Diode, 有机发光二极管) 显示面板中, 栅极驱动电路目前一般集成在GATE IC中。IC设计中芯片的面积是影响芯片成本的主要因素, 如何有效地降低芯片面积是技术开发人员需要着重考虑的。

[0003] 目前用于OLED的栅极驱动电路通常要用三个子电路组合而成, 即检测电路、显示电路和输出两者复合脉冲的连接电路 (或门电路), 这样的电路结构非常复杂, 无法满足显示面板的高分辨率窄边框的要求。

发明内容

[0004] 本公开至少一实施例提供一种移位寄存器单元, 包括消隐单元、第一传输电路、第二传输电路、第一输入输出单元和第二输入输出单元。所述消隐单元被配置为响应于补偿选择控制信号对上拉控制节点进行充电并将消隐上拉信号输入到消隐上拉节点; 所述第一输入输出单元包括第一上拉节点和第一输出端, 所述第二输入输出单元包括第二上拉节点和第二输出端; 所述第一传输电路和所述消隐上拉节点以及所述第一上拉节点电连接, 且被配置为响应于第一传输信号利用所述消隐上拉信号对所述第一上拉节点进行充电; 所述第二传输电路和所述消隐上拉节点以及所述第二上拉节点电连接, 且被配置为响应于第二传输信号利用所述消隐上拉信号对所述第二上拉节点进行充电; 所述第一输入输出单元被配置为响应于第一显示输入信号对所述第一上拉节点进行充电, 并且被配置为在所述第一上拉节点的电平的控制下将复合输出信号输出至第一输出端; 所述第二输入输出单元被配置为响应于第二显示输入信号对所述第二上拉节点进行充电, 并且被配置为在所述第二上拉节点的电平的控制下将复合输出信号输出至第二输出端。

[0005] 例如, 在本公开一实施例提供的移位寄存器单元中, 所述消隐单元包括消隐输入电路和消隐上拉电路。所述消隐输入电路被配置为响应于所述补偿选择控制信号对所述上拉控制节点进行充电并保持所述上拉控制节点的电平; 所述消隐上拉电路被配置为在所述上拉控制节点的电平的控制下将所述消隐上拉信号输入到所述消隐上拉节点。

[0006] 例如, 在本公开一实施例提供的移位寄存器单元中, 所述消隐单元还包括消隐耦合电路。所述消隐耦合电路与所述上拉控制节点电连接, 且被配置为对所述上拉控制节点进行耦合上拉。

[0007] 例如, 在本公开一实施例提供的移位寄存器单元中, 所述消隐输入电路包括第一晶体管 and 第一电容。所述第一晶体管的栅极和补偿选择控制端连接以接收所述补偿选择控制信号, 所述第一晶体管的第一极和消隐输入信号端连接, 所述第一晶体管的第二极和所述上拉控制节点连接; 以及所述第一电容的第一极和所述上拉控制节点连接, 所述第一电容的第二极和第一电压端连接。

[0008] 例如,在本公开一实施例提供的移位寄存器单元中,所述消隐上拉电路包括第二晶体管。所述第二晶体管的栅极和所述上拉控制节点连接,所述第二晶体管的第一极和第二电压端连接以接收第二电压,所述第二晶体管的第二极和所述消隐上拉节点连接。

[0009] 例如,在本公开一实施例提供的移位寄存器单元中,消隐耦合电路包括耦合电容和第三晶体管。所述第三晶体管的栅极和所述上拉控制节点连接,所述第三晶体管的第一极和第二电压端连接以接收第二电压,所述第三晶体管的第二极和所述耦合电容的第一极连接,所述耦合电容的第二极和所述上拉控制节点连接。

[0010] 例如,在本公开一实施例提供的移位寄存器单元中,所述第一传输电路包括第一传输晶体管。所述第一传输晶体管的栅极和第一传输信号端连接以接收所述第一传输信号,所述第一传输晶体管的第一极和所述消隐上拉节点连接以接收所述消隐上拉信号,所述第一传输晶体管的第二极和所述第一上拉节点连接。

[0011] 例如,在本公开一实施例提供的移位寄存器单元中,所述第一传输信号端包括第一时钟信号端,所述第一传输信号包括通过所述第一时钟信号端接收的第一时钟信号。

[0012] 例如,在本公开一实施例提供的移位寄存器单元中,所述第二传输电路包括第二传输晶体管。所述第二传输晶体管的栅极和第二传输信号端连接以接收所述第二传输信号,所述第二传输晶体管的第一极和所述消隐上拉节点连接以接收所述消隐上拉信号,所述第二传输晶体管的第二极和所述第二上拉节点连接。

[0013] 例如,在本公开一实施例提供的移位寄存器单元中,所述第二传输信号端包括第一时钟信号端,所述第二传输信号包括通过所述第一时钟信号端接收的第一时钟信号。

[0014] 例如,在本公开一实施例提供的移位寄存器单元中,所述第一输入输出单元包括显示输入电路、输出电路、第一下拉控制电路和下拉电路。所述第一输出端包括移位信号输出端和像素扫描信号输出端,所述移位信号输出端和所述像素扫描信号输出端输出所述复合输出信号;所述显示输入电路被配置为响应于所述第一显示输入信号对所述第一上拉节点进行充电;所述输出电路被配置为在所述第一上拉节点的电平的控制下,将所述复合输出信号输出至所述第一输出端;所述第一下拉控制电路被配置为在所述第一上拉节点的电平的控制下,对下拉节点的电平进行控制;所述下拉电路被配置为在所述下拉节点的电平的控制下,对所述第一上拉节点、所述移位信号输出端和所述像素扫描信号输出端进行下拉复位。

[0015] 例如,在本公开一实施例提供的移位寄存器单元中,所述显示输入电路包括第四晶体管;所述第四晶体管的栅极和显示输入信号端连接以接收所述第一显示输入信号,所述第四晶体管的第一极和第二电压端连接以接收第二电压,所述第四晶体管的第二极和所述第一上拉节点连接;

[0016] 所述输出电路包括第五晶体管、第六晶体管和第二电容;所述第五晶体管的栅极和所述第一上拉节点连接,所述第五晶体管的第一极和第二时钟信号端连接以接收第二时钟信号并作为所述复合输出信号,所述第五晶体管的第二极和所述移位信号输出端连接;所述第六晶体管的栅极和所述第一上拉节点连接,所述第六晶体管的第一极和所述第二时钟信号端连接以接收所述第二时钟信号并作为所述复合输出信号,所述第六晶体管的第二极和所述像素扫描信号输出端连接;所述第二电容的第一极和所述第一上拉节点连接,所述第二电容的第二极和所述第五晶体管的第二极连接;

[0017] 所述第一下拉控制电路包括第七晶体管、第八晶体管和第九晶体管；所述第七晶体管的栅极和第一极连接且被配置为和第三电压端连接以接收第三电压，所述第七晶体管的第二极和所述下拉节点连接；所述第八晶体管的栅极和第一极连接且被配置为和第四电压端连接以接收第四电压，所述第八晶体管的第二极和所述下拉节点连接；所述第九晶体管的栅极和所述第一上拉节点连接，所述第九晶体管的第一极和所述下拉节点连接，所述第九晶体管的第二极和第五电压端连接以接收第五电压；

[0018] 所述下拉电路包括第十晶体管、第十一晶体管和第十二晶体管；所述第十晶体管的栅极和所述下拉节点连接，所述第十晶体管的第一极和所述第一上拉节点连接，所述第十晶体管的第二极和所述第五电压端连接以接收所述第五电压；所述第十一晶体管的栅极和所述下拉节点连接，所述第十一晶体管的第一极和所述移位信号输出端连接，所述第十一晶体管的第二极和所述第五电压端连接以接收所述第五电压；所述第十二晶体管的栅极和所述下拉节点连接，所述第十二晶体管的第一极和所述像素扫描信号输出端连接，所述第十二晶体管的第二极和第六电压端连接以接收第六电压。

[0019] 例如，在本公开一实施例提供的移位寄存器单元中，所述第一输入输出单元还包括第二下拉控制电路和第三下拉控制电路。所述第二下拉控制电路被配置为响应于第一时钟信号对所述下拉节点的电平进行控制；所述第三下拉控制电路被配置为响应于所述第一显示输入信号对所述下拉节点的电平进行控制。

[0020] 例如，在本公开一实施例提供的移位寄存器单元中，所述第二下拉控制电路包括第十三晶体管，所述第三下拉控制电路包括第十四晶体管。所述第十三晶体管的栅极和第一时钟信号端连接以接收所述第一时钟信号，所述第十三晶体管的第一极和所述下拉节点连接，所述第十三晶体管的第二极和第五电压端连接以接收第五电压；所述第十四晶体管的栅极和显示输入信号端连接以接收所述第一显示输入信号，所述第十四晶体管的第一极和所述下拉节点连接，所述第十四晶体管的第二极和所述第五电压端连接以接收所述第五电压。

[0021] 例如，在本公开一实施例提供的移位寄存器单元中，所述第二下拉控制电路包括第十三晶体管和第十七晶体管，所述第三下拉控制电路包括第十四晶体管。所述第十三晶体管的栅极和第一时钟信号端连接以接收所述第一时钟信号，所述第十三晶体管的第一极和所述下拉节点连接，所述第十三晶体管的第二极和第十七晶体管的第一极连接；所述第十七晶体管的栅极和所述上拉控制节点电连接，所述第十七晶体管的第二极和第五电压端连接以接收第五电压；所述第十四晶体管的栅极和显示输入信号端连接以接收所述第一显示输入信号，所述第十四晶体管的第一极和所述下拉节点连接，所述第十四晶体管的第二极和所述第五电压端连接以接收所述第五电压。

[0022] 例如，在本公开一实施例提供的移位寄存器单元中，所述第一输入输出单元还包括显示复位电路和全局复位电路。所述显示复位电路被配置为响应于显示复位信号对所述第一上拉节点进行复位；所述全局复位信号被配置为响应于全局复位信号对所述第一上拉节点进行复位。

[0023] 例如，在本公开一实施例提供的移位寄存器单元中，所述显示复位电路包括第十五晶体管，所述全局复位电路包括第十六晶体管。所述第十五晶体管的栅极和显示复位信号端连接以接收所述显示复位信号，所述第十五晶体管的第一极和所述第一上拉节点连

接,所述第十五晶体管的第二极和第五电压端连接以接收第五电压;所述第十六晶体管的栅极和全局复位信号端连接以接收所述全局复位信号,所述第十六晶体管的第一极和所述第一上拉节点连接,所述第十六晶体管的第二极和所述第五电压端连接以接收所述第五电压。

[0024] 例如,在本公开一实施例提供的移位寄存器单元中,所述第二输入输出单元的电路结构和所述第一输入输出单元的电路结构相同。

[0025] 例如,本公开一实施例提供的移位寄存器单元还包括至少一个第三传输电路和与所述至少一个第三传输电路电连接的至少一个第三输入输出单元。

[0026] 本公开至少一实施例还提供一种栅极驱动电路,包括多个级联的如本公开的实施例提供的任一移位寄存器单元。

[0027] 本公开至少一实施例还提供一种显示装置,包括如本公开的实施例提供的任一栅极驱动电路以及多个呈阵列排布的子像素单元,所述栅极驱动电路中的每一个移位寄存器单元中的所述第一输出端和所述第二输出端分别和不同行的子像素单元电连接。

[0028] 本公开至少一实施例还提供一种移位寄存器单元的驱动方法,包括用于一帧的显示时段和消隐时段,在所述显示时段,使得所述消隐单元响应于所述补偿选择控制信号对所述上拉控制节点进行充电;在所述消隐时段,使得所述第一传输电路响应于所述第一传输信号利用所述消隐上拉信号对所述第一上拉节点进行充电,以及使得所述第二传输电路响应于所述第二传输信号利用所述消隐上拉信号对所述第二上拉节点进行充电。

[0029] 例如,在本公开一实施例提供的驱动方法中,所述第一传输信号和所述第二传输信号的时序相同。

附图说明

[0030] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,而非对本公开的限制。

[0031] 图1为本公开一实施例提供的一种移位寄存器单元的示意图;

[0032] 图2为本公开一实施例提供的另一种移位寄存器单元的示意图;

[0033] 图3为本公开一实施例提供的又一种移位寄存器单元的示意图;

[0034] 图4为本公开一实施例提供的一种移位寄存器单元中的第一输入输出单元的示意图;

[0035] 图5为本公开实施例提供的一种包括消隐单元、第一传输电路和第二传输电路的电路图;

[0036] 图6为本公开实施例提供的另一种包括消隐单元、第一传输电路和第二传输电路的电路图;

[0037] 图7为本公开实施例提供的又一种包括消隐单元、第一传输电路和第二传输电路的电路图;

[0038] 图8为本公开一实施例提供的一种第一输入输出单元的电路图;

[0039] 图9为本公开一实施例提供的另一种第一输入输出单元的电路图;

[0040] 图10为本公开一实施例提供的又一种第一输入输出单元的电路图;

[0041] 图11为本公开一实施例提供的再一种第一输入输出单元的电路图;

- [0042] 图12为本公开一实施例提供的一种移位寄存器单元的电路图；
- [0043] 图13为本公开一实施例提供的一种栅极驱动电路的示意图；
- [0044] 图14为本公开一实施例提供的另一种栅极驱动电路的示意图；
- [0045] 图15为本公开一实施例提供的一种对应于图14所示的栅极驱动电路工作时的信号时序图；以及
- [0046] 图16为本公开一实施例提供的一种显示装置的示意图。

具体实施方式

[0047] 为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

[0048] 除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”、“一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

[0049] 在对OLED显示面板中的子像素单元进行补偿时，除了在子像素单元中设置像素补偿电路进行内部补偿外，还可以通过设置感测晶体管进行外部补偿。在进行外部补偿时，由移位寄存器单元构成的栅极驱动电路需要向显示面板中的子像素单元分别提供用于扫描晶体管和感测晶体管的驱动信号，例如，在一帧的显示时段提供用于扫描晶体管的扫描驱动信号，在一帧的消隐时段提供用于感测晶体管的感测驱动信号。

[0050] 在一种外部补偿方法中，栅极驱动电路输出的感测驱动信号是逐行顺序扫描的，例如，在第一帧的消隐时段输出用于显示面板中第一行的子像素单元的感测驱动信号，在第二帧的消隐时段输出用于显示面板中第二行的子像素单元的感测驱动信号，依次类推，以每帧输出对应一行子像素单元的感测驱动信号的频率逐行顺序输出，即完成对显示面板的逐行顺序补偿。

[0051] 但是，在采用上述逐行顺序补偿的方法时，可能会产生显示不良问题：一是在进行多帧的扫描显示过程中有一条逐行移动的扫描线；二是因为进行外部补偿的时间点的差异会造成显示面板不同区域的亮度差异比较大，例如，在对显示面板的第100行的子像素单元进行外部补偿时，显示面板的第10行的子像素单元虽然已经进行过外部补偿了，但此时第10行的子像素单元的发光亮度可能已经发生变化，例如发光亮度降低，从而会造成显示面板不同区域的亮度不均匀，在大尺寸的显示面板中这种问题会更加明显。

[0052] 如上所述，在栅极驱动电路驱动一个显示面板时，如果要想实现外部补偿，则需要该栅极驱动电路不仅可以输出用于显示时段的扫描驱动信号，同时还需要输出用于消隐时段

的感测驱动信号,即需要专门用于消隐时段的消隐单元。在这种情形下,栅极驱动电路所占用的面积可能会比较大,从而由该栅极驱动电路形成的显示装置的边框的尺寸较大。

[0053] 针对上述问题,本公开的至少一实施例提供一种移位寄存器单元,该移位寄存器单元包括消隐单元、第一传输电路、第二传输电路、第一输入输出单元和第二输入输出单元。消隐单元被配置为响应于补偿选择控制信号对上拉控制节点进行充电并将消隐上拉信号输入到消隐上拉节点;第一输入输出单元包括第一上拉节点和第一输出端,第二输入输出单元包括第二上拉节点和第二输出端;第一传输电路和消隐上拉节点以及第一上拉节点电连接,且被配置为响应于第一传输信号利用消隐上拉信号对第一上拉节点进行充电;第二传输电路和消隐上拉节点以及第二上拉节点电连接,且被配置为响应于第二传输信号利用消隐上拉信号对第二上拉节点进行充电;第一输入输出单元被配置为响应于第一显示输入信号对第一上拉节点进行充电,并且被配置为在第一上拉节点的电平的控制下将复合输出信号输出至第一输出端;第二输入输出单元被配置为响应于第二显示输入信号对第二上拉节点进行充电,并且被配置为在第二上拉节点的电平的控制下将复合输出信号输出至第二输出端。

[0054] 本公开的实施例还提供对应于上述移位寄存器单元的栅极驱动电路、显示装置及驱动方法。

[0055] 本公开的实施例提供的移位寄存器单元、栅极驱动电路、显示装置及驱动方法,可以共用消隐单元,从而使得采用该移位寄存器单元的显示装置可以减小边框尺寸,降低成本;同时,还可以实现随机补偿,从而可以避免由于逐行顺序补偿造成的扫描线以及显示亮度不均匀等显示不良问题。

[0056] 需要说明的是,在本公开的实施例中,随机补偿指的是区别于逐行顺序补偿的一种外部补偿方法,在某一帧的消隐时段可以随机输出对应于显示面板中任意一行的子像素单元的感测驱动信号,以下各实施例与此相同,不再赘述。

[0057] 另外,在本公开的实施例中,为了说明的目的,定义“一帧”、“每帧”或“某一帧”包括依次进行的显示时段和消隐时段,例如在显示时段中栅极驱动电路输出显示输出信号,该显示输出信号可以驱动显示面板从第一行到最后一行完成完整的一幅图像的扫描显示,在消隐时段中栅极驱动电路输出消隐输出信号,该消隐输出信号可以用于驱动显示面板中的某一行子像素单元中的感测晶体管,以完成该行子像素单元的外部补偿。

[0058] 下面结合附图对本公开的实施例及其示例进行详细说明。

[0059] 本公开的至少一个实施例提供一种移位寄存器单元10,如图1所示,该移位寄存器单元10包括消隐单元100、第一传输电路210、第二传输电路220、第一输入输出单元310和第二输入输出单元320。第一输入输出单元310包括第一上拉节点Q1和第一输出端OP1,第二输入输出单元Q2包括第二上拉节点Q2和第二输出端OP2。多个该移位寄存器单元10可以级联构建本公开一实施例栅极驱动电路。

[0060] 消隐单元100被配置为响应于补偿选择控制信号对上拉控制节点H进行充电并将消隐上拉信号输入到消隐上拉节点N。例如,在一帧的显示时段,该消隐单元100可以响应于补偿选择控制信号对上拉控制节点进行充电;例如,在一帧的显示时段或消隐时段,该消隐单元100将消隐上拉信号输入到消隐上拉节点N。

[0061] 第一传输电路210和消隐上拉节点N以及第一上拉节点Q1电连接,且被配置为响应

于第一传输信号利用消隐上拉信号对第一上拉节点Q1进行充电。例如,第一传输电路210可以和第一传输信号端TS1连接以接收第一传输信号,第一传输电路210在第一传输信号的控制下而导通,从而可以利用消隐上拉节点N获得的消隐上拉信号对第一上拉节点Q1进行充电。例如,在一些实施例中,第一传输信号端TS1可以为第一时钟信号端CLKA,即第一传输信号为第一时钟信号端CLKA接收的第一时钟信号。

[0062] 第二传输电路220和消隐上拉节点N以及第二上拉节点Q2电连接,且被配置为响应于第二传输信号利用消隐上拉信号对第二上拉节点Q2进行充电。例如,第二传输电路220可以和第二传输信号端TS2连接以接收第二传输信号,第二传输电路220在第二传输信号的控制下而导通,从而可以利用消隐上拉节点N获得的消隐上拉信号对第二上拉节点Q2进行充电。例如,在一些实施例中,第二传输信号端TS2可以为第一时钟信号端CLKA,即第二传输信号为第一时钟信号端CLKA接收的第一时钟信号。

[0063] 第一输入输出单元310被配置为响应于第一显示输入信号对第一上拉节点Q1进行充电,并且被配置为在第一上拉节点Q1的电平的控制下将复合输出信号输出至第一输出端OP1。例如,在一帧的显示时段,第一输入输出单元310可以输出扫描驱动信号,该扫描驱动信号可以驱动显示面板中的某一行子像素单元进行扫描显示。又例如,在一帧的消隐时段,第一输入输出单元310可以输出感测驱动信号,该感测驱动信号可以用于驱动显示面板中的某一行子像素单元中的感测晶体管,以完成该行子像素单元的外部补偿。

[0064] 第二输入输出单元320被配置为响应于第二显示输入信号对第二上拉节点Q2进行充电,并且被配置为在第二上拉节点Q2的电平的控制下将复合输出信号输出至第二输出端OP2。例如,在一帧的显示时段,第二输入输出单元320可以输出扫描驱动信号,该扫描驱动信号可以驱动显示面板中的某一行子像素单元进行扫描显示。又例如,在一帧的消隐时段,第二输入输出单元320可以输出感测驱动信号,该感测驱动信号可以用于驱动显示面板中的某一行子像素单元中的感测晶体管,以完成该行子像素单元的外部补偿。

[0065] 例如,本公开的实施例还提供一种移位寄存器单元10,如图2所示,该移位寄存器单元10与图1中所示的移位寄存器单元10区别在于还包括第三传输电路230以及与第三传输电路230电连接的第三输入输出单元330。

[0066] 例如,第三传输电路230和消隐上拉节点N以及第三上拉节点Q3电连接,且被配置为响应于第三传输信号利用消隐上拉信号对第三上拉节点Q3进行充电。第三输入输出单元330被配置为响应于第三显示输入信号对第三上拉节点Q3进行充电,并且被配置为在第三上拉节点Q3的电平的控制下将复合输出信号输出至第三输出端OP3。

[0067] 本公开的实施例提供的移位寄存器单元10中的多个显示输入输出电路(第一输入输出单元310和第二输入输出单元320等)可以共用一个消隐单元100,从而可以简化电路结构,从而使得采用该移位寄存器单元10的显示装置可以减小边框尺寸,降低成本。

[0068] 需要说明的是,图1和图2仅是本公开的两个示例,本公开的实施例提供的移位寄存器单元10还可以包括更多个传输电路以及显示输入输出单元,可以根据实际情况进行设置,本公开的实施例对此不作限定。

[0069] 如图3所示,在本公开的一个实施例中,消隐单元100包括消隐输入电路110和消隐上拉电路120。

[0070] 该消隐输入电路110被配置为响应于补偿选择控制信号对上拉控制节点H进行充

电并保持上拉控制节点H的电平。例如,在一些实施例中,消隐输入电路110可以和消隐输入信号端STU1以及补偿选择控制端OE连接,从而可以在补偿选择控制端OE输入的补偿选择控制信号的控制下,利用消隐输入信号端STU1输入的消隐输入信号对上拉控制节点H进行充电,并保持上拉控制节点H的电平。例如,消隐输入电路110可以在一帧的显示时段对上拉控制节点H进行充电,从而将上拉控制节点H上拉至高电平,并可以将上拉控制节点H的高电平保持至该帧的消隐时段。

[0071] 该消隐上拉电路120被配置为在上拉控制节点H的电平的控制下将消隐上拉信号输入到消隐上拉节点N。例如,在一些实施例中,消隐上拉电路120可以和第二电压端VDD连接以接收第二电压,并将第二电压作为消隐上拉信号;又例如,消隐上拉电路120还可以和第一时钟信号端CLKA连接以接收第一时钟信号,并将第一时钟信号作为消隐上拉信号。例如,在上拉控制节点H为高电平时,消隐上拉电路120导通,从而可以将消隐上拉信号输入到消隐上拉节点N。

[0072] 需要说明的是,在本公开的实施例中第二电压端VDD例如可以被配置为提供直流高电平信号,即第二电压为高电平,以下各实施例与此相同,不再赘述。

[0073] 如图3所示,消隐单元100还可以包括消隐耦合电路130。该消隐耦合电路130与上拉控制节点H电连接,且被配置为对上拉控制节点H进行耦合上拉。例如,在一些实施例中,消隐耦合电路130可以和第二电压端VDD连接以接收第二电压;又例如,消隐耦合电路130还可以和第一时钟信号端CLKA连接以接收第一时钟信号。例如,当上拉控制节点H为高电平时,该消隐耦合电路可以利用第二电压或第一时钟信号对上拉控制节点H耦合上拉,可以避免上拉控制节点H发生漏电。

[0074] 需要说明的是,在本公开的实施例中,在移位寄存器单元中设置消隐单元(例如包括消隐输入电路、消隐上拉电路以及消隐耦合电路)是为了实现在一帧的消隐时段中可以输出消隐输出信号。消隐输入电路、消隐上拉电路以及消隐耦合电路中的“消隐”仅是表示这些电路和消隐时段有关,而并不限定这些电路仅工作在消隐时段中,以下各实施例与此相同,不再赘述。

[0075] 如图5和图6所示,在一些实施例中,消隐输入电路110可以实现为包括第一晶体管M1和第一电容C1。第一晶体管M1的栅极和补偿选择控制端OE连接以接收补偿选择控制信号,第一晶体管M1的第一极和消隐输入信号端STU1连接以接收消隐输入信号,第一晶体管M1的第二极和上拉控制节点H连接。例如,当补偿选择控制信号为高电平的导通信号时,第一晶体管M1导通,从而可以利用消隐输入信号对上拉控制节点H进行充电。

[0076] 第一电容C1的第一极和上拉控制节点H连接,第一电容C1的第二极和第一电压端VGL1连接。通过设置第一电容C1可以保持上拉控制节点H的电位,例如,在一帧的显示时段中,消隐输入电路110将上拉控制节点H充电至高电位,第一电容C1可以将上拉控制节点H的高电位保持至该帧的消隐时段。需要说明的是,在本公开的实施例中,第一电容C1的第二极除了可以和第一电压端VGL1连接外,还可以与其他电压端连接,例如第一电容C1的第二极接地,本公开的实施例对此不作限定。

[0077] 需要说明的是,在本公开的实施例中第一电压端VGL1例如可以被配置为提供直流低电平信号,即第一电压为低电平,以下各实施例与此相同,不再赘述。

[0078] 如图5和图6所示,在一些实施例中,消隐上拉电路120可以实现为第二晶体管M2。

第二晶体管M2的栅极和上拉控制节点H连接,第二晶体管M2的第一极和第二电压端VDD连接以接收第二电压并作为消隐上拉信号,第二晶体管M2的第二极和消隐上拉节点N连接。

[0079] 例如,当上拉控制节点H为高电平时,第二晶体管M2导通,从而可以将消隐上拉信号输入到消隐上拉节点N。例如,在图7所示的实施例中,第二晶体管M2的第一极还可以和第一时钟信号端CLKA连接以接收第一时钟信号并作为消隐上拉信号。

[0080] 如图5和图6所示,在一些实施例中,消隐耦合电路130可以实现为包括耦合电容CST和第三晶体管M3。第三晶体管M3的栅极和上拉控制节点H连接,第三晶体管M3的第一极和第二电压端VDD连接以接收第二电压,第三晶体管M3的第二极和耦合电容CST的第一极连接,耦合电容CST的第二极和上拉控制节点H连接。例如,当上拉控制节点H为高电平时,第三晶体管M3导通,从而第二电压可以施加至耦合电容CST的第一极。高电平的第二电压可以通过耦合电容CST对上拉控制节点H耦合上拉,从而可以避免上拉控制节点H发生漏电。

[0081] 例如,如图7所示,在另一个实施例中,第三晶体管M3的第一极还可以和第一时钟信号端CLKA连接以接收第一时钟信号。例如,当上拉控制节点H为高电平时,第三晶体管M3导通,从而第一时钟信号可以施加至耦合电容CST的第一极。当第一时钟信号为高电平时,第一时钟信号可以通过耦合电容CST对上拉控制节点H耦合上拉,从而可以避免上拉控制节点H发生漏电。

[0082] 如图5所示,在本公开的实施例中,第一传输电路210可以实现为第一传输晶体管MT1。第一传输晶体管MT1的栅极和第一传输信号端TS1连接以接收第一传输信号,第一传输晶体管MT1的第一极和消隐上拉节点N连接以接收消隐上拉信号,第一传输晶体管MT1的第二极和第一上拉节点Q1连接。例如,当第一传输信号为高电平时,第一传输晶体管MT1导通,从而可以利用消隐上拉信号对第一上拉节点Q1进行充电。

[0083] 如图5所示,在本公开的实施例中,第二传输电路220可以实现为第二传输晶体管MT2。第二传输晶体管MT2的栅极和第二传输信号端TS2连接以接收第二传输信号,第二传输晶体管MT2的第一极和消隐上拉节点N连接以接收消隐上拉信号,第二传输晶体管MT2的第二极和第二上拉节点Q2连接。例如,当第二传输信号为高电平时,第二传输晶体管MT2导通,从而可以利用消隐上拉信号对第二上拉节点Q2进行充电。

[0084] 例如,在图6所示的实施例中,第一传输晶体管MT1和第二传输晶体管MT2的栅极均可以和第一时钟信号端CLKA连接以接收相同的第一时钟信号。当第一时钟信号为高电平时,第一传输晶体管MT1和第二传输晶体管MT2同时导通,从而可以利用消隐上拉信号同时对第一上拉节点Q1和第二上拉节点Q2进行充电。

[0085] 如图4所示,在本公开的实施例提供的移位寄存器单元10中,第一输入输出单元310包括显示输入电路200、输出电路300、第一下拉控制电路400和下拉电路500。

[0086] 第一输出端OP1包括移位信号输出端CR和像素扫描信号输出端OUT,移位信号输出端CR和像素扫描信号输出端OUT输出复合输出信号。

[0087] 该显示输入电路200被配置为响应于第一显示输入信号对第一上拉节点进行Q1充电。例如,在一些实施例中,显示输入电路200可以和显示输入信号端STU2连接以接收第一显示输入信号,从而使得显示输入电路200在第一显示输入信号的控制下导通。例如,显示输入电路200还可以和第二电压端VDD连接以接收第二电压。例如,在一帧的显示时段中,显示输入电路200在第一显示输入信号的控制下导通,从而利用第二电压对第一上拉节点Q1

进行充电。

[0088] 例如,在多个显示输入输出单元级联时,各级显示输入输出单元的显示输入信号端STU2可以和前两级显示输入输出单元的输出端电连接。例如,在输出端包括移位信号输出端CR和像素扫描信号输出端OUT的情形下,显示输入信号端STU2可以和移位信号输出端CR连接。

[0089] 另外,在本公开的实施例中,“前两级显示输入输出单元”表示本级显示输入输出单元往前数第二个显示输入输出单元,“后三级显示输入输出单元”表示本级显示输入输出单元往后数第三个显示输入输出单元,这里的“前”和“后”是相对的。以下各实施例与此相同,不再赘述。

[0090] 需要说明的是,在本公开的实施例中,显示输入电路200还可以采用其他配置方式,只要可以实现相应的功能即可,本公开的实施例对此不作限定。

[0091] 该输出电路300被配置为在第一上拉节点Q1的电平的控制下,将复合输出信号输出至第一输出端OP1。例如,在一些实施例中,输出电路300可以和第二时钟信号端CLKB连接以接收第二时钟信号并作为复合输出信号。例如,复合输出信号可以包括显示输出信号和消隐输出信号,在一帧的显示时段中,输出电路300在第一上拉节点Q1的电平的控制下将显示输出信号输出至第一输出端OP1,例如在一些实施例中,第一输出端OP1可以包括移位信号输出端CR和像素扫描信号输出端OUT,从移位信号输出端CR输出的显示输出信号可以用于上下级移位寄存器单元的扫描移位,而从像素扫描信号输出端OUT输出的显示输出信号可以用于驱动显示面板中的子像素单元进行扫描显示。在一帧的消隐时段中,输出电路300在第一上拉节点Q1的电平的控制下将消隐输出信号输出至第一输出端OP1,该消隐输出信号可以用于驱动感测晶体管。

[0092] 第一下拉控制电路400被配置为在第一上拉节点Q1的电平的控制下,对下拉节点QB的电平进行控制。例如,在一个示例中,第一下拉控制电路400和第三电压端VDD_A以及第五电压端VGL2连接。需要说明的是,在本公开的实施例中第五电压端VGL2例如可以被配置为提供直流低电平信号,以下各实施例与此相同,不再赘述。

[0093] 例如,当第一上拉节点Q1处于高电平时,第一下拉控制电路400可以通过第五电压端VGL2将下拉节点QB下拉至低电平。又例如,当第一上拉节点Q1的电位处于低电平时,第一下拉控制电路500可以利用第三电压端VDD_A输入的第三电压(例如为高电平)对下拉节点QB进行充电,以将下拉节点QB上拉至高电平。

[0094] 在另一个示例中,第一下拉控制电路400还可以和第四电压端VDD_B连接以接收第四电压(例如为高电平),例如,第三电压端VDD_A和第四电压端VDD_B可以被配置为交替输入高电平,即第三电压端VDD_A输入高电平时,第四电压端VDD_B输入低电平,而第三电压端VDD_A输入低电平时,第四电压端VDD_B输入高电平。

[0095] 下拉电路500被配置为在下拉节点QB的电平的控制下,对第一上拉节点Q1和第一输出端OP1进行下拉复位。例如在第一输出端OP1包括移位信号输出端CR和像素扫描信号输出端OUT的情形下,下拉电路500可以对移位信号输出端CR和像素扫描信号输出端OUT同时进行下拉复位。

[0096] 例如,下拉电路500和第五电压端VGL2连接,下拉电路500在下拉节点QB的电平的控制下导通时,可以通过第五电压端VGL2对第一上拉节点Q1、移位信号输出端CR以及像素

扫描信号输出端OUT进行下拉,从而实现复位。

[0097] 在一些实施例中,如图4所示,第一输入输出单元310还可以包括第二下拉控制电路600,第二下拉控制电路600被配置为响应于第一时钟信号对下拉节点QB的电平进行控制。例如,在一个示例中,第二下拉控制电路600可以和第一时钟信号端CLKA连接以接收第一时钟信号,同时和第五电压端VGL2连接以接收低电平的第五电压。例如,在一帧的消隐时段中,第二下拉控制电路600可以响应于第一时钟信号而导通,从而利用低电平的第五电压对下拉节点QB进行下拉。

[0098] 在一些实施例中,如图4所示,第一输入输出单元310还可以包括第三下拉控制电路700,第三下拉控制电路700被配置为响应于显示输入信号对下拉节点QB的电平进行控制。例如,第三下拉控制电路700可以和显示输入信号端STU2连接以接收第一显示输入信号,同时和第五电压端VGL2连接以接收低电平的第五电压。例如,在一帧的显示时段中,第三下拉控制电路700可以响应于第一显示输入信号而导通,从而利用低电平的第五电压对下拉节点QB进行下拉。将下拉节点QB下拉至低电位,可以避免下拉节点QB对第一上拉节点Q1的影响,从而使得在显示时段中对第一上拉节点Q1的充电更充分。

[0099] 在一些实施例中,如图4所示,第一输入输出单元310还可以包括显示复位电路800,显示复位电路800被配置为响应于显示复位信号对第一上拉节点Q1进行复位。例如,在一个示例中,显示复位电路800可以和显示复位信号端STD连接以接收显示复位信号,同时和第五电压端VGL2连接以接收低电平的第五电压。例如,在一帧的显示时段中,显示复位电路800可以响应于显示复位信号而导通,从而可以通过第五电压端VGL2对第一上拉节点Q1进行复位。例如,在多个显示输入输出单元级联时,各级显示输入输出单元的显示复位信号端STD可以和后三级显示输入输出单元的输出端(例如移位信号输出端CR)电连接。

[0100] 在一些实施例中,如图4所示,移位寄存器单元10还可以包括全局复位电路900,全局复位电路900被配置为响应于全局复位信号对第一上拉节点Q1进行复位。例如,在一个示例中,全局复位电路900和全局复位信号端TRST连接以接收全局复位信号,同时和第五电压端VGL2连接以接收低电平的第五电压。例如,在多个显示输入输出单元级联时,在一帧的显示时段前,各级显示输入输出单元中的全局复位电路900响应于全局复位信号而开启,通过第五电压端VGL2对第一上拉节点Q1进行复位,从而实现对各级显示输入输出单元的全局复位。

[0101] 本领域技术人员可以理解,尽管图4中的第一输入输出单元310示出了第一下拉控制电路400、下拉电路500、第二下拉控制电路600、第三下拉控制电路700、显示复位电路800以及全局复位电路900,然而上述示例并不能限制本公开的保护范围。在实际应用中,技术人员可以根据情况选择使用或不使用上述各电路中的一个或多个,基于前述各电路的各种组合变型均不脱离本公开的原理,对此不再赘述。

[0102] 在本公开的实施例的一个示例中,图4中所示的第一输入输出单元310可以实现为图8所示的电路结构。如图8所示,该第一输入输出单元310包括:第四至第十七晶体管M4-M17以及第二电容C2。第一输出端OP1包括移位信号输出端CR和像素扫描信号输出端OUT,移位信号输出端CR和像素扫描信号输出端OUT均可以输出复合输出信号。需要说明的是,在图8中所示的晶体管均以N型晶体管为例进行说明。另外,在本公开的其它附图中所示的晶体管也是以N型晶体管为例进行说明的。

[0103] 如图8所示,显示输入电路200可以实现为第四晶体管M4,第四晶体管M4的栅极和显示输入信号端STU2连接以接收第一显示输入信号,第四晶体管M4的第一极和第二电压端VDD连接以接收第二电压,第四晶体管M4的第二极和第一上拉节点Q1连接。例如,在一帧的显示时段中,第四晶体管M4在第一显示输入信号的控制下导通,从而利用第二电压对第一上拉节点Q1进行充电。

[0104] 如图8所示,输出电路300可以实现为包括第五晶体管M5、第六晶体管M6和第二电容C2。第五晶体管M5的栅极和第一上拉节点Q1连接,第五晶体管M5的第一极和第二时钟信号端CLKB连接以接收第二时钟信号作为复合输出信号,第五晶体管M5的第二极和移位信号输出端CR连接;第六晶体管M6的栅极和第一上拉节点Q1连接,第六晶体管M6的第一极和第二时钟信号端CLKB连接以接收第二时钟信号并作为复合输出信号,第六晶体管M6的第二极和像素扫描信号输出端OUT连接;第二电容C2的第一极和第一上拉节点Q1连接,第二电容C2的第二极和第五晶体管M5的第二极连接。例如,在第一上拉节点Q1的电位为高电平时,第五晶体管M5和第六晶体管M6导通,从而可以将第二时钟信号作为复合输出信号输出至移位信号输出端CR和像素扫描信号输出端OUT。

[0105] 如图8所示,第一下拉控制电路400可以实现为包括第七晶体管M7、第八晶体管M8和第九晶体管M9。第七晶体管M7的栅极和第一极连接且被配置为和第三电压端VDD_A连接以接收第三电压,第七晶体管M7的第二极和下拉节点QB连接;第八晶体管M8的栅极和第一极连接且被配置为和第四电压端VDD_B连接以接收第四电压,第八晶体管M8的第二极和下拉节点QB连接;第九晶体管M9的栅极和第一上拉节点Q1连接,第九晶体管M9的第一极和下拉节点QB连接,第九晶体管M9的第二极和第五电压端VGL2连接以接收第五电压。

[0106] 例如,第三电压端VDD_A和第四电压端VDD_B可以被配置为交替输入高电平,即第三电压端VDD_A输入高电平时,第四电压端VDD_B输入低电平,而第三电压端VDD_A输入低电平时,第四电压端VDD_B输入高电平,即第七晶体管M7和第八晶体管M8中只有一个晶体管处于导通状态,这样可以避免晶体管长期导通引起的性能漂移。当第七晶体管M7或第八晶体管M8导通时,第三电压或第四电压可以对下拉节点QB进行充电,从而将下拉节点QB上拉至高电平。当第一上拉节点Q1的电位为高电平时,第九晶体管M9导通,例如在晶体管的设计上,可以将第九晶体管M9与第七晶体管M7(或第八晶体管M8)配置为(例如对二者的尺寸比、阈值电压等配置)在M9和M7(M8)均导通时,下拉节点QB的电平可以被下拉至低电平,该低电平可以使得第十晶体管M10、第十一晶体管M11以及第十二晶体管M12保持关闭。

[0107] 如图8所示,下拉电路500可以实现为包括第十晶体管M10、第十一晶体管M11和第十二晶体管M12。第十晶体管M10的栅极和下拉节点QB连接,第十晶体管M10的第一极和第一上拉节点Q1连接,第十晶体管M10的第二极和第五电压端VGL2连接以接收第五电压;第十一晶体管M11的栅极和下拉节点QB连接,第十一晶体管M11的第一极和移位信号输出端CR连接,第十一晶体管M11的第二极和第五电压端VGL2连接以接收第五电压;第十二晶体管M12的栅极和下拉节点QB连接,第十二晶体管M12的第一极和像素扫描信号输出端OUT连接,第十二晶体管M12的第二极和第六电压端VGL3连接以接收第六电压。需要说明的是,在本公开的实施例中的第六电压端VGL3例如可以被配置为提供直流低电平信号,即第六电压为低电平,以下各实施例与此相同,不再赘述。

[0108] 例如,当下拉节点QB的电位为高电平时,第十晶体管M10、第十一晶体管M11以及第

十二晶体管M12导通,从而可以利用第五电压和第六电压对第一上拉节点Q1、移位信号输出端CR以及像素扫描信号输出端OUT进行下拉,以降低噪声。

[0109] 需要说明的是,在本公开的实施例中,例如,第一电压端VGL1、第五电压端VGL2以及第六电压端VGL3输入的低电平信号可以相同,即可以将上述三个电压端连接到同一根信号线以接收相同的低电平信号;又例如,上述三个电压端可以分别连接到不同的信号线以分别接收不同的低电平信号。本公开的实施例对第一电压端VGL1、第五电压端VGL2以及第六电压端VGL3的设置方式不作限定。

[0110] 如图8所示,第二下拉控制电路600可以实现为第十三晶体管M13。第十三晶体管M13的栅极和第一时钟信号端CLKA连接以接收第一时钟信号,第十三晶体管M13的第一极和下拉节点QB连接,第十三晶体管M13的第二极和第五电压端VGL2连接以接收第五电压。例如,在一帧的消隐时段中,当第一时钟信号为高电平时,第十三晶体管M13导通,从而可以利用低电平的第五电压对下拉节点QB进行下拉。

[0111] 例如,在另一个示例中,如图8所示,第二下拉控制电路600还可以包括第十七晶体管M17。第十七晶体管M17的栅极和上拉控制节点H电连接,第十七晶体管M17的第一极和第十三晶体管M13的第二极连接,第十七晶体管M17的第二极和第五电压端VGL2连接以接收第五电压。

[0112] 例如,在一帧的消隐时段,当第一时钟信号和上拉控制节点H均为高电平时,第十三晶体管M13和第十七晶体管M17均导通,使下拉节点QB与第五电压端VGL2电连接,从而将下拉节点QB下拉为低电平。

[0113] 如图8所示,第三下拉控制电路700可以实现为第十四晶体管M14。第十四晶体管M14的栅极和显示输入信号端STU2连接以接收第一显示输入信号,第十四晶体管M14的第一极和下拉节点QB连接,第十四晶体管M14的第二极和第五电压端VGL2连接以接收第五电压。例如,在一帧的显示时段中,第十四晶体管M14可以响应于第一显示输入信号而导通,从而利用低电平的第五电压对下拉节点QB进行下拉。将下拉节点QB下拉至低电位,可以避免下拉节点QB对上拉节点Q的影响,从而使得在显示时段中对上拉节点Q的充电更充分。

[0114] 例如,在多个显示输入输出单元级联时,各级显示输入输出单元的显示输入信号端STU2可以和前两级显示输入输出单元的移位信号输出端CR电连接。即,第一显示输入信号可以为前两级显示输入输出单元的移位信号输出端CR输出的信号。

[0115] 如图8所示,显示复位电路800可以实现为第十五晶体管M15。第十五晶体管M15的栅极和显示复位信号端STD连接以接收显示复位信号,第十五晶体管M15的第一极和第一上拉节点Q1连接,第十五晶体管M15的第二极和第五电压端VGL2连接以接收第五电压。例如,在一帧的显示时段中,第十五晶体管M15可以响应于显示复位信号而导通,从而可以利用低电平的第五电压对第一上拉节点Q1进行复位。例如,在多个显示输入输出单元级联时,各级显示输入输出单元的显示复位信号端STD可以和后三级显示输入输出单元的移位信号输出端CR电连接,即显示复位信号可以为后三级显示输入输出单元的移位信号输出端CR输出的信号。

[0116] 如图8所示,全局复位电路900可以实现为第十六晶体管M16。第十六晶体管M16的栅极和全局复位信号端TRST连接以接收全局复位信号,第十六晶体管M16的第一极和第一上拉节点Q1连接,第十六晶体管M16的第二极和第五电压端VGL2连接以接收第五电压。例

如,在多个显示输入输出单元级联时,在一帧的显示时段前,各级显示输入输出单元中的第十六晶体管M16响应于全局复位信号而导通,通过低电平的第五电压对第一上拉节点Q1进行复位,从而实现对各级显示输入输出单元的全局复位。

[0117] 如图9所示,本公开的另一个示例还提供一种第一输入输出单元310,图9中所示的第一输入输出单元310和图8中所示的第一输入输出单元310相比,输出电路300还包括第十八晶体管M18和第三电容C3,相应地,下拉电路500还包括第十九晶体管M19。

[0118] 如图9所示,第十八晶体管M18的栅极和第一上拉节点Q1连接,第十八晶体管M18的第一极和第三时钟信号端CLKC连接以接收第三时钟信号,第十八晶体管M18的第二极和另一个像素扫描信号输出端OUT2连接。第三电容C3的第一极和第一上拉节点Q1连接,第三电容C3的第二极和第十八晶体管M18的第二极连接。例如,当第一上拉节点Q1的电位为高电平时,第十八晶体管M18导通,从而将第三时钟信号输出至像素扫描信号输出端OUT2。例如,在一个示例中,第三时钟信号端CLKC输入的第三时钟信号可以配置为和第二时钟信号端CLKB输入的第二时钟信号相同;又例如,在另一个示例中,第三时钟信号可以与第二时钟信号不同,从而使得像素扫描信号输出端OUT和OUT2分别可以输出不同的信号,以提高驱动能力以及增加输出信号的多样性。

[0119] 需要说明的是,在图9所示的示例中,通过设置第三电容C3可以提高第一上拉节点Q1的电平的保持能力,当然,也可以不设置第三电容C3,本公开的实施例对此不作限定。

[0120] 如图9所示,第十九晶体管M19的栅极和下拉节点QB连接,第十九晶体管M19的第一极和像素扫描信号输出端OUT2连接,第十九晶体管M19的第二极和第六电压端VGL3连接。例如,当下拉节点QB的电位为高电平时,第十九晶体管M19导通,从而可以利用低电平的第六电压对像素扫描信号输出端OUT2进行下拉复位。需要说明的是,第十九晶体管M19的第二极还可以配置为和其它信号端连接,只要可以实现对像素扫描信号输出端OUT2下拉复位即可,本公开的实施例对此不作限定。

[0121] 如前所述,在本公开的实施例提供的移位寄存器单元10中,可以利用第一电容C1维持上拉控制节点H处的电位,利用第二电容C2维持第一上拉节点Q1处的电位。第一电容C1和/或第二电容C2可以通过工艺制程制作的电容器件,例如通过制作专门的电容电极来实现电容器件,该电容的各个电极可以通过金属层、半导体层(例如掺杂多晶硅)等实现,或者在一些示例中,通过设计电路布线参数使得第一电容C1和/或第二电容C2也可以通过各个器件之间的寄生电容实现。第一电容C1和/或第二电容C2的连接方式不局限于上面描述的方式,也可以为其他适用的连接方式,只要能存储写入到上拉控制节点H或上拉节点Q的电平即可。

[0122] 当第一上拉节点Q1和/或上拉控制节点H的电位维持在高电平时,存在一些晶体管(例如第一晶体管M1、第十晶体管M10、第十五晶体管M15、第十六晶体管M16、第一传输晶体管TM1以及第二传输晶体管MT2)的第一极连接第一上拉节点Q1或上拉控制节点H,而第二极连接低电平信号。即使当这些晶体管的栅极输入的是非导通信号的情况下,由于其第一极和第二极之间存在电压差,也可能出现漏电的情况,从而使得移位寄存器单元10中对于第一上拉节点Q1和/或上拉控制节点H的电位维持的效果变差。

[0123] 例如,如图4所示,以上拉控制节点H为例,第一晶体管M1的第一极和消隐输入信号端STU1连接,第二极和上拉控制节点H连接。当上拉控制节点H处于高电平,而消隐输入信号

端STU1输入的信号为低电平时,上拉控制节点H可能会通过第一晶体管M1漏电。

[0124] 针对上述问题,如图7和图10所示,本公开的一个实施例提供了一种具有防漏电结构的电路结构。如图7和图10所示,增加了晶体管M1_b、MT1_b、MT2_b、M10_b、M15_b、M16_b、M20以及M21。下面以晶体管M1_b为例对防漏电的工作原理进行说明。

[0125] 晶体管M1_b的栅极和第一晶体管M1的栅极连接,晶体管M1_b的第一极和晶体管M20的第二极连接,晶体管M1_b的第二极和上拉控制节点H连接。晶体管M20的栅极和上拉控制节点H连接,晶体管M20的第一极和第七电压端VB连接以接收高电平的第七电压。当上拉控制节点H为高电平时,晶体管M20在上拉控制节点H的电平的控制下导通,从而可以将第七电压端VB输入的高电平输入到晶体管M1_b的第一极,使得晶体管M1_b的第一极和第二极都处于高电平,从而可以防止上拉控制节点H处的电荷通过晶体管M1_b漏电。此时,由于晶体管M1_b的栅极和第一晶体管M1的栅极连接,所以第一晶体管M1和晶体管M1_b的结合可以实现与前述第一晶体管M1相同的效果,同时还具有防漏电的效果。

[0126] 类似地,如图7所示,对应于第一传输晶体管MT1和第二传输晶体管MT2,还可以分别设置晶体管MT1_b和晶体管MT2_b以实现防漏电结构。晶体管MT1_b和晶体管MT2_b的栅极都和第一时钟信号端CLKA连接以接收第一时钟信号,第一传输晶体管MT1的第二极以及晶体管MT1_b的第一极和第一防漏电节点OF1连接,如图10所示,第一防漏电节点OF1和第一输入输出单元310中的晶体管M21电连接;第二传输晶体管MT2的第二极以及晶体管MT2_b的第一极和第二防漏电节点OF2连接,第二防漏电节点OF2例如可以和第二输入输出单元320中的晶体管电连接以实现防漏电功能。通过设置晶体管MT1_b可以防止第一上拉节点Q1发生漏电,设置晶体管MT2_b可以防止第二上拉节点Q2发生漏电。

[0127] 类似地,如图10所示,晶体管M10_b、M15_b以及M16_b可以分别结合晶体管M21实现防漏电结构,从而可以防止第一上拉节点Q1发生漏电。例如,晶体管M21的第一极和第八电压端VC连接以接收高电平的第八电压。防止第一上拉节点Q1发生漏电的工作原理和上述防止上拉控制节点H发生漏电的工作原理相同,这里不再赘述。

[0128] 如图11所示,本公开的另一个示例还提供一种第一输入输出单元310,图11中所示的第一输入输出单元310和图10中所示的第一输入输出单元310相比,增加了第二下拉节点QB2;为了和第二下拉节点QB2配合工作,相应地增加了晶体管M22、M22_b、M9_b、M13_b、M17_b、M14_b、M11_b、M12_b以及M19_b。需要说明的是,第八晶体管M8的第二极不再和下拉节点QB连接,而是和第二下拉节点QB2连接;晶体管M22_b是为了防止第一上拉节点Q1发生漏电而设置的防漏电晶体管。

[0129] 在图11所示的第一输入输出单元310中,晶体管M22、M22_b以及M9_b分别和晶体管M10、M10_b以及M9的工作原理类似;晶体管M13_b、M17_b以及M14_b分别和晶体管M13、M17以及M14_b的工作原理类似;晶体管M11_b、M12_b以及M19_b分别和晶体管M11、M12以及M19的工作原理类似,这里不再赘述。

[0130] 在本公开的实施例提供的移位寄存器单元10中,通过设置第二下拉节点QB2以及相应的晶体管,可以进一步提高该移位寄存器单元10的性能。例如,在对第一上拉节点Q1进行充电时,可以使得下拉节点QB和第二下拉节点QB2更好地处于低电平,从而不会影响第一上拉节点Q1,使得第一上拉节点Q1的充电更充分。又例如,在移位寄存器单元10不需要输出时,可以进一步降低第一上拉节点Q1和输出端(CR、OUT、OUT2)的噪声,避免发生输出异常。

[0131] 图12示出了一种本公开的实施例提供的移位寄存器单元10,第一传输晶体管MT1通过第一上拉节点Q1和第一输入输出单元310连接,第二传输晶体管MT2通过第二上拉节点Q2和第二输入输出单元320连接。例如,图12中的第一输入输出单元310可以采用本公开的实施例提供的任一个第一输入输出单元,例如该第一输入输出单元310可以采用图8、图9、图10以及图11中所示的任一电路结构。需要说明的是,在本公开的实施例中对第一输入输出单元310的电路结构进行了描述,第二输入输出单元320的电路结构可以和第一输入输出单元310的电路结构相同。本公开的实施例包括但不限于此,例如,第二输入输出单元320的电路结构也可以和第一输入输出单元310的电路结构不同,只要可以实现相应地功能即可。

[0132] 本公开的实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件,本公开的实施例中均以薄膜晶体管为例进行说明。这里采用的晶体管的源极、漏极在结构上可以是对称的,所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中,为了区分晶体管除栅极之外的两极,直接描述了其中一极为第一极,另一极为第二极。此外,按照晶体管的特性区分可以将晶体管分为N型和P型晶体管。当晶体管为P型晶体管时,开启电压为低电平电压(例如,0V、-5V、-10V或其他合适的电压),关闭电压为高电平电压(例如,5V、10V或其他合适的电压);当晶体管为N型晶体管时,开启电压为高电平电压(例如,5V、10V或其他合适的电压),关闭电压为低电平电压(例如,0V、-5V、-10V或其他合适的电压)。

[0133] 另外,需要说明的是,本公开的实施例中提供的移位寄存器单元10中采用的晶体管均是以N型晶体管为例进行说明的,本公开的实施例包括但不限于此,例如移位寄存器单元10中的至少部分晶体管也可以采用P型晶体管。

[0134] 本公开的一个实施例提供一种栅极驱动电路20,如图13所示,该栅极驱动电路20包括多个级联的移位寄存器单元10,其中任意一个或多个移位寄存器单元10可以采用本公开的实施例提供的移位寄存器单元10的结构或其变型。图13中的A1、A2、A3和A4表示显示输入输出单元,例如这四个显示输入输出单元均可以采用图9中的电路结构。需要说明的是,在本公开的实施例中,移位寄存器单元10级联均表示移位寄存器单元10中的显示输入输出单元之间进行级联,而不同的移位寄存器单元10中的消隐单元之间不进行级联。

[0135] 例如,如图13所示,每个移位寄存器单元10包括两个显示输入输出单元,当该栅极驱动电路20用于驱动一显示面板时,每个显示输入输出单元的输出端可以分别和显示面板中的一行子像素单元连接。例如,显示输入输出单元A1、A2、A3以及A4可以分别和第一行、第二行、第三行以及第四行子像素单元连接。

[0136] 需要说明的是,在图13所示的栅极驱动电路20中,移位寄存器单元10中的两个显示输入输出单元是相邻的,即用于驱动显示面板中相邻行的子像素单元。本公开的实施例包括但不限于此,例如其中一个移位寄存器单元10可以包括显示输入输出单元A1和显示输入输出单元A3,而另一个移位寄存器单元10包括显示输入输出单元A2和显示输入输出单元A4,即移位寄存器单元10中包括的两个显示输入输出单元可以是不相邻的。

[0137] 例如,在另一个实施例中,如图14所示,移位寄存器单元10还可以包括四个显示输入输出单元(A1、A2、A3和A4),该四个显示输入输出单元分别通过第一传输电路210、第二传输电路220、第三传输电路230以及第四传输电路240和消隐单元100连接。

[0138] 本公开的实施例提供的栅极驱动电路,可以共用消隐单元,从而使得采用该栅极驱动电路的显示装置可以减小边框尺寸,降低成本。

[0139] 下面以图14所示的栅极驱动电路20为例,对栅极驱动电路20中的信号线进行说明。

[0140] 如图14所示,栅极驱动电路20还包括第一子时钟信号线CLK_1、第二子时钟信号线CLK_2、第三子时钟信号线CLK_3和第四子时钟信号线CLK_4。第4n-3级显示输入输出单元和第一子时钟信号线CLK_1连接以接收第二时钟信号,例如,通过第二时钟信号端CLKB和第一子时钟信号线CLK_1连接;第4n-2级显示输入输出单元和第二子时钟信号线CLK_2连接以接收第二时钟信号,例如,通过第二时钟信号端CLKB和第二子时钟信号线CLK_2连接;第4n-1级显示输入输出单元和第三子时钟信号线CLK_3连接以接收第二时钟信号,例如,通过第二时钟信号端CLKB和第三子时钟信号线CLK_3连接;第4n级显示输入输出单元和第四子时钟信号线CLK_4连接以接收第二时钟信号,例如,通过第二时钟信号端CLKB和第四子时钟信号线CLK_4连接;n为大于零的整数。

[0141] 如上所述,本公开的实施例提供的栅极驱动电路可以采用4CLK的时钟信号,这样可以使得该栅极驱动电路中相邻的显示输入输出单元输出的信号波形有交叠,例如可以增加预充电时间。本公开的实施例对采用的时钟信号的类型不作限定,例如还可以采用6CLK、8CLK等时钟信号。

[0142] 如图14所示,栅极驱动电路20还可以包括第八子时钟信号线CLK_8、第九子时钟信号线CLK_9、第十子时钟信号线CLK_10和第十一子时钟信号线CLK_11。在显示输入输出单元和第三时钟信号端CLKC连接的情形下,第4n-3级显示输入输出单元和第八子时钟信号线CLK_8连接以接收第三时钟信号,例如,通过第三时钟信号端CLKC和第八子时钟信号线CLK_8连接;第4n-2级显示输入输出单元和第九子时钟信号线CLK_9连接以接收第三时钟信号,例如,通过第三时钟信号端CLKC和第九子时钟信号线CLK_9连接;第4n-1级显示输入输出单元和第十子时钟信号线CLK_10连接以接收第三时钟信号,例如,通过第三时钟信号端CLKC和第十子时钟信号线CLK_10连接;第4n级显示输入输出单元和第十一子时钟信号线CLK_11连接以接收第三时钟信号,例如,通过第三时钟信号端CLKC和第十一子时钟信号线CLK_11连接;n为大于零的整数。

[0143] 如图14所示,栅极驱动电路20还可以包括第五子时钟信号线CLK_5、第六子时钟信号线CLK_6和第七子时钟信号线CLK_7。栅极驱动电路20中的每一个消隐单元100和第五子时钟信号线CLK_5连接以接收补偿选择控制信号,例如,通过补偿选择控制端OE和第五子时钟信号线CLK_5连接;每一级显示输入输出单元和第六子时钟信号线CLK_6连接以接收全局复位信号,例如,通过全局复位信号端TRST和第六子时钟信号线CLK_6连接;每一级显示输入输出单元和第七子时钟信号线CLK_7连接以接收第一时钟信号,例如,通过第一时钟信号端CLKA和第七子时钟信号线CLK_7连接。

[0144] 如图14所示,各级显示输入输出单元的显示输入信号端STU2和前两级显示输入输出单元的移位信号输出端CR连接,各级显示输入输出单元的显示复位信号端STD和后三级显示输入输出单元的移位信号输出端CR连接。

[0145] 需要说明的是,图14中所示的级联关系仅是一种示例,根据本公开的描述,还可以根据实际情况采用其它级联方式。

[0146] 例如,在一个示例中,图14所示的栅极驱动电路20中的显示输入输出单元采用图9中所示的电路结构,栅极驱动电路20中的消隐单元100采用图6中所示的电路结构,在这种情形下,图15示出了图14所示的栅极驱动电路20工作时的信号时序图。

[0147] 在图15中,H<5>表示栅极驱动电路20中和第五级显示输入输出单元电连接的消隐单元100中的上拉控制节点H,Q<1>、Q<5>、Q<6>、Q<7>以及Q<8>分别表示栅极驱动电路20中第一级、第五级、第六级、第七级以及第八级显示输入输出单元中的上拉节点Q(即图9中所示的第一上拉节点Q1)。OUT<1>(CR<1>)、OUT<7>(CR<7>)和OUT<8>(CR<8>)分别表示栅极驱动电路20中的第一级、第七级以及第八级移显示输入输出单元中的像素扫描信号输出端OUT(移位信号输出端CR),OUT2<7>和OUT2<8>分别表示栅极驱动电路20中的第五级和第六级显示输入输出单元中的像素扫描信号输出端OUT2。1F表示第一帧,DS表示第一帧中的显示时段,BL表示第一帧中的消隐时段。需要说明的是,图15中的STU2表示第一级显示输入输出单元中的显示输入信号端。

[0148] 另外,需要说明的是,在图15中是以第三电压端VDD_A输入低电平而第四电压端VDD_B输入高电平为例进行示意的,但本公开的实施例不限于此。图15所示的信号时序图中的信号电平只是示意性的,不代表真实电平值。

[0149] 下面结合图15中的信号时序图,对图14中所示的栅极驱动电路20的工作原理进行说明。

[0150] 在第一帧1F开始前,第五子时钟信号线CLK_5和第六子时钟信号线CLK_6提供高电平,由于每一个消隐单元100的补偿选择控制端OE均和第五子时钟信号线CLK_5连接,所以使得每一个消隐单元100中的第一晶体管M1导通,由于此时消隐输入信号端STU1接入的为低电平,从而可以对每一个消隐单元100中的上拉控制节点H进行复位;由于每一级显示输入输出单元的全局复位信号端TRST均和第六子时钟信号线CLK_6连接,所以使得每一级显示输入输出单元中的第十六晶体管M16导通,从而可以对每一级显示输入输出单元中的上拉节点Q进行复位。

[0151] 由于第四电压端VDD_B输入高电平,第八晶体管M8导通,使得下拉节点QB被充电至高电平。下拉节点QB的高电平使得第十晶体管M10导通,从而将上拉节点Q下拉至低电平。

[0152] 在第一帧1F的显示时段DS中,对第一级显示输入输出单元的工作过程描述如下。

[0153] 在第一阶段1中,第一级显示输入输出单元的显示输入信号端STU2输入高电平,第四晶体管M4导通,所以第二电压端VDD输入的高电平可以通过第四晶体管M4对上拉节点Q<1>进行充电,使得上拉节点Q<1>被上拉至高电平并被第二电容C2保持。第五晶体管M5和第六晶体管M6在上拉节点Q<1>的控制下导通,但由于第二时钟信号端CLKB(与第一子时钟信号线CLK1连接)在此阶段输入低电平信号,所以移位信号输出端CR<1>和像素扫描信号输出端OUT<1>均输出低电平信号。在此阶段,完成对上拉节点Q<1>的预充电。

[0154] 在第二阶段2中,第二时钟信号端CLKB输入高电平信号,上拉节点Q<1>的电位由于自举效应而进一步被拉高,所以第五晶体管M5和第六晶体管M6保持导通,从而移位信号输出端CR<1>和像素扫描信号输出端OUT<1>均输出高电平信号。例如,从移位信号输出端CR<1>输出的高电平信号可以用于上下级移位寄存器单元的扫描移位,而从像素扫描信号输出端OUT<1>输出的高电平信号可以用于驱动显示面板中的子像素单元进行显示。

[0155] 在第三阶段3中,第二时钟信号端CLKB输入低电平信号,由于此时上拉节点Q<1>保

持高电平,所以第五晶体管M5和第六晶体管M6保持导通,从而移位信号输出端CR<1>和像素扫描信号输出端OUT<1>均输出低电平信号。由于第二电容C2的自举作用,所以上拉节点Q<1>的电位也会下降。

[0156] 在第四阶段4中,由于第一级显示输入输出单元的显示复位信号端STD和第四级显示输入输出单元的移位信号输出端连接,此时第四级显示输入输出单元的移位信号输出端输出高电平,所以第一级显示输入输出单元的显示复位信号端STD输入高电平,第十五晶体管M15导通,上拉节点Q<1>被下拉至低电平,完成对上拉节点Q<1>的复位。由于上拉节点Q<1>为低电平,第九晶体管M9关闭,同时第八电压端CLKN输入的高电平可以对下拉节点QB进行充电,下拉节点QB被充电至高电平,所以第十晶体管M10导通,以进一步对上拉节点Q<1>进行复位。同时第十一晶体管M11和第十二晶体管M12也导通,从而可以对移位信号输出端CR<1>和像素扫描信号输出端OUT<1>进一步下拉复位。

[0157] 第一级显示输入输出单元驱动显示面板中第一行的子像素完成显示后,依次类推,第二级、第三级等显示输入输出单元逐行驱动显示面板中的子像素单元完成一帧的显示驱动。至此,第一帧的显示时段结束。

[0158] 同时,在第一帧1F的显示时段DS中还对上拉控制节点H进行充电,例如,当第一帧1F中需要对第七行子像素单元进行补偿时,则在第一帧1F的显示时段DS中还进行如下操作。

[0159] 在第五阶段5中,使得第五子时钟信号线CLK_5提供和第五级显示输入输出单元的移位信号输出端相同的信号,则当第五级显示输入输出单元的移位信号输出端输出高电平时,消隐单元100的补偿选择控制端OE输入高电平,第一晶体管M1导通(如图6所示);同时可以使消隐输入信号端STU1和第五级显示输入输出单元的移位信号输出端连接,从而消隐输入信号端STU1输入的高电平对上拉控制节点H<5>进行充电,从而将上拉控制节点H<5>的电位上拉至高电平。

[0160] 需要说明的是,上述对上拉控制节点H<5>的充电过程仅是一种示例,本公开的实施例包括但不限于此。例如,消隐单元100的消隐输入信号端STU1还可以和第三级或第四级显示输入输出单元的移位信号输出端连接,同时使得提供至第五子时钟信号线CLK_5的信号和提供至消隐输入信号端STU1的信号时序相同即可。

[0161] 上拉控制节点H<5>的高电位可以一直保持到第一帧1F的消隐时段BL中。当第一帧1F中需要对第七行子像素单元进行补偿时,则在第一帧1F的消隐时段BL中进行如下操作。

[0162] 在第六阶段6中,第七子时钟信号线CLK_7提供高电平,由于第一时钟信号端CLKA和第七子时钟信号线CLK_7连接,所以在此阶段第一时钟信号为高电平,所以图14中的四个传输电路均导通,从而高电平的第二电压可以同时对上拉节点Q<5>、Q<6>、Q<7>以及Q<8>进行充电,以将上拉节点Q<5>、Q<6>、Q<7>以及Q<8>上拉至高电平。

[0163] 需要说明的是,在第六阶段中,也可以仅使得和第七级显示输入输出单元的传输电路导通,从而仅将上拉节点Q<7>上拉至高电平。

[0164] 在第七阶段7中,第七级显示输入输出单元中的第二时钟信号端CLKB(与第三子时钟信号线CLK_3连接)输入高电平信号,上拉节点Q<7>的电位由于自举作用而进一步被拉高,第七级显示输入输出单元中的第五晶体管M5和第六晶体管M6导通,第七级显示输入输出单元中的第二时钟信号端CLKB输入的高电平信号可以输出至移位信号输出端CR<7>和像素扫描信号输出端OUT<7>。例如,像素扫描信号输出端OUT<7>输出的信号可以用于驱动显

示面板中的子像素单元中的感测晶体管,以实现外部补偿。同时第三时钟信号端CLKC输入的信号可以输出至像素扫描信号输出端OUT2<7>,如图15所示,OUT2<7>的信号可以和OUT<7>不同,从而可以提高栅极驱动电路的驱动能力,满足更多样化的需求。

[0165] 在第八阶段8中,第七级显示输入输出单元中的第二时钟信号端CLKB(与第三子时钟信号线CLK_3连接)输入的信号从高电平变为低电平,上拉节点Q<7>的电位由于自举作用而被下拉。

[0166] 在第九阶段9中,第五子时钟信号线CLK_5和第六子时钟信号线CLK_6提供高电平,由于每一个消隐单元100的补偿选择控制端OE均和第五子时钟信号线CLK_5连接,每一级显示输入输出单元的全局复位信号端TRST均和第六子时钟信号线CLK_6连接,所以可以对每一个消隐单元100中的上拉控制节点H以及每一级显示输入输出单元中的上拉节点Q进行复位。

[0167] 至此,第一帧的驱动时序结束。后续在第二帧、第三帧等更多阶段中对栅极驱动电路的驱动可以参考上述描述,这里不再赘述。

[0168] 需要说明是,在上述对随机补偿的工作原理进行描述时,是以第一帧的消隐时段输出对应于显示面板的第七行子像素单元的驱动信号为例进行说明的,本公开对此不作限定。例如,当在某一帧的消隐时段中需要输出对应于显示面板的第n行子像素单元的驱动信号时,则需要在该帧的消隐时段中将第n级显示输入输出单元中的上拉节点Q的电位上拉至高电平,同时在该帧的消隐时段中,通过第n级显示输入输出单元中的第二时钟信号端CLKB或第三时钟信号端CLKC输入高电平信号,n为大于零的整数。

[0169] 另外,在本公开的实施例中,两个信号时序相同指的是位于高电平的时间同步,而不要求两个信号的幅值相同。

[0170] 本公开的实施例还提供一种显示装置1,如图16所示,该显示装置1包括本公开实施例提供的栅极驱动电路20以及多个呈阵列排布的子像素单元410。例如,该显示装置1还包括显示面板40,多个子像素单元410构成的像素阵列设置在显示面板40中。

[0171] 栅极驱动电路20中的每一个移位寄存器单元10中的第一输出端OP1和第二输出端OP2分别和不同行的子像素单元410电连接,例如,栅极驱动电路20通过栅线GL与子像素单元410电连接。栅极驱动电路20用于提供驱动信号至像素阵列,例如该驱动信号可以驱动子像素单元410中的扫描晶体管和感测晶体管。

[0172] 例如,该显示装置1还可以包括数据驱动电路30,该数据驱动电路30用于提供数据信号至像素阵列。例如,数据驱动电路30通过数据线DL与子像素单元410电连接。

[0173] 需要说明的是,本实施例中的显示装置1可以为:液晶面板、液晶电视、显示器、OLED面板、OLED电视、电子纸显示装置、手机、平板电脑、笔记本电脑、数码相机、导航仪等任何具有显示功能的产品或部件。

[0174] 本公开的实施例提供的显示装置1的技术效果可以参考上述实施例中关于栅极驱动电路20的相应描述,这里不再赘述。

[0175] 本公开的实施例还提供一种驱动方法,可以用于驱动本公开的实施例提供的移位寄存器单元10,多个该移位寄存器单元10可以级联构建本公开一实施例的栅极驱动电路,该栅极驱动电路用于驱动显示面板显示至少一帧画面。该驱动方法包括用于一帧的显示时段和消隐时段。在显示时段,使得消隐单元响应于补偿选择控制信号对上拉控制节点进行

充电；在消隐时段，使得第一传输电路响应于第一传输信号利用消隐上拉信号对第一上拉节点进行充电，以及使得第二传输电路响应于第二传输信号利用消隐上拉信号对第二上拉节点进行充电。在另一个实施例提供的驱动方法中，第一传输信号和第二传输信号的时序相同。

[0176] 需要说明的是，关于本公开的实施例提供的驱动方法的详细描述和技术效果可以参考本公开的实施例中对于移位寄存器单元10和栅极驱动电路20的工作原理的描述，这里不再赘述。

[0177] 以上，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，本公开的保护范围应以权利要求的保护范围为准。

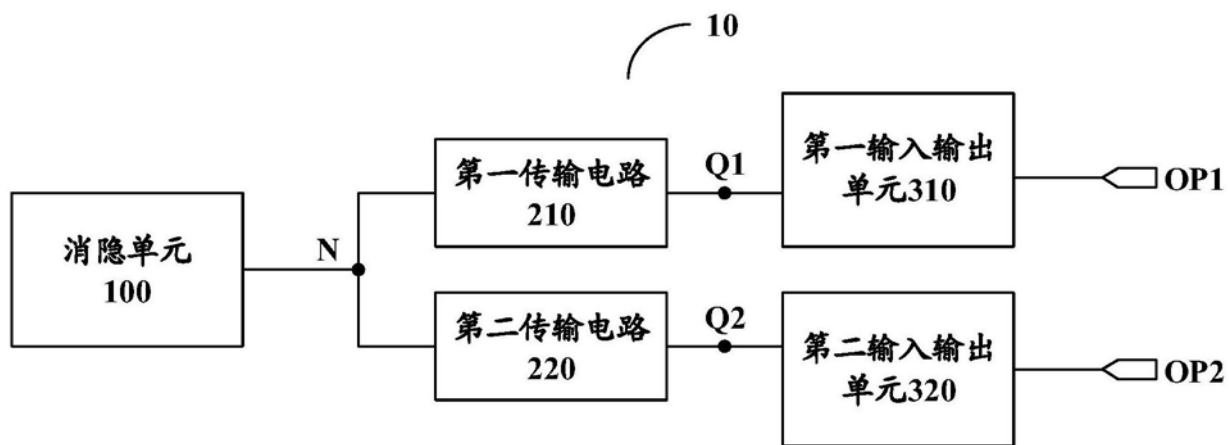


图1

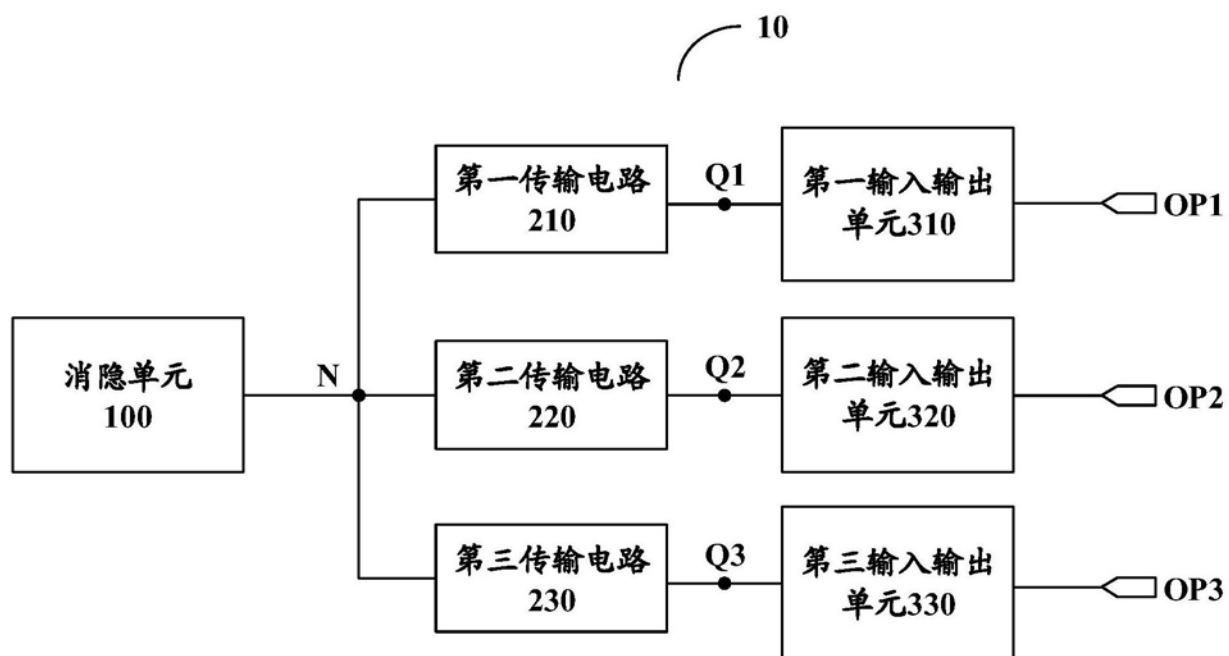


图2

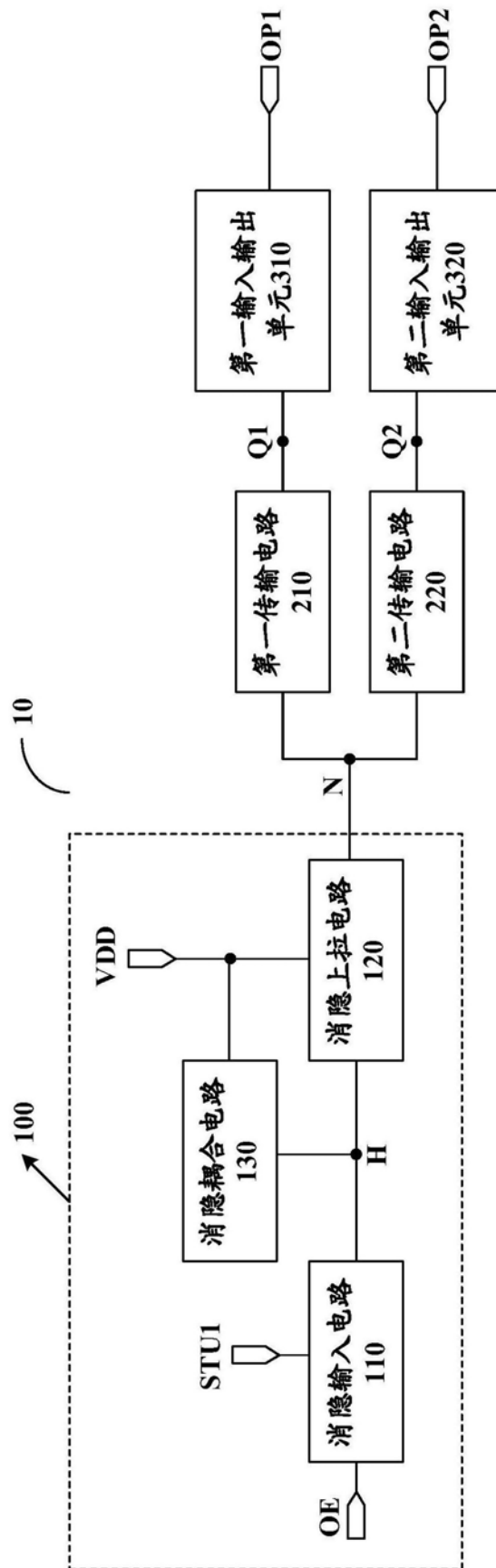


图3

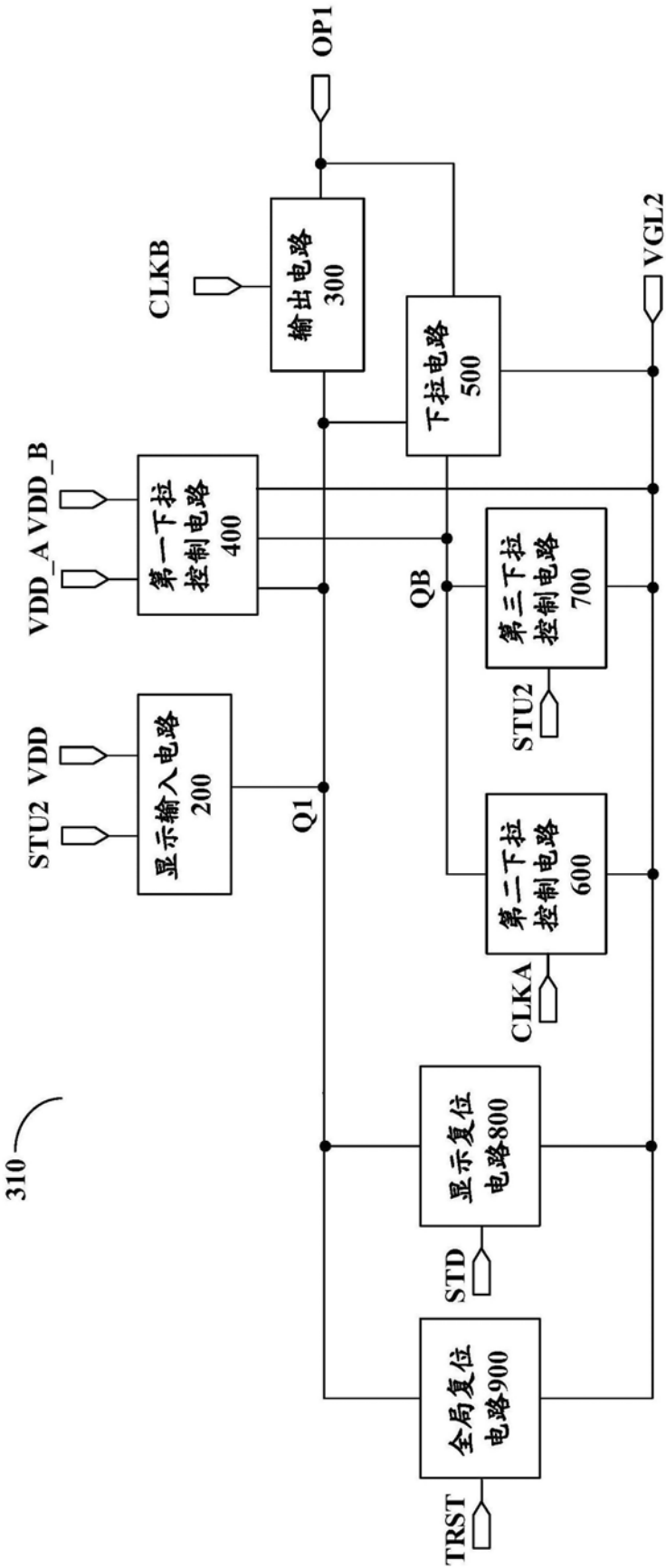


图4

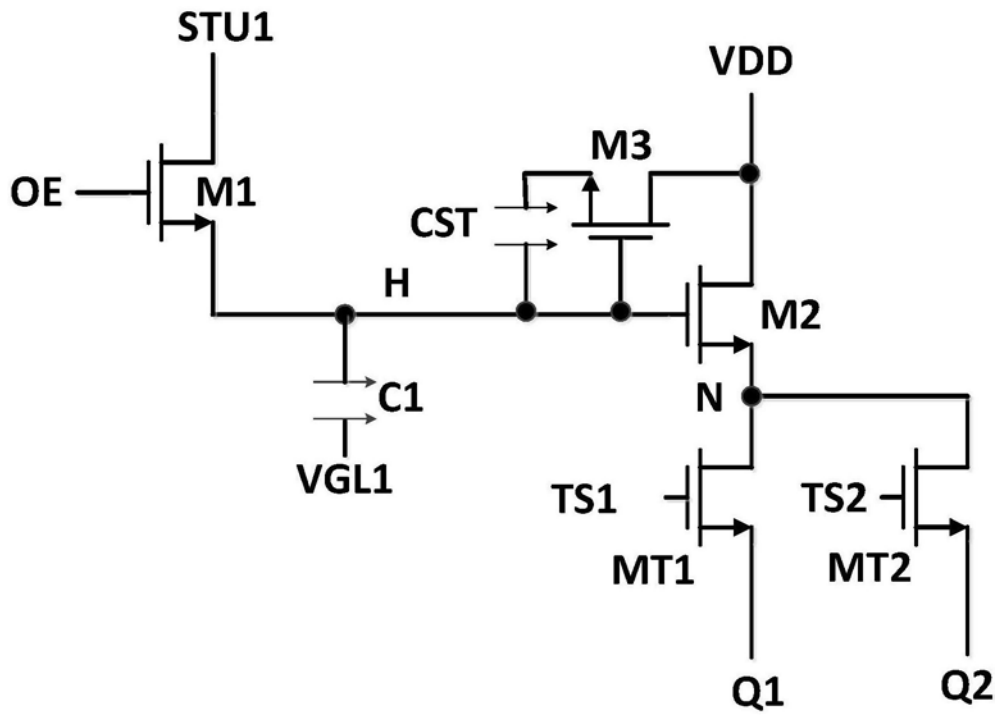


图5

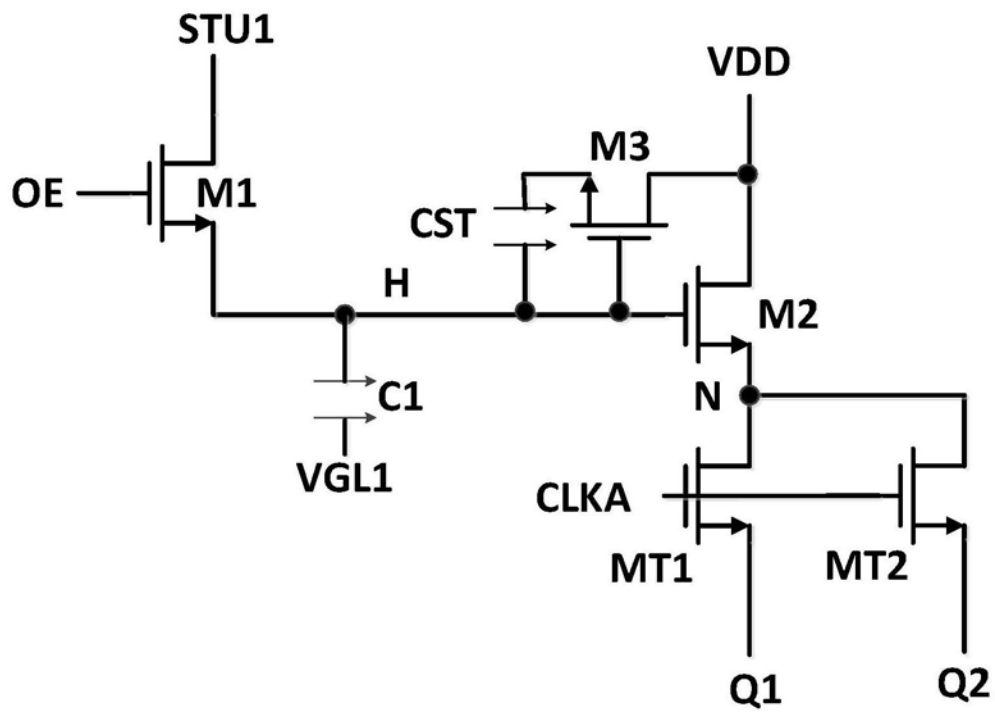


图6

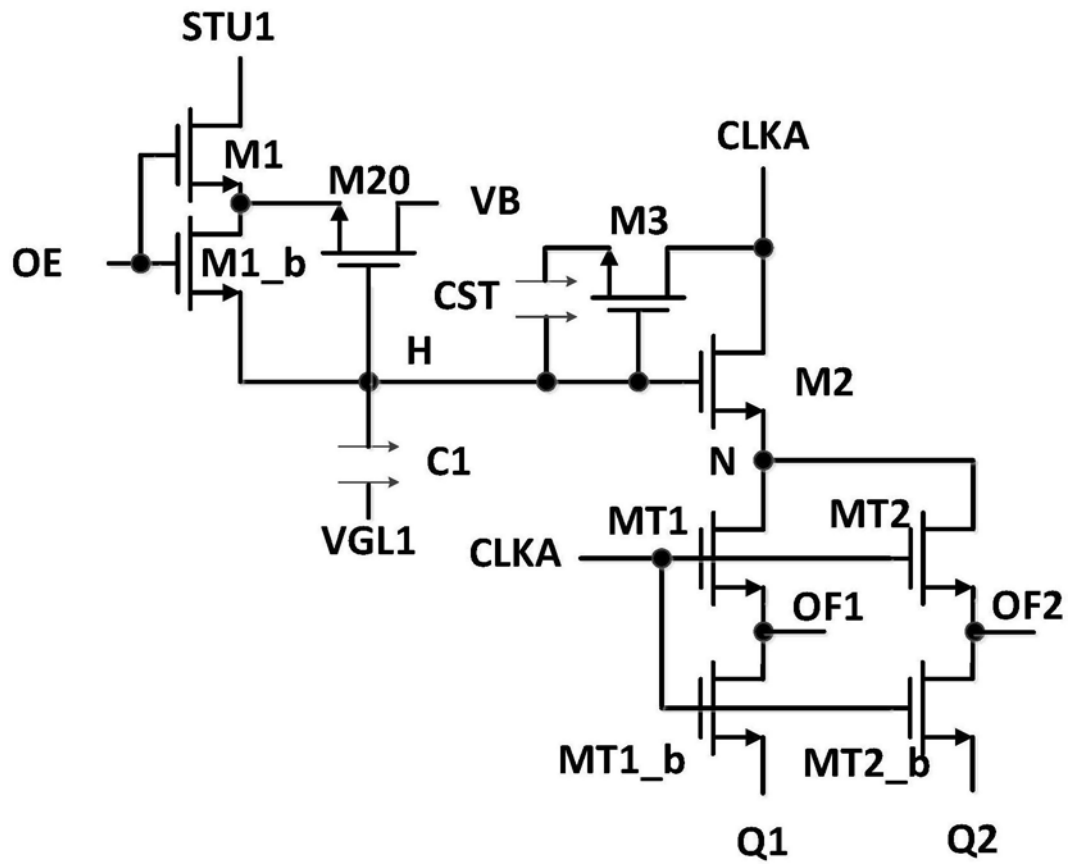


图7

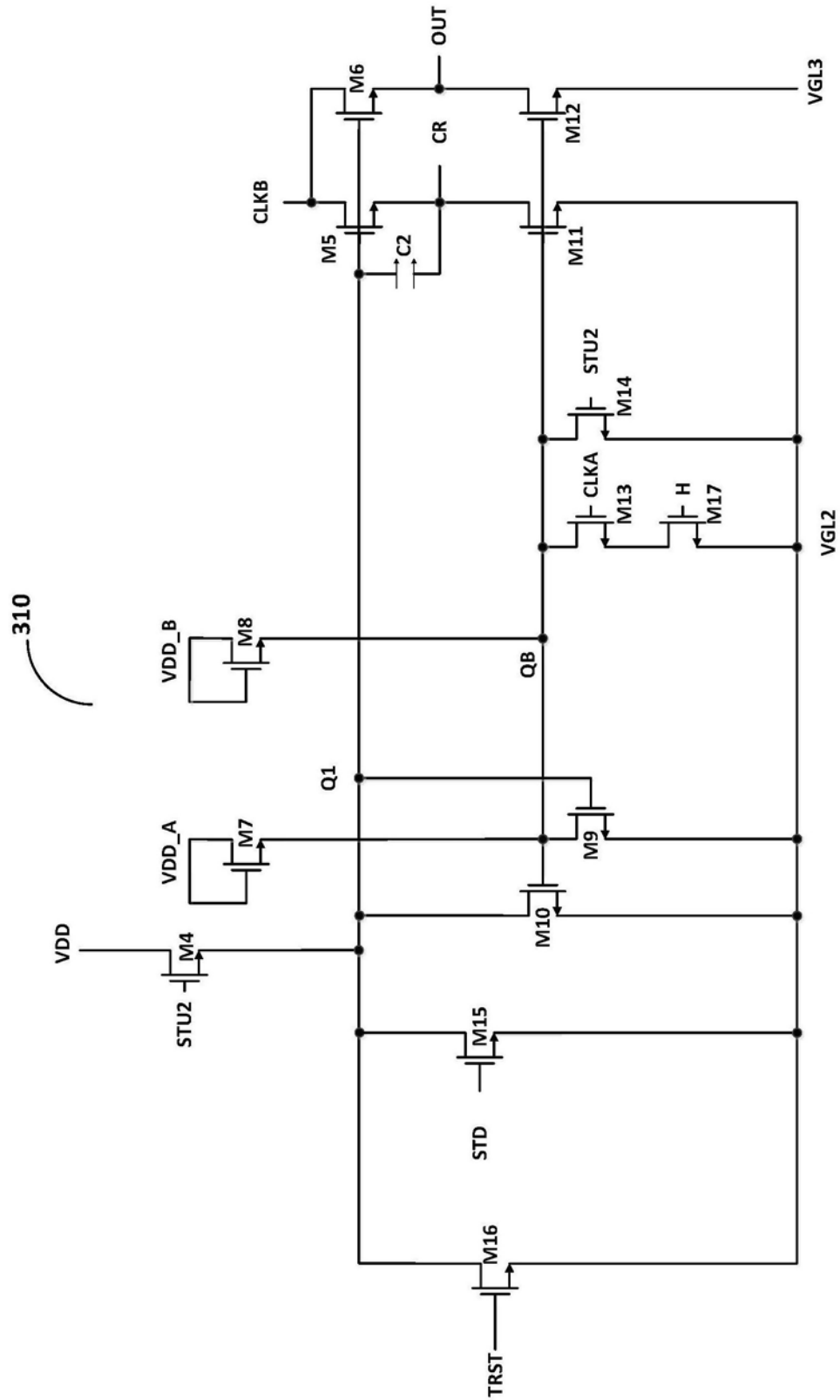


图8

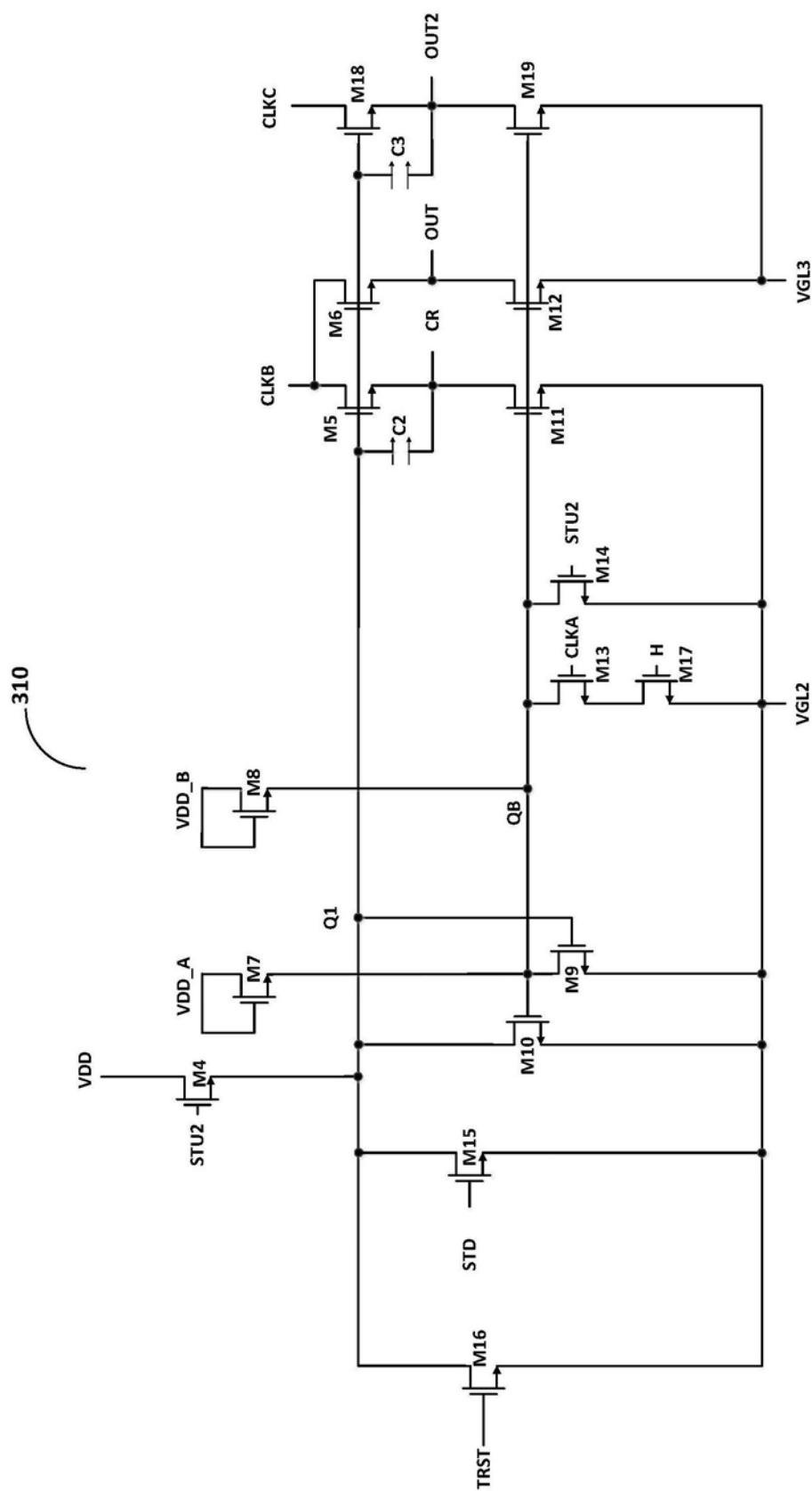


图9

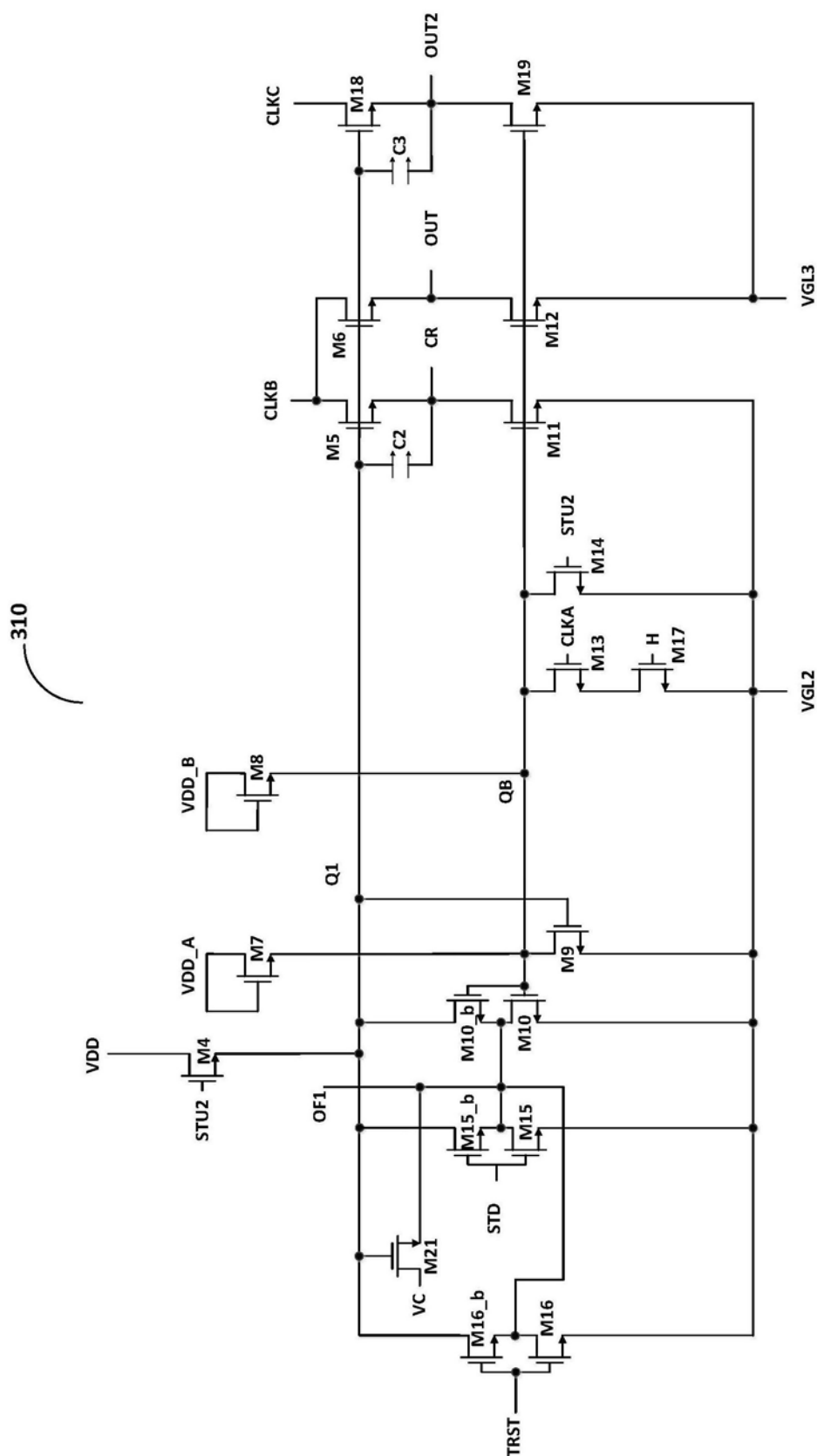


图10

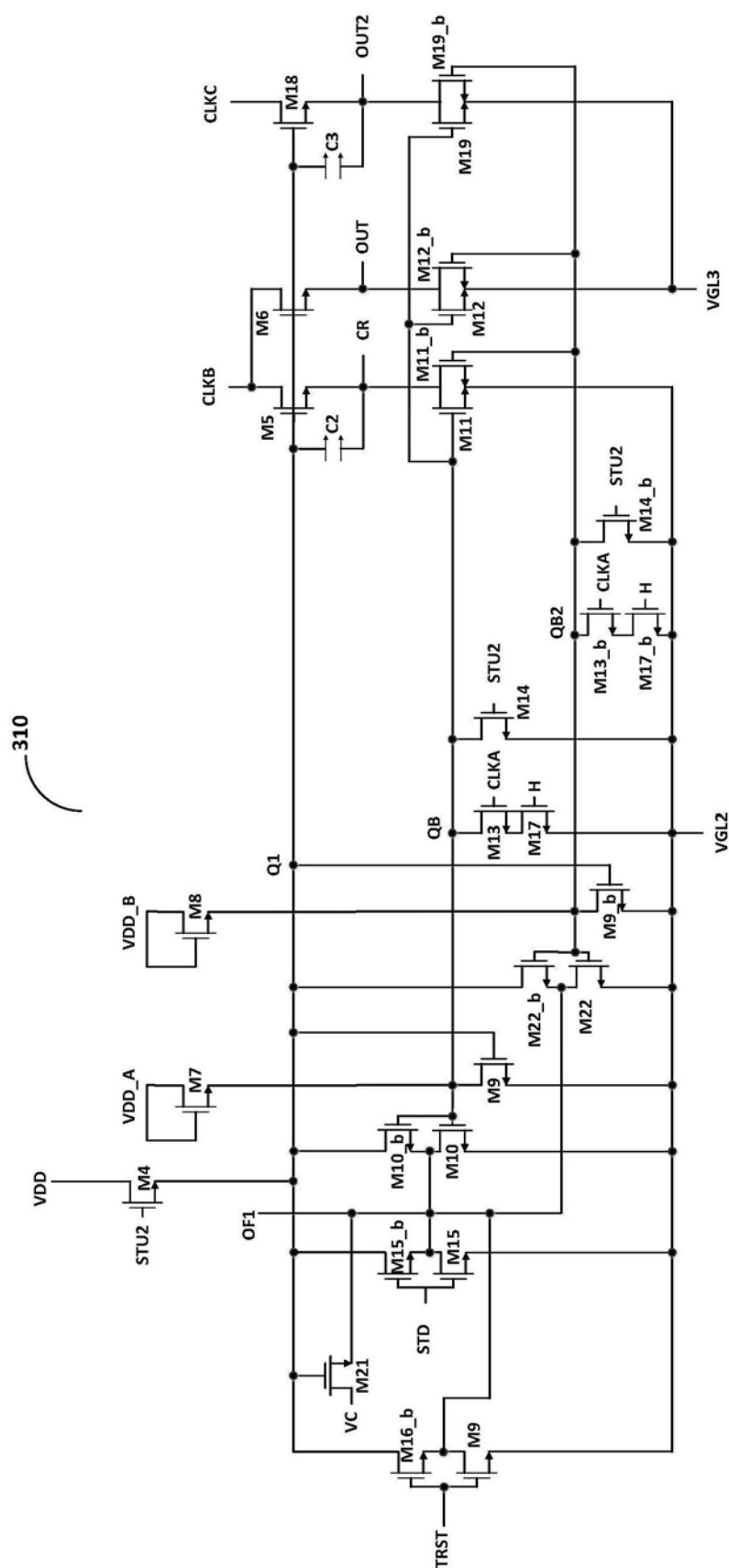


图11

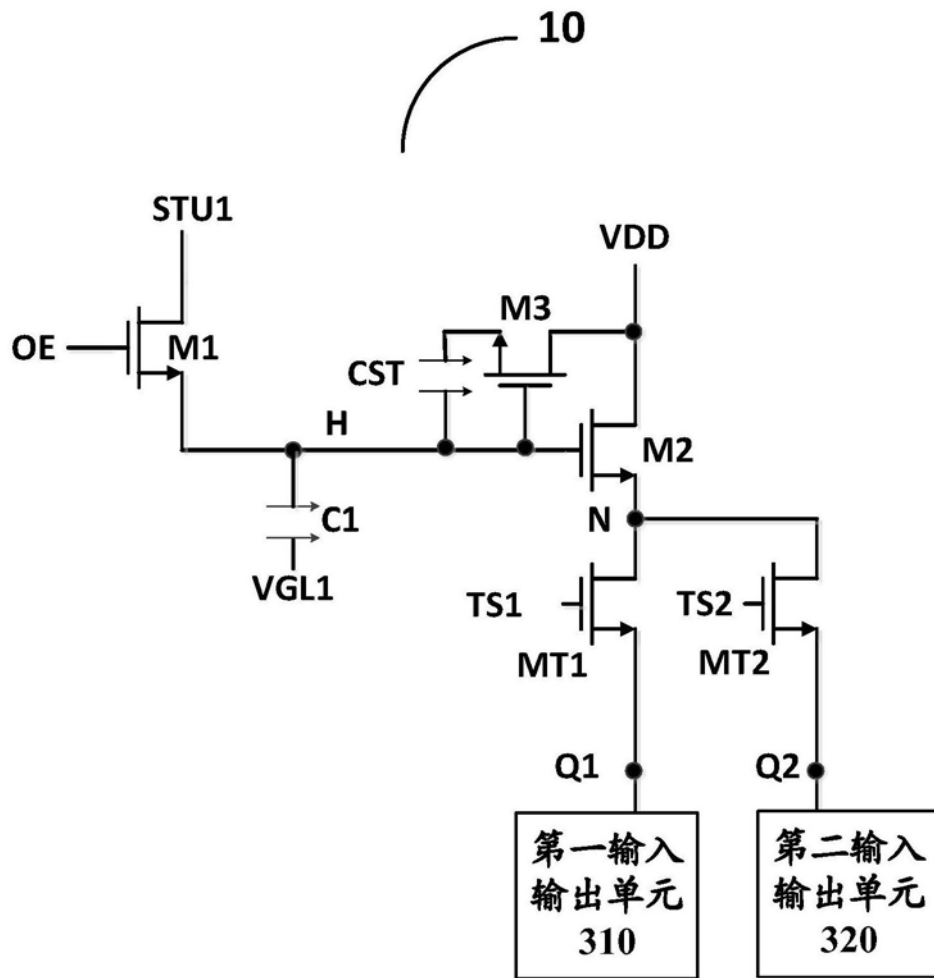


图12

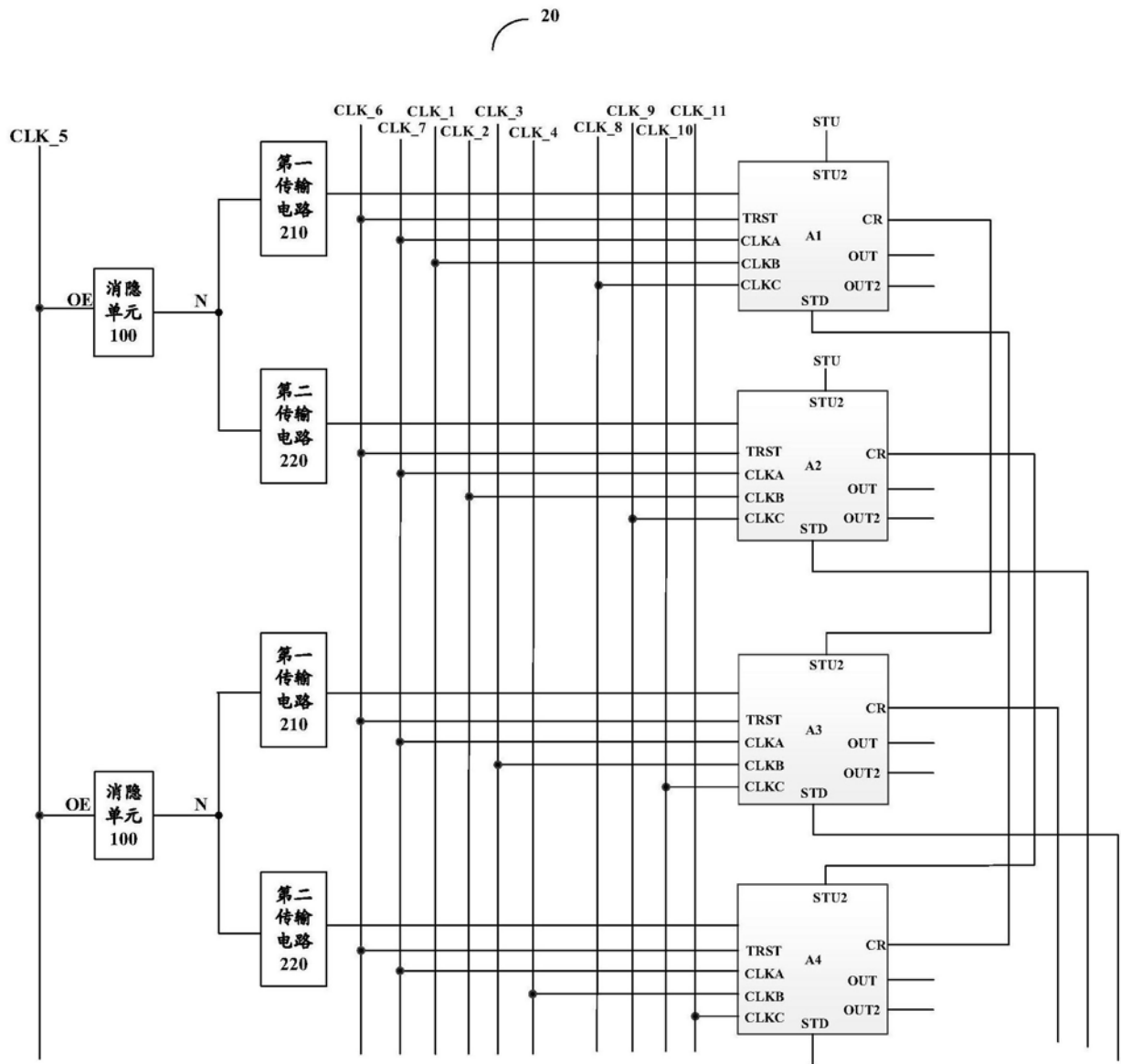


图13

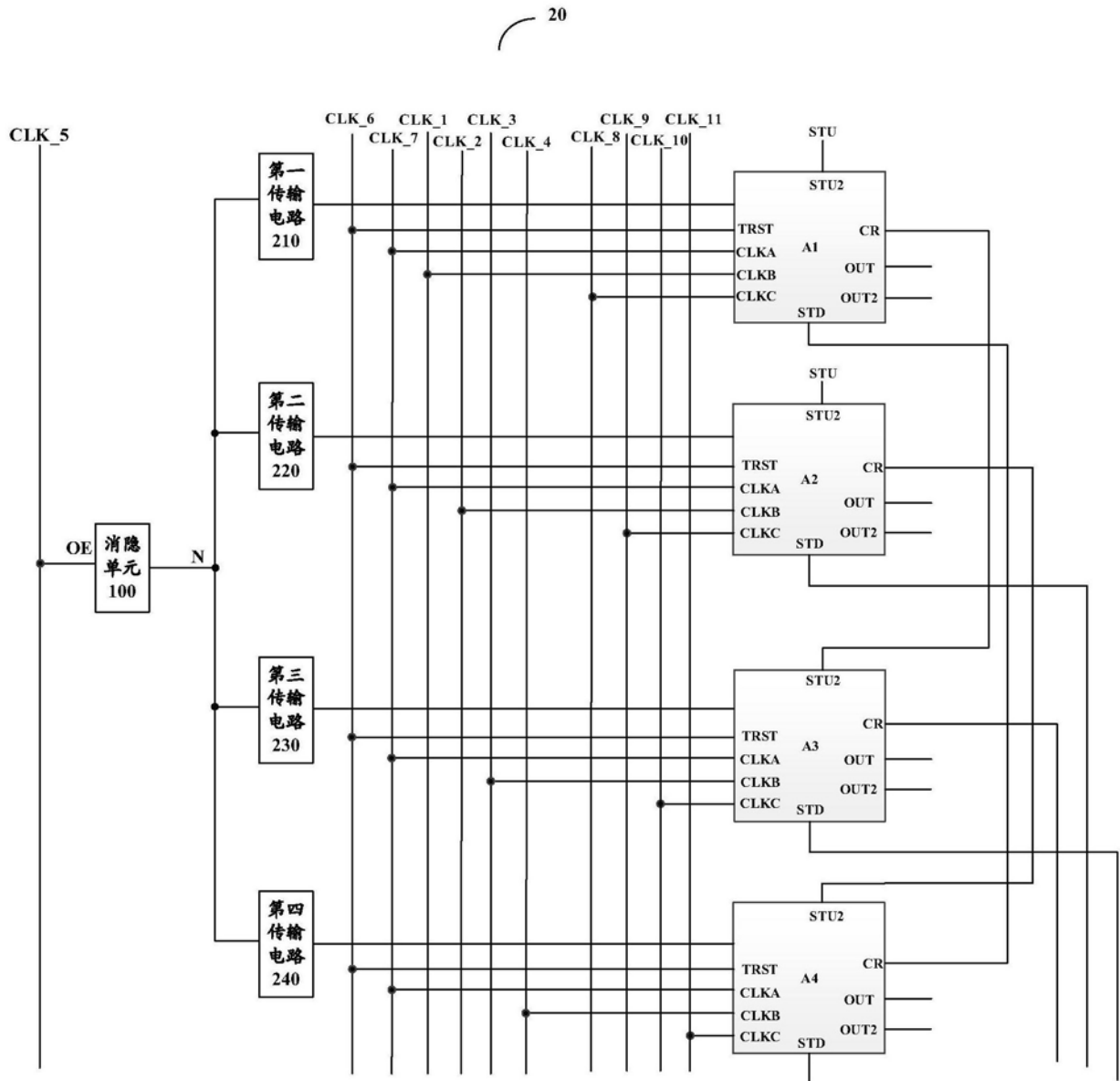


图14

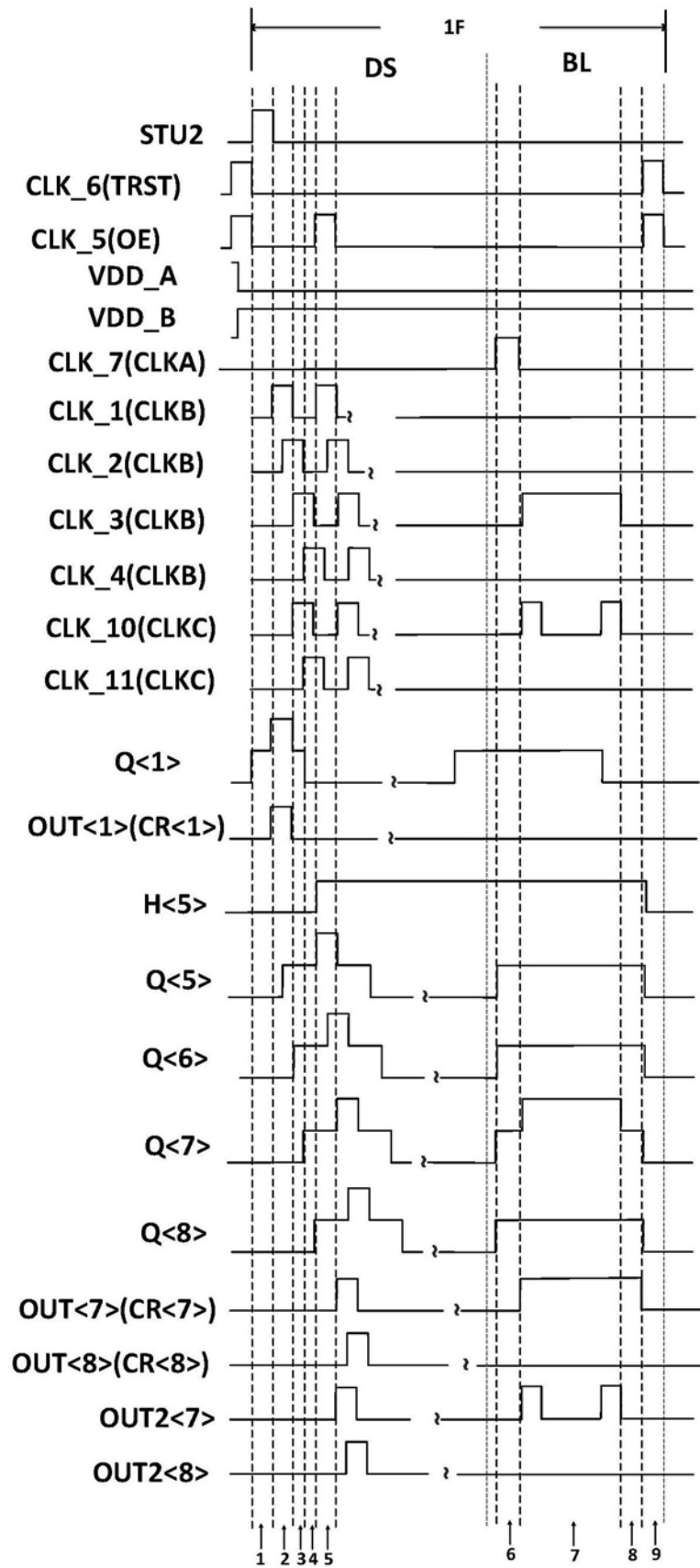


图15

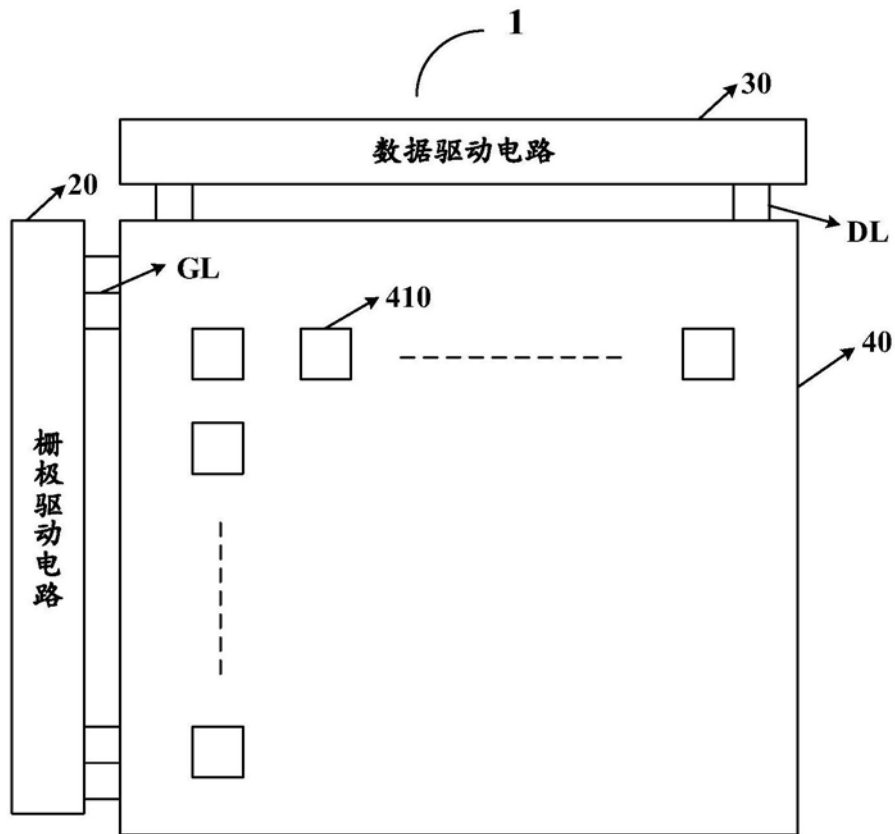


图16