

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5710165号  
(P5710165)

(45) 発行日 平成27年4月30日 (2015. 4. 30)

(24) 登録日 平成27年3月13日 (2015. 3. 13)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006. 01)

G O 2 F 1/1368 (2006. 01)

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 1 7 K

G O 2 F 1/1368

H O 1 L 29/78 6 1 2 C

H O 1 L 29/78 6 1 2 D

H O 1 L 29/78 6 2 7 C

請求項の数 25 (全 29 頁)

(21) 出願番号 特願2010-163125 (P2010-163125)  
 (22) 出願日 平成22年7月20日 (2010. 7. 20)  
 (65) 公開番号 特開2011-23728 (P2011-23728A)  
 (43) 公開日 平成23年2月3日 (2011. 2. 3)  
 審査請求日 平成25年6月12日 (2013. 6. 12)  
 (31) 優先権主張番号 200910089402. 2  
 (32) 優先日 平成21年7月17日 (2009. 7. 17)  
 (33) 優先権主張国 中国 (CN)

(73) 特許権者 507134301  
 北京京東方光電科技有限公司  
 中華人民共和国北京経済技術開発区西環中  
 路8號  
 (74) 代理人 100108453  
 弁理士 村山 靖彦  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100110364  
 弁理士 実広 信哉  
 (72) 発明者 劉 翔  
 中華人民共和国北京経済技術開発区西環中  
 路8號

審査官 山口 大志

最終頁に続く

(54) 【発明の名称】 T F T - L C D アレイ基板及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板に形成された複数のゲートライン及び複数のデータラインを含み、前記ゲートラインとデータラインにより複数の画素領域が画定され、画素領域ごとに画素電極及びスイッチング素子としての薄膜トランジスタが形成されている T F T - L C D アレイ基板であって、

前記薄膜トランジスタのゲート電極は連結電極を介して対応するゲートラインに電氣的に接続され、前記ゲート電極と前記ゲートラインは異なる材料層より形成され、前記ゲート電極と前記画素電極が同一層に配置され、前記基板において、前記ゲート電極の下方に遮蔽層を形成し、前記遮蔽層と前記ゲートラインが同一層に配置されていることを特徴とする T F T - L C D アレイ基板。

【請求項 2】

前記薄膜トランジスタはボトムゲート型薄膜トランジスタであることを特徴とする請求項 1 に記載の T F T - L C D アレイ基板。

【請求項 3】

前記ゲートラインに基板の全体を覆う第 1 の絶縁層が形成され、前記ゲート電極と前記画素電極は前記第 1 の絶縁層に形成されていることを特徴とする請求項 2 に記載の T F T - L C D アレイ基板。

【請求項 4】

前記ゲート電極と前記画素電極に基板の全体を覆う第 2 の絶縁層が形成され、前記薄膜

トランジスタの活性層は前記第 2 の絶縁層に形成されると共に前記ゲート電極の上方に位置し、ソース電極は前記活性層に位置すると共に対応するデータラインに接続され、ドレイン電極は前記活性層に位置すると共に前記第 2 の絶縁層における第 1 のビアホールを介して前記画素電極に接続されていることを特徴とする請求項 3 に記載の TFT - LCD アレイ基板。

【請求項 5】

前記連結電極は前記第 2 の絶縁層に形成され、その一端は前記第 2 の絶縁層における第 2 のビアホールを介してゲート電極に接続され、他の一端は前記第 1 の絶縁層と前記第 2 の絶縁層における第 3 のビアホールを介して対応するゲートラインに接続されていることを特徴とする請求項 4 に記載の TFT - LCD アレイ基板。

10

【請求項 6】

前記薄膜トランジスタのゲート電極は透明導電薄膜により作成されると共に、前記画素電極と同一層に配置され、前記ゲート電極と前記画素電極は同一の透明導電薄膜により作成されたことを特徴とする請求項 2 に記載の TFT - LCD アレイ基板。

【請求項 7】

前記透明導電薄膜は 300 ~ 600 の厚さであることを特徴とする請求項 6 に記載の TFT - LCD アレイ基板。

【請求項 8】

前記薄膜トランジスタのゲート電極は金属薄膜により形成されたことを特徴とする請求項 2 に記載の TFT - LCD アレイ基板。

20

【請求項 9】

前記金属薄膜により形成された前記ゲート電極は 300 ~ 1200 の厚さであることを特徴とする請求項 8 に記載の TFT - LCD アレイ基板。

【請求項 10】

前記薄膜トランジスタはトップゲート型薄膜トランジスタであり、前記薄膜トランジスタのゲート電極は透明導電薄膜より作成されたことを特徴とする請求項 1 に記載の TFT - LCD アレイ基板。

【請求項 11】

前記薄膜トランジスタの活性層は前記基板に位置し、ソース電極は前記活性層に形成されると共に前記データラインに接続され、ドレイン電極は前記活性層に形成されると共に前記ソース電極に対向して配置され、前記ソース電極とドレイン電極に基板の全体を覆う第 1 の絶縁層が形成されていることを特徴とする請求項 10 に記載の TFT - LCD アレイ基板。

30

【請求項 12】

前記ゲート電極と前記画素電極は同一の透明導電薄膜により作成されると共に、前記ゲート電極と前記画素電極は前記第 1 の絶縁層に形成され、前記画素電極は前記第 1 の絶縁層における第 1 のビアホールを介して前記ドレイン電極に接続されていることを特徴とする請求項 11 に記載の TFT - LCD アレイ基板。

【請求項 13】

前記ゲートラインと前記連結電極は前記第 1 の絶縁層に形成されると共に、前記連結電極の一端はゲート電極に配置され、他の一端は前記ゲートラインに接続されていることを特徴とする請求項 12 に記載の TFT - LCD アレイ基板。

40

【請求項 14】

前記透明導電薄膜は 300 ~ 600 の厚さであることを特徴とする請求項 10 に記載の TFT - LCD アレイ基板。

【請求項 15】

前記連結電極の幅はゲート電極より狭いことを特徴とする請求項 10 に記載の TFT - LCD アレイ基板。

【請求項 16】

基板にゲート金属薄膜を堆積すると共に、前記ゲート金属薄膜をパターンニングしてゲー

50

トラインを形成するステップ 1 1 と、

ステップ 1 1 を完成した基板に、第 1 の絶縁層とゲート電極及び画素電極を形成する構造層を順次堆積すると共に、前記構造層をパターニングしてゲート電極と画素電極を形成するステップ 1 2 と、

ステップ 1 2 を完成した基板に、第 2 の絶縁層、半導体薄膜及びドープ半導体薄膜を順次堆積すると共に、これらの積層構造をパターニングすることにより、半導体層とドープ半導体層の積層を含んでゲート電極の上方に位置する活性層と、前記第 2 の絶縁層における、前記画素電極が存在する箇所に位置する第 1 のビアホールと、前記ゲート電極が存在する箇所に位置する第 2 のビアホールと、前記ゲートラインが存在する箇所に位置する第 3 のビアホールを形成するステップ 1 3 と、

10

ステップ 1 3 を完成した基板に、ソース・ドレイン金属薄膜を堆積すると共に、前記ソース・ドレイン金属薄膜をパターニングすることにより、データラインと、活性層に位置すると共に前記第 1 のビアホールを介して前記画素電極に接続されるドレイン電極と、活性層に位置すると共にデータラインに接続されるソース電極と、一端は前記第 2 のビアホールを介してゲート電極に接続されると共に、他の一端は前記第 3 のビアホールを介してゲートラインに接続される連結電極を形成するステップ 1 4 と、

ステップ 1 4 を完成した基板に、第 3 の絶縁層を堆積するステップ 1 5 と、を含む TFT - LCD アレイ基板の製造方法。

【請求項 1 7】

前記ゲート金属薄膜をパターニングして前記ゲートラインを形成する際、後で形成されるゲート電極の下方に位置している遮蔽層も形成されることを特徴とする請求項 1 6 に記載の TFT - LCD アレイ基板の製造方法。

20

【請求項 1 8】

前記第 3 の絶縁層をパターニングして、ゲートラインパッド領域のゲートラインパッドビアホールとデータラインパッド領域のデータラインパッドビアホールを含むパターンを形成することを特徴とする請求項 1 6 に記載の TFT - LCD アレイ基板の製造方法。

【請求項 1 9】

前記ステップ 1 3 は、

ハーフトーン又はグレートーンのマスクを利用して、前記第 2 の絶縁層、半導体薄膜及びドープ半導体薄膜の積層をパターニングするプロセスを含むことを特徴とする請求項 1 6 に記載の TFT - LCD アレイ基板の製造方法。

30

【請求項 2 0】

前記ステップ 1 2 において、前記構造層は透明導電薄膜であり、前記透明導電薄膜に対してパターニングを行うことにより、前記ゲート電極と前記画素電極が形成されることを特徴とする請求項 1 6 に記載の TFT - LCD アレイ基板の製造方法。

【請求項 2 1】

前記ステップ 1 2 において、前記構造層には、前記ゲート電極を形成するためのゲート電極金属薄膜と、前記画素電極を形成するための透明導電薄膜が含まれていることを特徴とする請求項 1 6 に記載の TFT - LCD アレイ基板の製造方法。

【請求項 2 2】

40

前記ステップ 1 2 において、前記透明導電薄膜と前記ゲート電極金属薄膜を順次堆積した後、ハーフトーン又はグレートーンのマスクを利用して、前記透明導電薄膜と前記ゲート電極金属薄膜の積層に対して、パターニングを行うことにより、前記ゲート電極と前記画素電極が形成されることを特徴とする請求項 2 1 に記載の TFT - LCD アレイ基板の製造方法。

【請求項 2 3】

基板に遮光薄膜を堆積すると共に、前記遮光薄膜をパターニングして遮蔽層を形成するステップ 2 1 と、

ステップ 2 1 を完成した基板に、半導体薄膜、ドープ半導体薄膜及びソース・ドレイン金属薄膜を順次堆積すると共に、これらの積層構造をパターニングすることにより、活性

50

層、データライン、ソース電極及びドレイン電極を形成するステップ 22 と、

ステップ 22 を完成した基板に、第 1 の絶縁層を堆積すると共に、前記第 1 の絶縁層をパターニングすることにより、ドレイン電極が存在する箇所に位置している第 1 のビアホールを形成するステップ 23 と、

ステップ 23 を完成した基板に、透明導電薄膜とゲート金属薄膜を順次堆積すると共に、前記透明導電薄膜とゲート金属薄膜の積層をパターニングすることにより、透明導電薄膜材料を採用して前記遮蔽層の上方に位置するゲート電極と、第 1 のビアホールを介してドレイン電極に接続される画素電極と、ゲートラインと、一端はゲート電極に圧設されると共に、他の一端はゲートラインに接続される連結電極とを形成するステップ 24 と、

を含む TFT-LCD アレイ基板の製造方法。

10

#### 【請求項 24】

前記ステップ 22 は、

ハーフトーン又はグレートーンのマスクを利用して、前記半導体薄膜とドープ半導体薄膜の積層及び前記ソース・ドレイン金属薄膜をパターニングするプロセスを含むことを特徴とする請求項 23 に記載の TFT-LCD アレイ基板の製造方法。

#### 【請求項 25】

前記ステップ 24 は、

ハーフトーン又はグレートーンのマスクを利用して、前記透明導電薄膜とゲート金属薄膜をパターニングするプロセスを含むことを特徴とする請求項 23 に記載の TFT-LCD アレイ基板の製造方法。

20

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、TFT-LCD アレイ基板及びその製造方法に関する。

#### 【背景技術】

#### 【0002】

薄膜トランジスタ液晶表示装置 (Thin Film Transistor Liquid Crystal Display, 以下 TFT-LCD と略称する) は、体積が小さい、エネルギーの損失が小さい、及び輻射がないなどの特徴を備え、現在のフラットパネルディスプレイのマーケットにおいて主導的地位を占めている。TFT-LCD は、主に互いに対向して配置されたアレイ基板及びカラーフィルタ基板から構成される。アレイ基板には、複数の薄膜トランジスタと画素電極がマトリックス状に配列され、それぞれの画素電極は薄膜トランジスタによって制御される。薄膜トランジスタがオンにされた場合、オンにされた期間内に画素電極が充電され、充電が終わった後、画素電極は、その電圧が薄膜トランジスタが次にオンにされる時まで維持される。

30

#### 【0003】

従来の薄膜トランジスタの構成において、ドレイン電極とゲート電極との間に寄生容量が存在するため、画素電極の充電が終わった瞬間に、キックバック電圧  $V_p$  が生じる。このキックバック電圧  $V_p$  は下記の数式で表される。即ち、

#### 【0004】

40

#### 【数 1】

$$\Delta V_p = (V_{gh} - V_{gl}) \frac{C_{gd}}{C_{gd} + C_{lc} + C_s}$$

#### 【0005】

但し、 $V_{gh}$  はゲート電極のオン電圧であり、 $V_{gl}$  はゲート電極のオフ電圧であり、 $C_{lc}$  は液晶容量であり、 $C_{gd}$  は寄生容量であり、 $C_s$  は蓄積容量である。

#### 【0006】

50

研究によると、寄生容量によるキックバック電圧  $V_p$  は画素電極の極性を変化させ、さらに、正・負極の電圧差が一致しないようにし、これにより表示画面にフリッカの現象が現われ、表示品質に厳しい影響を与える。

【0007】

従来の TFT-LCD アレイ基板の製造方法において、ウェットエッチングによりゲート電極を作成する際、ゲート電極は厚さが厚い（3000～6000 の厚さ）金属薄膜材料を採用して作成され、且つ、ウェットエッチングにはエッチング均一性が悪いと言う欠陥が存在するため、同一の基材の異なる位置において、ゲート電極両側の勾配角度に大きな差が生じ、勾配が占める面積にも大きな差が存在する。ゲート電極の側面の勾配はドレイン電極とゲート電極との重合領域に位置し、ゲート電極両側の勾配角度が小さい場合、ドレイン電極とゲート電極との重合面積が大きくなり、ゲート電極両側の勾配角度が大きい場合、ドレイン電極とゲート電極との重合面積が小さくなるので、勾配角度は直ちにドレイン電極とゲート電極との重合面積を左右する。容量の数式から分かるように、寄生容量の大きさは当該重合面積に比例するので、差が大きい勾配角度は、同一の基材の異なる位置における、各薄膜トランジスタの寄生容量の差が大きくなるようにさせ、ひいては、TFT-LCD アレイ基板の各薄膜トランジスタのキックバック電圧  $V_p$  の差が大きくなるようにさせる。また、サイズが大きい液晶パネルを作成する場合、基材のサイズがさらに大きくなるばかりではなく、ゲート電極の厚さもさらに増えるため、同一の基材の異なる位置におけるゲート電極両側の勾配角度の差がさらに大きくなってしまい、各薄膜トランジスタの寄生容量の差もさらに大きくなってしまふと共に、各薄膜トランジスタのキックバック電圧  $V_p$  の差もさらに大きくなってしまふ。また、大きなキックバック電圧  $V_p$  の差は、駆動回路の調整をさらに難しくし、表示画面のフリッカ現象がさらに厳しくなり、TFT-LCD の表示品質にさらに厳しく影響する。

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の実施例は、基板に形成された複数のゲートライン及び複数のデータラインを含み、前記ゲートラインとデータラインにより複数の画素領域が画定され、画素領域ごとに画素電極及びスイッチング素子としての薄膜トランジスタが形成される TFT-LCD アレイ基板であって、前記薄膜トランジスタのゲート電極は連結電極を介して対応したゲートラインに電氣的に接続され、前記ゲート電極と前記ゲートラインは異なる材料層より形成されていることを特徴とする TFT-LCD アレイ基板を提供する。

【0009】

本発明の他の実施例は、基板にゲート金属薄膜を堆積すると共に、前記ゲート金属薄膜をパターニングしてゲートラインを形成するステップ 11 と、ステップ 11 を完成した基板に、第 1 の絶縁層とゲート電極及び画素電極を形成する構造層を順次堆積すると共に、前記構造層をパターニングしてゲート電極と画素電極を形成するステップ 12 と、ステップ 12 を完成した基板に、第 2 の絶縁層、半導体薄膜及びドープ半導体薄膜を順次堆積すると共に、これらの積層構造をパターニングすることにより、半導体層とドープ半導体層の積層を含んでゲート電極の上方に位置される活性層と、前記第 2 の絶縁層における、前記画素電極が存在する箇所に位置する第 1 のビアホールと、前記ゲート電極が存在する箇所に位置する第 2 のビアホールと、前記ゲートラインが存在する箇所に位置する第 3 のビアホールを形成するステップ 13 と、ステップ 13 を完成した基板に、ソース・ドレイン金属薄膜を堆積すると共に、前記ソース・ドレイン金属薄膜をパターニングすることにより、データラインと、活性層に位置すると共に前記第 1 のビアホールを介して前記画素電極に接続されるドレイン電極と、活性層に位置すると共にデータラインに接続されるソース電極と、一端は前記第 2 のビアホールを介してゲート電極に接続されると共に、他の一端は前記第 3 のビアホールを介してゲートラインに接続される連結電極を形成するステップ 14 と、ステップ 14 を完成した基板に、第 3 の絶縁層を堆積するステップ 15 と、を含む TFT-LCD アレイ基板の製造方法を提供する。

## 【 0 0 1 0 】

本発明の又他の実施例は、基板に遮光薄膜を堆積すると共に、前記遮光薄膜をパターニングして遮蔽層を形成するステップ 2 1 と、ステップ 2 1 を完成した基板に、半導体薄膜、ドープ半導体薄膜及びソース・ドレイン金属薄膜を順次堆積すると共に、これらの積層構造をパターニングすることにより、活性層、データライン、ソース電極及びドレイン電極を形成するステップ 2 2 と、ステップ 2 2 を完成した基板に、第 1 の絶縁層を堆積すると共に、前記第 1 の絶縁層をパターニングすることにより、ドレイン電極が存在する箇所に位置している第 1 のビアホールを形成するステップ 2 3 と、ステップ 2 3 を完成した基板に、透明導電薄膜とゲート金属薄膜を順次堆積すると共に、前記透明導電薄膜とゲート金属薄膜の積層をパターニングすることにより、透明導電薄膜材料を採用して前記遮蔽層の上方に位置するゲート電極と、第 1 のビアホールを介してドレイン電極に接続される画素電極と、ゲートラインと、一端はゲート電極に圧設されると共に、他の一端はゲートラインに接続される連結電極とを形成するステップ 2 4 と、を含む T F T - L C D アレイ基板の製造方法を提供する。

10

## 【図面の簡単な説明】

## 【 0 0 1 1 】

【図 1】本発明の第 1 の実施例に係る T F T - L C D アレイ基板の平面図である。

【図 2】図 1 の A 1 - A 1 線の断面図である。

【図 3】図 1 の B 1 - B 1 線の断面図である。

【図 4】本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 1 回目のパターニングプロセス後の平面図である。

20

【図 5】図 4 の A 2 - A 2 線の断面図である。

【図 6】本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 2 回目のパターニングプロセス後の平面図である。

【図 7】図 6 の A 3 - A 3 線の断面図である。

【図 8】本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセス後の平面図である。

【図 9】図 8 の A 4 - A 4 線の断面図である。

【図 1 0】図 8 の B 4 - B 4 線の断面図である。

【図 1 1】本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスにおいて、フォトリソが現像・露光された後の A 4 - A 4 線の断面図である。

30

【図 1 2】本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスにおいて、フォトリソが現像・露光された後の B 4 - B 4 線の断面図である。

【図 1 3】本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスにおいて、第 1 回目のエッチングプロセス後の A 4 - A 4 線の断面図である。

【図 1 4】本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスにおいて、第 1 回目のエッチングプロセス後の B 4 - B 4 線の断面図である。

40

【図 1 5】本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスにおいて、アッシングプロセス後の A 4 - A 4 線の断面図である。

【図 1 6】本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスにおいて、アッシングプロセス後の B 4 - B 4 線の断面図である。

【図 1 7】本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスにおいて、第 2 回目のエッチングプロセス後の A 4 - A 4 線の断面図である。

【図 1 8】本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスにおいて、第 2 回目のエッチングプロセス後の B 4 - B 4 線の断面図である。

50

。

【図 19】本発明の第 1 の実施例に係る TFT - LCD アレイ基板の第 4 回目のパターンニングプロセス後の平面図である

【図 20】図 19 の A 5 - A 5 線の断面図である。

【図 21】図 19 の B 5 - B 5 線の断面図である。

【図 22】本発明の第 2 の実施例に係る TFT - LCD アレイ基板の平面図である。

【図 23】図 22 の C 1 - C 1 線の断面図である。

【図 24】本発明の第 2 の実施例に係る TFT - LCD アレイ基板の第 1 回目のパターンニングプロセス後の平面図である。

【図 25】図 24 の C 2 - C 2 線の断面図である。

10

【図 26】本発明の第 2 の実施例に係る TFT - LCD アレイ基板の第 2 回目のパターンニングプロセス後の平面図である。

【図 27】図 26 の C 3 - C 3 線の断面図である。

【図 28】本発明の第 2 の実施例に係る TFT - LCD アレイ基板の第 3 回目のパターンニングプロセス後の平面図である。

【図 29】図 28 の C 4 - C 4 線の断面図である。

【図 30】本発明の第 2 の実施例に係る TFT - LCD アレイ基板の第 4 回目のパターンニングプロセスにおいて、フォトレジストが現像・露光された後の構造の概略図である。

【図 31】本発明の第 2 の実施例に係る TFT - LCD アレイ基板の第 4 回目のパターンニングプロセスにおいて、第 1 回目のエッチングプロセス後の構造の概略図である。

20

【図 32】本発明の第 2 の実施例に係る TFT - LCD アレイ基板の第 4 回目のパターンニングプロセスにおいて、アッシングプロセス後の構造の概略図である。

【図 33】本発明の第 2 の実施例に係る TFT - LCD アレイ基板の第 4 回目のパターンニングプロセスにおいて、第 2 回目のエッチングプロセス後の構造の概略図である。

【発明を実施するための形態】

【0012】

以下、図面を参照しながら実施例に基づいて、本発明の技術案に対してさらに詳しく説明する。

【0013】

図 1 は本発明の第 1 の実施例に係る TFT - LCD アレイ基板の平面図であり、一つの画素ユニットの構造が示されている。図 2 は図 1 の A 1 - A 1 線の断面図であり、図 3 は図 1 の B 1 - B 1 線の断面図である。

30

【0014】

図 1 から図 3 に示したように、本実施例に係る TFT - LCD アレイ基板は、ボトムゲート型構造であり、基板 1 に形成された複数のゲートライン 11、複数のデータライン 12、複数の画素電極 9、及び複数の薄膜トランジスタを含む。また、ゲートライン 11 とデータライン 12 が交差して複数の画素領域を画定し、画素領域ごとに一つのスイッチング素子とする薄膜トランジスタ及び一つの画素電極 9 が形成されている。ゲートライン 11 は薄膜トランジスタにオン信号を提供するために用いられ、データライン 12 は画素電極 9 にデータ信号を提供するために用いられる。また、薄膜トランジスタのゲート電極は薄い透明導電薄膜より作成され、透明導電薄膜は 300 ~ 600 の厚さである。ゲート電極は透明導電薄膜より作成され、且つ厚さが薄い (300 ~ 600 の厚さ) ため、異なる箇所におけるゲート電極の両側の勾配角度の差を低減させることができると共に、ゲート電極の両側の勾配が占められた面積を低減させることができる。これにより、ゲート電極の両側の勾配角度の差がドレイン電極とゲート電極との重合面積に及ぼす影響が小さくなり、よって、異なる箇所における薄膜トランジスタの寄生容量の差が低減され、TFT - LCD アレイ基板の各薄膜トランジスタのキックバック電圧  $V_p$  の差が有効に低減される。

40

【0015】

具体的に、図に示したように、本実施例に係る TFT - LCD アレイ基板において、ゲ

50

ートライン 11 及び遮蔽層 14 は基板 1 に形成され、第 1 の絶縁層 3a はゲートライン 11 と遮蔽層 14 に形成されると共に基板 1 の全体を覆い、透明導電薄膜材料からなるゲート電極 2 と画素電極 9 は第 1 の絶縁層 3a に形成され、ゲート電極 2 は遮蔽層 14 の上方に位置し、画素電極 9 は画素領域に位置する。また、第 2 の絶縁層 3b はゲート電極 2 と画素電極 9 に形成されると共に基板 1 の全体を覆うと共に、第 1 のビアホール 10a、第 2 のビアホール 10b 及び第 3 のビアホール 10c が開設されている。その中で、第 1 のビアホール 10a は画素電極 9 が存在する箇所に位置し、第 2 のビアホール 10b はゲート電極 2 が存在する箇所に位置し、第 3 のビアホール 10c はゲートライン 11 が存在する箇所に位置する。また、活性層（例えば、半導体層 4 とドープ半導体層 5 の積層を含む）は第 2 の絶縁層 3b に形成されると共にゲート電極 2 の上方に位置し、ソース電極 6 と、ドレイン電極 7 と、データライン 12 と、連結電極 13 とは上記構造のパターンに形成され、その中で、ソース電極 6 の一端は活性層に位置すると共に、他の一端はデータライン 12 に接続されている。また、ドレイン電極 7 の一端は活性層に位置すると共に、他の一端は第 1 のビアホール 10a を介して画素電極 9 に接続され、ソース電極 6 とドレイン電極 7 との間に T F T チャンネル領域が形成されている。T F T チャンネル領域において、ドープ半導体層 5 は完全にエッチングされると共に、半導体層 4 の厚さの一部がエッチングされて、T F T チャンネル領域の半導体層 4 が露出される。また、連結電極 13 の一端は第 2 のビアホール 10b を介してゲート電極 2 に接続されると共に、他の一端は第 3 のビアホール 10c を介してゲートライン 11 に接続されて、ゲート電極 2 とゲートライン 11 との間を連結電極 13 を介して接続させる。また、第 3 の絶縁層 8 はデータライン 12 と、ソース電極 6 と、ドレイン電極 7 と、T F T チャンネル領域とに形成されると共に基板 1 の全体を覆い、ゲートラインパッド領域（ゲートライン P A D）にゲートラインパッドビアホールが開設され、データラインパッド領域（データライン P A D）にデータラインパッドビアホールが開設されている。ゲート電極 2 と、活性層と、ソース電極 6 と、連結電極 13 とが薄膜トランジスタを構成する。

#### 【0016】

図 4 から図 21 は、本発明の第 1 の実施例に係る T F T - L C D アレイ基板の製造工程の概略図であり、これらの図を参照して本実施例の技術案をさらに説明する。以下の説明において、本発明のパターニングプロセスには、フォトレジストの塗布、フォトレジストの露光と現像、フォトレジストパターンを利用するエッチング、及び残されたフォトレジストの除去などのプロセスが含まれ、フォトレジストとしてポジティブフォトレジストを例に説明する。

#### 【0017】

図 4 は本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 1 回目のパターニングプロセス後の平面図であり、一つの画素ユニットの構造が示されている。図 5 は図 4 の A 2 - A 2 線の断面図である。

#### 【0018】

スパッタリング法又は蒸着法を利用して、基板 1（例えば、ガラス基板又は石英基板）に一層の 3000 ~ 5000 厚さのゲート金属薄膜を堆積し、このゲート金属薄膜に Cr、W、Ti、Ta、Mo などの金属又は合金が採用され、複層の金属薄膜からなる複合薄膜も採用される。また、図 4 と図 5 に示したように、常用のマスクを採用して、パターニングプロセスにより、ゲートライン 11 と遮蔽層 14 を含むパターンを形成し、ゲートライン 11 と遮蔽層 14 は互いに離間される。

#### 【0019】

図 6 は本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 2 回目のパターニングプロセス後の平面図であり、一つの画素ユニットの構造が示されている。図 7 は図 6 の A 3 - A 3 線の断面図である。

#### 【0020】

上記の図 4 に示した構成のパターンを完成した基板に、プラズマ強化化学的気相蒸着法（P E C V D と略称する）により、一層の 1500 ~ 3000 厚さの第 1 の絶縁層 3a

10

20

30

40

50



を堆積し、第1の絶縁層3aに酸化物、窒化物又は窒素酸化物が採用され、対応する反応気体として、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2$ の混合気体又は $\text{SiH}_2\text{Cl}_2$ 、 $\text{NH}_3$ 、 $\text{N}_2$ の混合気体がある。次に、スパッタリング法又は蒸着法を利用して、一層の300～600厚さの透明導電薄膜を堆積し、透明導電薄膜に酸化インジウムスズ(ITO)、酸化インジウム亜鉛(IZO)、又は、酸化アルミニウム亜鉛などが採用され、他の金属及び金属酸化物が採用されてもよい。図6と図7に示したように、常用のマスクを採用して、パターンニングプロセスにより、ゲート電極2と画素電極9を含むパターンを形成する。また、ゲート電極2の一部とゲートライン11が重合されるように、ゲート電極2は遮蔽層14の上方に位置すると共に隣接したゲートライン11の方向へ延伸し、画素電極9は対応する画素領域に位置する。本実施例の第1の絶縁層に、上述で例示された無機系絶縁層以外に、有機系絶縁層も採用される。第1の絶縁層として有機系絶縁層を採用する場合、塗布を採用することができ、形成された第1の絶縁層を平坦な表面を有するようにさせ、これにより、後述する構造層の段差を低減するのに有利である。

#### 【0021】

図8は本発明の第1の実施例に係るTFT-LCDアレ基板の第3回目のパターンニングプロセス後の平面図であり、一つの画素ユニットの構造が示されている。図9は図8のA4-A4線の断面図であり、図10は図8のB4-B4線の断面図である。

#### 【0022】

上記の図6に示した構成のパターンを完成した基板に、PECVDにより300～1000厚さの第2の絶縁層3bと、1000～3000厚さの半導体薄膜と、1000～3000厚さのドープ半導体薄膜とを順次堆積し、第2の絶縁層3bに酸化物、窒化物又は窒素酸化物が採用され、対応する反応気体として、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2$ の混合気体又は $\text{SiH}_2\text{Cl}_2$ 、 $\text{NH}_3$ 、 $\text{N}_2$ の混合気体がある。半導体薄膜に対応する反応気体として、 $\text{SiH}_4$ 、 $\text{H}_2$ の混合気体又は $\text{SiH}_2\text{Cl}_2$ 、 $\text{H}_2$ の混合気体があり、ドープ半導体薄膜に対応する反応気体として、 $\text{SiH}_4$ 、 $\text{PH}_3$ 、 $\text{H}_2$ の混合気体又は $\text{SiH}_2\text{Cl}_2$ 、 $\text{PH}_3$ 、 $\text{H}_2$ の混合気体がある。また、図8と図10に示したように、ハーフトーン又はグレートーンマスクを採用して、パターンニングプロセスにより、活性層と、第1のピアホール10aと、第2のピアホール10bと、第3のピアホール10cとを含むパターンを形成する。その中で、活性層は半導体層4とドープ半導体層5の積層を含んでゲート電極2の上方に位置し、第1のピアホール10aは画素電極9がゲート電極2に寄せて存在する箇所に位置し、第2のピアホール10bはゲート電極2が存在する箇所に位置し、第3のピアホール10cはゲートライン11が存在する箇所に位置する。このパターンニングプロセスの工程を具体的に以下のように述べる。

#### 【0023】

即ち、図11は本発明の第1の実施例に係るTFT-LCDアレ基板の第3回目のパターンニングプロセスにおいて、フォトリソが現像・露光された後のA4-A4線の断面図である。また、図12は本発明の第1の実施例に係るTFT-LCDアレ基板の第3回目のパターンニングプロセスにおいて、フォトリソが現像・露光された後のB4-B4線の断面図である。上記の図6に示した構成のパターンを完成した基板に、PECVDにより第2の絶縁層3bと、半導体薄膜21と、ドープ半導体薄膜22とを順次堆積する。そして、ドープ半導体薄膜21に一層のフォトリソ30を塗布し、ハーフトーン又はグレートーンマスクを採用して露光することによって、フォトリソを完全露光領域A、非露光領域B、及び部分露光領域Cに形成させる。完全露光領域Aは第1のピアホール、第2のピアホール及び第3のピアホールのパターンが存在する領域に対応し、非露光領域Bは活性層のパターンが存在する領域に対応し、部分露光領域Cは上記のパターン以外の領域に対応する。図11と図12に示したように、現像処理した後、非露光領域Bにおけるフォトリソの厚さには基本的に変化がなく、フォトリソ完全保留領域が形成される。完全露光領域Aにおけるフォトリソが完全に除去され、フォトリソ完全除去領域が形成される。部分露光領域Cにおけるフォトリソの厚さが薄くなって、フォトリソ部分保留領域が形成される。

10

20

30

40

50

## 【 0 0 2 4 】

図 1 3 は本実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスにおいて、第 1 回目のエッチングプロセス後の A 4 - A 4 線の断面図である。また、図 1 4 は本実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスにおいて、第 1 回目のエッチングプロセス後の B 4 - B 4 線の断面図である。図 1 3 と図 1 4 に示したように、第 1 回目のエッチングプロセスにより、完全露光領域 A における第 1 のピアホール及び第 2 のピアホールのパターンが存在する位置で、ドーブ半導体薄膜 2 2、半導体薄膜 2 1 及び第 2 の絶縁層 3 b が完全にエッチングされて、第 1 のピアホール 1 0 a と第 2 のピアホール 1 0 b を含むパターンが形成される。第 1 のピアホール 1 0 a と第 2 のピアホール 1 0 b 内のドーブ半導体薄膜 2 2、半導体薄膜 2 1 及び第 2 の絶縁層 3 b が完全にエッチングされて、画素電極 9 の表面に第 1 のピアホール 1 0 a を露出させ、ゲート電極 2 の表面に第 2 のピアホール 1 0 b を露出させる。また、完全露光領域 A における第 3 のピアホールが存在する位置で、ドーブ半導体薄膜 2 2、半導体薄膜 2 1、第 2 の絶縁層 3 b 及び第 1 の絶縁層 3 a が完全にエッチングされて、第 3 のピアホール 1 0 c を含むパターンが形成される。第 3 のピアホール 1 0 c 内のドーブ半導体薄膜 2 2、半導体薄膜 2 1、第 2 の絶縁層 3 b 及び第 1 の絶縁層 3 a が完全にエッチングされて、ゲートライン 1 1 の表面に第 3 のピアホール 1 0 c を露出させる。

10

## 【 0 0 2 5 】

図 1 5 は本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスにおいて、アッシングプロセス後の A 4 - A 4 線の断面図である。また、図 1 6 は本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスにおいて、アッシングプロセス後の B 4 - B 4 線の断面図である。図 1 5 と図 1 6 に示したように、アッシングプロセスにより、部分露光領域 C におけるフォトレジストを除去して、当該領域のドーブ半導体薄膜 2 2 が露出されるようにする。非露光領域 B (フォトレジスト完全保留領域) のフォトレジストの厚さは、部分露光領域 C (フォトレジスト部分保留領域) のフォトレジストの厚さより厚いため、アッシングプロセス後、非露光領域 B に一定厚さのフォトレジスト 3 0 がやはり覆われている。

20

## 【 0 0 2 6 】

図 1 7 は本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスにおいて、第 2 回目のエッチングプロセス後の A 4 - A 4 線の断面図である。また、図 1 8 は本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスにおいて、第 2 回目のエッチングプロセス後の B 4 - B 4 線の断面図である。図 1 7 と図 1 8 に示したように、第 2 回目のエッチングプロセスにより、部分露光領域 C におけるドーブ半導体薄膜と半導体薄膜が完全にエッチングされて、活性層を含むパターンが形成される。その中で、活性層は半導体層 4 とドーブ半導体層 5 を含んで、ゲート電極 2 の上方に位置する。

30

## 【 0 0 2 7 】

最後に、図 8 から図 1 0 に示したように、残されたフォトレジストを除去して、本発明の第 1 の実施例にかかる T F T - L C D アレイ基板の第 3 回目のパターニングプロセスが完成される。

40

## 【 0 0 2 8 】

図 1 9 は本発明の第 1 の実施例に係る T F T - L C D アレイ基板の第 4 回目のパターニングプロセス後の平面図であり、図 2 0 は図 1 9 の A 5 - A 5 線の断面図であり、図 2 1 は図 1 9 の B 5 - B 5 線の断面図である。

## 【 0 0 2 9 】

上記の図 8 に示した構成のパターンを完成した基板に、スパッタリング又は蒸着法により、一層の 2 0 0 0 ~ 4 0 0 0 厚さのソース・ドレイン金属薄膜を堆積し、ソース・ドレイン金属薄膜に C r、W、T i、T a、M o などの金属又は合金が採用され、複層の金属薄膜からなる複合薄膜も採用される。図 1 9 から図 2 1 に示したように、常用のマスクを採用して、パターニングプロセスにより、データライン 1 2 と、ソース電極 6 と、ドレ

50

イン電極 7 と、連結電極 13 とを含むパターンを形成する。その中で、ソース電極 6 の一端は活性層に位置すると共に、他の一端はデータライン 12 に接続される。また、ドレイン電極 7 の一端は活性層に位置すると共に、他の一端は第 1 のビアホール 10 a を介して画素電極 9 に接続され、ソース電極 6 とドレイン電極 7 との間に T F T チャンネル領域が形成されている。T F T チャンネル領域におけるドープ半導体層 5 が完全にエッチングされると共に、半導体層 4 の厚さの一部がエッチングされて、T F T チャンネル領域の半導体層 4 が露出される。また、連結電極 13 の一端はゲート電極 2 の上方に位置すると共に、第 2 のビアホール 10 b を介してゲート電極 2 に接続され、他の一端はゲートライン 11 の上方に位置すると共に、第 3 のビアホール 10 c を介してゲートライン 11 に接続されて、ゲート電極 2 とゲートライン 11 との間を連結電極 13 を介して接続させる。

10

#### 【0030】

最後に、上記の図 19 に示した構成のパターンを完成した基板に、P E C V D により第 3 の絶縁層 8 (図 2 と図 3 に示したように) を堆積する。第 3 絶縁層 8 に酸化物、窒化物又は窒素酸化物が採用され、対応する反応気体として、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2$  の混合気体又は  $\text{SiH}_2\text{Cl}_2$ 、 $\text{NH}_3$ 、 $\text{N}_2$  の混合気体がある。また、常用のマスクを採用して、パターニングプロセスにより、ゲートラインパッド領域のゲートラインパッドビアホール及びデータラインパッド領域のデータラインパッドビアホールなどを含むパターンを形成する。パターニングプロセスにより、ゲートラインパッド領域のゲートラインパッドビアホール及びデータラインパッド領域のデータラインパッドビアホールのパターンを形成するプロセスは、現在のパターニングプロセスにおいて広く応用されているので、こ

20

#### 【0031】

以上で説明した 4 回のパターニングプロセスは、本発明に係る T F T - L C D アレイ基板を製造する一種の実現方法にすぎない。実際には、パターニングプロセスを増やしたり、減らしたりすることができる。また、異なる材料を選択し、又は材料を組み立てることによって本発明を実現することもできる。例えば、本発明に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセスは、二回の独立したパターニングプロセスによって完成してもよい。即ち、一回は常用のマスクを採用するパターニングプロセスによって活性層のパターンを形成し、一回は常用のマスクを採用するパターニングプロセスによって、第 1 のビアホールと、第 2 のビアホールと、第 3 のビアホールとのパターンを形成する。また、例えば、本実施例のゲート電極は他の厚さが薄い導電薄膜を採用して作成してもよい。この場合、第 2 回目のパターニングプロセスは二回のパターニングプロセスに分けられる。即ち、一回のパターニングプロセスによりゲート電極を形成し、一回のパターニングプロセスにより画素電極を形成する。ゲート電極を例えば金属薄膜のような不透明な導電薄膜を採用して作成する場合、第 1 回目のパターニングプロセスにおける遮蔽層を省略することができる。

30

#### 【0032】

ゲート電極が金属薄膜を採用して形成される場合、薄いゲート電極が形成されるように、その厚さの範囲は 300 ~ 1200 である。厚さの範囲は 400 ~ 600 が望ましい。この場合、ゲート電極と画素電極を形成する時、上記のような二回の独立したパターニング工程の以外にも、ハーフトーン又はグレートーンマスクを利用して、順次堆積された透明導電薄膜とゲート電極金属薄膜に対して、パターニングを行うことにより、ゲート電極と画素電極がそれぞれ形成されてもよい。このように得られた金属ゲート電極の下方に、透明導電薄膜が保留される。

40

#### 【0033】

図 22 は本発明の第 2 の実施例に係る T F T - L C D アレイ基板の平面図であり、一つの画素ユニットの構造が示された。また、図 23 は図 22 の C 1 - C 1 線の断面図である。

#### 【0034】

図 22 と図 23 に示したように、本実施例に係る T F T - L C D アレイ基板はトップゲ

50

ート型構造であり、本体の構造は基板 1 に形成された複数のゲートライン 1 1、複数のデータライン 1 2、複数の画素電極 9、及び複数の薄膜トランジスタを含む。また、ゲートライン 1 1 とデータライン 1 2 が交差して複数の画素領域を画定し、画素領域ごとに一つのスイッチング素子とする薄膜トランジスタ及び一つの画素電極 9 が形成されている。ゲートライン 1 1 は薄膜トランジスタにオン信号を提供するために用いられ、データライン 1 2 は画素電極 9 にデータ信号を提供するために用いられる。また、薄膜トランジスタのゲート電極は厚さが薄い透明導電薄膜より作成され、透明導電薄膜は 300 ~ 600 の厚さである。ゲート電極は透明導電薄膜より作成され、且つ厚さが薄い (300 ~ 600 の厚さ) ため、異なる箇所におけるゲート電極の両側の勾配角度の差を低減させることができると共に、ゲート電極の両側の勾配が占める面積を低減させることができる。これにより、ゲート電極の両側の勾配角度の差がドレイン電極とゲート電極との重合面積に及ぼす影響が小さくなり、よって、異なる箇所における薄膜トランジスタの寄生容量の差が低減され、TFT-LCD アレイ基板の各薄膜トランジスタのキックバック電圧  $V_p$  の差が有効に低減される。

#### 【0035】

具体的に、図に示したように、本実施例に係る TFT-LCD アレイ基板において、遮蔽層 1 4 は基板 1 に形成され、活性層 (半導体層 4 とドープ半導体層 5 を含む) は遮蔽層 1 4 の上方に位置し、ソース電極 6 とドレイン電極 7 は活性層に形成される。ソース電極 6 の一端は遮蔽層 1 4 の上方に位置し、他の一端はデータライン 1 2 に接続されている。また、ドレイン電極 7 の一端は遮蔽層 1 4 の上方に位置すると共にソース電極 6 に対向して配置される。また、ソース電極 6 とドレイン電極 7 との間に TFT チャンネル領域が形成されている。TFT チャンネル領域において、ドープ半導体層 5 は完全にエッチングされると共に、半導体層 4 の厚さの一部がエッチングされて、TFT チャンネル領域の半導体層 4 が露出される。また、第 1 の絶縁層 3 a は上記した構成のパターンに形成されると共に基板 1 の全体を覆い、ドレイン電極 7 が存在する箇所に第 1 のビアホール 10 a を開設させる。ゲート電極 2、画素電極 9、ゲートライン 1 1 及び連結電極 1 3 は第 1 の絶縁層 3 a に形成され、画素電極 9 は画素領域に形成されると共に、第 1 のビアホール 10 a を介してドレイン電極 7 に接続される。また、透明導電薄膜材料を採用するゲート電極 2 は遮蔽層 1 4 の上方に位置し、連結電極 1 3 の一端はゲート電極 2 に圧設され、他の一端はゲートライン 1 1 に接続されて、ゲート電極 2 とゲートライン 1 1 との間は連結電極 1 3 を介して接続される。ゲート電極 2 と、活性層と、ソース電極 6 と、連結電極 1 3 とが薄膜トランジスタを構成する。

#### 【0036】

図 2 4 から図 3 3 は本発明の第 2 の実施例に係る TFT-LCD アレイ基板の製造工程の概略図であり、これらの図面を参照して本実施例の技術案をさらに説明する。また、各薄膜の材料は第 1 の実施例と同じである。

#### 【0037】

図 2 4 は本発明の第 2 の実施例に係る TFT-LCD アレイ基板の第 1 回目のパターンニングプロセス後の平面図であり、一つの画素ユニットの構造が示された。図 2 5 は図 2 4 の C2 - C2 線の断面図である。

#### 【0038】

まず、図 2 4 と図 2 5 に示したように、スパッタリング又は蒸着法を利用して、基板 1 に 500 ~ 2000 厚さの遮蔽金属薄膜を堆積し、遮蔽金属薄膜として、遮蔽性に優れた金属 (例えば Cr) を採用することができ、常用のマスクを採用して、パターンニングプロセスにより、遮蔽層 1 4 を含むパターンを形成する。遮蔽層の作成には、遮蔽性に優れた非金属材料の遮光薄膜も採用することができる。例えば、黒い粒子を添加した樹脂が採用される。

#### 【0039】

図 2 6 は本発明の第 2 の実施例に係る TFT-LCD アレイ基板の第 2 回目のパターンニングプロセス後の平面図であり、一つの画素ユニットの構造が示された。図 2 7 は図 2 6

の C 3 - C 3 線の断面図である。

【 0 0 4 0 】

上記の図 2 4 に示した構成のパターンを完成した基板に、P E C V D 法により、1 0 0 0 ~ 3 0 0 0 厚さの半導体薄膜と、1 0 0 0 ~ 3 0 0 0 厚さのドーパ半導体薄膜を順次堆積し、後でスパッタリング法又は蒸着法により、2 0 0 0 ~ 4 0 0 0 厚さのソース・ドレイン金属薄膜を堆積する。図 2 6 と図 2 7 に示したように、ハーフトーン又はグレートーンマスクを採用して、パターニングプロセスにより、活性層と、データラインと 1 2 と、ソース電極 6 と、ドレイン電極 7 と、T F T チャンネル領域とを含むパターンを形成する。このパターニングプロセスはマルチステップのエッチングプロセスであり、基本的に、従来技術の 4 回パターニングプロセスにおいて活性層と、データラインと、ソース電極と、ドレイン電極と、T F T チャンネル領域とのパターンを形成する工程と同じであり、具体的に以下のステップを備える。即ち、まず、半導体薄膜とドーパ半導体薄膜を堆積し、次にソース・ドレイン金属薄膜を堆積する。また、ソース・ドレイン金属薄膜に一層のフォトリソを塗布する。ハーフトーン又はグレートーンマスクを採用して露光することによって、フォトリソを完全露光領域、非露光領域、及び部分露光領域に形成させる。非露光領域はデータライン、ソース電極及びドレイン電極のパターンが存在する領域に対応し、部分露光領域は T F T チャンネル領域のパターンが存在する領域に対応し、完全露光領域は上記のパターン以外の領域に対応する。現像処理した後、非露光領域におけるフォトリソの厚さには基本的に変化がなく、フォトリソ完全保留領域が形成される。完全露光領域におけるフォトリソが完全に除去され、フォトリソ完全除去領域が形成される。部分露光領域におけるフォトリソの厚さが薄くなって、フォトリソ部分保留領域が形成される。また、第 1 回目のエッチングプロセスにより、フォトリソ完全除去領域におけるソース・ドレイン金属薄膜、ドーパ半導体薄膜及び半導体薄膜を完全にエッチングすることで、活性層とデータラインのパターンが形成されている。また、アッシングプロセスにより、フォトリソ部分保留領域におけるフォトリソを除去することで、当該領域のソース・ドレイン金属薄膜を露出させ、フォトリソ完全保留領域におけるフォトリソの一部が保留されることで厚さが薄くなる。また、第 2 回目のエッチングプロセスにより、フォトリソ部分保留領域におけるソース・ドレイン金属薄膜とドーパ半導体薄膜が完全にエッチングされると共に、半導体薄膜の厚さの一部がエッチングされて、ソース電極、ドレイン電極及び T F T チャンネル領域のパターンが形成される。最後に、残されたフォトリソを除去し、このパターニングプロセスが完成される。このパターニングプロセスの後、活性層（半導体層 4 とドーパ半導体層 5 を含む）が遮蔽層 1 4 の上方に位置され、ソース電極 6 とドレイン電極 7 は活性層に形成され、ソース電極 6 の一端は遮蔽層 1 4 の上方に位置されると共に、他の一端はデータライン 1 2 に接続される。また、ドレイン電極 7 の一端は遮蔽層 1 4 の上方に位置されると共に、ソース電極 6 に対向して配置される。ソース電極 6 とドレイン電極 7 の間に T F T チャンネル領域が形成され、T F T チャンネル領域におけるドーパ半導体層 5 は完全にエッチングされると共に、半導体層 4 の厚さの一部がエッチングされて、T F T チャンネル領域の半導体層 4 を露出させる。

【 0 0 4 1 】

図 2 8 は本発明の第 2 の実施例に係る T F T - L C D アレイ基板の第 3 回目のパターニングプロセス後の平面図であり、一つの画素ユニットの構造が示された。図 2 9 は図 2 8 の C 4 - C 4 線の断面図である。

【 0 0 4 2 】

上記の図 2 6 に示したパターンを完成した基板に、P E C V D 法により、3 0 0 0 ~ 5 0 0 0 厚さの第 1 の絶縁層 3 a を堆積する。図 2 8 と図 2 9 に示したように、常用のマスクを採用して、パターニングプロセスにより、第 1 のビアホール 1 0 a を含むパターンを形成する。第 1 のビアホール 1 0 a はドレイン電極 7 が存在する箇所に位置し、第 1 のビアホール 1 0 a 内の第 1 の絶縁層 3 a は完全にエッチングされて、ドレイン電極 7 の表面に露出させる。

## 【 0 0 4 3 】

最後に、上記の図 2 8 に示したパターンを完成した基板に、スパッタリング法又は蒸着法により、300～600 厚さの透明導電薄膜と、500～4000 厚さのゲート金属薄膜を順次堆積する。図 2 2 と図 2 3 に示したように、常用のマスクを採用して、パターニングプロセスにより、ゲート電極 2、画素電極 9、ゲートライン 1 1 及び連結電極 1 3 を含むパターンを形成する。このパターニングプロセスの工程は具体的に以下の通りである。

## 【 0 0 4 4 】

即ち、図 3 0 は本発明の第 2 の実施例に係る TFT-LCD アレイ基板の第 4 回目のパターニングプロセスにおいて、フォトリソが現像・露光された後の構造の概略図であり、図 2 2 の C 1 - C 1 線の断面図である。上記の図 2 8 に示したパターンを完成した基板に、スパッタリング法又は蒸着法により、透明導電薄膜 2 3 とゲート金属薄膜 2 4 を順次堆積する。続いて、ゲート金属薄膜 2 4 に一層のフォトリソ 3 0 を塗布する。また、図 3 0 に示したように、ハーフトーン又はグレートンマスクを採用して露光することによって、フォトリソを完全露光領域 A、非露光領域 B、及び部分露光領域 C に形成させる。非露光領域 B はゲートラインと連結電極のパターンが存在する領域に対応し、部分露光領域 C はゲート電極と画素電極のパターンが存在する領域に対応し、完全露光領域 A は上記のパターン以外の領域に対応する。現像処理した後、非露光領域におけるフォトリソの厚さには基本的に変化がなく、フォトリソ完全保留領域が形成される。完全露光領域におけるフォトリソが完全に除去され、フォトリソ完全除去領域が形成される。部分露光領域におけるフォトリソの厚さが薄くなって、フォトリソ部分保留領域が形成される。

## 【 0 0 4 5 】

図 3 1 は本発明の第 2 の実施例に係る TFT-LCD アレイ基板の第 4 回目のパターニングプロセスにおいて、第 1 回目のエッチングプロセス後の構造の概略図であり、図 2 2 の C 1 - C 1 線の断面図である。図 3 1 に示したように、第 1 回目のエッチングプロセスにより、完全露光領域 A におけるゲート金属薄膜 2 4 と透明導電薄膜 2 3 が完全にエッチングされ、ゲートライン 2 を含むパターンが形成される。このパターニングプロセスにおいて、データインパッド領域のデータラインパッドビアホールのパターンがさらに形成される。

## 【 0 0 4 6 】

図 3 2 は本発明の第 2 の実施例に係る TFT-LCD アレイ基板の第 4 回目のパターニングプロセスにおいて、アッシングプロセス後の構造の概略図であり、図 2 2 の C 1 - C 1 線の断面図である。

## 【 0 0 4 7 】

図 3 2 に示したように、アッシングプロセスにより、部分露光領域 C におけるフォトリソが除去されて、当該領域のゲート金属薄膜 2 4 が露出される。非露光領域 B (フォトリソ完全保留領域) のフォトリソの厚さは、部分露光領域 C (フォトリソ部分保留領域) のフォトリソの厚さより厚いため、アッシングプロセス後、非露光領域 B に一定厚さのフォトリソ 3 0 がやはり覆われている。

## 【 0 0 4 8 】

図 3 3 は本発明の第 2 の実施例に係る TFT-LCD アレイ基板の第 4 回目のパターニングプロセスにおいて、第 2 回目のエッチングプロセス後の構造の概略図であり、図 2 2 の C 1 - C 1 線の断面図である。

## 【 0 0 4 9 】

図 3 3 に示したように、第 2 回目のエッチングプロセスにより、部分露光領域 C におけるゲート金属薄膜が完全にエッチングされ、ゲート電極 2、画素電極 9 及び連結電極 1 3 を含むパターンが形成される。その中で、透明導電薄膜材料を採用したゲート電極 2 は遮蔽層 1 4 の上方に位置し、画素電極 9 は画素領域に位置すると共に、第 1 のビアホール 1 0 a を介してドレイン電極 7 に接続され、連結電極 1 3 はゲート電極 2 に位置してゲート

電極 2 を連結電極 1 3 を介してゲートラインに接続される。説明しておく、連結電極は厚いゲート金属薄膜により作成され、且つ、ゲートラインとゲート電極の連結のためにだけ用いられるので、連結電極はゲート電極の中部位置に配置されることができ、連結電極の幅はゲート電極より狭い。また、連結電極がドレイン電極とゲート電極との重合領域以外に位置するように、連結電極の幅を T F T チャンネル領域より狭くさせることにより、連結電極の寄生容量に対する影響を防止することが望ましい。

【 0 0 5 0 】

最後に、図 2 2 と図 2 3 に示したように、残されたフォトリジストを除去し、本発明の第 2 の実施例に係る T F T - L C D アレイ基板の第 4 回目のパターニングプロセスが完成される。

【 0 0 5 1 】

以上で説明した 4 回のパターニングプロセスは、本発明に係る T F T - L C D アレイ基板を製造する一種の実現方法にすぎない。実際には、パターニングプロセスを増やしたり、減らしたりすることができる。また、異なる材料を選択し、又は材料を組み立てることによって本発明を実現することもできる。例えば、本発明に係る T F T - L C D アレイ基板の第 2 回目のパターニングプロセスは、二回のパターニングプロセスによって完成してもよい。即ち、一回は常用のマスクを採用するパターニングプロセスによって活性層のパターンを形成し、一回は常用のマスクを採用するパターニングプロセスによって、データライン、ソース電極、ドレイン電極のパターンを形成する。また、例えば、本発明に係る T F T - L C D アレイ基板の第 4 回目のパターニングプロセスは、二回のパターニングプロセスによって完成してもよい。即ち、一回は常用のマスクを採用するパターニングプロセスによってゲート電極と画素電極のパターンを形成し、一回は常用のマスクを採用するパターニングプロセスによってゲートラインと連結電極のパターンを形成する。

【 0 0 5 2 】

本発明の上記実施例に係る T F T - L C D アレイ基板において、ゲート電極は厚さが薄い透明導電薄膜材料より作成され、且つ、透明導電薄膜の厚さが薄いため、ゲート電極を作成する場合、同一の基材における異なる位置のゲート電極両側の勾配角度の差を低減することができると共に、ゲート電極両側の勾配が占める面積を低減することができる。これにより、ゲート電極両側の勾配角度の差がドレイン電極とゲート電極との重合面積に対する影響が小さくなるため、異なる位置における薄膜トランジスタの寄生容量の差が低減され、T F T - L C D アレイ基板における各薄膜トランジスタのキックバック電圧  $V_p$  の差が有効に低減され、キックバック電圧による表示画面のフリッカ現象が減少され、T F T - L C D の表示品質が向上される。

【 0 0 5 3 】

本発明の第 1 の実施例に係る T F T - L C D アレイ基板の製造方法は、以下のステップを備える。

【 0 0 5 4 】

即ち、基板にゲート金属薄膜を堆積し、パターニングプロセスによりゲートラインと遮蔽層を含むパターンを形成するステップ 1 1 と、ステップ 1 1 を完成した基板に、第 1 の絶縁層と透明導電薄膜を順次堆積し、パターニングプロセスにより、ゲート電極と画素電極を含むパターンを形成し、透明導電薄膜材料を採用したゲート電極は前記遮蔽層の上方に位置するステップ 1 2 と、ステップ 1 2 を完成した基板に、第 2 の絶縁層と半導体薄膜とドープ半導体薄膜とを順次堆積し、パターニングプロセスにより、半導体層とドープ半導体層を含んでゲート電極の上方に位置する活性層と、前記画素電極が存在する箇所に位置する第 1 のビアホールと、前記ゲート電極が存在する箇所に位置する第 2 のビアホールと、前記ゲートラインが存在する箇所に位置する第 3 のビアホールを含むパターンを形成するステップ 1 3 と、ステップ 1 3 を完成した基板に、ソース・ドレイン金属薄膜を堆積し、パターニングプロセスにより、データラインと、一端は活性層に位置すると共に、他の一端は前記第 1 のビアホールを介して画素電極に接続されるドレイン電極と、一端は活性層に位置すると共に他の一端はデータラインに接続されるソース電極と、一端は前記第

2のビアホールを介してゲート電極に接続されると共に、他の一端は前記第3のビアホールを介してゲートラインに接続される連結電極とを含むパターンを形成するステップ14と、ステップ14を完成した基板に、第3の絶縁層を堆積し、パターニングプロセスにより、ゲートラインパッド領域のゲートラインパッドビアホール及びデータラインパッド領域のデータラインパッドビアホールを含むパターンを形成するステップ15と、を備える。

【0055】

また、上記の実施例において、前記ステップ13は以下のようなサブステップを備える。

【0056】

即ち、プラズマ強化化学的気相蒸着法により、第2の絶縁層、半導体薄膜及びドープ半導体薄膜を順次堆積するステップ131と、前記ドープ半導体薄膜に一層のフォトレジストを塗布するステップ132と、ハーフトーン又はグレートーンマスクを採用して露光を行うと共に、露光した後のフォトレジストに対して現像処理することで、フォトレジストを、第1のビアホール、第2のビアホール及び第3のビアホールのパターンが存在する領域に対応するフォトレジスト完全除去領域と、活性層のパターンが存在する領域に対応するフォトレジスト完全保留領域と、上記のパターン以外の領域に対応しフォトレジスト部分保留領域に形成させ、フォトレジスト完全保留領域のフォトレジストの厚さに変化がなく、フォトレジスト完全除去領域のフォトレジストが完全に除去され、フォトレジスト部分保留領域のフォトレジストの厚さが薄くなるステップ133と、第1回目のエッチングプロセスにより、画素電極が存在する箇所に位置する第1のビアホールと、ゲート電極が存在する箇所に位置する第2のビアホールと、ゲートラインが存在する箇所に位置する第3のビアホールとを含むパターンが形成されるステップ134と、アッシングプロセスにより、フォトレジスト部分保留領域のフォトレジストが除去され、当該領域のドープ半導体薄膜が露出されると共に、フォトレジスト完全保留領域におけるフォトレジストが保留されるステップ135と、第2回目のエッチングプロセスにより、フォトレジスト部分保留領域のドープ半導体薄膜と半導体薄膜が除去されて、半導体層とドープ半導体層を含んで前記ゲート電極の上方に位置する活性層を含むパターンが形成されるステップ136と、残されたフォトレジストを除去するステップ137と、を備える。

【0057】

上記のサブステップにおいて、前記ステップ134は、第1回目のエッチングプロセスにより、フォトレジスト完全除去領域における第1のビアホールと第2のビアホールのパターンが存在する位置で、ドープ半導体薄膜、半導体薄膜及び第2の絶縁層が完全にエッチングされて、第1のビアホールと第2のビアホールを含むパターンを形成し、前記第1のビアホールと第2のビアホール内のドープ半導体薄膜、半導体薄膜及び第2の絶縁層が完全にエッチングされて、第1のビアホールに画素電極の表面を露出させ、第2のビアホールにゲート電極の表面を露出させ、フォトレジスト完全除去領域における第3のビアホールが存在する位置で、ドープ半導体薄膜、半導体薄膜、第2の絶縁層及び第1の絶縁層が完全にエッチングされて、第3のビアホールを含むパターンを形成し、前記第3のビアホール内のドープ半導体薄膜、半導体薄膜、第2の絶縁層及び第1の絶縁層が完全にエッチングされて、第3のビアホールにゲートラインの表面を露出させるステップであってもよい。

【0058】

本実施例はボートゲート型構成のTFT-LCDアレイ基板を形成するための技術案であり、製造工程に関して、すでに前述した図4から図21に示した技術案において説明を行い、ここではその説明を省略する。

【0059】

また、他の実施例では、ボトムゲート型構造において金属薄膜を使用してゲート電極が形成される。これに関して、上述した実施例との区別はステップ12にある。当該実施例において、二回のパターニング工程により、画素電極に用いられる透明導電薄膜及びゲ-



ト電極に用いられるゲート電極金属薄膜に対して、それぞれパターニングを行うことにより、画素電極とゲート電極が形成され、又は、透明導電薄膜とゲート電極金属薄膜を順次堆積した後、ハーフトーン又はグレートーンマスクを利用して、透明導電薄膜とゲート電極金属薄膜の積層に対して、パターニングを行うことにより、ゲート電極と画素電極が形成されてもよい。

【 0 0 6 0 】

本発明の第2の実施例に係るTFT-LCDアレ基板の製造方法は、以下のステップを備える。

【 0 0 6 1 】

即ち、基板に遮光薄膜を堆積し、パターニングプロセスにより、遮蔽層を含むパターンを形成するステップ21と、ステップ21を完成した基板に、半導体薄膜、ドープ半導体薄膜及びソース・ドレイン金属薄膜を順次堆積し、パターニングプロセスにより、活性層、データライン、ソース電極及びドレイン電極を含むパターンを形成するステップ22と、ステップ22を完成した基板に、第1の絶縁層を堆積し、パターニングプロセスにより、第1のビアホールを含むパターンを形成し、前記第1のビアホールはドレイン電極が存在する箇所に位置するステップ23と、ステップ23を完成した基板に、透明導電薄膜とゲート金属薄膜とを順次堆積し、パターニングプロセスにより、透明導電薄膜材料を採用して遮蔽層の上方に位置するゲート電極と、第1のビアホールを介してドレイン電極に接続される画素電極と、ゲートラインと、一端はゲート電極に圧設されると共に、他の一端はゲートラインに接続される連結電極を含むパターンを形成するステップ24と、を備える。

【 0 0 6 2 】

上記の実施例において、前記ステップ21は以下のようなサブステップを備える。

【 0 0 6 3 】

即ち、スパッタリング法又は蒸着法により、基板に遮蔽金属薄膜を堆積するステップ211と、常用のマスクを採用して、パターニングプロセスにより、遮蔽層を含むパターンを形成するステップ212と、を備える。

【 0 0 6 4 】

上記の実施例において、前記ステップ22は以下のようなサブステップを備える。

【 0 0 6 5 】

即ち、プラズマ強化化学的気相蒸着法により、半導体薄膜とドープ半導体薄膜を順次堆積するステップ221と、スパッタリング法又は蒸着法により、ソース・ドレイン金属薄膜を堆積するステップ222と、前記ソース・ドレイン金属薄膜に一層のフォトレジストを塗布するステップ223と、ハーフトーン又はグレートーンマスクを採用して露光を行うと共に、露光された後のフォトレジストに対して現像処理することで、フォトレジストを、データライン、ソース電極及びドレイン電極のパターンが存在する領域に対応するフォトレジスト完全保留領域と、TFTチャンネル領域のパターンが存在する領域に対応するフォトレジスト部分保留領域と、上記のパターン以外の領域に対応するフォトレジスト完全除去領域に形成させ、フォトレジスト完全保留領域のフォトレジストの厚さに変化がなく、フォトレジスト完全除去領域のフォトレジストが完全に除去され、フォトレジスト部分保留領域のフォトレジストの厚さが薄くなるステップ224と、第1回目のエッチングプロセスにより、フォトレジスト完全除去領域のソース・ドレイン金属薄膜、ドープ半導体薄膜及び半導体薄膜が完全にエッチングされて、活性層とデータラインを含むパターンが形成されるステップ225と、アッシングプロセスにより、フォトレジスト部分保留領域のフォトレジストが除去されて、当該領域のソース・ドレイン金属薄膜が露出されると共に、フォトレジスト完全保留領域におけるフォトレジストが保留されるステップ226と、第2回目のエッチングプロセスにより、フォトレジスト部分保留領域のソース・ドレイン金属薄膜とドープ半導体薄膜が完全にエッチングされると共に、半導体薄膜の厚さの一部がエッチングされて、ソース電極、ドレイン電極及びTFTチャンネル領域を含むパターンが形成されるステップ227と、残されたフォトレジストを除去するステップ2

28と、を備える。

【0066】

上記の実施例において、上記ステップ24は以下のようなサブステップを備える。

【0067】

即ち、スパッタリング法又は蒸着法により、透明導電薄膜とゲート金属薄膜を順次堆積するステップ241と、前記ゲート金属薄膜に一層のフォトリソを塗布するステップ242と、ハーフトーン又はグレートーンマスクを採用して露光を行うと共に、露光された後のフォトリソに対して現像処理することで、フォトリソを、ゲートラインと連結電極のパターンが存在する領域に対応するフォトリソ完全保留領域と、ゲート電極と画素電極のパターンが存在する領域に対応するフォトリソ部分保留領域と、上記のパターン以外の領域に対応するフォトリソ完全除去領域とに形成させ、フォトリソ完全保留領域のフォトリソの厚さに変化がなく、フォトリソ完全除去領域のフォトリソが完全に除去され、フォトリソ部分保留領域のフォトリソの厚さが薄くなるステップ243と、第1回目のエッチングプロセスにより、フォトリソ完全除去領域のゲート金属薄膜と透明導電薄膜が完全にエッチングされて、ゲートラインを含むパターンが形成されるステップ244と、アッシングプロセスにより、フォトリソ部分保留領域のフォトリソが除去されて、当該領域のゲート金属薄膜が露出されると共に、フォトリソ完全保留領域におけるフォトリソが保留されるステップ245と、第2回目のエッチングプロセスにより、フォトリソ部分保留領域のゲート金属薄膜が完全にエッチングされて、透明導電薄膜材料を採用して遮蔽層の上方に位置するゲート電極と、第1のビアホールを介してドレイン電極に接続される画素電極と、一端はゲート電極に圧設されると共に他の一端はゲートラインに接続されることにより、ゲート電極をゲートラインに接続させる連結電極を含むパターンが形成されるステップ246と、残されたフォトリソを除去するステップ247と、を備える。

【0068】

本実施例はトップゲート型構成のTF-T-LCDアレイ基板を形成するための技術案であり、製造工程に関して、すでに前述した図24から図33に示した技術案において説明を行い、ここではその説明を省略する。

【0069】

本発明に係るTF-T-LCDアレイ基板の製造方法において、ゲート電極は厚さが薄い透明導電薄膜材料より作成されるため、ゲート電極を作成する場合、同一の基材における異なる位置のゲート電極両側の勾配角度の差を低減することができると共に、ゲート電極両側の勾配が占める面積を低減することができる。これにより、ゲート電極両側の勾配角度の差がドレイン電極とゲート電極との重合面積に及ぼす影響が小さくなるため、異なる位置における薄膜トランジスタの寄生容量の差が低減され、TF-T-LCDアレイ基板における各薄膜トランジスタのキックバック電圧 $V_p$ の差が有効に低減され、キックバック電圧による表示画面のフリッカ現象が減少され、TF-T-LCDの表示品質が向上される。

【0070】

上記の実施例は、本発明の技術案に関して説明しただけであり、これらに限定されるものではない。具体的実施例を参考しながら本発明に関して詳しく説明したが、当業者として、上記の各実施例に記載の技術案に対して変形したり、又は、その中の技術特徴に均等的な技術的要件を採用したりすることができることを言うまでもない。このような変形や取替えは、対応する技術案の実質を本発明の各実施例の技術案の精神と範囲から逸脱させるものではないことを理解しておくべきである。

【符号の説明】

【0071】

- 1...基板
- 2...ゲート電極
- 3a...第1の絶縁層

10

20

30

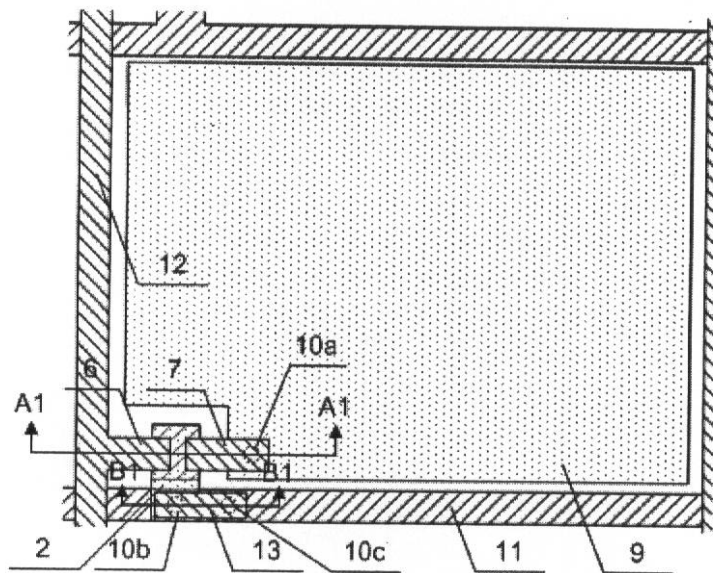
40

50

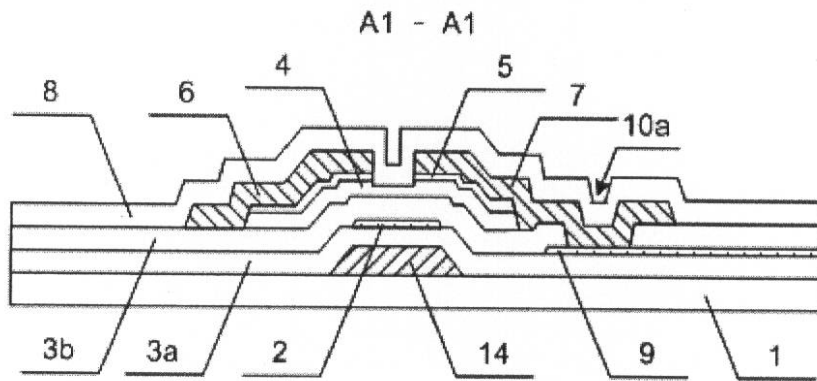
- 3 b ... 第 2 の絶縁層
- 4 ... 半導体層
- 5 ... ドープ半導体層
- 6 ... ソース電極
- 7 ... ドレイン電極
- 8 ... 第 3 の絶縁層
- 9 ... 画素電極
- 10 a ... 第 1 のビアホール
- 10 b ... 第 2 のビアホール
- 10 c ... 第 3 のビアホール
- 11 ... ゲートライン
- 12 ... データライン
- 13 ... 連結電極
- 14 ... 遮蔽層
- 21 ... 半導体薄膜
- 22 ... ドープ半導体薄膜
- 23 ... 透明導電薄膜
- 24 ... ゲート金属薄膜
- 30 ... フォトリソスト

10

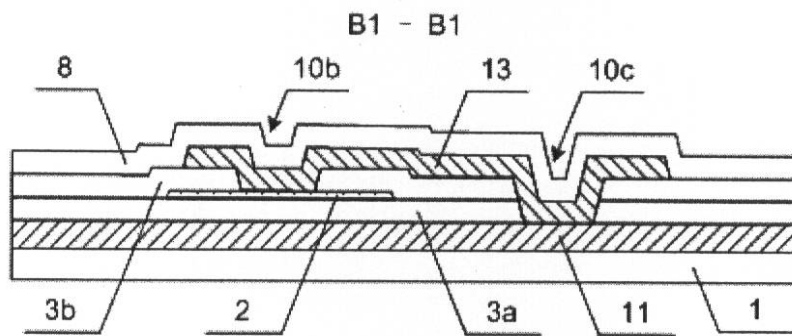
【図 1】



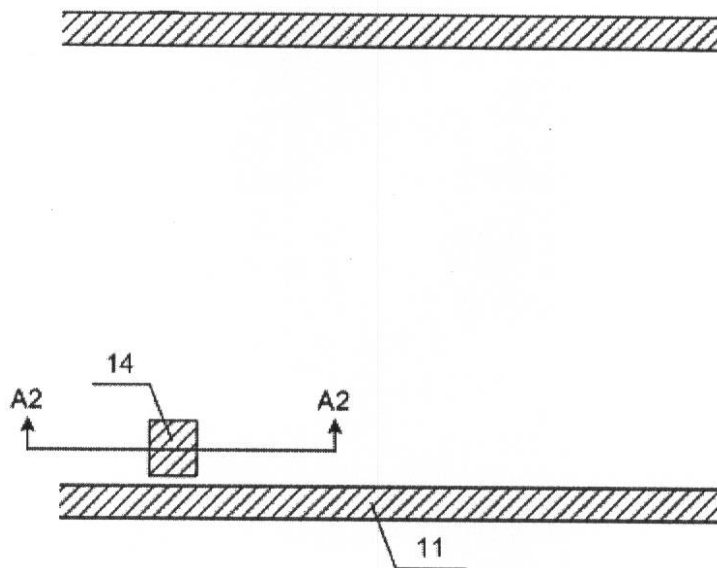
【図2】



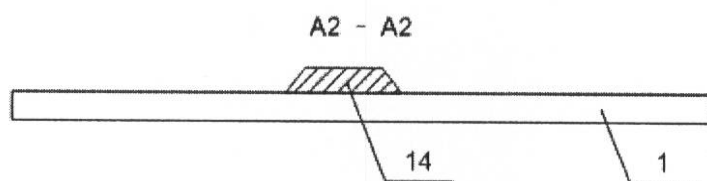
【図3】



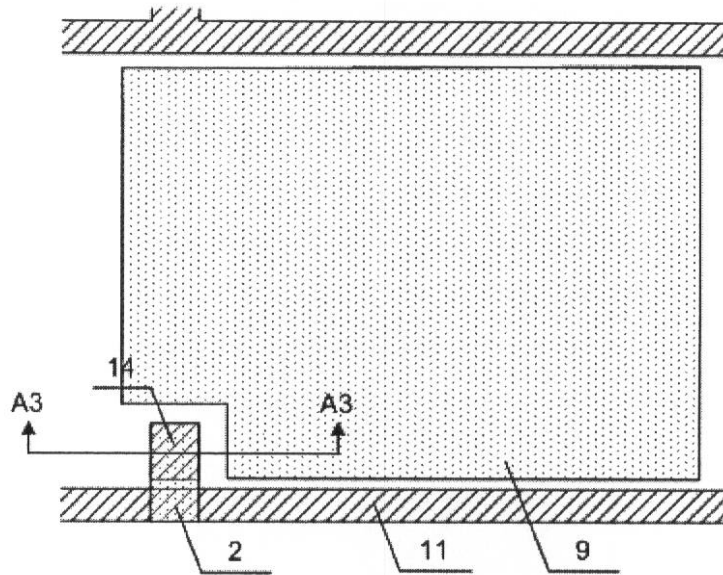
【図4】



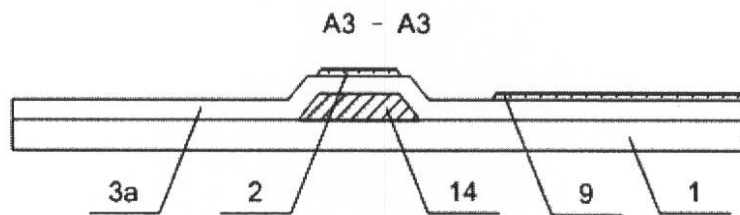
【図5】



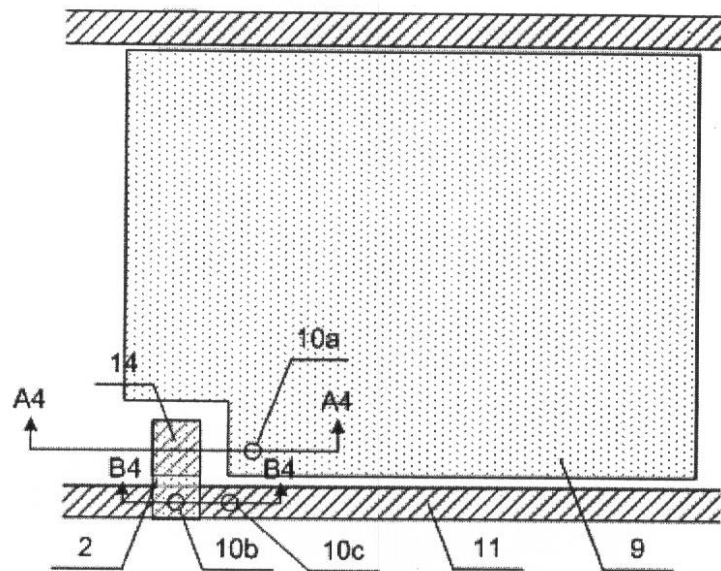
【図 6】



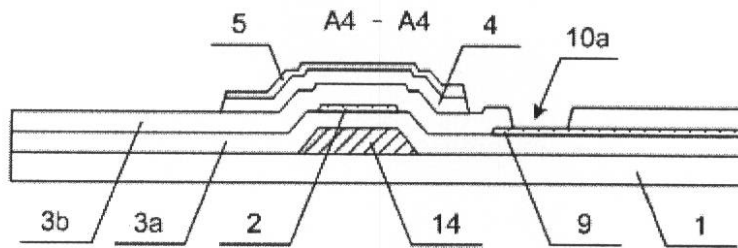
【図 7】



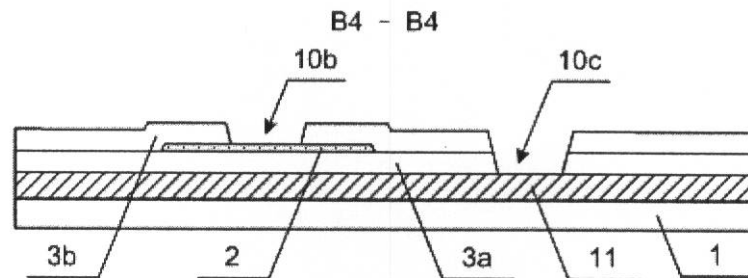
【図 8】



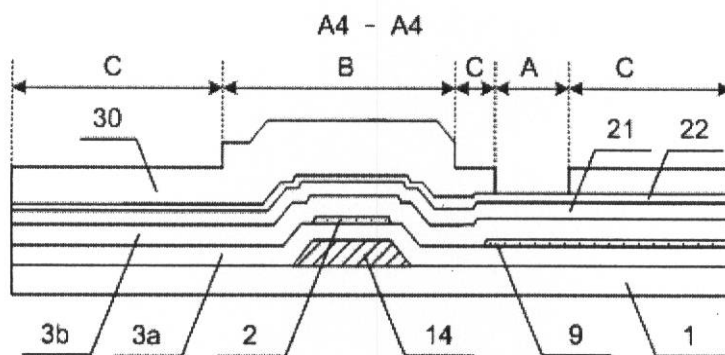
【図 9】



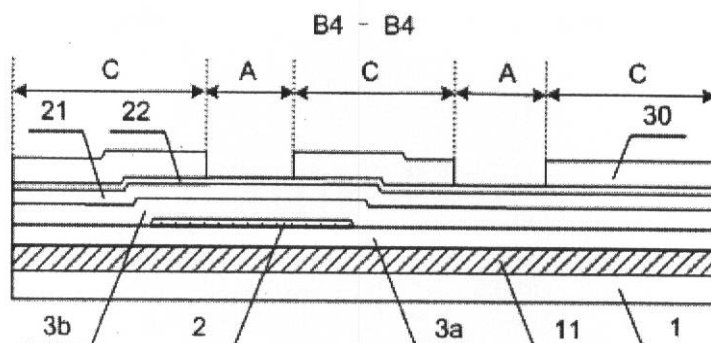
【図 10】



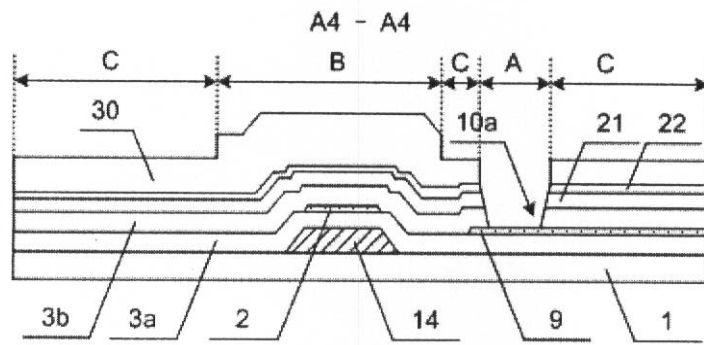
【図 11】



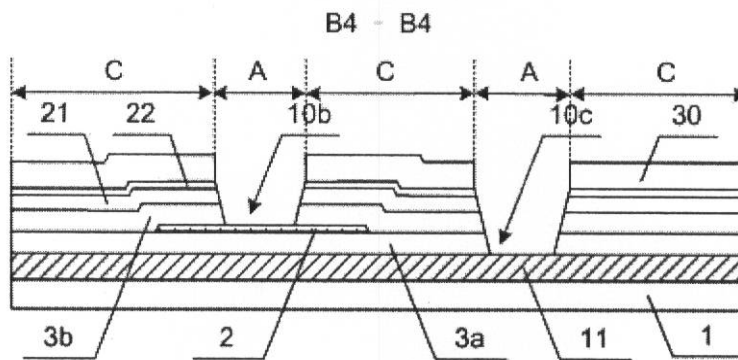
【図 12】



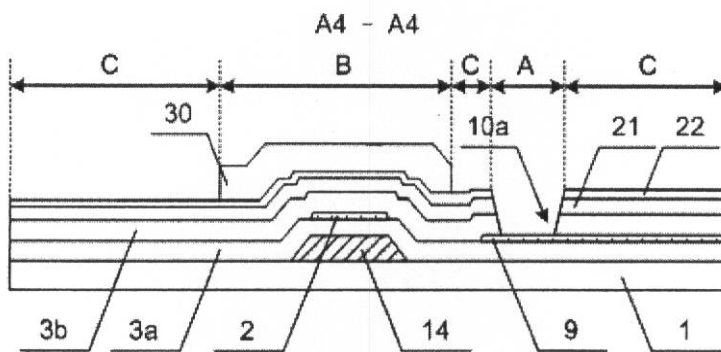
【図 13】



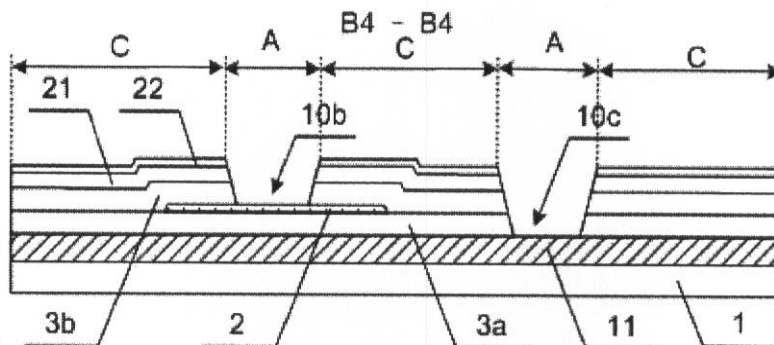
【図 14】



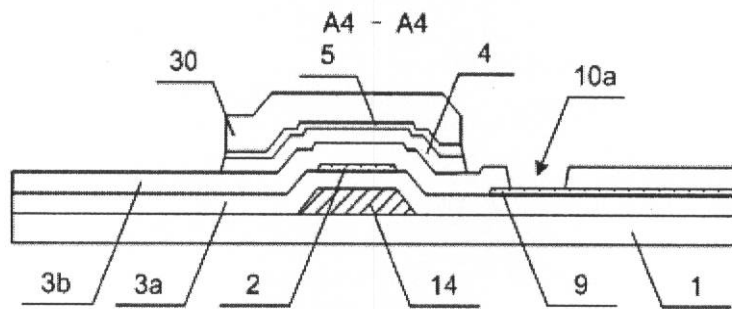
【図 15】



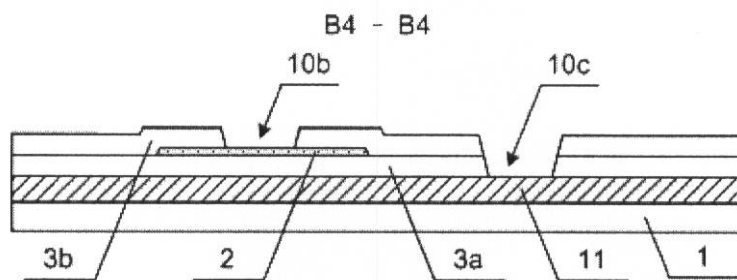
【図 16】



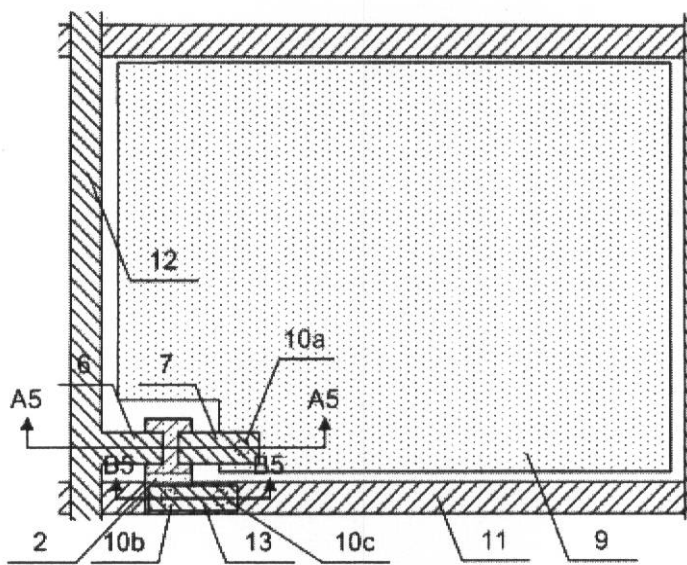
【図 17】



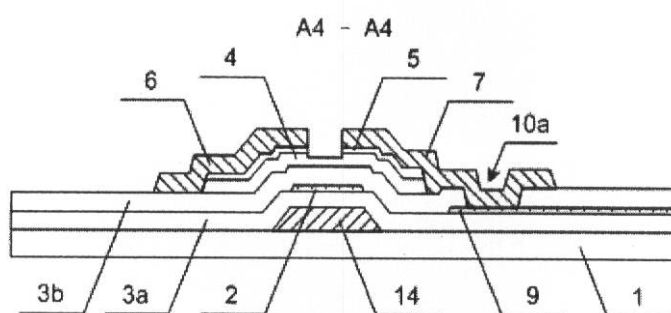
【図 18】



【図 19】

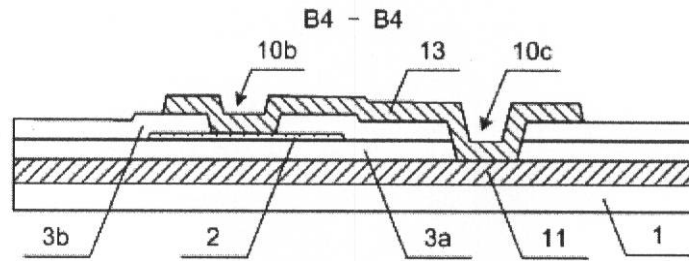


【図 20】

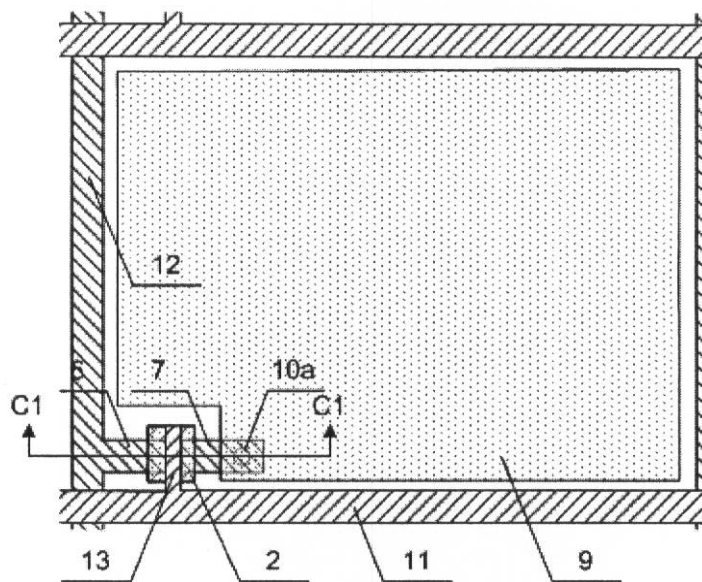




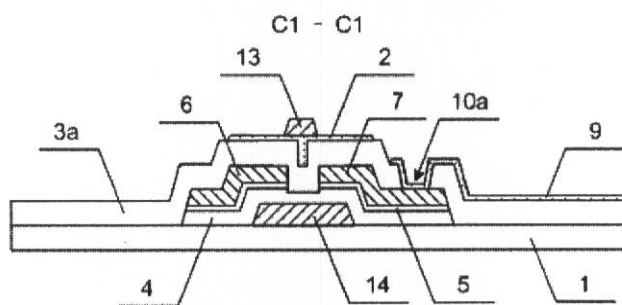
【 図 2 1 】



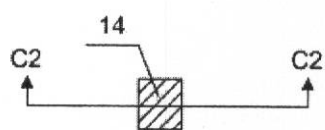
【 図 2 2 】



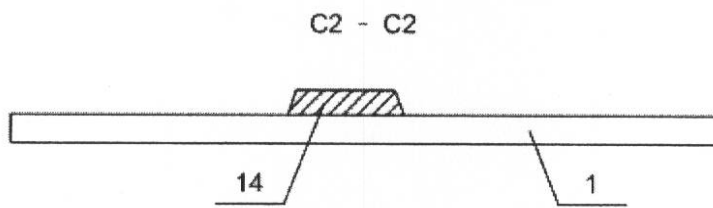
【圖 23】



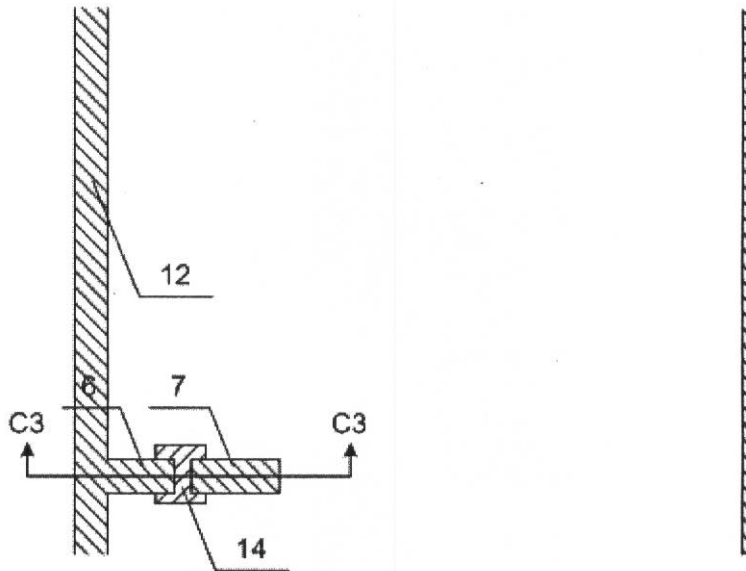
【 図 2 4 】



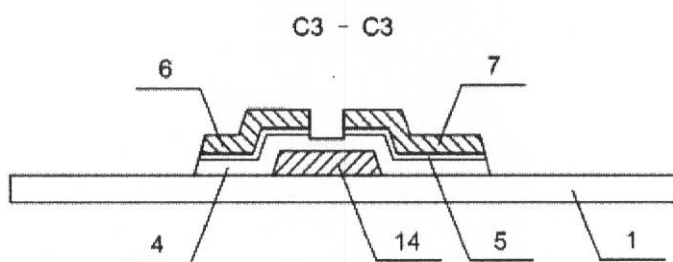
【図 25】



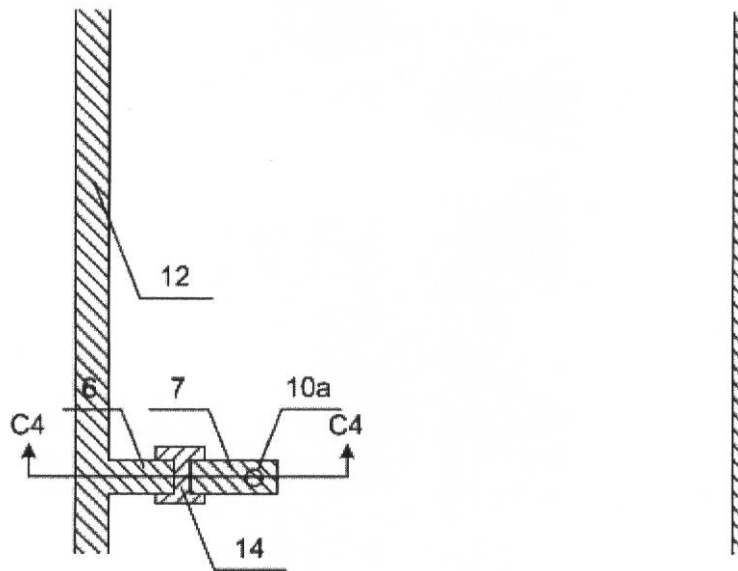
【図 26】



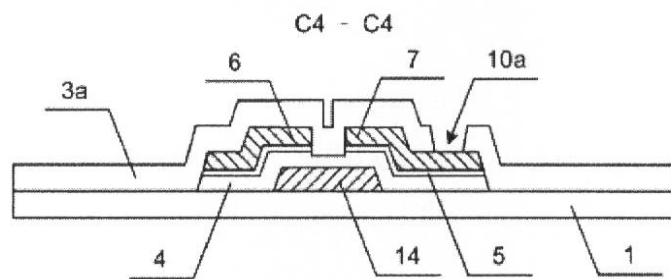
【図 27】



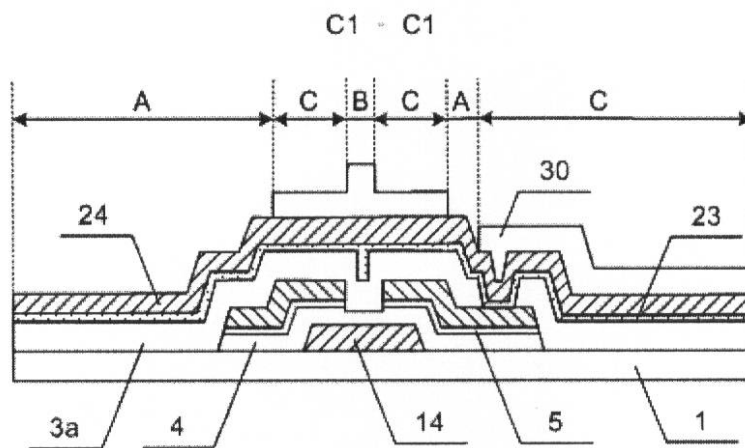
【図 28】



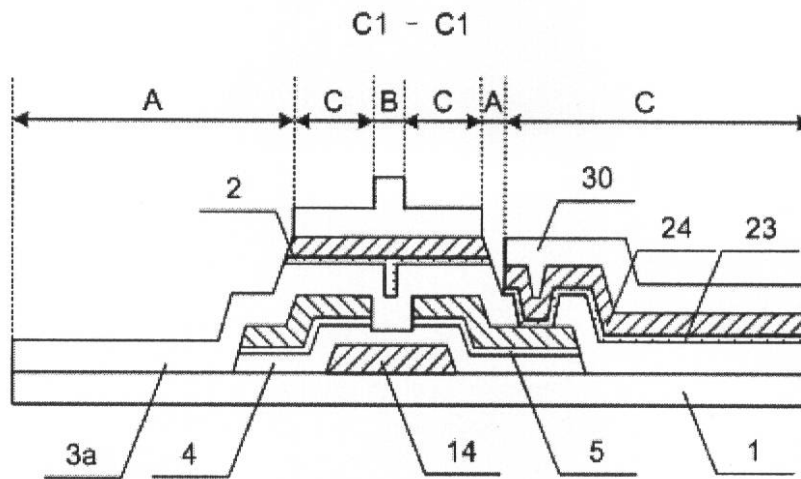
【図 29】



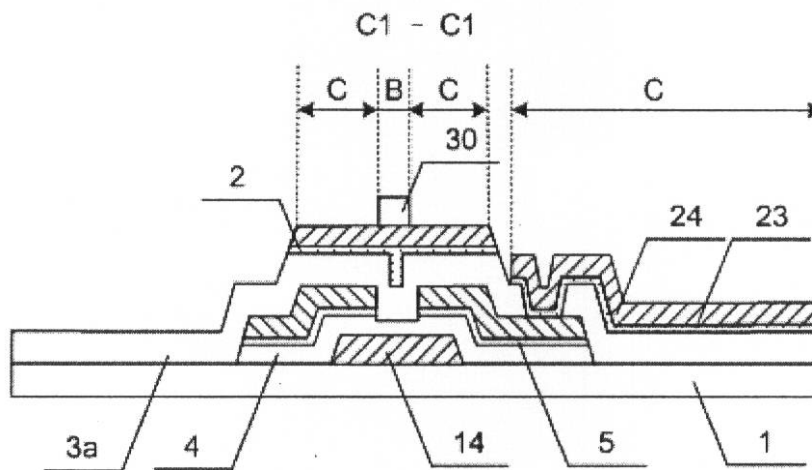
【図 30】



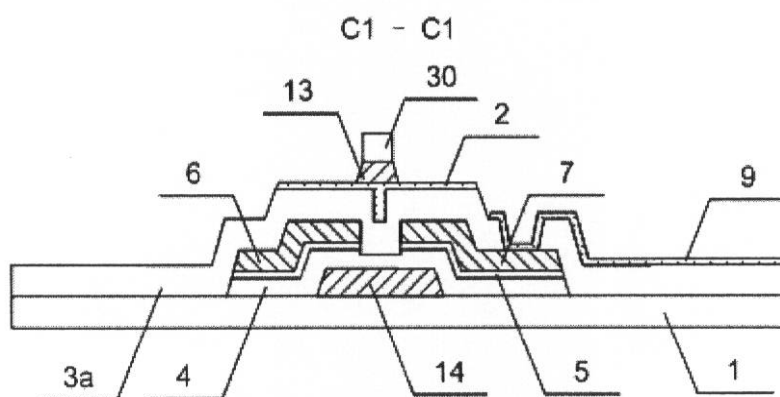
【図 3 1】



【図 3 2】



【図 3 3】



---

フロントページの続き

(56)参考文献 特開2003-273365(JP,A)  
特開2002-057341(JP,A)  
特開2000-122093(JP,A)  
特開2006-201245(JP,A)  
特開平04-026825(JP,A)  
特開2006-267795(JP,A)  
特開平08-050308(JP,A)  
特開平02-157729(JP,A)  
特開2002-131783(JP,A)  
特開平09-026600(JP,A)  
特開2005-123438(JP,A)  
特開2009-122656(JP,A)  
特開平08-136951(JP,A)  
特開平06-018921(JP,A)  
特開2008-286911(JP,A)  
特開2007-298649(JP,A)  
特開2009-076736(JP,A)  
特開2008-022028(JP,A)  
特開2009-042255(JP,A)  
特開平02-198430(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786  
G02F 1/1368  
H01L 21/336