(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3573824号

(P3573824)

(45)発行日　平成16年10月6日(2004.10.6)　(24)登録日　平成16年7月9日(2004.7.9)

(51)Int.Cl.[7]	F I		
H03K 21/40	H03K	21/40	A
G09G 3/20	H03K	21/40	Z
H01L 21/336	G09G	3/20	R
H01L 29/786	H01L	29/78	612Z

請求項の数 16　(全 14 頁)

(21)出願番号　特願平7-120677
(22)出願日　平成7年4月20日(1995.4.20)
(65)公開番号　特開平8-8728
(43)公開日　平成8年1月12日(1996.1.12)
審査請求日　平成14年4月22日(2002.4.22)
(31)優先権主張番号　特願平6-107574
(32)優先日　平成6年4月22日(1994.4.22)
(33)優先権主張国　日本国(JP)

前置審査

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　河崎　祐司
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　石井　研一

(56)参考文献　特開平０３－１７９３９１（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】冗長化シフトレジスタ回路

(57)【特許請求の範囲】

【請求項１】

薄膜トランジスタで構成されたシフトレジスタ回路において、

前記シフトレジスタ回路は直列接続された複数のシフトレジスタ群から構成され、

前記シフトレジスタ群は複数のシフトレジスタ行と前記複数のシフトレジスタ行のいずれか１行の行方向の出力を選択するシフトレジスタ行切り替えスイッチから構成され、

前記シフトレジスタ行は直列接続した複数のシフトレジスタと、前記シフトレジスタ行の行方向の出力に接続した障害検出用端子から構成され、前記障害検出用端子の測定によって、前記シフトレジスタ行に不良を検出した場合に外部端子により電圧を印可することで、前記シフトレジスタ行切り替えスイッチを動作させ、他のシフトレジスタ行に前記シフトレジスタ行切り替えスイッチを固定させ、

かつ前記複数のシフトレジスタ行の前記シフトレジスタ行切り替えスイッチが固定された前記シフトレジスタ行の列方向の出力を選択するシフトレジスタ列切り替えスイッチが、当該シフトレジスタ行切り替えスイッチを有するシフトレジスタ群におけるシフトレジスタの各列に接続されていることを特徴とする冗長化シフトレジスタ回路。

【請求項２】

請求項１において、前記シフトレジスタ行切り替えスイッチはマルチプレクサ回路で構成されることを特徴とする冗長化シフトレジスタ回路。

【請求項３】

請求項２において、前記マルチプレクサ回路はプライオリティエンコーダ回路で制御され

ることを特徴とする冗長化シフトレジスタ回路。
【請求項４】
請求項２において、前記マルチプレクサ回路は抵抗器または抵抗器と薄膜トランジスタにより構成されたバイアス回路により制御されることを特徴とする冗長化シフトレジスタ回路。
【請求項５】
請求項３において、前記プライオリティエンコーダ回路は抵抗器または抵抗器と薄膜トランジスタにより構成されたバイアス回路により制御されることを特徴とする冗長化シフトレジスタ回路。
【請求項６】
請求項４または請求項５において、前記バイアス回路の出力電位は、レベルＨまたはレベルＬに固定されていることを特徴とする冗長化シフトレジスタ回路。
【請求項７】
請求項４または請求項５において、前記バイアス回路は外部端子に接続され、前記外部端子に印加される電圧によって、任意にレベルＨまたはレベルＬの電圧を出力することが可能であることを特徴とする冗長化シフトレジスタ回路。
【請求項８】
請求項６において、前記バイアス回路はレーザ照射または高電圧印加により配線を切断することによって、前記出力電位を変更することが可能であることを特徴とする冗長化シフトレジスタ回路。
【請求項９】
請求項１乃至８のいずれか一において、前記シフトレジスタ列切り替えスイッチはマルチプレクサ回路で構成され、前記マルチプレクサ回路はシフトレジスタ行切り替えスイッチを制御するプライオリティエンコーダ回路またはバイアス回路によって制御されることを特徴とする冗長化シフトレジスタ回路。
【請求項１０】
請求項９において、前記シフトレジスタ列切り替えスイッチを構成するマルチプレクサ回路の数は、前記複数のシフトレジスタ行のいずれか１行を構成する複数のシフトレジスタの数と同数であることを特徴とする冗長化シフトレジスタ回路。
【請求項１１】
請求項１乃至１０のいずれか一において、前記シフトレジスタ行切り替えスイッチを固定する手段として、前記バイアス回路の配線をレーザ照射または高電圧印加により分断することを特徴とする冗長化シフトレジスタ回路。
【請求項１２】
請求項１乃至１１のいずれか一において、前記シフトレジスタは相補型トランジスタで構成されることを特徴とする冗長化シフトレジスタ回路。
【請求項１３】
請求項１乃至１２のいずれか一において、前記シフトレジスタを構成する薄膜トランジスタは６００℃以下のプロセスで製造されることを特徴とする冗長化シフトレジスタ回路。
【請求項１４】
請求項１乃至１３のいずれか一において、前記シフトレジスタを構成する薄膜トランジスタは８００℃以上のプロセスで製造されることを特徴とする冗長化シフトレジスタ回路。
【請求項１５】
請求項１乃至１４のいずれか一において、前記シフトレジスタはクロックトインバータを有することを特徴とする冗長化シフトレジスタ回路。
【請求項１６】
請求項１乃至１５のいずれか一において、前記シフトレジスタはトランスミッションゲートを有することを特徴とする冗長化シフトレジスタ回路。
【発明の詳細な説明】
【０００１】

【産業上の利用分野】
本発明は、薄膜トランジスタで構成されるシフトレジスタ回路に関し、特に冗長化したシフトレジスタ回路に関する。
【０００２】
【従来の技術】
薄膜トランジスタを使用したシフトレジスタは、イメージセンサ・液晶表示装置の駆動回路に用いられ、特に最近アクティブマトリクス型の表示装置の駆動回路に用いることが盛んである。
アクティブマトリクス型の表示装置とは、マトリクスの各交差部に画素が配置され、全ての画素にはスイッチング用の素子が設けられており、画像情報はスイッチング素子のオン・オフによって制御されるものをいう。このような表示装置の表示媒体としては液晶、プラズマ、その他、電気的に光学特性（反射率、屈折率、透過率、発光強度等）を変化させることが可能な物体、状態を用いる。本発明ではスイッチング素子として、特に三端子素子、すなわち、ゲート、ソース、ドレインを有する電界効果型トランジスタを用いる。
【０００３】
また、マトリクスにおける行とは、当該行に平行に配置された信号線（ゲート線）が当該行のトランジスタのゲート電極に接続されているものを言い、列とは、当該列に平行に配置された信号線（ソース線）が当該列のトランジスタのソース（もしくはドレイン）電極に接続されているものを言う。さらに、ゲート線を駆動する回路をゲート駆動回路、ソース線を駆動する回路をソース駆動回路と称する。
【０００４】
前記ゲート駆動回路ではアクティブマトリクス型表示装置の垂直方向走査タイミングの信号を発生するため、垂直方向のゲート線数のシフトレジスタが１列に直列に接続している。このようにして、該ゲート駆動回路でアクティブマトリクス型表示装置内の薄膜トランジスタのスイッチングを行なっている。
前記ソース駆動回路ではアクティブマトリクス型表示装置の表示する画像データの水平方向画像データを表示させるため、水平方向のソース線数のシフトレジスタが１列に直列に接続している。また水平走査信号に同期したラッチパルスで前記アナログスイッチをオン・オフする。このようにして、該ソース駆動回路でアクティブマトリクス型表示装置内の薄膜トランジスタに電流を流し、液晶セルの配向をコントロールしている。
【０００５】
一般のアクティブマトリクス型表示装置について図５で説明する。
シフトレジスタＸで水平方向走査タイミングの信号を発生させ、ビデオ信号を前記タイミング信号でアナログメモリに保持させる。前記アナログメモリに保持された画像データは、前記ラッチパルスによるタイミングでアナログバッファに入力される。前記アナログバッファは、前記ラッチパルスによるタイミングで画像データをアクティブマトリクス型表示装置内の薄膜トランジスタのソース線に供給する。
【０００６】
一方シフトレジスタＹは、垂直方向走査タイミングの信号を発生させ、前記アクティブマトリクス型表示装置内の薄膜トランジスタのゲート線に信号を入力することで、該薄膜トランジスタのソース線に加えられた電流が流れ、該薄膜トランジスタのドレイン線に接続された液晶の配向を決める。
以上のようにして、アクティブマトリクス型表示装置は動作している。
一般にシフトレジスタは、図６に示すような回路がありＤ型フリップフロップを使用したものが多く用いられる。図６ａはアナログスイッチを使用したものであり、図６ｂはクロックトインバータを使用したものである。以下その動作を説明する。
【０００７】
図６ａにおいて、動作クロックＣＫのレベルＨ、入力信号データのレベルＨの場合、ａ－１の相補型トランスミッションゲートが導通し、入力信号データは、ａ－２の相補型インバータ回路に入力される。従ってａ－２の相補型インバータ回路の出力端子では信号のレ

ベルはＬになる。尚、この時ａ－４・ａ－５各々の相補型トランスミッションゲートは非導通状態である。

【０００８】

動作クロックＣＫがレベルＬに変化すると、ａ－１の相補型トランスミッションゲートは非導通状態になり、ａ－４・ａ－５の相補型トランスミッションゲートが導通状態になる。このことにより信号のレベルは、ａ－２の相補型インバータ回路の出力端子で見ると、Ｌで保持される。

【０００９】

また、ａ－５の相補型トランスミッションゲートが導通状態になるため、ａ－６の相補型インバータ回路の出力端子では、レベルＨの出力となる。この時、ａ－８の相補型トランスミッションゲートは非導通状態である。

【００１０】

動作クロックＣＫがレベルＨに再び変化すると、ａ－５の相補型トランスミッションゲートが非導通状態になり、ａ－８の相補型トランスミッションゲートは導通状態になり、以前の信号のレベルを保持する。従って、ａ－６の相補型インバータ回路の出力端子でみると、動作クロックＣＫに同期して、入力信号データのレベルＨを保持することが可能になる。

【００１１】

以上のようにして、トランスミッションゲートを使用してＤ型フリップフロップが構成できる。また、入力信号データのレベルがＬの場合も同様である。

【００１２】

図６ｂにおいて、動作クロックＣＫのレベルＨ、入力信号データのレベルＨの場合、ｂ－１の相補型クロックトインバータ回路の出力端子での信号レベルはＬになり、ｂ－２の相補型インバータ回路の出力端子での信号レベルはＨになる。この時ｂ－３・ｂ－４各々の相補型クロックトインバータ回路は非導通状態である。

【００１３】

動作クロックＣＫのレベルがＬに変化すると、ｂ－３とｂ－４の相補型クロックトインバータ回路が導通する。従って、ｂ－２の相補型インバータ回路の出力端子では信号レベルＨを保持する。そして、ｂ－５の相補型インバータ回路の出力端子での信号レベルはＨになる。この時ｂ－６の相補型クロックトインバータ回路は非導通状態である。

【００１４】

動作クロックＣＫのレベルが再びＨに変化すると、ｂ－４の相補型クロックトインバータ回路は非導通状態になり、ｂ－６の相補型クロックトインバータ回路は導通状態になる。従って、ｂ－５の相補型インバータ回路の出力端子では、動作クロックの周期に同期して、入力信号データのレベルＨを保持することが可能になる。

以上のようにして、クロックトインバータからＤ型フリップフロップが構成される。尚、入力信号データのレベルがＬでも同様である。

【００１５】

【発明が解決しようとする課題】

従来のアクティブマトリクス型表示装置のゲート・ソース駆動回路を構成している各々のシフトレジスタ回路は、図２ａ・ｂで示すように前記表示装置のゲート線またはソース線と同数のシフトレジスタが直列に接続している。

ゲート駆動回路の場合、各シフトレジスタの出力は図２ａに示すようにインバータ型のバッファ回路を介してゲート線に接続されている。

ソース駆動回路の場合、各シフトレジスタの出力は図２ｂに示すようにインバータ型のバッファ回路を介して、サンプリング用トランスミッションゲートの制御端子に接続されている。

【００１６】

このため、前記直列に接続したシフトレジスタの内、最低１個不具合のシフトレジスタが存在すると、該不具合シフトレジスタ及び前記不具合シフトレジスタより後段に接続され

るシフトレジスタから出力する前記表示装置の画像データと走査タイミングが正常でなくなり、正確な画像が得られなくなるという問題点を有している。
この問題はシフトレジスタの製造上の歩留りが原因となっている。
【００１７】
【課題を解決するための手段】
上述の課題を解決するため、本発明は次に示す手段を施す。
図１に示すように、シフトレジスタ単独（例えばSRA_i　）を複数個直列接続したものを、１つのシフトレジスタ行と定義する。そして、複数のシフトレジスタ行と複数のシフトレジスタ行の出力を選択するスイッチ回路１－２を、１つのシフトレジスタ群と定義する。
【００１８】
このとき、任意の１列のシフトレジスタ行を主系のシフトレジスタ行と定め、それ以外を予備系のシフトレジスタ行と定める。
前記シフトレジスタ群を複数直列に接続して、前記ゲート・ソース駆動回路を構成するシフトレジスタ回路とする。
前記シフトレジスタ群の主系・予備系の各々のシフトレジスタ行に対して前記各系に障害検知用端子１－１を備え、各シフトレジスタ行が正常動作するか確認できることを特徴とする。
【００１９】
前記シフトレジスタ群を接続している出力配線に、前記シフトレジスタ行を選択するためのシフトレジスタ行切り替えスイッチ１－２を備えることを特徴とする。
【００２０】
前記シフトレジスタ行切り替えスイッチ１－２は、常に電圧を印加しておき、任意の一方のバイアスに振ることにより、スイッチング動作することを特徴とするバイアス回路を有する。
【００２１】
前記シフトレジスタ行を選択すると同時に、前記シフトレジスタ行内のシフトレジスタ数と同数の前記シフトレジスタ列切り替えスイッチ１－３を備えることを特徴とする。
【００２２】
前記シフトレジスタ列切り替えスイッチ１－３は、多入力信号の内１つの信号を選択して出力信号とする。この時、該出力信号を選択する信号は前記バイアス回路の出力信号を利用して作られる。
【００２３】
前記障害検知用端子１－１で前記主系のシフトレジスタ行を検査し、不具合があった場合、前記予備系の任意のシフトレジスタ行を前記障害検知用端子１－１で検査し問題がなければ、前記シフトレジスタ行切り替えスイッチ１－２を該予備系のシフトレジスタ行に接続する。それと同時に、前記シフトレジスタ列切りり替えスイッチ１－３も予備系のシフトレジスタ行に接続する。
以上のようにして、前記シフトレジスタ群内のシフトレジスタ行を冗長化することで、前記シフトレジスタ回路全体の歩留りを向上させることができる。
【００２４】
【実施例】
まず、本発明に使用する薄膜デバイスについて説明する。
ここでは相補型インバータ回路を例にとる。ガラス基板（コーニング７０５９等の低アルカリガラスまたは石英ガラス等を使用する。）上に下地酸化膜として厚さ１０００～３０００Åの酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中でのスパッタ法を使用した。しかし、より量産性を高めるには、ＴＥＯＳをプラズマＣＶＤ法で分解・堆積した膜を用いてもよい。
【００２５】
その後、プラズマＣＶＤ法やＬＰＣＶＤ法によって非晶質珪素膜を３００～５０００Å、

好ましくは５００～１０００Å堆積し、これを、５５０～６００℃の還元雰囲気に４～４８時間放置して、結晶化せしめた。この工程の後に、レーザ照射によっておこなって、さらに結晶化の度合いを高めてもよい。そして、このようにして結晶化させた珪素膜をパターニングして島状領域１、２を形成した。さらに、この上にスパッタ法によって厚さ７００～１５００Åの酸化珪素膜３を形成した。

【００２６】

その後、厚さ１０００Å～３μmのアルミニウム（１ｗｔ％のＳｉ、もしくは０．１～０．３ｗｔ％のＳｃ（スカンジウム）を含む）膜を電子ビーム蒸着法もしくはスパッタ法によって形成した。そして、フォトレジスト（例えば、東京応化製、ＯＦＰＲ８００／３０ｃｐ）をスピンコート法によって形成した。フォトレジストの形成前に、陽極酸化法によって厚さ１００～１０００Åの酸化アルミニウム膜を表面に形成しておくと、フォトレジストとの密着性が良く、また、フォトレジストからの電流のリークを抑制することにより、後の陽極酸化工程において、多孔質陽極酸化物を側面のみに形成するうえで有効であった。その後、フォトレジストとアルミニウム膜をパターニングして、アルミニウム膜と一緒にエッチングし、ゲート電極４、５及びマスク膜６、７とした。（図１０ａ）

【００２７】

さらにこれに電解液中で電流を通じて陽極酸化し、厚さ３０００～６０００Å、例えば、厚さ５０００Åの陽極酸化物を形成した。陽極酸化は、３～２０％のクエン酸もしくはショウ酸、燐酸、クロム酸、硫酸等の酸性水溶液を用いておこない、１０～３０Ｖの一定電流をゲート電極に印加すればよい。本実施例ではシュウ酸溶液（３０℃）中で電圧を１０Ｖとし、２０～４０分、陽極酸化した。陽極酸化物の厚さは陽極酸化時間によって制御した。（図１０ｂ）

【００２８】

次に、マスクを除去し、再び電解溶液中において、ゲート電極に電流を印加した。今回は、３～１０％の酒石液、硼酸、硝酸が含まれたエチレングルコール溶液を用いた。溶液の温度は１０℃前後の室温より低い方が良好な酸化膜が得られた。このため、ゲート電極の上面および側面にバリヤ型の陽極酸化物１０、１１が形成された。陽極酸化物１０、１１の厚さは印加電圧に比例し、例えば、印加電圧が１５０Ｖでは２０００Åの陽極酸化物が形成された。陽極酸化物１０、１１の厚さは必要とされるオフセットの大きさによって決定したが、３０００Å以上の厚さの陽極酸化物を得るには２５０Ｖ以上の高電圧が必要であり、薄膜トランジスタの特性に悪影響を及ぼすので３０００Å以下の厚さとすることが好ましい。本実施例では８０～１５０Ｖまで上昇させ、必要とする陽極酸化膜１０、１１の厚さによって電圧を選択した。

【００２９】

注目すべきは、バリヤ型の陽極酸化が後の工程であるにもかかわらず、多孔質の陽極酸化物の外側にバリヤ型の陽極酸化物ができるのではなく、バリヤ型の陽極酸化物１０、１１は多孔質陽極酸化物８、９とゲート電極４、５の間に形成されることである。

【００３０】

そして、ドライエッチング法（もしくはウェットエッチング法）によって絶縁膜３をエッチングした。このエッチング深さは任意であり、下に存在する活性層が露出するまでエッチングをおこなっても、その途中でとめてもよい。しかし、量産性・歩留り・均一性の観点からは、活性層に至るまでエッチングすることが望ましい。この際には陽極酸化物８、９、およびゲート電極４、５に覆われた領域の下側の絶縁膜（ゲート絶縁膜）にはもとの厚さの絶縁膜１２、１３が残される。（図１０ｃ）

【００３１】

その後、陽極酸化物８、９を除去した。エッチャントとしては、燐酸系の溶液、例えば、燐酸、酢酸、硝酸の混酸等が好ましい。この際、燐酸系のエッチャントにおいては、多孔質陽極酸化物のエッチングレートはバリヤ型陽極酸化物のエッチングレートの１０倍以上である。したがって、バリヤ型の陽極酸化物１０、１１は、燐酸系のエッチャントでは実質的にエッチングされないので、内側のゲート電極を守ることができた。

【００３２】
この構造で加速したＮ型もしくはＰ型の不純物のイオンを活性層に注入することによって、ソース・ドレインを形成した。まず、左側の薄膜トランジスタ領域をマスク１４によって覆った状態で、イオンドーピング法によって、比較的低速（典型的には、加速電圧は５～３０ｋＶ）の燐イオンを照射した。本実施例では加速電圧は２０ｋＶとした。ドーピングガスとしてはフォスフィン（PH_3）を用いた。ドーズ量は5×10^{14}～5×10^{15} cm^{-2}とした。この工程では、燐イオンは絶縁膜１３を透過できないので、活性層のうち、表面の露出された領域のみ注入され、Ｎチャネル型薄膜トランジスタのドレイン１５、ソース１６が形成された。（図１０ｄ）
【００３３】
次に、同じくイオンドーピング法によって、比較的高速（典型的には、加速電圧は６０～１２０ｋＶ）の燐イオンを照射した。本実施例では加速電圧は９０ｋＶとした。ドーズ量は1×10^{13}～5×10^{14} cm^{-2}とした。この工程では、燐イオンは絶縁膜１３を透過して、その下の領域にも到達するが、ドーズ量が少ないので、低濃度のＮ型領域１７、１８が形成された。（図１０ｅ）
【００３４】
燐のドーピングが終了したのち、マスク１４を除去し、今度は、Ｎチャネル型薄膜トランジスタをマスクして、同様に、Ｐチャネル型薄膜トランジスタにもソース１９、ドレイン２０、低濃度のＰ型領域２１、２２を形成した。そして、ＫｒＦエキシマレーザ（波長２４８ｎｍ、パルス幅２０ｎｓｅｃ）を照射して、活性層中に導入された不純物イオンの活性化をおこなった。
【００３５】
最後に、全面に層間絶縁物２３として、ＣＶＤ法によって酸化珪素膜を厚さ３０００～６０００Å形成した。そして、薄膜トランジスタのソース・ドレインにコンタクトホールを形成し、アルミニウム配線・電極２４、２５、２６を形成した。さらに２００～４００℃で水素アニールをおこなった。以上によって、薄膜トランジスタを用いた相補型インバータ回路が完成した。（図１０ｆ）
本実施例で述べるシフトレジスタは前記の相補型インバータを基本にしたものである。尚、駆動回路に用いられるシフトレジスタは、アクティブマトリクス型表示装置の画素ＴＦＴと同一基板上に形成される。
【００３６】
以下、本発明の実施例を説明する。図３に実施例を示す。
本実施例では、シフトレジスタ群内のシフトレジスタ行を構成するシフトレジスタの数は３個、主系・予備系のシフトレジスタ行は各１行の合計２行の場合で、シフトレジスタ群の数は正の整数かつ３の倍数（Ｎ／３）の場合を図示する。
最初に前記障害検知用端子で主系シフトレジスタ行を検査して、正常であれば前記シフトレジスタ行切り替えスイッチを主系シフトレジスタ行に接続する。前記障害検知用端子で前記主系シフトレジスタ行に不具合があれば、前記シフトレジスタ行切り替えスイッチを予備系シフトレジスタ行に接続する。
【００３７】
従来のシフトレジスタ回路と本発明によるシフトレジスタ回路について比較する。
図２のシフトレジスタSR_i　１個あたりの不良率をf_n　（$0<f_n<1$）とする。
図２より直列接続しているシフトレジスタの数をＮ（Ｎは正の整数かつ３の倍数）とすると、図２の従来のシフトレジスタ回路が正常動作する確率A_n　は、
$A_n=(1-f_n)^N$
となる。
【００３８】
図３より、シフトレジスタ群内のシフトレジスタ行を構成するシフトレジスタSRM_i、SRS_i　の各々の不良率もf_n　（$0<f_n<1$）で同じとする。
図３よりシフトレジスタ行の１行を全て直列接続したときのシフトレジスタの数をＮ（Ｎ

は正の整数かつ３の倍数）とする。また、シフトレジスタ行の１行を３個のシフトレジスタで構成する。

【００３９】

図３より１つのシフトレジスタ群の正常に動作しない確率B_nは、

$B_n = \{1-(1-f_n)^3\}^2$

従って図３よりシフトレジスタ回路全体が正常に動作する確率C_nは、シフトレジスタ群の数がＮ／３であることから

$$C_n = [1-\{1-(1-f_n)^3\}^2]^{N/3}$$
$$= [1-\{1-2(1-f_n)^3+(1-f_n)^6\}]^{N/3}$$
$$= [(1-f_n)^3\{2-(1-f_n)^3\}]^{N/3}$$

ここで、$F_n = 1-f_n$、ｒ＝Ｎ／３（ｒは正の整数）とすると、

$A_n = F_n{}^{3r}$

$C_n = F_n{}^{3r}(2-F_n{}^3)^r$

となる。

【００４０】

ここで、$0<f_n<1$より、

$0<(1-f_n)=F_n<1$

$0<F_n{}^3<1$

故に、

$1<(2-F_n{}^3)<2$

$1<(2-F_n{}^3)^r<2^r$

よって

$C_n - A_n = F_n{}^{3r}\{(2-F_n{}^3)^r-1\}>0$

従って、$A_n<C_n$となる。

【００４１】

例えば、ソース駆動回路内のシフトレジスタの数を、Ｎ＝４８０で、該シフトレジスタの不良率を０．００１とすると、従来のソース駆動回路が正常に動作する確率A_n'は、

$A_n' = (1-0.001)^{480} = 0.619$

となる。

本発明による冗長化したソース駆動回路が正常に動作する確率C_n'は、

$C_n' = [1-\{1-(1-(0.001)^3\}^2]^{480/3} = 0.999$

となる。よって、$A_n'<C_n'$が確認された。

【００４２】

以上のように、シフトレジスタ行を冗長化した場合の方が正常に動作する確率は高くなることがわかる。

これは、シフトレジスタ単独の不良率が同じであると仮定する限り、シフトレジスタ行内の接続シフトレジスタ数・シフトレジスタ行数・シフトレジスタ群数に関係なく、普遍的に成立することがわかる。

【００４３】

前記シフトレジスタ行切り替えスイッチの構成についての説明を以下図１１でおこなう。

前記シフトレジスタ行の出力端子を行専用のマルチプレクサ回路の入力端子に接続する。

前記各シフトレジスタ行に対応して、出力端子を持ったバイアス回路を設け、バイアス回路出力端子をプライオリティエンコーダ回路の入力端子に接続する。

【００４４】

プライオリティエンコーダ回路とは、ビット列の入力に対して該入力ビット列のＬであるビットの位置を２進数に変換して出力する回路である。

前記バイアス回路の出力を固定すると、前記プライオリティエンコーダ回路が該当するビ

ット列を出力する。前記プライオリティエンコーダ回路の出力端子は、インバータ回路を介して、前記行専用のマルチプレクサ回路の入力信号選択端子に接続される。
このようにして、前記プライオリティエンコーダ回路と前記行専用のマルチプレクサ回路を組み合わせて、前記シフトレジスタ行を選択することにより、前記シフトレジスタ行の切り替えスイッチを構成している。
【００４５】
例として、８ビットのプライオリティエンコーダ回路の等価回路を図７ａに示す。
例として、８入力のマルチプレクサ回路の等価回路を図７ｂに示す。
図４は、シフトレジスタ行が２行の場合である。該シフトレジスタ行の選択は２対１であるため、この場合は前記プライオリティエンコーダ回路は不要である。全シフトレジスタ行の出力配線が行専用のマルチプレクサ回路の入力端子に接続され、前記各シフトレジスタ行に対応して、バイアス回路を設け、前記バイアス回路の出力端子を前記マルチプレクサ回路の入力信号選択端子に接続する。
【００４６】
この例では、正常なシフトレジスタ行を確認できれば、該シフトレジスタ行に対応するバイアス回路にレベルＬのバイアスをかける。
このようにして、前記行専用のマルチプレクサ回路の入力信号選択端子のレベルが確定して、前記行専用のマルチプレクサ回路は前記正常なシフトレジスタ行を選択して、前記シフトレジスタ群の出力端子とする。
【００４７】
前記シフトレジスタ列切り替えスイッチの構成について、以下図４でおこなう。前記シフトレジスタ列の出力端子を列専用のマルチプレクサ回路の入力端子に接続する。尚、シフトレジスタ列の選択は、バイアス回路の出力を列専用のマルチプレクサの入力信号選択端子に接続して行う。
このようにして、前記バイアス回路と前記列専用のマルチプレクサ回路を組み合わせて、前記シフトレジスタ列の切り替えスイッチを構成している。
また、シフトレジスタ行が２行の場合であって、シフトレジスタ群が複数設けられていない場合、前記行専用のマルチプレクサ回路は不要となり、該マルチプレクサ回路へ入力されていた、各シフトレジスタ行の出力配線およびバイアス回路の出力端子も不要となる。この場合の回路図の例を図１２に示す。
【００４８】
次に、前記バイアス回路についての具体例を２例あげる。
第一に図８ａにプルアップ抵抗とプルダウン抵抗を直列に接続し、各々抵抗の間に検査用端子と切断箇所から構成されるバイアス回路を示す。前記プルアップとプルダウン抵抗の抵抗値の比を１００：１にする。この値は、前記検査用端子で測定する電圧レベルがＬになる範囲に設定すればよい。
【００４９】
前記検査用端子にレベルＨとＬの各々のバイアスをかけて、正常に前記マルチプレクサ回路が動作することを確認した後、正常なシフトレジスタ行に対応するバイアス回路は現状のレベルＬを保持し、それ以外のシフトレジスタ行に対応するバイアス回路は該バイアス回路の切断箇所をレーザで切断して、プルアップしてレベルＨを保持する。このようにして、前記マルチプレクサ回路の入力信号の選択を可能にする。
【００５０】
第二に図８ｂにＮ型ＴＦＴによるアナログスイッチと検査用端子と切断箇所から構成されるバイアス回路を示す。
前記検査用端子にレベルＨとＬの各々のバイアスをかけて、正常に前記マルチプレクサ回路が動作することを確認した後、正常なシフトレジスタ行に対応するバイアス回路は現状のレベルＬを保持し、それ以外のシフトレジスタ行に対応するバイアス回路は該バイアス回路の切断箇所をレーザで切断して、プルアップしてレベルＨを保持する。このようにして、前記マルチプレクサ回路の入力信号の選択を可能にする。

前記バイアス回路の切断箇所の切断方法について図８ｃに示す。２点のフットプリントに高電圧を印加して切断してもよい。

【００５１】

図１１は、一般例としてシフトレジスタ行がＭ個（Ｍ＞２）の場合のシフトレジスタ群の回路である。全シフトレジスタ行の出力配線が行専用のマルチプレクサ回路の入力端子に接続され、前記各シフトレジスタ行に対応して、出力端子を持ったバイアス回路を設け、前記バイアス回路の出力端子をプライオリティエンコーダ回路の入力端子に接続する。前記プライオリティエンコーダ回路の出力端子は、インバータ回路を介して前記行専用のマルチプレクサ回路の入力信号選択端子に接続される。

【００５２】

この例では、正常なシフトレジスタ行を確認できれば、該シフトレジスタ行に対応するバイアス回路の出力端子のレベルをＬに固定する。また、それ以外のシフトレジスタ行に対応するバイアス回路の出力端子のレベルをＨに固定する。このようにして、バイアス回路の出力端子の出力レベルを固定して前記プライオリティエンコーダ回路の出力を確定することにより、前記行専用のマルチプレクサ回路の入力信号選択端子のレベルが確定して前記行専用のマルチプレクサ回路は前記正常なシフトレジスタ行の出力端子を選択して、多入力ＯＲ回路の入力端子に入力される。多入力ＯＲ回路の出力端子が前記シフトレジスタ群の出力端子となる。

【００５３】

前記シフトレジスタ行において、該シフトレジスタ行内のシフトレジスタの列方向にシフトレジスタ列を定義する。そして、該シフトレジスタ列の各列に対して切り替え用の列専用のマルチプレクサ回路を備える。尚、該列専用のマルチプレクサ回路は前記シフトレジスタ行内のシフトレジスタ数必要である。

前述のように、前記シフトレジスタ群内で正常なシフトレジスタ行が選択されると、前記プライオリティエンコーダ回路の出力信号がインバータ回路を介して前記列専用のシフトレジスタ列用の前記マルチプレクサ回路の入力信号選択端子入力される。

【００５４】

このようにして、前記選択されたシフトレジスタ行内のシフトレジスタが列方向でも選択され、前記アクティブマトリクス型表示装置のソース線のサンプルタイミングを出力することができる。

【００５５】

以上のようにして、各シフトレジスタ群内で正常なシフトレジスタ行を選択して、シフトレジスタ群毎に接続してシフトレジスタ回路を構成する。

以上の説明において、相補型を考えてきたが、必ずしも相補型である必要はなく、Ｎチャネル型またはＰチャネル型のみで回路を構成しても構わない。製造工程は、不純物をドーピングする工程がどちらか一方になるため削減される。

Ｐチャネル型のみで、シフトレジスタ回路を構成した場合の例を図９ａ、図９ｂに示す。

【００５６】

図９ａは、インバータ回路をＰチャネルトランジスタと抵抗を使用して構成した例であり、図９ｂは、インバータ回路をＰチャネルトランジスタのみで構成した例であり、図９ｃは、ダイナミック型シフトレジスタの例である。

同様に、Ｐチャネルトランジスタと抵抗を使用してマルチプレクサ回路、プライオリティエンコーダ回路等も構成することは可能である。

以上、トランジスタをＰチャネル型のみとした場合を説明したが、これはＮチャネル型のみであっても同様である。

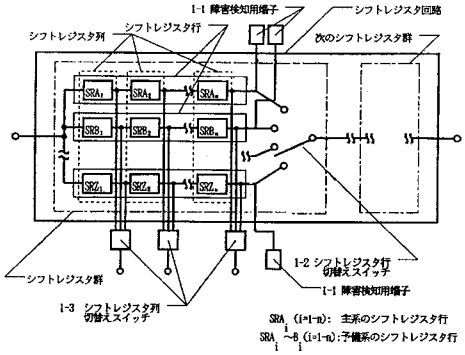
【００５７】

【発明の効果】

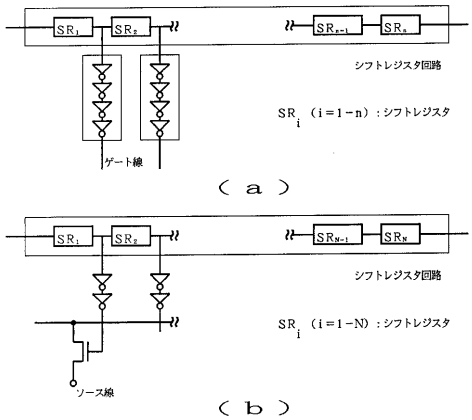
本発明により、シフトレジスタ単体の不良率はそのままで、シフトレジスタ回路を冗長化することで、シフトレジスタ回路全体の歩留りを上がることが可能になり、シフトレジスタ回路の信頼性を向上させることができる。

【図面の簡単な説明】
【図１】本発明によるアクティブマトリクス型表示装置の駆動回路を冗長化したシフトレジスタの回路図。
【図２】従来のアクティブマトリクス型表示装置の駆動回路のシフトレジスタの回路図。
【図３】本発明の実施例のシフトレジスタの回路図。
【図４】本発明の実施例のシフトレジスタ行切り替えスイッチの回路図
【図５】従来のアクティブマトリクス型表示装置の概略図。
【図６】従来の実施例のシフトレジスタの回路図。
【図７】本発明の実施例のプライオリティエンコーダ・マルチプレクサ回路の等価回路を示す図。
【図８】本発明の実施例のバイアス回路の回路図。
【図９】Ｐチャネルトランジスタで構成されたシフトレジスタの回路図。
【図１０】相補型インバータ回路の製造工程を示す図。
【図１１】本発明のシフトレジスタ行切り替えスイッチの回路図。
【図１２】本発明の実施例のシフトレジスタ行切り替えスイッチの回路図

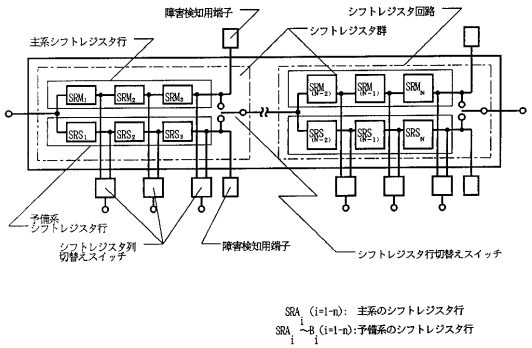
【図１】



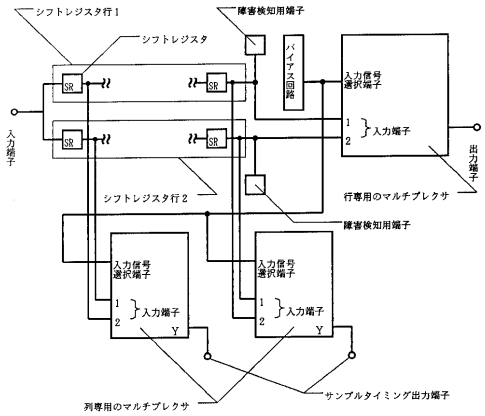
【図２】



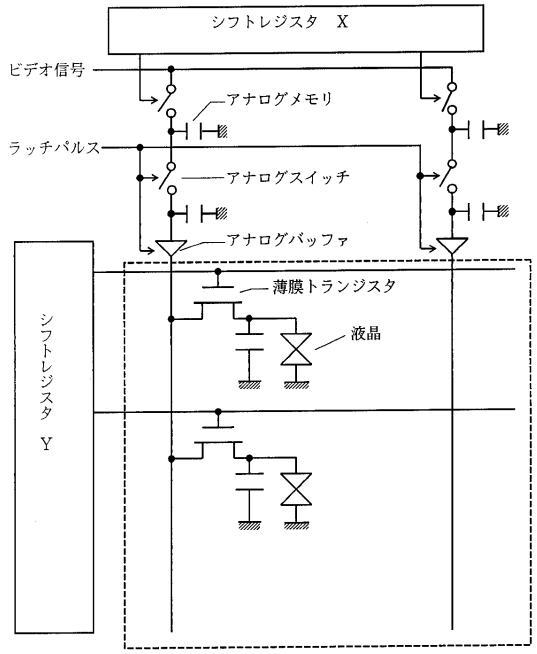
【図３】



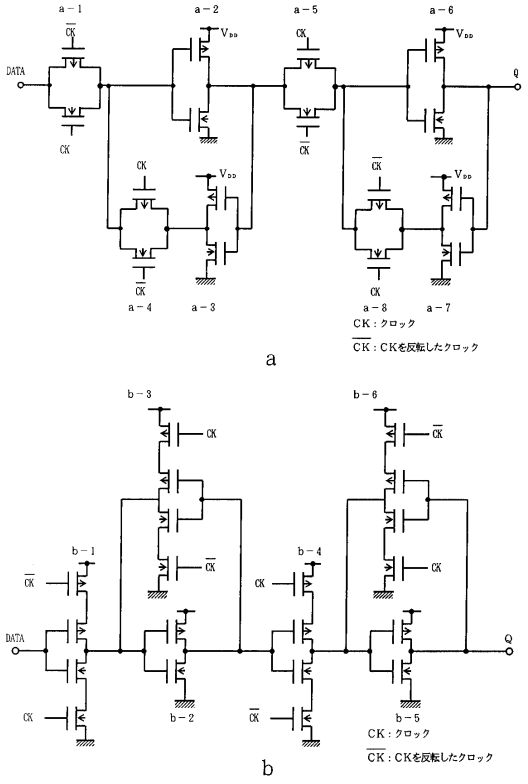
【図４】



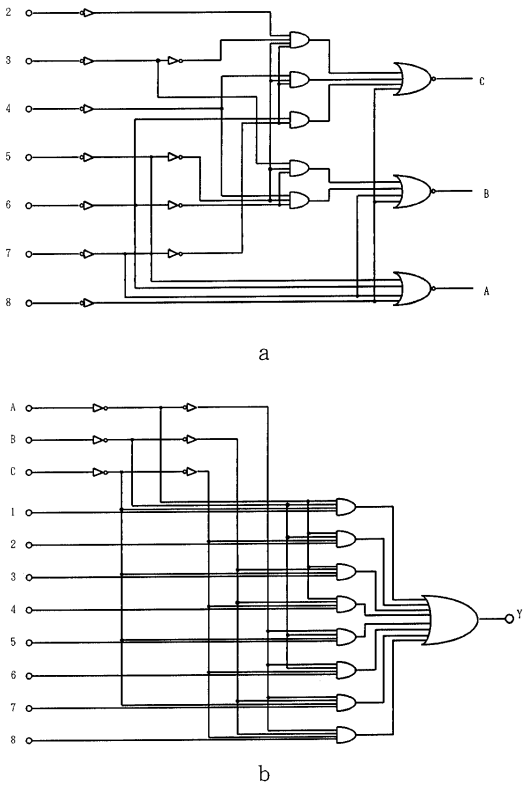
【図５】


シフトレジスタ　X
ビデオ信号
アナログメモリ
ラッチパルス
アナログスイッチ
アナログバッファ
薄膜トランジスタ
液晶
シフトレジスタ　Y

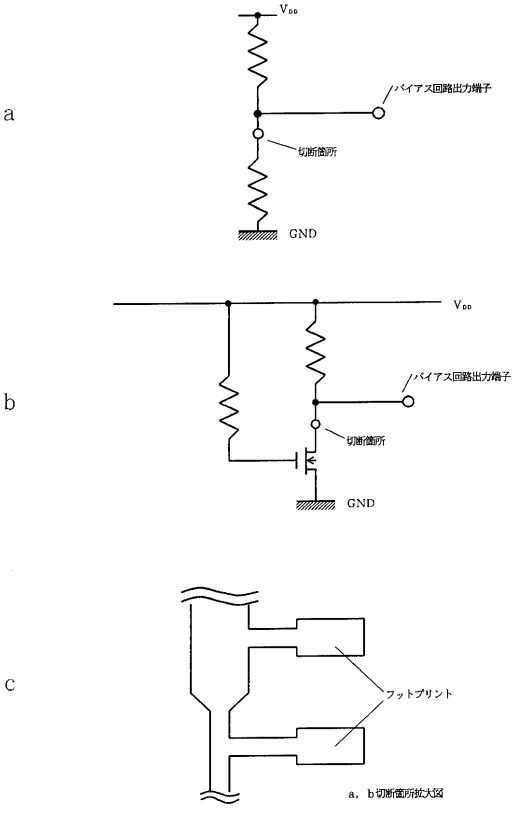
【図６】


a－1
a－2
a－5
a－6
DATA
Q
a－4
a－3
a－8
a－7
CK：クロック
CK：CKを反転したクロック
a
b－3
b－6
b－1
b－4
b－2
b－5
b

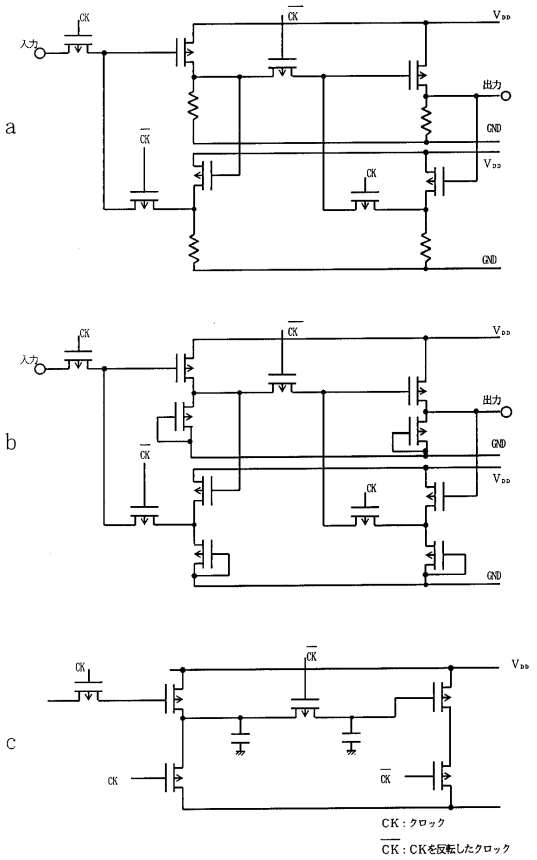
【図７】


2
3
4
5
6
7
8
C
B
A
a
A
B
C
1
2
3
4
5
6
7
8
Y
b

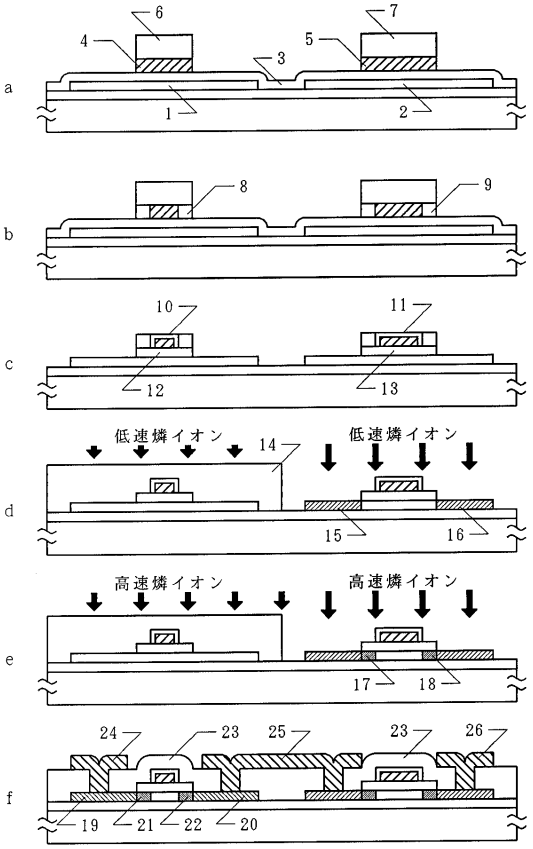
【図８】


a
バイアス回路出力端子
切断箇所
GND
b
バイアス回路出力端子
切断箇所
GND
c
フットプリント
a，b切断箇所拡大図

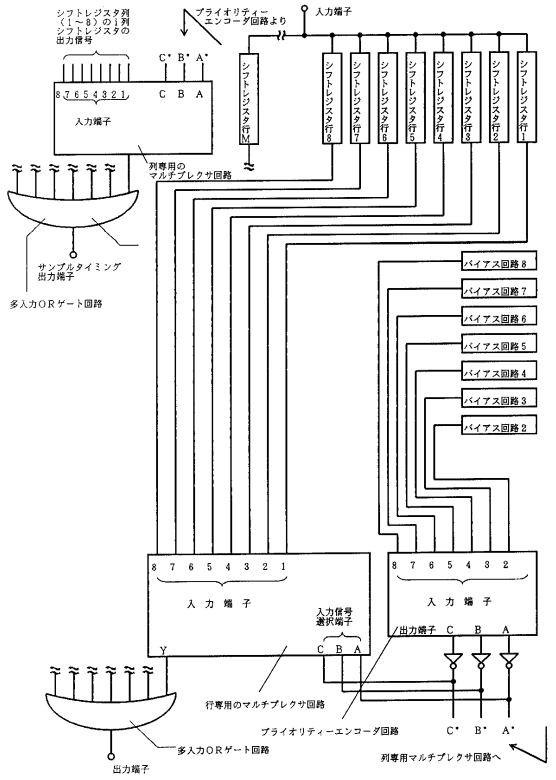
【図９】



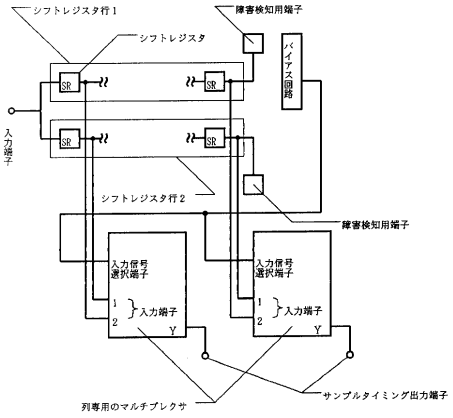
【図１０】



【図１１】



【図１２】



フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H03K 21/40
H03K 21/40