

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4027709号
(P4027709)

(45) 発行日 平成19年12月26日(2007.12.26)

(24) 登録日 平成19年10月19日(2007.10.19)

(51) Int. Cl.	F I
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 5 4 C
G 1 1 C 11/4093 (2006.01)	G 1 1 C 11/34 3 5 4 P
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 S

請求項の数 3 (全 8 頁)

(21) 出願番号	特願2002-126981 (P2002-126981)	(73) 特許権者	390019839
(22) 出願日	平成14年4月26日(2002.4.26)		三星電子株式会社
(65) 公開番号	特開2003-36674 (P2003-36674A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成15年2月7日(2003.2.7)		C o . , L t d .
審査請求日	平成16年8月13日(2004.8.13)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2001-022982	(74) 代理人	100076428
(32) 優先日	平成13年4月27日(2001.4.27)		弁理士 大塚 康德
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置の入力回路

(57) 【特許請求の範囲】

【請求項1】

該当する入力データをそれぞれバッファリングするための複数の入力バッファと、
 パワーアップされてからモードレジスタセット信号がイネーブルされるまでは第1論理
 レベルに保持され、その後第2論理レベルに保持される選択信号にตอบสนองして、前記選択
 信号が前記第1論理レベルである間は第1クロック信号及びデータストローブ信号のうち
 前記第1クロック信号を選択して第2クロック信号を発生し、前記選択信号が前記第2論
 理レベルである間は前記第1クロック信号及び前記データストローブ信号のうち前記デー
 タストローブ信号を選択して前記第2クロック信号を発生するクロック選択回路と、

前記第2クロック信号にตอบสนองしてレジスタクロック信号を発生するキャリブレーション
 回路と、

前記レジスタクロック信号にตอบสนองして、バッファリングされた複数の入力データのうち
 該当する入力データを格納する複数のデータレジスタとを含むことを特徴とする半導体メ
 モリ装置の入力回路。

【請求項2】

前記クロック選択回路は、

一端が1供給電圧に接続され、ゲートが前記選択信号に接続された第1PMOSトラン
 ジスタと、

第1入力端子に前記データストローブ信号が印加され、第2入力端子に基準電圧が印加
 され、第3入力端子に前記第1PMOSトランジスタの他端が接続された第1バッファと

10

20

、
一端が前記第 1 バッファの出力端子に接続され、他端が接地に接続され、ゲートに前記選択信号が印加される第 1 N M O S トランジスタと、

前記第 1 クロック信号が印加される第 1 入力端子と、それが反転されたクロック信号を受け入れる第 2 入力端子を備えた第 2 バッファと、

前記第 1 バッファの前記出力端子に接続された入力端子を備えたインバータと、

前記選択信号と前記第 2 バッファの出力信号とを入力として論理演算をする第 1 ロジック回路と、

前記第 1 ロジック回路の出力信号と前記インバータの出力信号とを入力として論理演算をする第 2 ロジック回路とを含むことを特徴とする請求項 1 に記載の半導体メモリ装置の
入力回路。

10

【請求項 3】

半導体メモリ装置のための入力回路のクロック信号選択方法において、

パワーアップされてからモードレジスタセット信号がイネーブルされまで第 1 論理状態にある選択信号に
応答して第 1 クロック信号を第 2 クロック信号として提供する段階と、

前記モードレジスタセット信号がイネーブルされ前記選択信号が第 2 論理状態になった
ことに
応答してデータストローブ信号を前記第 2 クロック信号として提供する段階と、

前記第 2 クロック信号に応答してレジスタクロック信号を発生する段階と、

前記レジスタクロック信号に応答して前記入力データをレジスタリングする段階とを含むことを特徴とするクロック信号選択方法。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体メモリ装置に関連し、特に半導体メモリ装置の入力回路に関する。

【0002】

【従来の技術】

半導体メモリ装置の動作周波数は、関連技術の発展に従って改善され続けている。その結果、データが入力される際のセットアップ/ホールドウィンドが減少している。そのような問題を解決するために、D D R (D o u b l e D a t a R a t e) S D R A M (S y n c h r o n o u s D y n a m i c R a n d o m A c c e s s M e m o r y) に
おいてデータストローブ信号を利用してトラッキングする方法などが考案された。

30

【0003】

図 1 は半導体メモリ装置の入力回路 100 のブロック図である。

【0004】

図 1 を参照すれば、半導体メモリ装置の入力回路 100 は、複数の入力バッファ 101 ,
... , 107、キャリブレーション回路 109 及び複数のデータレジスタ 111 , ... , 115 を備える。

【0005】

半導体メモリ装置入力回路 100 は、複数の入力データ D 0 , D 1 , ... , D i を所定時間内に該当するレジスタ 111 , ... , 115 にそれぞれ格納する機能を有する。

40

【0006】

キャリブレーション回路 109 は、相異なる遅延特性を同一にする信号伝達回路である。キャリブレーション回路 109 は、データストローブ信号 D Q S に応答して、データストローブ信号 D Q S を制御するための制御クロック信号を発生する。キャリブレーション回路 109 は、入力経路により相異なる遅延時間を有する入力データ D 0 , D 1 , ... , D i を同期させる。このようなキャリブレーション回路は、大韓民国出願番号第 10 - 2000 - 0035335 号に詳細に説明されている。

【0007】

半導体メモリ装置に入力される入力データ D 0 , D 1 , ... , D i は、回路及び各素子の配置特性のために相異なる遅延時間をもって該当レジスタに伝えられる。前記入力データを

50

該当レジスタに格納する制御クロック信号は、キャリブレーション回路 109 においてデータストローブ信号 DQS に応答して生成される。従って、入力データ D0, D1, ..., Di は、キャリブレーション回路 109 による信号出力に応答して該当レジスタ 111, ..., 115 に格納される。

【0008】

データストローブ信号 DQS は、活性化された書込み命令（図示せず）に応答してイネーブルされる。従って、データストローブ信号 DQS は最初の書込み動作まで何らの変化も起きない。そして、所定時間内に該当レジスタ 111, ..., 115 に入力データを格納するための制御クロック信号は、電源がオンされた直後から最初の書込み動作までは、データストローブ信号 DQS を利用してキャリブレーション回路 109 で生成されることはな

10

【0009】

【発明が解決しようとする課題】

本発明が解決しようとする課題は、半導体メモリ装置の短所を克服するところにある。

【0010】

本発明が解決しようとする他の課題は、電源が最初にオンになった後からデータストローブ信号がイネーブルされるまでの入力回路の誤動作を防止するクロック選択部を備えた半導体メモリ装置を提供するところにある。

【0011】

本発明が解決しようとする更に他の課題は、電源が最初にオンになった後、データストローブ信号がイネーブルされるまでの間における入力回路の誤動作を防止するために、半導体メモリ装置の入力回路に適用されるクロック信号の選択方法を提供するところにある。

20

【0012】

【課題を解決するための手段】

前記課題を達成するための本発明によれば、前記半導体メモリ装置のための入力回路は、該当入力データをバッファリングする複数の入力バッファと、選択信号に応答して第1クロック信号とデータストローブ信号のうち一つを選択して第2クロック信号を発生するクロック選択回路とを備える。前記選択信号は、パワーアップ以後の所定時間、第1ロジックレベルを保持する。キャリブレーション回路は、第2クロック信号に応答してレジスタクロック信号を発生するために使われる。

30

【0013】

前記クロック選択回路は、前記選択信号が第1ロジックレベルの場合には前記第2クロック信号として前記第1クロック信号を選択して出力し、前記選択信号が第2ロジックレベルの場合には前記第2クロック信号として前記データストローブ信号を出力する。

【0014】

本発明の望ましい実施形態によれば、前記クロック選択回路は、一端が1供給電圧に接続され、ゲートが前記選択信号に接続された第1PMOSトランジスタと、第1入力端子に前記データストローブ信号が印加され、第2入力端子に基準電圧が印加され、第3入力端子に前記第1PMOSトランジスタの他端が接続される第1バッファとを備える。第1NMOSトランジスタは、一端が前記第1バッファの出力端子に接続され、他端が接地に接続され、ゲートに前記選択信号が印加される。第2バッファは、第1クロック信号が印加される第1入力端子と、反転されたクロック信号を受け入れる第2入力端子とを備える。インバータは、前記第1バッファの前記出力端子に接続された入力端子を備える。第1ロジック回路は、前記選択信号と前記第2バッファの出力信号とを入力として論理演算を実行する。そして、第2ロジック回路は、前記第1ロジックゲートの出力信号と前記第1インバータの出力信号とを入力として論理演算を実行する。

40

【0015】

本発明の望ましい実施形態において、前記所定時間区間は、例えば、パワーアップされてからモードレジスタセット信号がイネーブルされるまでの時間である。

【0016】

50

或いは、前記所定時間区間は、例えば、パワーアップされてから前記データストローブ信号がイネーブルされるまでの時間であってもよい。

【 0 0 1 7 】

半導体メモリ装置のための入力回路のクロック信号選択方法がさらに提供される。前記方法は、第 1 論理状態にある選択信号にตอบสนองして第 1 クロック信号を第 2 クロック信号として提供する段階、第 2 論理状態にある前記選択信号にตอบสนองしてデータストローブ信号を前記第 2 クロック信号として提供する段階、前記第 2 クロック信号にตอบสนองしてレジスタクロック信号を発生する段階、及び、前記レジスタクロック信号にตอบสนองして前記入力データをレジスタリングする段階を含む。

【 0 0 1 8 】

前記方法は、前記選択信号をパワーアップした後に所定時間、前記第 2 ロジック状態にセッティングする段階をさらに含むことが望ましい。

【 0 0 1 9 】

前記方法は、モードセットレジスタ信号がイネーブルされた後に前記選択信号を前記第 1 論理状態にセッティングする段階、及び、前記データストローブ信号がイネーブルされた後に前記選択信号を前記第 2 論理状態にセッティングする段階をさらに含むことが望ましい。

【 0 0 2 0 】

前記方法は、モードセットレジスタ信号のイネーブル後に前記選択信号を前記第 1 論理状態にセッティングする段階、及び、前記データストローブ信号のイネーブル後に前記選択信号を前記第 2 論理状態にセッティングする段階をさらに含むことが望ましい。

【 0 0 2 1 】

【 発明の実施の形態 】

以下、添付した図面を参照して本発明の望ましい実施形態を説明することにより、本発明を詳細に説明する。各図面について、同じ参照符号は同じ構成要素であることを表す。

【 0 0 2 2 】

図 2 は、本発明の一実施形態による半導体メモリ装置入力回路のブロック図である。

【 0 0 2 3 】

図 2 を参照すれば、半導体メモリ装置の入力回路 2 0 0 は、複数の入力バッファ 2 0 3 , ... , 2 0 7 、クロック選択回路 2 1 0 、キャリブレーション回路 2 0 9 及び複数のデータレジスタ 2 2 1 , ... , 2 2 5 を備える。

【 0 0 2 4 】

入力バッファ 2 0 3 , ... , 2 0 7 を介して入力される入力データは、キャリブレーション回路 2 0 9 の出力信号にตอบสนองして複数のデータレジスタ 2 2 1 , ... , 2 2 5 のうち該当するデータレジスタにそれぞれ貯蔵される。

【 0 0 2 5 】

キャリブレーション回路 2 0 9 は、相異なる遅延特性を同一にするための信号伝達回路である。キャリブレーション回路 2 0 9 は、クロック選択回路 2 1 0 の出力信号 S C L K を受信し、入力されるパスにより相異なる遅延時間をもって入力される入力データ D 0 , D 1 , ... , D i を同期させるための制御クロック信号を出力する。

【 0 0 2 6 】

入力データ D 0 , D 1 , ... , D i は、回路及び各素子の配置特性のために相異なる遅延時間を有する。入力データ D 0 , D 1 , ... , D i は、該当レジスタ 2 2 1 ~ 2 2 5 に伝えられる。制御クロック信号は、入力データを該当レジスタ内に格納するのに使われる。制御クロック信号は、第 2 クロック信号 S C L K にตอบสนองしてキャリブレーション回路 2 0 9 により生成される。制御クロック信号は、データが所定時間内に該当レジスタに貯蔵されるように前記入力データに同期させられる。

【 0 0 2 7 】

複数のデータ D 0 , D 1 , ... , D i は、キャリブレーション回路 2 0 9 から出力される信号にตอบสนองして該当レジスタ 2 2 1 ~ 2 2 5 に格納される。

10

20

30

40

50

【 0 0 2 8 】

クロック選択回路 2 1 0 は、第 1 P M O S トランジスタ 2 1 3、第 1 バッファ 2 1 1、第 1 N M O S トランジスタ 2 1 4、第 2 バッファ 2 1 2、第 1 インバータ 2 1 5、第 1 N A N D ゲート 2 1 6 及び第 2 N A N D ゲート 2 1 7 を備える。

【 0 0 2 9 】

第 1 P M O S トランジスタ 2 1 3 は、一端が電源供給電圧 V_{dd} に接続され、ゲートが選択信号 $CL1$ に接続される。データストローブ信号 DQS は、第 1 バッファ 2 1 1 の第 1 入力端子に印加され、基準電圧 V_{ref} は第 2 入力端子に印加される。第 1 バッファ 2 1 1 の動作は、第 1 P M O S トランジスタ 2 1 3 の他端から供給される電流により制御される。第 1 N M O S トランジスタ 2 1 4 は、一端が第 1 バッファ 2 1 1 の出力端子に接続され、他端が接地電圧 V_{ss} に接続される。選択信号 $CL1$ は、第 1 N M O S トランジスタ 2 1 4 のゲートに印加される。

10

【 0 0 3 0 】

クロック信号 CLK は第 2 バッファ 2 1 2 の第 1 入力端子に印加され、反転信号 $CLKB$ はその第 2 入力端子に印加される。第 1 インバータ 2 1 5 の入力端子は、第 1 バッファ 2 1 1 の出力端子に接続される。第 1 N A N D ゲート 2 1 6 は、選択信号 $CL1$ 及び第 2 バッファ 2 1 2 の出力信号に応答する。第 2 N A N D ゲート 2 1 7 は、第 1 インバータ 2 1 5 の出力信号及び第 1 N A N D ゲート 2 1 6 の出力信号に応答して第 1 クロック信号 $SCCLK$ を出力する。

【 0 0 3 1 】

図 3 は、図 2 に示された入力回路 2 0 0 の動作を時間別に区分したタイミング図である。

20

【 0 0 3 2 】

図 3 を参照すれば、電源がオンされた後に所定時間（例えば、約 $200\mu s$ ）の非動作期間を経た後にプリチャージされ、信号 $CL1$ の値は MRS （ $Mode Register Set$ ）が所定の値にセッティングされるまでハイ状態 H を保持する。前記 MRS が所定の値にセッティングされれば、信号 $CL1$ の値がロー状態 L に変化し、この時初めて命令信号 $COMMAND$ 及び書込み命令信号 WR が活性化される。

【 0 0 3 3 】

図 2 及び図 3 を参照して本発明の望ましい実施形態による半導体メモリ装置入力回路 2 0 0 について説明する。

30

【 0 0 3 4 】

クロック選択回路 2 1 0 は、電源が最初に供給された時から一定の時間区間（例えば、約 $200\mu s$ ）の間、所定の第 1 ロジックレベル（ $CL1 = H$ ）を保持し、前記時間区間後に第 1 ロジックレベル（ $CL1 = H$ ）と反対の第 2 ロジックレベル（ $CL1 = L$ ）を有する選択信号 $CL1$ を受信する。クロック選択回路 2 1 0 は、選択信号 $CL1$ が第 1 ロジックレベル（ $CL1 = H$ ）である場合にはクロック信号 CLK を選択して第 1 クロック信号 $SCCLK$ として出力し、選択信号 $CL1$ が第 2 ロジックレベル（ $CL1 = L$ ）である場合にはデータストローブ信号 DQS を選択して第 1 クロック信号 $SCCLK$ として出力する。

【 0 0 3 5 】

キャリブレーション回路 2 0 9 は、第 1 クロック信号 $SCCLK$ を受信し、入力データ $D0, D1, \dots, Di$ とその受信した第 1 クロック信号 $SCCLK$ とを同期させるキャリブレーションを行った後に制御クロック信号を出力する。キャリブレーション回路 2 0 9 の制御クロック信号により前記入力バッファを介して入力される入力データを該当するレジスタに格納すれば、高速化された半導体メモリ装置のセットアップ/ホールドウインドが小さい場合にもエラーなく前記入力データを格納できる。

40

【 0 0 3 6 】

図 2 に示された基準電圧 V_{ref} 及びクロック信号 CLK の反転信号 $CLKB$ は、使われない場合もある。

【 0 0 3 7 】

【 発明の効果 】

50

前述の通り、本発明によるクロック選択回路を備える半導体メモリ入力回路及びクロック信号選択方法は、相異なる遅延時間をもって入力される入力データを、半導体メモリ装置が動作している時間区間に関係なく、正確にレジスタに格納することができるという利点がある。

【図面の簡単な説明】

【図 1】半導体メモリ装置入力回路 100 のブロック図である。

【図 2】本発明の一実施形態による半導体メモリ装置の入力回路のブロック図である。

【図 3】図 2 に示された入力回路の動作を時間別に区分したタイミング図である。

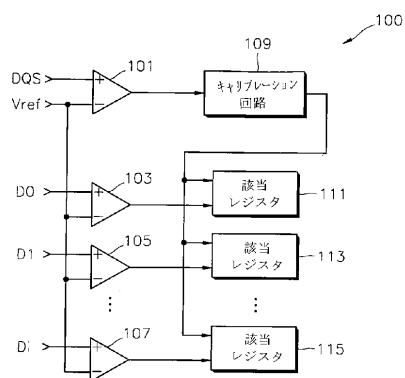
【符号の説明】

200 半導体メモリ装置入力回路
203、205、207 入力バッファ
209 キャリブレーション回路
210 クロック選択回路
211 第 1 バッファ
212 第 2 バッファ
213 第 1 PMOS トランジスタ
214 第 1 NMOS トランジスタ
215 第 1 インバータ
216 第 1 NAND ゲート
217 第 2 NAND ゲート
221 ~ 225 レジスタ

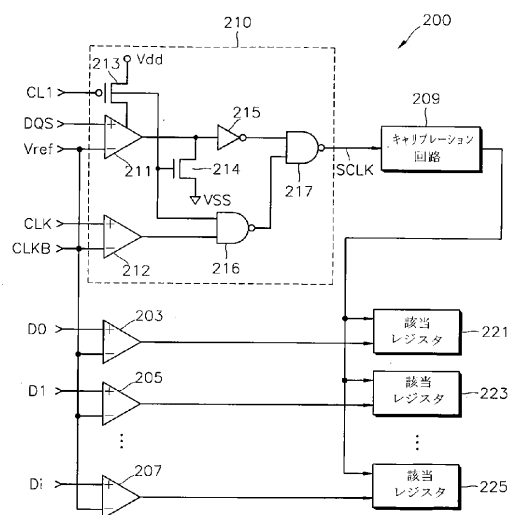
10

20

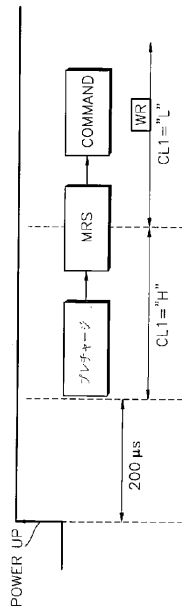
【図 1】



【図 2】



【図 3】



フロントページの続き

- (72)発明者 崔東俊
大韓民国ソウル特別市銅雀区新大方1洞686-9番地401号
- (72)発明者 鄭大鉉
大韓民国京畿道龍仁市器興邑農書里山7-1番地月桂樹棟814号
- (72)発明者 黄祥俊
大韓民国ソウル特別市瑞草区瑞草洞新東亜アパート3棟514号

審査官 堀田 和義

- (56)参考文献 特開平10-308093(JP,A)
特開平10-320074(JP,A)
特開2004-103061(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/4076