



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H01L 27/12 (2006.01)

H01L 21/84 (2006.01)

(11) 공개번호 10-2007-0069184

(43) 공개일자 2007년07월02일

(21) 출원번호 10-2007-7009873

(22) 출원일자 2007년04월30일

심사청구일자 없음

번역문 제출일자 2007년04월30일

(86) 국제출원번호 PCT/US2005/038847

(87) 국제공개번호 WO 2006/050051

국제출원일자 2005년10월25일

국제공개일자 2006년05월11일

(30) 우선권주장 10/977,266 2004년10월29일 미국(US)

(71) 출원인 프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄 캐논 드라이브 웨스트 6501

(72) 발명자 첸, 지안
미국 78750 텍사스주 오스틴 스위트니스 레인 8413
터너, 마이클, 디.
미국 78209 텍사스주 산 아논티오 퍼싱 애비뉴 219
바세크, 제임스 이.
미국 78732 텍사스주 오스틴 존 심프슨 트레일 3902

(74) 대리인 주성민
이중희
백만기

전체 청구항 수 : 총 20 항

(54) 최적 응력 효과를 위한 이중 트렌치를 갖는 트랜지스터구조 및 그 방법

(57) 요약

반도체 소자 구조(30)의 부분을 형성하는 방법은, 반도체 활성 층(34), 절연 층(32), 및 반도체 기판을 구비하는 SOI (semiconductor-on-insulator) 기판을 제공하는 단계를 포함한다. 제1 분리 트렌치(40)는 반도체 활성 층 내에 형성되고, 응력자(stressor) 재료(42)는 제1 트렌치의 하부에 피착되고, 응력 재료는 이중-사용(dual-use) 막을 포함한다. 제2 분리 트렌치(44)는 반도체 활성 층 내에 형성되고, 제2 분리 트렌치는 제2 트렌치의 하부에 응력 재료가 부재한다. 제1과 제2 분리 트렌치 각각에 응력 재료의 존재와 부재는, (i) 한 개 이상의 반도체 소자 구조의 N-형 또는 P-형 소자에, (ii) 한 개 이상의 폭 방향 또는 채널 방향 배향에 대해, 및 (iii) 한 개 이상의 <100> 또는 <110> SOI 기판의 응력 이득을 맞춤화하기 위해 차동 응력(differential stress)을 제공한다.

대표도

도 7

특허청구의 범위

청구항 1.

반도체 소자 구조의 일부를 형성하는 방법으로서,

반도체 활성 층, 절연 층, 및 반도체 기판을 갖는 SOI(semiconductor-on-insulator) 기판을 제공하는 단계;

상기 반도체 활성 층 내에 제1 분리 트렌치를 형성하는 단계;

상기 제1 트렌치의 하부에, 이중-사용(dual-use) 막을 포함하는 응력자(stressor) 재료를 피착하는 단계; 및

상기 반도체 활성 층 내에, 제2 트렌치의 하부에 상기 응력자 재료가 부재한 제2 분리 트렌치를 형성하는 단계를 포함하고,

상기 제1과 제2 분리 트렌치에서 응력자 재료의 존재와 부재는, (i) 한 개 이상의 반도체 소자 구조의 N-형 또는 P-형 소자 상에, (ii) 한 개 이상의 폭 방향 또는 채널 방향 배향(orientation)에 대해, 및 (iii) 한 개 이상의 <100> 또는 <110>SOI 기판의 응력 이득을 맞춤화하기 위해, 차동 응력(differential stress)을 각각 제공하는 방법.

청구항 2.

제1항에 있어서, 상기 이중-사용 막은, 상기 제1 분리 트렌치의 하부에 형성된 질화물 층을 포함하여, 트렌치 라이너(liner) 유도된 압축 응력을 방지하고 특정 소자와 배향으로 차동 응력을 인에이블하는 방법.

청구항 3.

제1항에 있어서, 상기 제1 트렌치 형성 단계는, 제1 파장 패터닝과 에치 공정을 사용하는 단계를 포함하고, 상기 제1 파장 패터닝과 에치 공정은 248 nm DUV(deep ultra violet) 패터닝과 에치 공정을 포함하고, 상기 제2 트렌치 형성 단계는, 제2 파장 패터닝과 에치 공정을 사용하는 단계를 포함하고, 상기 제2 파장은 상기 제1 파장과는 상이한 파장이고, 상기 제2 파장 패터닝과 에치 공정은 193 nm DUV 패터닝 공정을 포함하는 방법.

청구항 4.

제1항에 있어서, 상기 이중-사용 막은, 응력자 재료로서, 그리고 반반사(anti-reflective) 코팅으로서 사용하기 적절한 재료를 포함하고, 상기 이중-사용 막은 질화물을 포함하는 방법.

청구항 5.

제1항에 있어서,

상기 제1과 제2 트렌치의 측벽부를 따라 상기 제1과 제2 트렌치의 각각에 트렌치 라이너를 형성하는 단계를 더 포함하고, 상기 제1 트렌치의 하부를 오버라잉(overlying)하는 상기 이중-사용 막은 상기 제1 트렌치의 트렌치 라이너가 상기 제1 트렌치의 측벽을 따라 완전히 확장하는 것을 방지하고, 상기 트렌치 라이너는 상기 측벽의 상부로부터 하부 측벽부로 확장하고, 상기 하부 측벽부는 상기 제1 트렌치 내에서 상기 이중-사용 막의 상부와 접촉하는 방법.

청구항 6.

반도체 소자 구조의 일부를 형성하는 방법으로서,

반도체 활성 층, 절연 층, 및 반도체 기판을 갖는 SOI 기판을 제공하는 단계;

상기 반도체 활성 층 내에 제1 분리 트렌치를 형성하는 단계;

상기 제1 트렌치의 하부에, 이중-사용 막을 포함하는 응력자 재료를 피착하는 단계; 및

상기 반도체 활성 층 내에, 상기 제2 트렌치의 하부에 상기 응력자 재료가 부재한 제2 분리 트렌치를 형성하는 단계를 포함하고,

상기 제1과 제2 분리 트렌치에서 응력자 재료의 존재와 부재는, (i) 한 개 이상의 상기 반도체 소자 구조의 N-형 또는 P-형 소자 상에, (ii) 한 개 이상의 폭 방향 또는 채널 방향 배향에 대해, 및 (iii) 한 개 이상의 <100> 또는 <110>SOI 기판의 응력 이득을 맞춤화하기 위해, 각각 차동 응력을 제공하고, 상기 반도체 소자 구조의 일부는 상기 반도체 활성 층 내의 제1과 제2 활성 반도체 영역을 갖는 제1과 제2 트랜지스터 구조를 각각 포함하고, 상기 제1 트랜지스터 구조는 상기 제1 트랜지스터 구조의 폭 방향의 피제어 응력 특징부를 포함하는 방법.

청구항 7.

제6항에 있어서, 상기 제1 트랜지스터 구조의 피제어 응력 특징부는, 상기 제1 트랜지스터 구조의 폭 방향으로 응력의 변경을 제공하는 제1과 제2 응력 변경자 특징부들을 포함하는 방법.

청구항 8.

제7항에 있어서, 상기 제1 응력 변경자 특징부는 상기 제1 트랜지스터 구조의 상기 활성 반도체 영역 외부에 이중-사용 막을 포함하고, 상기 이중-사용 막은 또한 상기 제1 트랜지스터 구조의 상기 제1 활성 반도체 영역의 적어도 2개의 측부에 인접한 제3과 제4 트렌치의 하부를 따라 배치되고, 상기 제2 응력 변경자 특징부는 상기 제1 트랜지스터 구조의 활성 반도체 영역 내부에 적어도 한 개의 응력 변경자 및 용량성 감소 특징부를 포함하는 방법.

청구항 9.

제7항에 있어서, 상기 제1 트랜지스터 구조의 피제어 응력 특징부는 교호하는(alternate) 응력 변경자 및 용량성 감소 특징부를 더 포함하고, 상기 교호하는 응력 변경자 및 용량성 감소 특징부는 상기 반도체 소자 구조의 일부의 폭 방향으로 응력의 추가 변경을 제공하는 방법.

청구항 10.

제6항에 있어서, 상기 반도체 활성 층은 <110>결정 배향을 갖고,

상기 활성 반도체 영역의 채널 영역을 가로질러 확장하지 않고, 상기 활성 반도체 영역 단독의 소스/드레인 영역의 부분들 내에 포함되는 복수의 응력 변경자 및 용량성 감소 특징부를 제공하는 단계를 더 포함하고,

상기 복수의 응력 변경자 및 용량성 감소 특징부는 상기 제1 트랜지스터 구조의 게이트 전극을 따라서 평행하게 배치되고, 상기 복수의 응력 변경자 및 용량성 감소 특징부는 상기 제1 트랜지스터 구조의 채널 방향으로 응력의 변경을 제공하는 방법.

청구항 11.

반도체 소자 구조로서,

반도체 활성 층, 절연 층, 및 반도체 기판을 갖는 SOI 기판;

상기 제1 트렌치 하부에 피착되고 이중-사용 막을 포함하는 응력자 재료를 갖고, 상기 반도체 활성 층 내에 형성되는 제1 분리 트렌치; 및

제2 트렌치 하부에 상기 응력자 재료가 부재하고, 상기 반도체 활성 층 내에 형성되는 제2 분리 트렌치를 포함하고,

상기 제1과 제2 분리 트렌치에서 응력자 재료의 존재와 부재는, (i) 한 개 이상의 상기 반도체 소자 구조의 N-형 또는 P-형 소자 상에, (ii) 한 개 이상의 폭 방향 또는 채널 방향 배향에 대해, 및 (iii) 한 개 이상의 <100> 또는 <110>SOI 기판의 응력 이득을 맞춤화하기 위해, 각각 차동 응력을 제공하는 반도체 소자 구조.

청구항 12.

제11항에 있어서, 상기 반도체 활성 층 내에 제1과 제2 활성 반도체 영역을 각각 갖는 제1과 제2 트랜지스터 구조를 더 포함하고, 상기 제1 트랜지스터 구조는 상기 제1 트랜지스터 구조의 폭 방향의 피제어 응력 특징부를 포함하는 반도체 소자 구조.

청구항 13.

제11항에 있어서, 상기 제1 트랜지스터 구조의 피제어 응력 특징부는 상기 제1 트랜지스터 구조의 폭 방향으로 응력의 변형을 제공하는 제1과 제2 응력 변경자 특징부를 포함하는 반도체 소자 구조.

청구항 14.

제11항에 있어서, 상기 제1 응력 변경자 특징부는 상기 제1 트랜지스터 구조의 활성 반도체 영역 외부에 이중-사용 막을 포함하고, 상기 이중-사용 막은 상기 제1 트랜지스터 구조의 제1 활성 반도체 영역의 적어도 2개의 측부에 인접하게 위치되는 트렌치들의 하부를 따라 더 배치되는 반도체 소자 구조.

청구항 15.

제11항에 있어서, 상기 제2 응력 변경자 특징부는, 상기 제1 트랜지스터 구조의 활성 반도체 영역 내부의 적어도 한 개의 응력 변경자 및 용량성 감소 특징부를 포함하는 반도체 소자 구조.

청구항 16.

제11항에 있어서, 상기 제1 트랜지스터 구조의 활성 반도체 영역은 상기 활성 반도체 영역의 일단에 배치된 노치(notch)를 더 포함하고, 상기 노치는 상기 활성 반도체 영역의 소스 영역과 드레인 영역 사이에 걸쳐있는 반도체 소자 구조.

청구항 17.

제11항에 있어서, 상기 제1 활성 반도체 영역은 상기 제1 응력 변경자 특징부에 의해 제한되고, 또한 상기 제1 응력 변경자 특징부는 상기 분리 트렌치의 하부에 이중-사용 응력자와 반반사 코팅 막을 갖는 분리 트렌치를 포함하는 반도체 소자 구조.

청구항 18.

제11항에 있어서, 상기 제1 트랜지스터 구조의 피제어 응력 특징부는 제3 응력 변경자 및 용량성 감소 특징부들을 포함하고, 상기 제3 응력 변경자 및 용량성 감소 특징부들은 반도체 소자 구조의 폭 방향으로 응력의 추가 변경을 제공하고, 상기 제3 응력 변경자 및 용량성 감소 특징부들은 상기 반도체 소자 구조의 채널 방향으로 확장하는 상기 활성 반도체 영역의 에지를 따라 대향 단에 배치되는 소자 구조,

청구항 19.

제11항에 있어서,

상기 제1 트랜지스터 구조의 피제어 응력 특징부는 교호하는 응력 변경자 및 용량성 감소 특징부를 더 포함하고, 상기 교호하는 응력 변경자 및 용량성 감소 특징부는 상기 반도체 소자 구조의 일부의 폭 방향으로 응력의 변경을 더 제공하는 반도체 소자 구조.

청구항 20.

제11항에 있어서, 상기 반도체 활성 층은 <110>결정 배향을 가지며,

상기 활성 반도체 영역의 채널 영역을 가로질러 확장하지 않고, 상기 활성 반도체 영역 단독의 소스/드레인 영역의 부분들 내에 포함된 복수의 응력 변경자 및 용량성 감소 특징부들을 더 포함하고,

상기 복수의 응력 변경자 및 용량성 감소 특징부들은 상기 제1 트랜지스터 구조의 게이트 전극에 따라 평행하게 배치되고, 상기 복수의 응력 변경자 및 용량성 감소 특징부들은 상기 제1 트랜지스터 구조의 채널 방향으로 응력의 변경을 제공하는 반도체 소자 구조.

명세서**기술분야**

본 개시는 일반적으로 반도체 소자에 관한 것으로서, 더 구체적으로는, <100>SOI(semiconductor-on-insulator) 기판 상에 최적 응력(stress) 효과를 위한 이중 트렌치(dual trench)를 갖는 트랜지스터 구조 및 이를 만드는 방법에 관한 것이다.

배경기술

종래 기술에서, 다양한 형태의 트렌치 분리와 질화물 피착이 공지되었다. 그러나, 그런 공지된 기술들은 상이한 유형의 소자들과 상이한 배향(orientation)에 대해 차동 응력(differential stress)을 제공하는 것에 대한 기재는 없었다.

도 1은, 종래 기술에서, 채널 방향과 폭 방향을 나타내는 CMOS 트랜지스터(10)의 평면도이다. 더 구체적으로, CMOS 트랜지스터(10)는, 하부에 게이트 유전체(도시 생략)를 갖는, 활성 영역(12)과 게이트 전극(14)을 포함한다. 활성 영역(12)은 폭 방향으로 확장하는 폭 치수 W에 의해 특성화되고, 폭 방향은 참조 부호(16)에 의해 나타내진다. 또한, 활성 영역(12)은 임의의 적절한 반도체 재료를 포함한다. 게이트 전극(14)은 채널 방향으로 확장하는 길이 치수 L에 의해 특성화되고, 채널 방향은 참조 부호(18)에 의해 나타내진다.

따라서, 이 분야에서의 문제점들을 극복하는 개선된 트랜지스터 구조 및 이를 제조하는 방법을 제공하는 것이 바람직할 것이다.

발명의 상세한 설명

일 실시예에 따르면, 반도체 소자 구조의 일부를 형성하는 방법은, 반도체 활성 층, 절연 층, 및 반도체 기판을 갖는 SOI 기판을 제공하는 단계를 포함한다. 상기 반도체 활성 층 내에 제1 분리 트렌치를 형성하고, 상기 제1 트렌치의 하부에, 이중-사용 막을 포함하는 응력자 재료를 피착한다. 상기 반도체 활성 층 내에, 상기 제2 트렌치의 하부에 상기 응력자 재료가 부재한 제2 분리 트렌치를 형성한다. 상기 제1과 제2 분리 트렌치 각각에 응력자의 존재와 부재는, (i) 한 개 이상의 반도체 소자 구조의 N-형 또는 P-형 소자 상에, (ii) 한 개 이상의 폭 방향 또는 채널 방향 배향에 대해, 및 (iii) 한 개 이상의 <100> 또는 <110> SOI 기판의 응력 이득을 맞춤화하기 위해, 차동 응력을 제공한다.

실시예

본 발명의 실시예들은 상이한 소자(N-형 및 P-형)와 상이한 배향(폭 방향 또는 길이 방향)에 차동 응력을 인가하여 <100> SOI 기판의 응력 이득을 최적화하고 최대화하기 위한 해결책을 제공한다. 예를 들어, 본 개시의 실시예들은, 트렌치 분리와 선택 영역들에 대응하는 질화물 피착을 사용하여, 듀얼(248 nm/193 nm) 포토 공정과 차동 응력 효과를 개시한다.

일 실시예에 따르면, SOI에 대한 이중 트렌치 공정은, 원하는 트렌치 지역의 하부에 질화물 층을 형성하여, 트렌치 라이너(liner) 유도된 압축 응력을 방지하여, 특정 소자와 배향에 차동 응력을 인에이블하도록 하는 단계를 포함한다. 또한, 이 방법은 248 nm 파장과 193 nm 파장 모두에 대해 최적 반사율을 제공하여 이들 파장들에 대해 이중 트렌치 포토 공정을 인에이블한다.

도 2는 다양한 채널 배향과 소자 유형에 대한 응력 응답 감도 특성의 표이다. 이 표는 단(short) 채널 소자 동작에 기초한다. 더 구체적으로, 도 2의 표(20)는 채널 배향(22), 소자 유형(24), 적당한 채널 응력(26), 및 적당한 폭 응력(28)을 포함한다. <110>의 채널 배향에 대해, NMOS 소자는 채널 방향의 인장 응력 하에서 가장 잘 수행한다. 또한, <110>의 채널 배향에 대해, NMOS 소자 성능은 폭 방향에서 응력에 비교적 작은 감도를 갖는다. <110>의 채널 배향에 대해, PMOS 소자는 채널 방향에서 압축 응력 하에 그리고 폭 방향에서 인장 응력 하에 가장 잘 수행한다. <100>의 채널 배향에 대해, NMOS 소자는 채널 방향에서 인장 응력 하에 가장 잘 수행하고, 폭 방향에서 응력에 비교적 작은 감도를 갖는다. 최근, <100>의 채널 배향에 대해, PMOS 소자 성능은 채널 방향에서 응력에 비교적 작은 감도를 나타내고, 폭 방향에서 작은 압축 응력에 적당하게 응답한다.

도 3 내지 도 7은, 본 개시의 일 실시예에 따른 응력 효과를 최적화하는 이중 트렌치 공정을 사용하여 제조되는 반도체 소자의 단면도이다. 도 3에서, 반도체 소자(30)는, 종래 기술에서 공지된 것처럼, SOI 기판, 예를 들어, <100> SOI 기판을 포함한다. SOI 기판은, 실리콘 기판(도시 생략), 실리콘 기판을 오버라잉하는 매립 산화물(BOX)(32), 및 BOX(32)를 오버라잉하는 실리콘 층(34)을 포함한다. 실리콘 층(34) 위를, 예를 들어, 패드(pad) 산화물과 같은 열 산화물(36)을 오버라잉한다. 패드 산화물(36) 위를 실리콘 질화물 층(38)을 오버라잉한다. SOI 기판에 대해, BOX(32)는 1350-200 옹스트롬(angstroms) 정도의 두께를 가지며, 실리콘 층(34)은 700-1100 옹스트롬 정도의 두께를 갖는다. 패드 산화물(36)은 90-150 옹스트롬 정도의 두께를 갖는다. 또한, 실리콘 질화물 층(38)은 1000-1200 옹스트롬 정도의 두께를 갖는다. 일 실시예에서, 실리콘 질화물 층(38)은 1050-1160 옹스트롬의 범위의 두께를 갖는다.

도 4에서, 제1 트렌치 에치는 제1 트렌치(40)를 형성하도록 수행된다. 제1 트렌치(40)를 형성하기 위해, 제1 포토 공정이 사용된다. 일 실시예에서, 제1 포토 공정은, 예를 들어, 248 nm DUV(deep ultra violet) 패터닝 공정을 포함한다. 패터닝 단계에 후속하여, 에치 단계가 수행되어 제1 트렌치(40)를 형성한다.

도 5에서, 제1 트렌치 에치에 후속하여, 응력자(stressor)/반반사 코팅(anti-reflective coating; ARC) 막 피착이 수행된다. 응력자/ARC 막(42)의 형성은 이중-사용 막의 선택적 피착을 포함한다. 즉, 응력자/ARC 막은 1) 응력자, 및 2) ARC 막의 이중-사용을 수행할 수 있는 임의의 적절한 막을 포함할 수 있다. 일 실시예에서, 응력자/ARC 막은, 예를 들어, 질화물을 포함한다. 또한, 응력자/ARC 막(42)의 선택적 피착은, 실리콘 질화물 층(38)의 노출부 위와 제1 트렌치(40)의 하부의 막 피착을 포함한다.

가능한 대체안으로는, 피착 층(42) 대신에, 확산 장벽으로서 개구(40)에 측벽 스페이서를 형성하는 것이다. 그런 경우, 측벽 스페이서 형성 전에, BOX 층(32)으로 개구(40)를 확장하는 것도 또한 유익할 것이고, 여기서 측벽 스페이서는 실리콘/BOX 인터페이스를 블록킹한다.

도 6에서, 제2 트렌치 에치가 수행되어 제2 트렌치(44)를 형성한다. 제2 트렌치(44)를 형성하기 위해, 제2 포토 공정이 사용된다. 일 실시예에서, 제2 포토 공정은, 예를 들어, 193 nm DUV 패터닝 공정을 포함한다. 패터닝 단계에 후속하여, 에치 단계가 수행되어 제2 트렌치(44)를 형성한다. 제1 트렌치의 하부와는 달리, 제2 트렌치의 하부에는 어떤 응력자/ARC 막도 존재하지 않는다.

도 7에서, 트렌치 라이너(46, 48)는 제1과 제2 트렌치(40, 44) 각각에 형성된다. 트렌치 라이너(46, 48)는, 결함을 제거하고, 각 트렌치의 실리콘의 상부 구석을 보호하기 위해 열 성장된 라이너를 포함한다. 제2 트렌치(44)에서, 트렌치 라이너(46)는, 제2 트렌치 내의 실리콘(34)의 상부로부터 매립 산화물(32)까지 완전히 확장한다. 또한, 제1 트렌치(40)의 하부를 오버라이딩하는 응력자/ARC 막(42)의 존재의 결과로서, 트렌치 라이너(48)가, 제1 트렌치 내의 실리콘(34) 상에서 매립 산화물(32)까지 완전히 아래로 성장하는 것이 방지된다. 따라서, 제1 트렌치(40) 내의 실리콘(34)의 일부는 응력자/ARC 막(42)에 의해 보호된 채로 남아 있다.

도 8은, 본 개시의 일 실시예에 따른 응력 효과를 최적화하는 이중 트렌치 공정의 흐름도(50)이다. 초기 처리는 참조 부호(52)에 의해 표시된 단계에서 발생한다. 단계(54)에서, 제1 트렌치 포토는, 도 4를 참조하여 상술된 것처럼, 수행된다. 단계 56에서, 도 4를 참조하여 상술된 것처럼, 제1 트렌치 에치가 수행되어 제1 트렌치를 형성한다. 제1 트렌치 에치에 후속하여, 단계 58에서, 예를 들어, 도 5를 참조하여 상술된 것처럼, 선택적 이중-사용(응력자/ARC) 막 피착이 수행된다. 단계 60에서, 도 6을 참조하여 상술된 것처럼, 제2 트렌치 포토가 수행된다. 단계 62에서, 도 6을 참조하여 상술된 것처럼, 제2 트렌치 에치가 수행되어 제2 트렌치를 형성한다. 단계 64의 제2 트렌치 에치에 후속하여, 제조될 반도체 소자의 특정 요구 사항에 따라서 처리가 계속 수행된다. 예를 들어, 도 7를 참조하여 상술된 것처럼, 계속된 처리는 트렌치 라이너들의 형성을 포함할 수 있다.

도 9는 CMOS 트랜지스터 구조(72 및 74)를 포함하는, 반도체 소자 구조(70)의 평면도이고, 구조(72)는, 상술된 것처럼, 본 개시의 일 실시예에 따른 이중 트렌치 공정을 사용하여 제조된 폭 방향의 피제어 응력 특징부를 포함한다. 일 실시예에서, CMOS 트랜지스터 구조(72 및 74)는 PFET 소자와 NFET 소자 각각을 나타낸다. CMOS 트랜지스터 구조(72 및 74)는 활성 반도체 영역(76 및 78)을 각각 포함한다. 일 실시예에서, 활성 반도체 영역은 실리콘을 포함한다.

PFET CMOS 트랜지스터(76)의 최적화는, 참조 부호(80)에 의해 표시된 제1 응력 변경자 특징부와, 제2 응력 변경자 및 용량성 감소 특징부(82 및 84)의 추가를 포함하고, 이들 특징부들은 폭 방향으로 응력의 변경을 제공한다. 제1 응력 변경자 특징부는 활성 반도체 영역(76) 외부의 이중-사용 응력자/ARC 막을 포함한다. 또한, 도 5를 참조하여 상술된 것처럼, 제1 트렌치 에치와 응력자/ARC 파일 피착을 통해, 제1 응력자 변경자 특징부(80)의 형성이 완성된다. 일 실시예에서, 제1 응력 변경자 특징부는 질화물을 포함한다.

또한, 응력 변경자 및 용량성 감소 특징부(82 및 84)는 활성 반도체 영역(76)의 내부에 있고, 활성 영역(76)의 소스와 드레인 영역 사이에 확장된다. 활성 영역(76)의 부분들은 게이트 전극(86)과 연관된 게이트 유전체(도시 생략) 하부에 놓여 있다. 응력 변경자 및 용량성 감소 특징부(82 및 84)의 일부도 게이트 전극(86)과 연관된 게이트 유전체(도시 생략) 하부에 놓여 있다. 게이트 전극(86)은 채널 방향으로 확장하는 길이 치수 L에 의해 특정화된다. 일 실시예에서, 상술된 것처럼, 또한 도 6과 도 7을 참조하여 상술된 것처럼, 제2 트렌치 에치에 의해 활성 반도체 재료의 제거에 후속하여, 응력 변경자 및 용량성 감소 특징부(82 및 84)가 형성된다. 응력 변경자 및 용량성 감소 특징부(82 및 84)는 또한 각 트렌치의 하부를 라이닝하는 이중-사용 응력자/ARC 막의 부재에 의해 특성화되고, 각 트렌치의 트렌치 측벽 라이너는, 활성 층 재료의 상부로부터 하부 매립 산화물까지, 각 트렌치 내에 완전히 확장된다.

제1 응력 변경자 특징부(80)와 응력 변경자 및 용량성 감소 특징부(82 및 84)에 대해서, 각각은 또한 트렌치 필(fill) 재료를 포함한다. 특정 트렌치 필 재료는, 압축 또는 인장 응력 변경에 대해, 특정 트랜지스터 어플리케이션에의 원하는 추가 응력 변경에 따라서 선택된다. 예를 들어, 일 실시예에서, 트렌치 필 재료는 압축 응력 변경을 제공하는 산화물을 포함한다. 또 다른 실시예에서, 트렌치 필 재료는 인장 응력 변경을 제공하는 질화물을 포함한다.

도 9를 참조하면, PFET CMOS 트랜지스터(72)는, 활성 영역(76)의 소스와 드레인 영역(85 및 87) 각각을 접촉하는 컨택(88)을 또한 포함한다. PFET CMOS 트랜지스터(72)에 대해, 상술된 것처럼, 성능 관점에서, 동일한 것이 최적화된다.

도 9는, 본 개시의 또 다른 실시예에 따라서, 노치(notch;89)를 갖는 PFET CMOS 트랜지스터(72)를 또한 나타낸다. 즉, PFET CMOS 트랜지스터(72)는 활성 영역(76)에 노치(89)를 포함한다. 노치(89)는 활성 영역(76)의 끝에 배치되어 있고,

PFET CMOS 트랜지스터(72)의 채널 영역의 일부를 가로질러 걸쳐있다. 노치(89)는, 그것의 존재로, 주어진 CMOS 트랜지스터 어플리케이션에 대해 요구될 수 있는 것처럼, 다양한 칩 기능 쟁점 및/또는 문제점을 해결하기 위해 활성 영역(76)의 총 폭 치수를 감소시킨다.

도 9는 NFET CMOS 트랜지스터(74)의 평면도를 나타내고, 트랜지스터(74)는 게이트 전극(90)과 연관된 게이트 유전체(도시 생략) 하부에 놓여 있는 활성 영역(78)을 포함한다. 활성 영역(78)은 폭 방향으로 확장하는 폭 치수 W에 의해 특성화되고, 반도체 재료를 포함한다. 게이트 전극(90)은 채널 방향으로 확장하는 길이 치수 L에 의해 특성화된다. 트랜지스터(74)는 또한 활성 반도체 영역(78)의 소스와 드레인 영역(91 및 93) 각각과 접촉하는 콘택(92)을 포함한다. 활성 영역(78)이 또한 이중-사용 용력자/ARC 막을 포함하는 제1 용력 변경자 특징부(80)에 의해 둘러싸임에 유의한다. 활성 영역(78)을 둘러싸는 제1 용력 변경자 특징부(80)의 형성은, 도 5를 참조하여 상술된 것처럼, 제1 트렌치 에치와 용력자/ARC 막 피착 동안에 이루어진다.

도 10은, CMOS 트랜지스터 구조(72 및 74)를 포함하는, 반도체 소자 구조(100)의 평면도이고, 구조(72)는 상술된 것처럼 본 개시의 또 다른 실시예에 따른 이중 트렌치 공정을 사용하여 제조되는 폭 방향의 피제어 용력 특징부를 포함한다. 도 10의 실시예는, 도 9에 대해 상술된 실시예와 유사하고, 다음 상이점들을 갖는다. 도 10에 도시된 것처럼, 구조(72)는 제3 용력 변경자 및 용량성 감소 특징부(102)를 더 포함하고, 이들 특징부들은 구조(72)의 폭 방향으로 용력의 추가 변경을 제공한다. 제3 용력 변경자 및 용량성 감소 특징부(102)가 활성 영역(76)의 반대 끝에 위치되고, 더 구체적으로는, 채널 방향으로 확장되는 활성 영역의 에지를 따라서 위치된다.

일 실시예에서, 제3 용력 변경자 및 용량성 감소 특징부(102)는, 도 6과 도 7를 참조하여 상술된 것처럼, 제2 트렌치 에치에 의해 활성 반도체 재료의 제거에 후속하여 형성된다. 용력 변경자 및 용량성 감소 특징부(102)는 각 트렌치의 하부를 라이닝하는 이중-사용 용력자/ARC 막의 부재에 의해 또한 특성화되고, 각 트렌치의 트렌치 측벽 라이너가, 활성 층 재료의 상부로부터 아래의 하부 매립 산화물까지, 각 트렌치 내에 완전히 확장된다.

제1 용력 변경자 특징부(80)에 대해, 용력 변경자 및 용량성 감소 특징부(82, 84, 및 102) 각각은 또한 트렌치 필 재료를 포함한다. 특정 트렌치 필 재료는, 압축 또는 인장 용력 변경에 대해, 특정 트랜지스터 어플리케이션에 대한 원하는 추가 용력 변경에 따라 선택된다. 예를 들어, 일 실시예에서, 트렌치 필 재료는 압축 용력 변경을 제공하는 산화물을 포함한다. 또 다른 실시예에서, 트렌치 필 재료는 인장 용력 변경을 제공하는 질화물을 포함한다.

도 11은 CMOS 트랜지스터 구조(72 및 74)를 포함하는, 반도체 소자 구조(110)의 평면도이고, 구조(72)는 본 개시의 또 다른 실시예에 따라 이중 트렌치 공정을 사용하여 제조되는 폭 방향의 피제어 용력 특징부를 포함한다. 도 11의 실시예는 도 9에 대해 상술된 실시예와 유사하고, 다음 상이점을 갖는다. 도 11에 도시된 것처럼, 구조(72)는 교호(alternate) 용력 변경자 및 용량성 감소 특징부(112 및 114)를 또한 포함하고, 이들 특징부는 구조(72)의 폭 방향으로 용력의 추가 변경을 제공한다. 용력 변경자 및 용량성 감소 특징부(112 및 114)는, 활성 영역(76)에 걸쳐, 더 구체적으로는, 활성 영역을 완전히 가로질러 채널 방향으로 확장하여 배치된다. 용력 변경자 및 용량성 감소 특징부(112 및 114)에 의해 분리되는 활성 영역의 결합부들은, 예를 들어, 콘택 레벨 상의 금속화와 같은 오버라잉(overlying) 금속화 또는 오버라잉 상호접속(interconnect) 레벨을 사용하여 이루어질 수 있다.

일 실시예에서, 용력 변경자 및 용량성 감소 특징부(112 및 114)는 도 6과 도 7를 참조하여 상술된 것처럼, 제2 트렌치 에치에 의해 활성 반도체 재료의 제거에 후속하여 형성된다. 용력 변경자 및 용량성 감소 특징부(112 및 114)는 또한 각 트렌치의 하부를 라이닝하는 이중-사용 용력자/ARC 막의 부재에 의해 또한 특성화되고, 각 트렌치의 트렌치 측벽 라이너는, 활성 층 재료의 상부로부터 아래의 하부 매립 산화물로, 각 트렌치 내에 완전히 확장한다.

제1 용력 변경자 특징부(80)에 대해, 용력 변경자 및 용량성 감소 특징부(112, 114, 및 102) 각각은 또한 트렌치 필 재료를 포함한다. 특정 트렌치 필 재료는, 압축 또는 인장 용력 변경에 대해, 특정 트랜지스터 어플리케이션에 대한 원하는 추가 용력 변경에 따라 선택된다. 예를 들어, 일 실시예에서, 트렌치 필 재료는 압축 용력 변경을 제공하는 산화물을 포함한다. 또 다른 실시예에서, 트렌치 필 재료는 인장 용력 변경을 제공하는 질화물을 포함한다.

도 12는, 본 개시의 또 다른 실시예에 따른 이중 트렌치 공정을 사용하여 제조되는 채널 방향의 피제어 용력 특징부를 갖는 CMOS 트랜지스터 구조(118 및 120)를 포함하는, 반도체 소자 구조(116)의 평면도이다. 도 12의 실시예는, 상술된 것처럼, 도 9에 대해 상술된 실시예와 유사하고, 다음 상이점을 갖는다. 예를 들어, <110>SOI 기판을 포함하는 시작 기판에서, 적당한 채널 용력을 제공하기 위해 더 많은 압축 용력이 바람직하다.

일 실시예에서, 도 6과 도 7을 참조하여, 상술된 것처럼, 제2 트렌치 에지에 의해 활성 반도체 재료의 제거에 후속하여, 응력 변경자 및 용량성 감소 특징부(122)가 형성된다. 응력 변경자 및 용량성 감소 특징부(122)는, 각 트렌치의 하부를 라이닝하는 이중-사용 응력자/ARC 막의 부재에 의해 또한 특성화되고, 활성 층 재료의 상부로부터 아래의 하부 매립 산화물까지, 각 트렌치 내에 완전히 확장된다. 도 12에 도시된 것처럼, 채널 방향에 대한 응력 변경자 및 용량성 감소 특징부(122)는, 채널 영역 또는 하부 게이트 전극(86) 및 연관된 게이트 유전체(도시 생략)을 가로질러 완전히 확장되지 않고, 활성 영역(76) 단독의 소스/드레인 영역의 각 부분들 내에 포함된다. 또한, 복수의 응력 변경자 및 용량성 감소 특징부(122)는 게이트 전극(86)에 따라 평행하게 배치된다.

제1 응력 변경자 특징부(80)에 대해, 응력 변경자 및 용량성 감소 특징부(122) 각각은 트렌치 필 재료를 또한 포함한다. 특정 트렌치 필 재료는, 압축 또는 인장 응력 변경에 대해, 특정 트랜지스터 어플리케이션에 대한 원하는 추가 응력 변경에 따라서 선택된다. 예를 들어, 일 실시예에서, 트렌치 필 재료는 압축 응력 변경을 제공하는 산화물을 포함한다. 또 다른 실시예에서, 트렌치 필 재료는 인장 응력 변경을 제공하는 질화물을 포함한다.

일 실시예에서, 상기 방법은 이중 트렌치 공정에서 선택적 질화물 피착을 사용하는 단계를 포함한다. 선택적 질화물 피착은, 듀얼(248 nm/193 nm) 포토 공정을 인에이블할 뿐만이 아니라, 또한 NFET와 PFET 소자에 폭과 채널 방향으로 차동 응력을 제공하여, <100>결정 배향 SOI 기판 상에서 최대 응력 효과를 얻는다. 즉, 질화물 피착 단계는 248 nm/193 nm 이중 트렌치 포토 공정을 인에이블하고, 또한 선택적 트렌치 응력 조작을 제공한다. 환언하면, 본 개시의 실시예들은, 최적 응력 효과를 얻으면서 동시에, 248 nm와 193 nm 포토 공정의 상이한 ARC 요구사항을 해결하기 위해 동시에 제공된다.

본 개시의 실시예들에서, 이중 트렌치 접근법(예를 들어, 이중 마스크 접근법)은 폭과 채널 방향으로 동시에 NFET와 PFET 소자 모두에 대해 최적 응력(즉, 가장 유익한 응력의 제공) 제공을 인에이블한다. 따라서, 약 5-7%의 정도로 대응하는 트랜지스터 구조에 대한 성능 향상이 기대된다.

일 실시예에 따른 이중 마스크 접근법에서, 정상 활성 영역과 활성 영역의 에지의 트렌치 패터닝은 248 nm 마스크를 사용하여 패터닝되고 나서 에칭된다. 그 다음, 박막 질화물 층(즉, SiN)은 패터닝된 활성 영역의 상부(즉, 193 nm 포토 공정을 인에이블하기 위해)와, 트렌치 패터닝 동안 형성된 트렌치의 하부에(즉, 압축 응력을 감소시키기 위해) 선택적으로 피착된다. 후속적으로, 193 nm 포토 공정을 사용하여, 한 개 이상의 완전 봉입 차단 패턴(즉, PFET 소자의 활성 영역 내의)이 패터닝된다. 이 방식으로, PFET 소자 단독에 폭 방향으로 고 압축 응력이 제공된다. 또한, NFET 소자(즉, 폭과 채널 방향 모두에서)와 PFET 소자(즉, 채널 방향으로)는, NFET와 PFET 소자 모두에 최적인, 감소된 압축 또는 인장 응력을 가질 것이다.

응력 공학이 고 성능 CMOS 기술 개발에 대한 현재 가장 활성화된 분야 중의 하나임에 유의한다. 또한, SOI 기판은 일부 고유한 응력 효과를 갖는다. 본 개시의 실시예들은 이들 효과의 이득을 취하는 고유한 방식을 제공한다. 또한, 이중 트렌치 공정은, 예를 들어, <100>SOI 기판과 같은 SOI 기판 상에 특정 소자들을 위한 응력을 조절하는 차동의 최적화된 응력 효과를 인에이블한다. 또한, 차동 최적 응력 조절은, 본 명세서에 기재되는 것처럼, 다른 지역 및/또는 영역에, 인장 또는 압축 응력을 다소 제공하는 것을 포함한다.

본 명세서에 기재된 것처럼, 본 개시의 실시예들은 고 성능 및/또는 저 다이내믹 전력을 요구하는 SOI 제품에 적용가능하다. 실시예들은 또한, 원하는 성능 이점을 얻기 위해, SiGe 응력자 또는 c-SiGe 채널 등을 사용하는 복잡한 방법들보다 구현이 더 간단한 방법을 제공한다.

전술된 명세서에서, 다양한 실시예들을 참조하여 본 개시가 기재되었다. 그러나, 당업자라면, 아래 청구범위에 기재된 본 실시예들의 범위를 벗어나지 않고, 다양한 수정과 변경이 만들어질 수 있음을 이해할 것이다. 따라서, 명세서와 도면들은 제한적인 관점보다는 예시적인 관점으로 고려되어야 하고, 모든 그런 수정은 본 실시예들의 범위 내에 포함되려고 의도된다. 예를 들어, 본 실시예들은, 소자 성능에 캐리어 이동성이 중요한 반도체 소자 기술에 적용할 수 있다.

특정 실시예들에 대해, 이득, 다른 이점, 및 문제의 해결책이 상술되었다. 그러나, 임의의 이득, 이점, 또는 해결책이 발생하거나 또는 더 공고되도록 할 수 있는 이득, 이점, 문제의 해결책, 및 임의의 소자가, 임의의 또는 모든 청구항들의 중요한, 필수, 또는 기본적인 특징 또는 요소로서 해석되어서는 안 된다. 본 명세서에 사용되는 것처럼, '포함한다(comprises)'와 '포함하는(comprising)'이라는 용어 또는 이들의 임의의 다른 변형은 비배타적-포괄성(non-exclusive inclusion)을 위해 의도되어서, 요소의 리스트를 포함하는 공정, 방법, 제품, 또는 장치가 단지 이들 요소들만을 포함하는 것뿐만이 아니라, 또한 명백히 리스트되지 않거나 또는 그런 공정, 방법, 제품, 또는 장치에 고유하지 않은 다른 요소들도 포함할 수 있도록 한다.

도면의 간단한 설명

본 개시의 실시예들은 예를 통해 설명되고, 유사 참조 부호가 유사 소자를 나타내는 첨부 도면에 의해 제한되지는 않는다.

도 1은, 종래 기술에서 공지된 것처럼, 채널 방향과 폭 방향을 나타내는 CMOS 트랜지스터의 평면도이다.

도 2는 다양한 채널 배향과 소자 유형에 대한 응력 응답 특성의 표이다.

도 3 내지 도 7은 본 개시의 일 실시예에 따른 응력 효과를 최적화하기 위해 이중 트렌치 공정을 사용하여 제조되는 반도체 소자의 단면도이다.

도 8은 본 개시의 일 실시예에 따른 응력 효과를 최적화하기 위한 이중 트렌치 공정의 흐름도이다.

도 9는 본 개시의 일 실시예에 따른 이중 트렌치 공정을 사용하여 제조되는 폭 방향의 피제어 응력 특징부를 갖는 CMOS 트랜지스터 구조를 포함하는, 반도체 소자 구조의 평면도이다.

도 10은 본 개시의 또 다른 실시예에 따른 이중 트렌치 공정을 사용하여 제조되는 폭 방향의 피제어 응력 특징부를 갖는 CMOS 트랜지스터 구조를 포함하는, 반도체 소자 구조의 평면도이다.

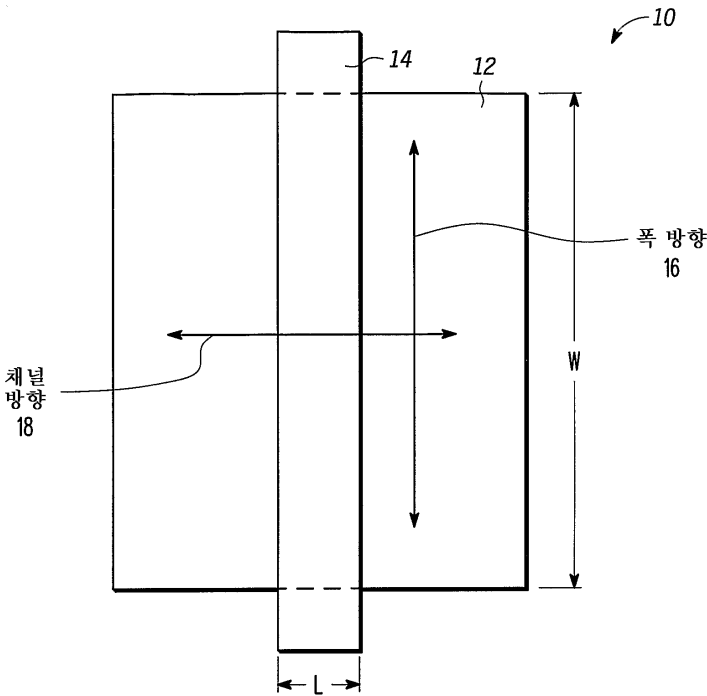
도 11은 본 개시의 또 다른 실시예에 따른 이중 트렌치 공정을 사용하여 제조되는 폭 방향의 피제어 응력 특징부를 갖는 CMOS 트랜지스터 구조를 포함하는, 반도체 소자 구조의 평면도이다.

도 12는 본 개시의 또 다른 실시예에 따른 이중 트렌치 공정을 사용하여 제조되는 폭 방향의 피제어 응력 특징부를 갖는 CMOS 트랜지스터 구조를 포함하는, 반도체 소자 구조의 평면도이다.

다른 도면들에서 동일 참조 부호의 사용은 유사 또는 동일 항목을 나타낸다. 당업자라면 또한, 도면의 요소들이 단순성과 명료성을 위해 도시되었고 반드시 치수조정을 하기 위해 그려진 것은 아님을 이해할 것이다. 예를 들어, 도면의 일부 요소들의 치수는 다른 요소들에 비해 과장되어 본 발명의 실시예들의 이해 향상을 도울 것이다.

도면

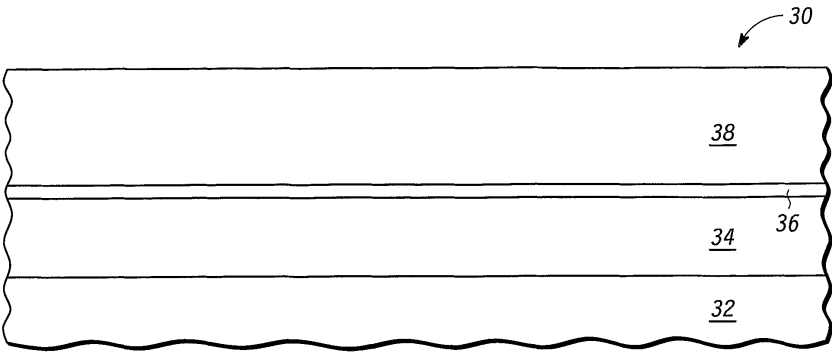
도면1



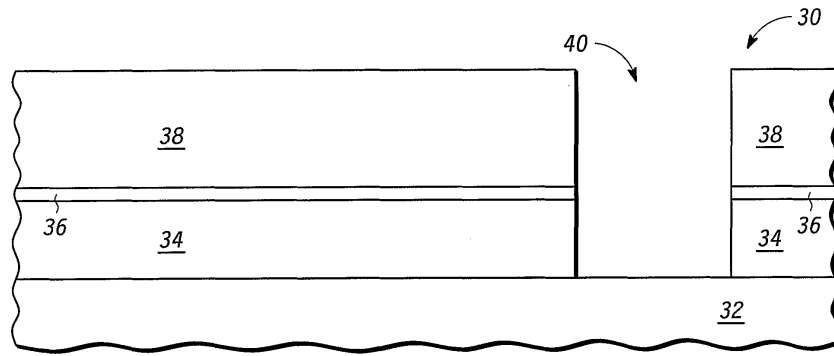
도면2

20			
22	24	26	28
채널 배향	소자 유형	알맞은 채널 응력	알맞은 폭 응력
<110>	NMOS	인장	작은 감도
<110>	PMOS	압축	인장
<100>	NMOS	인장	작은 감도
<100>	PMOS	작은 감도	작은 압축

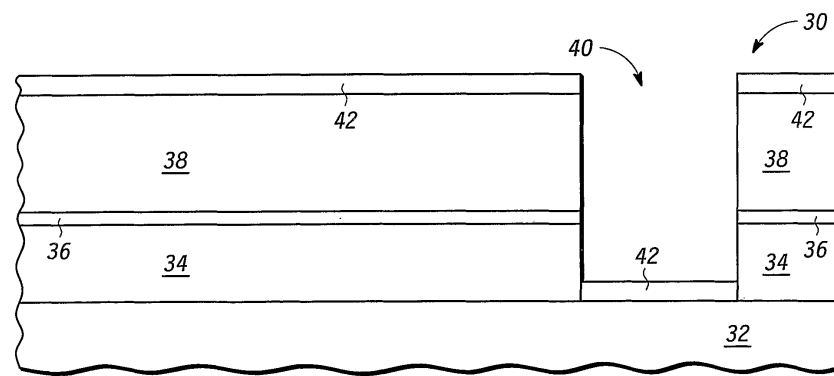
도면3



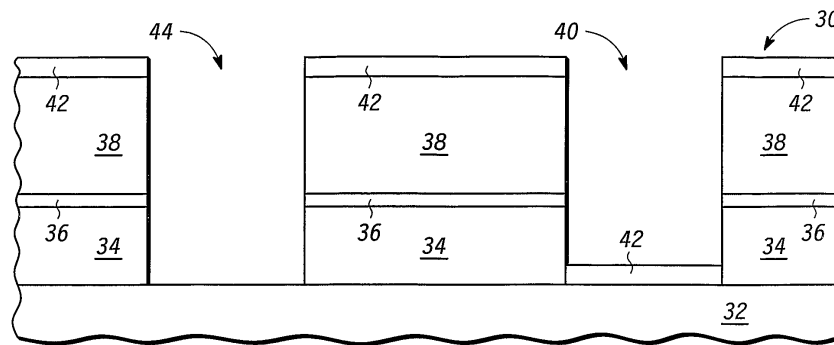
도면4



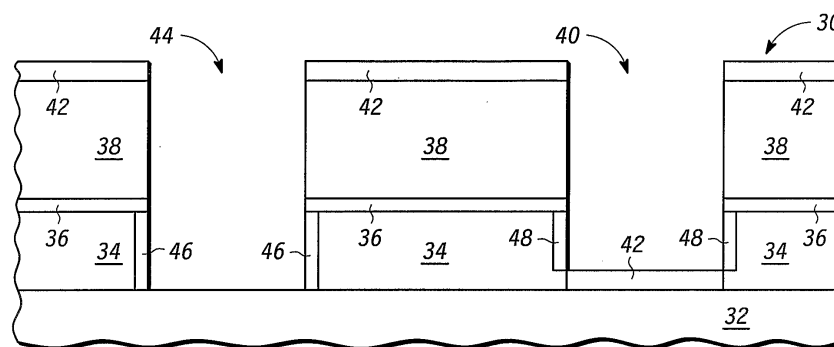
도면5



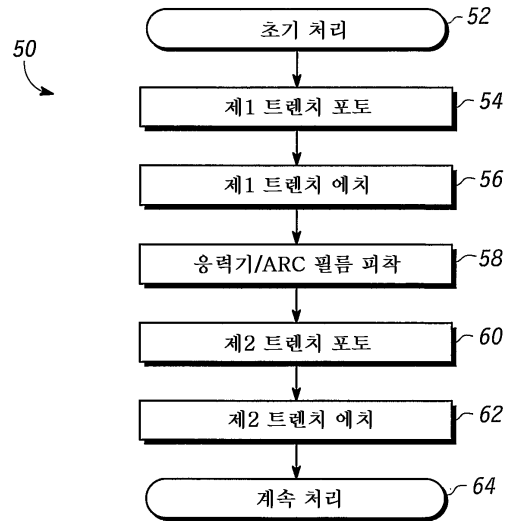
도면6



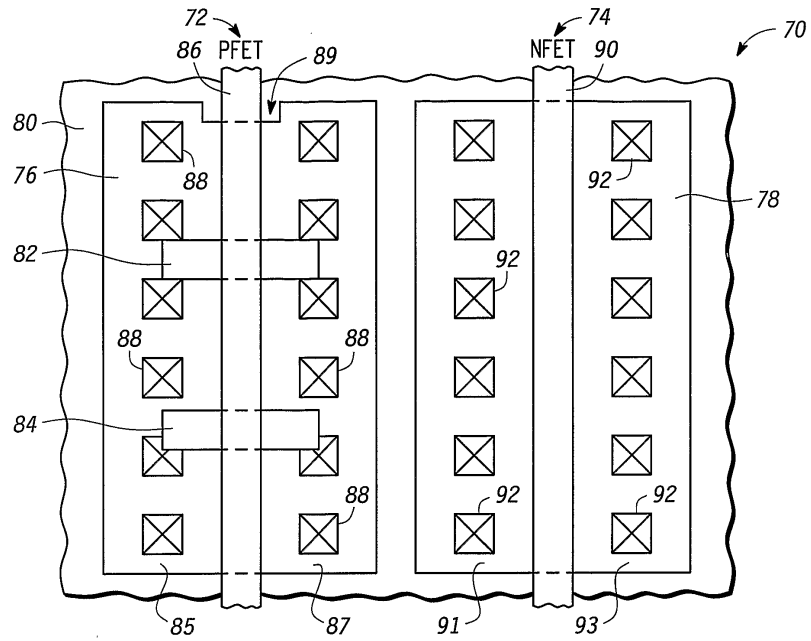
도면7



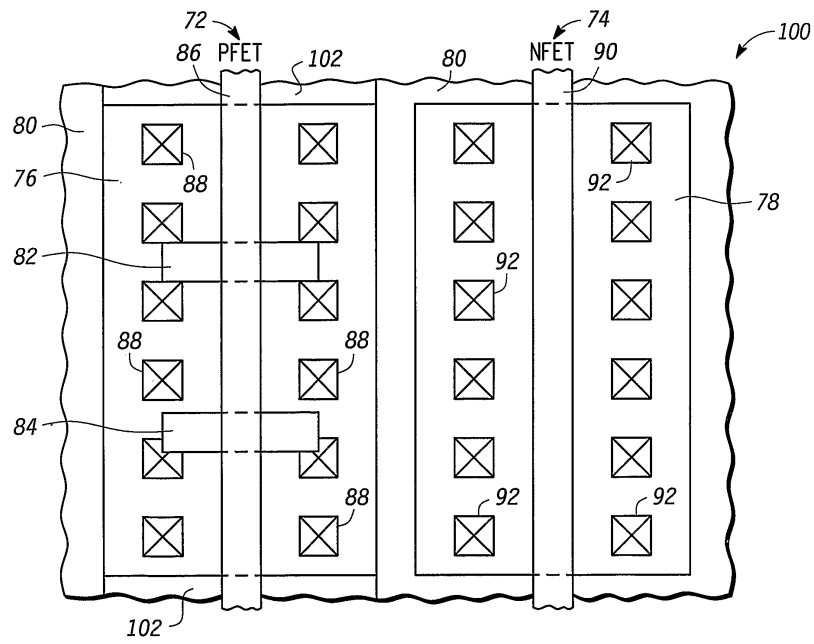
도면8



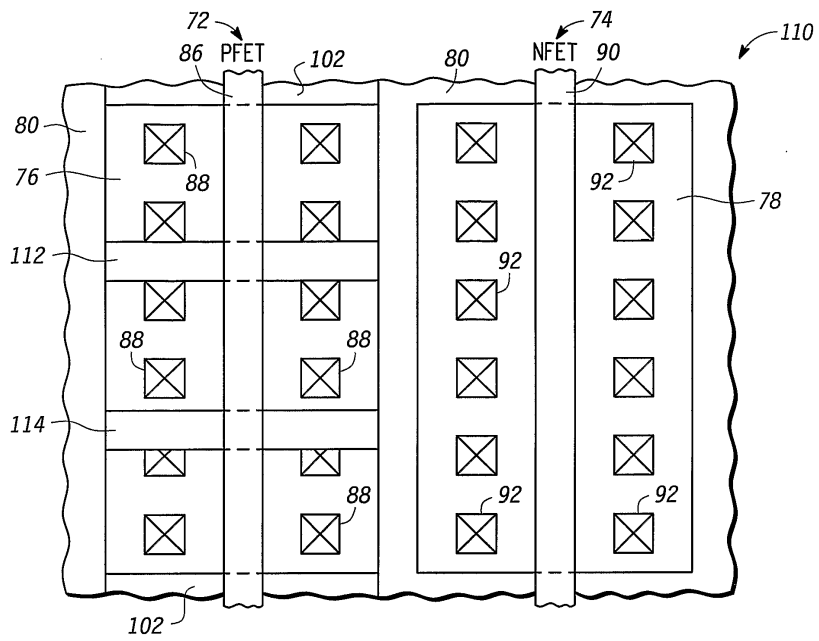
도면9



도면10



도면11



도면12

