

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 1 月 18 日 (18.01.2024)



(10) 国际公布号
WO 2024/011985 A1

(51) 国际专利分类号:
H10B 12/00 (2023.01)

(21) 国际申请号: PCT/CN2023/089535

(22) 国际申请日: 2023 年 4 月 20 日 (20.04.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210822648.1 2022 年 7 月 12 日 (12.07.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 窦涛 (DOU, Tao); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路 5 号 B1605、B1606、B1607, Beijing 100101 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: MANUFACTURING METHOD FOR SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构的制造方法

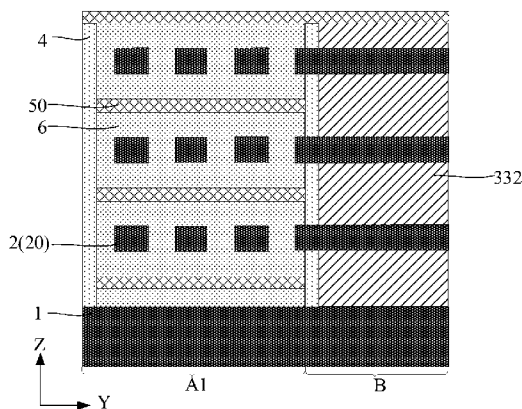


图 19

(57) Abstract: Disclosed is a manufacturing method for a semiconductor structure. The semiconductor structure comprises a transistor region, and the transistor region comprises a first source-drain region and a word line region. The manufacturing method comprises: forming active layers on a substrate, the active layers of the transistor region comprising a plurality of active structures; forming, in the first source-drain region and the word line region, a dummy word line structure covering a same layer of the active structure; forming a first isolation layer alternately arranged with the dummy word line structure in a third direction; removing the dummy word line structure; forming an initial dielectric layer on the surfaces of the active structures in the first source-drain region and the word line region; forming an initial word line on the surface of the initial dielectric layer; and removing the initial word line and the initial dielectric layer located in the first source-drain region.

(57) 摘要: 公开了一种半导体结构的制造方法。半导体结构包括晶体管区, 晶体管区包括第一源漏区和字线区。该制造方法包括在基底上形成有源层, 晶体管区的有源层包括多个有源结构。在第一源漏区和字线区形成包覆同一层有源结构的伪字线结构。形成与伪字线结构在第三方向上交替设置的第一隔离层。去除伪字线结构。在第一源漏区和字线区的有源结构的表面形成初始介质层。在初始介质层表面形成初始字线。去除位于第一源漏区的初始字线和初始介质层。

NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

半导体结构的制造方法

交叉引用

[0001] 本申请引用于 2022 年 7 月 12 日递交的名称为“半导体结构的制造方法”的第 202210822648.1 号中国专利申请，其通过引用被全部并入本申请。

5 技术领域

[0002] 本公开实施例属于半导体领域，具体涉及一种半导体结构的制造方法。

背景技术

10 [0003] 动态随机存取存储器（Dynamic Random Access Memory, DRAM）是一种半导体存储器，主要的作用原理是利用电容内存储电荷的多寡来代表其存储的一个二进制比特是 1 还是 0。

[0004] 3D 堆叠式 DRAM 是一种在基底上堆叠多层晶体管的结构，其集成度较高，有利于降低单位面积的成本。然而 3D 堆叠式 DRAM 的性能还有待提升。

发明内容

15 [0005] 本公开实施例提供一种半导体结构的制造方法，至少有利于提高 3D 堆叠式 DRAM 的性能。

20 [0006] 根据本公开一些实施例，本公开实施例一方面提供一种半导体结构的制造方法，其中，所述半导体结构包括晶体管区，所述晶体管区包括在第一方向排列的第一源漏区和字线区，所述制造方法包括：提供基底，在所述基底上形成多层间隔设置的有源层，所述晶体管区的所述有源层包括多个在第二方向排列的有源结构，所述第二方向垂直于所述第一方向；在所述第一源漏区和所述字线区形成多个伪字线结构，所述伪字线结构包覆同一层所述有源结构的表面；在相邻所述伪字线结构之间形成第一隔离层，形成第一隔离层，所述第一隔离层与所述伪字线结构在第三方向上交替设置，所述第三方向垂直于所述基底表面；去除所述伪字线结构；在所述第一源漏区和所述字线区的所述有源结构的表面形成初始介质层；在所述初始介质层表面形成初始字线，且所述初始字线包覆所述有源结构；去除位于所述第一源漏区的所述初始字线和初始介质层；剩余的所述初始介质层构成介质层；剩余的所述初始字线构成字线，所述字线包覆所述字线区的同一层的所述有源结构；在所述第一源漏区形成绝缘层，所述绝缘层位于相邻所述有源结构之间，并覆盖所述第一隔离层。

30 [0007] 本公开实施例提供的技术方案至少具有以下优点：形成包覆同一层有源层的伪字线结构，伪字线结构所占据的空间位置为后续形成的初始字线所占据的空间位置；在相邻伪字线结构之间形成第一隔离层，此后，去除伪字线结构，并在第一隔离层内形成初始字线。即第一隔离层能够规范初始字线的形状，从而避免同一字线发生断开，或相邻字线发生互连的问题。此外，从而有利于提高半导体结构的性能。
35 此外，第一源漏区能够增大形成伪字线结构、第一隔离层、初始字线的工艺窗口，从而便于工艺制造。

附图说明

[0008] 此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

5 [0009] 图 1 示出了一种半导体结构的示意图；

[0010] 图 2-图 46 示出了一种半导体结构的制造方法中各步骤对应的结构示意图。

具体实施方式

10 [0011] 背景技术可知，3D 堆叠式 DRAM 的性能还有待提升。参考图 1，经分析发现，主要原因在于：在基底 100 上形成多层有源结构 200 后，通常直接沉积导电材料以形成包覆同一层的多个有源结构 200 的字线 600；然而，导电材料在不同位置的沉积程度不同，从而可能发生错误的互连或断开。比如，在第一位置 L1，即有源结构 200 的边缘处，字线 600 的厚度较小，并且可能发生断开现象。在第二位置 L2，由于上下空间连通，因此，上下层相邻的字线 600 容易发生互连。因此，半导体结构的性能有待提升。

15 [0012] 本公开实施例提供一种半导体结构，制造方法包括：形成包覆同一层有源结构的伪字线结构，并在相邻伪字线结构之间形成第一隔离层，此后，去除伪字线结构以露出有源结构，形成包覆同一层有源结构的字线。即，伪字线结构所占据的空间位置即为字线所占据的空间位置，第一隔离层为形成字线的模子，能够规范字线的形状，从而避免相邻有源结构之间的字线发生断开；此外，第一隔离层在形成字线之前已经形成，在第一介质层隔离作用下，可以避免上下层的字线发生互连。此外，第一源漏区还可用于增大工艺窗口，进而便于工艺制造。

20 [0013] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开实施例而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开实施例所要求保护的技术方案。

25 [0014] 如图 2-图 46 所示，本公开一实施例提供一种半导体结构的制造方法，以下将结合附图对本申请一实施例提供的半导体结构的制造方法进行详细说明。需要说明的是，为了便于描述以及清晰地示意出半导体结构制作方法的步骤，图 2 至图 46 均为半导体结构的局部结构示意图。

30 [0015] 参考图 2，图 2 示出了最终形成的半导体结构的俯视图，为更加直观，俯视图中仅示出了半导体结构中的部分结构。首先，需要说明的是，半导体结构内具有第一方向 X、第二方向 Y 和第三方向 Z(参考图 3)。第一方向 X 和第二方向 Y 与基底 1 表面平行且二者相互垂直，第三方向 Z 垂直于基底 1 表面。

35 [0016] 半导体结构包括晶体管区 A，晶体管区 A 在第一方向 X 依次排列的第一源漏区 A2 和字线区 A1。在一些实施例中，半导体结构还包括台阶区 B，台阶区 B 与字线区 A1 在第二方向 Y 排列，且二者相接。

40 [0017] 图 3 为图 2 所示的 d-d1 方向上的剖面图；图 4 为图 2 所示的 e-e1 方向、f-f1 方向和 h-h1 方向上的剖面图；图 5 为图 2 所示的 g-g1 方向上的剖面图。参考图 3-图 5，提供基底 1，在基底 1 上形成多层交替设置的有源层 20 和牺牲层 31。在一些实施例中，有源层 20 和牺牲层 31 位于晶体管区 A 和台阶区 B 的基底 1 上。

[0018] 示例地，通过外延生长工艺形成有源层 20 和牺牲层 31。此外，有源层 20 与基底 1 的材料可以相同，比如二者可以均为硅层。牺牲层 31 的材料可以为硅锗。

[0019] 此外，还可以在有源层 20 的表面形成保护层 30。示例地，在有源层 20 的表面沉积氧化硅以作为保护层 30。保护层 30 能够在后续刻蚀过程中保护有源层 20 的

表面。

[0020] 参考图 6-图 7，图 6 为图 2 所示的 d-d1 方向上的剖面图，图 7 为图 2 所示的 f-f1 方向和 h-h1 方向上的剖面图，在本步骤中，半导体结构在 e-e1 方向上的剖面未发生变化，可参考图 4；在晶体管区 A 形成第二隔离层 321，第二隔离层 321 穿透有源层 20 和牺牲层 31，并将晶体管区 A 的有源层 20 分割为多个有源结构 2。

[0021] 示例地，对有源层 20 和牺牲层 31 进行图形化处理，以去除部分有源层 20 和牺牲层 31，以形成在第一方向 X 延伸的多个沟槽；在沟槽中沉积绝缘材料以作为第二隔离层 321。第二隔离层 321 的材料可以与保护层 30 的材料相同，比如二者均为氧化硅。

[0022] 在一些实施例中，还可以在形成第二隔离层 321 的同时，在台阶区 B 形成边缘隔离层 322。具体地，参考图 2 和图 8，图 8 为图 2 所示的 g-g1 方向上的剖面图；台阶区 B 包括第一区 B1 和第二区 B2，第一区 B1 与字线区 A1 正对，且第一区 B1 的部分侧面与字线区 A1 相接，第二区 B2 环绕第一区 B1 未与字线区 A1 相接的侧面，第二区 B2 可以用于增大第一区 B1 的工艺窗口。示例地，第一区 B1 的形状为矩形，第一区 B1 的一个侧面与字线区 A1 相接，第二区 B2 环绕第一区 B1 的其他三个侧面。边缘隔离层 322 位于台阶区 B 的第二区 B2。

[0023] 示例地，去除位于第二区 B2 的牺牲层 31 和有源层 20，此后，在第二区 B2 沉积边缘隔离层 322。

[0024] 图 9 为图 2 所示的 d-d1 方向上的剖面图，图 10 为图 2 所示的 e-e1 方向的剖面图，图 11 为图 2 所示的 h-h1 方向上的剖面图；参考图 9-图 11，形成支撑结构 4。示例地，采用干法刻蚀工艺去除部分第二隔离层 321 和部分牺牲层 31，以形成多个沟槽，在沟槽中沉积氮化硅以作为支撑结构 4。沉积氮化硅之后，采用化学机械研磨工艺进行平坦化处理。

[0025] 参考图 9，在一些实施例中，支撑结构 4 位于字线区 A1 远离台阶区 B 的一侧，且此支撑结构 4 穿透第二隔离层 321，此支撑结构 4 可以用于定义字线区 A1 远离台阶区 B 的边界。支撑结构 4 还可以位于台阶区 B 朝向字线区 A1 的一侧，此支撑结构 4 可以用于支撑台阶区 B 的有源层 20。

[0026] 参考图 10-图 11，在另一些实施例中，支撑结构 4 至少位于字线区 A1 背离第一源漏区 A2 的一侧，且此处的支撑结构 4 包覆有源结构 2。即此处的支撑结构 4 为网状结构，有源结构 2 穿透支撑结构 4。此外，支撑结构 4 还可以位于防漏电区 A4 远离字线区 A1 的一侧，且此处的支撑结构 4 包覆有源结构 2。

[0027] 在另一些实施例中，参考图 2，在形成支撑结构 4 的同时，还可以形成环绕台阶区 B 的框架结构 42，框架结构 42 穿透边缘隔离层 322(参考图 8)，且在字线区 A1 与第一区 B1 的相接处，框架结构 42 还包覆有源层 20。即，框架结构 42 用于定义台阶区 B 的边缘，且能够将台阶区 B 与半导体结构内的其他区域相隔离。需要说明的是，位于第二区 B2 边缘的框架结构 42 与第一区 B1 的距离越远，则第一区 B1 的工艺窗口越大。

[0028] 在一些实施例中，参考图 2，在第一方向 X 上，台阶区 B 的宽度大于字线区 A1 的宽度。由于后续将去除第一区 B1 的有源层 20，因此，台阶区 B 较大的宽度能够增大去除有源层 20 的工艺窗口，从而便于工艺制造。

[0029] 参考图 12-图 14，图 12 为图 2 所示的 d-d1 方向上的剖面图，图 13 为图 2 所示的 e-e1 方向的剖面图，图 14 为图 2 所示的 f-f1 方向的剖面图，在本步骤中，h-h1 方向上的剖面图未发生变化，可参考图 11；去除晶体管区 A 的第二隔离层 321 和牺牲层 31，以露出晶体管区 A 的有源层 20。此外，还可以去除台阶区 B 的边缘隔离层 322 和牺牲层 31，即去除第二区 B2 的边缘隔离层 322 和第一区 B1 的牺牲层

31, 以露出台阶区 B 的有源层 20。

[0030] 示例地, 采用湿法刻蚀工艺去除第二隔离层 321、牺牲层 31 和边缘隔离层 322。支撑结构 4 能够在去除上述结构时, 对有源层 20 起到支撑作用。

[0031] 继续参考图 12-图 14, 在晶体管区 A 形成第一填充层 331, 第一填充层 331 覆盖有源层 20 和支撑结构 4, 即第一填充层 331 占据了晶体管区 A 原有的牺牲层 31 和第二隔离层 321 的空间。

[0032] 参考图 15, 图 15 为图 2 所示的 g-g1 方向的剖面图, 在形成第一填充层 331 的同时, 还可以在台阶区 B 形成多层第二填充层 332, 第二填充层 332 与有源层 20 交替设置。具体地, 第二填充层 332 与第一区 B1 的有源层 20 交替设置, 且第二填充层 332 还填充于第二区 B2。

[0033] 示例地, 采用化学气相沉积工艺在晶体管区 A 和台阶区 B 填充氧化硅以作为第一填充层 331 和第二填充层 332, 此后, 采用化学机械研磨工艺进行平坦化处理。

[0034] 参考图 16-图 18, 图 16 为图 2 所示的 d-d1 方向上的剖面图, 图 17 为图 2 所示的 e-e1 方向的剖面图, 图 18 为图 2 所示的 f-f1 方向的剖面图, 去除位于第一源漏区 A2 和字线区 A1 的第一填充层 331, 从而露出第一源漏区 A2 和字线区 A1 的有源结构 2。

[0035] 需要说明的是, 去除第一源漏区 A2 的第一填充层 331 的主要原因在于: 第一源漏区 A2 可以用于增大字线区 A1 的工艺窗口, 以便于后续形成伪字线结构 6、第一隔离层 5、初始字线 620 和初始介质层 610。工艺窗口增大, 生产效率提高, 且有利于提高各膜层的质量, 从而提高半导体结构的性能。

[0036] 至此, 基于图 3-图 18, 可以在基底 1 上形成多层间隔设置的有源层 20, 晶体管区 A 的有源层 20 包括多个在第二方向 Y 排列的有源结构 2, 且字线区 A1 和第一源漏区 A2 内的有源结构 2 被露出, 以便于后续形成伪字线结构 6。上述步骤仅为示例性说明, 本公开实施例不限于此, 比如, 在形成支撑结构 4 后, 可以只去除字线区 A1 和第一源漏区 A2 内的第二隔离层 321 和牺牲层 31。由于其他区域内的牺牲层 31 并未并去除, 因而无需再形成第一填充层 331 和第二填充层 332。

[0037] 图 19 为图 2 所示的 d-d1 方向上的剖面图, 图 20 为图 2 所示的 e-e1 方向的剖面图, 图 21 为图 2 所示的 f-f1 方向的剖面图, 参考图 19-图 21, 在第一源漏区 A2 和字线区 A1 形成多个伪字线结构 6, 伪字线结构 6 包覆同一层有源结构 2 的表面。

[0038] 示例地, 通过原子层沉积工艺在有源层 20 的表面沉积氧化硅以作为伪字线结构 6。原子层沉积工艺将物质以单原子膜形式一层一层的镀在有源结构 2 表面, 在原子层沉积过程中, 新一层原子膜的化学反应是直接与之前一层相关联的, 因此, 膜层的均一性、致密度更好, 从而有利于改善伪字线结构 6 的形貌。伪字线结构 6 所在的空间位置即为后续形成的字线 62 所在的空间位置, 因此, 还可以改善后续形成的字线 62 的形貌。在另一些实施例中, 也可以采用化学气相沉积工艺形成伪字线结构 6。

[0039] 需要说明的是, 由于第一源漏区 A2 的第一填充层 331 被去除, 第一源漏区 A2 可用于增大工艺窗口, 即增加进入字线区 A1 的反应气体, 进而使得反应气体在有源结构 2 表面的沉积程度相对一致, 以改善伪字线结构 6 的形貌。

[0040] 继续参考图 19-图 21, 形成初始第一隔离层 50, 初始第一隔离层 50 位于第一源漏区 A2 和字线区 A1, 且覆盖伪字线结构 6 背向字线区 A1 的端面, 并位于相邻伪字线结构 6 之间。也就是说, 采用反向填充工艺形成初始第一隔离层 50 以作为后续形成的上下层字线 62 之间的隔离结构。

[0041] 示例地, 通过原子层沉积工艺在字线区 A1 和第一源漏区 A2 沉积碳氮氧硅以作为初始第一隔离层 50。原子层沉积工艺能够提高初始第一隔离层 50 的致密度和均一性, 从而有利于提高隔离效果, 还能够改善后续形成的字线 62 的形貌。在另一些实施例中, 还可以通过化学气相沉积工艺形成初始第一隔离层 50。

5 [0042] 在一些实施例中, 支撑结构 4 的材料与初始第一隔离层 50 的材料不同。主要原因在于, 后续将去除部分初始第一隔离层 50, 以形成第一隔离层 5。在去除部分初始第一隔离层 50 时, 为避免将支撑结构 4 也去除, 因此, 二者的材料不同。示例地, 初始第一隔离层 50 与支撑结构 4 的选择刻蚀比大于 2。

10 [0043] 图 22 为图 2 所示的 d-d1 方向上的剖面图, 图 23 为图 2 所示的 e-e1 方向的剖面图, 图 24 为图 2 所示的 f-f1 方向的剖面图, 参考图 22-图 24, 去除位于伪字线结构 6 背向字线区 A1 的端面的初始第一隔离层 50, 剩余的初始第一隔离层 50 作为第一隔离层 5。第一隔离层 5 与伪字线结构 6 在第三方向 Z 上交替设置, 第三方向 Z 垂直于基底 1 表面。

15 [0044] 示例地, 采用干法刻蚀工艺以去除位于伪字线结构 6 端面的初始第一隔离层 50。

[0045] 继续参考图 22-图 24, 去除伪字线结构 6。示例地, 采用湿法刻蚀工艺去除伪字线结构 6, 从而露出相邻第一隔离层 5 之间的间隙。

20 [0046] 图 25 为图 2 所示的 d-d1 方向上的剖面图, 图 26 为图 2 所示的 e-e1 方向的剖面图, 图 27 为图 2 所示的 f-f1 方向的剖面图, 参考图 25-图 27, 在第一源漏区 A2 和字线区 A1 的有源结构 2 的表面形成初始介质层 610; 示例地, 通过原位水汽生成工艺在有源结构 2 的表面生长氧化硅以作为初始介质层 610。

25 [0047] 继续参考图 25-图 27, 在初始介质层 610 表面形成初始字线 620, 且初始字线 620 包覆有源结构 2。具体地, 通过原子层沉积工艺在初始介质层 610 的表面形成氮化钛或氮化钽等膜层以作为初始字线阻挡层 6210。初始字线阻挡层 6210 能够避免后续形成的初始字线填充层 6220 与第一隔离层 5 发生原子扩散, 从而保证初始字线填充层 6220 具有较低电阻。

30 [0048] 继续参考图 25-图 27, 形成位于相邻第一隔离层 5 之间的初始字线填充层 6220, 初始字线填充层 6220 还覆盖初始字线阻挡层 6210, 且初始字线填充层 6220 包覆同一层的有源结构 2, 初始字线阻挡层 6210 和初始字线填充层 6220 构成初始字线 620。示例地, 在相邻第一隔离层 5 之间沉积钛、钨或钼等低电阻金属作为初始字线填充层 6220。低电阻的金属有利于降低半导体结构的功耗, 还有利于缩短延迟时间, 从而提高半导体结构的运行速率。

[0049] 参考图 26, 需要说明的是, 初始介质层 610 和初始字线 620 还位于第一源漏区 A2 背向字线区 A1 的一侧, 后续将去除此位置的初始字线 620 和初始介质层 610。

35 [0050] 图 28 为图 2 所示的 d-d1 方向上的剖面图, 图 29 为图 2 所示的 e-e1 方向的剖面图, 参考图 28-图 29, 去除位于第一隔离层 5 顶面的初始字线 620 和初始介质层 610。具体地, 可通过化学机械研磨工艺去除顶面的初始字线 620 和初始介质层 610, 以露出第一隔离层 5 的顶面。

40 [0051] 参考图 29, 刻蚀位于第一源漏区 A2 背向字线区 A1 的一侧的初始字线 620 和初始介质层 610, 从而露出有源结构 2 的端面。

[0052] 图 30 为图 2 所示的 f-f1 方向的剖面图, 参考图 30, 在第一源漏区 A2 形成多个第一沟槽 501, 第一沟槽 501 沿第三方向 Z 延伸, 第三方向 Z 垂直于基底 1 表面; 第一沟槽 501 穿透第一隔离层 5、初始字线 620 和初始介质层 610。

45 [0053] 示例地, 采用干法刻蚀工艺沿着第三方向 Z 去除位于相邻有源结构 2 之间的第一隔离层 5、初始字线 620 和初始介质层 610, 从而露出有源结构 2 在第二方向 Y

排列的侧壁。

[0054] 图 31 为图 2 所示的 f-fl 方向的剖面图, 参考图 31, 形成填充第一沟槽 501 的第一绝缘层 511。示例地, 在第一沟槽 501 中沉积氮化硅以作为第一绝缘层 511。此后, 采用化学机械研磨工艺进行平坦化处理。

5 [0055] 图 32 为图 2 所示的 e-e1 方向的剖面图, 图 33 为图 2 所示的 f-fl 方向的剖面图, 参考图 32-图 33, 去除第一源漏区 A2 剩余的初始字线 620 和初始介质层 610; 剩余的初始介质层 610 构成介质层 61; 剩余的初始字线 620 构成字线 62。换言之, 在形成第一绝缘层 511 后, 第一绝缘层 511 与有源结构 2 以及第一隔离层 5 围成小孔 502, 此后, 刻蚀位于该小孔 502 内的初始字线 620 和初始介质层 610, 从而缩短
10 初始字线 620 和初始介质层 610 在第一方向 X 上的长度。由于小孔 502 的面积较小, 因此, 能够便于控制去除的初始字线 620 和初始介质层 610 的长度, 从而避免将字线区 A1 的初始字线 620 和初始介质层 610 也去除, 如此, 有利于提高半导体结构的性能。

[0056] 至此, 基于图 28-图 30 和图 32-图 33 所示的工艺步骤, 可以去除位于第一源漏区 A2 的初始字线 620 和初始介质层 610, 从而形成字线 62 和介质层 61。介质层 61 位于字线区 A1 的有源结构 2 的表面, 字线 62 包覆字线区 A1 的同一层的有源结构 2, 且覆盖介质层 61。上述步骤为示例性说明, 而不限于此。在另一些实施例中, 还可以采用一道刻蚀步骤以去除第一源漏区 A2 的初始介质层 610 和初始字线 620。

20 [0057] 图 34 为图 2 所示的 e-e1 方向的剖面图, 图 35 为图 2 所示的 f-fl 方向的剖面图, 参考图 34-图 35, 在第一源漏区 A2 形成第二绝缘层 512, 第二绝缘层 512 位于有源结构 2 的上下两侧以及相邻第一绝缘层 511 之间, 还覆盖第一隔离层 5; 第一绝缘层 511 和第二绝缘层 512 构成绝缘层 51。换言之, 第二绝缘层 512 位于第一绝缘层 511、有源结构 2 以及第一隔离层 5 围成的小孔 502 内, 并覆盖第一源漏区 A2 远离字线区 A1 的侧壁。

25 [0058] 示例地, 在第一源漏区 A2 沉积碳氮氧硅以作为第二绝缘层 512。第二绝缘层 512 的材料可以与第一隔离层 5 的材料相同。

[0059] 至此, 基于图 31 和图 34-图 35 所示的两个步骤可以在第一源漏区 A2 形成绝缘层 51, 绝缘层 51 位于相邻有源结构 2 之间, 并覆盖第一隔离层 5。采用两次步骤形成绝缘层 51, 有利于提升绝缘层 51 的致密度, 从而提高绝缘层 51 的隔离效果。
30 在另一些实施例中, 在去除第一源漏区 A2 的初始介质层 610 和初始字线 620 后, 可以采用一道沉积步骤形成绝缘层 51。

[0060] 需要说明的是, 在形成第二绝缘层 512 前, 制造方法还包括: 对第一源漏区 A2 的有源结构 2 进行重掺杂处理。示例地, 第一源漏区 A2 的掺杂离子的类型可以与字线区 A1 的掺杂离子的类型相反。

35 [0061] 图 36 为图 2 所示的 d-d1 方向的剖面图, 图 37 为图 2 所示的 g-g1 方向的剖面图, 参考图 36-图 37, 对台阶区 B 进行图形化处理, 以形成多个台阶 21, 台阶 21 包括有源层 20 以及位于其下方的第二填充层 332。

[0062] 示例地, 采用干法刻蚀工艺去除部分有源层 20 和部分第二填充层 332, 剩余的有源层 20 和第二填充层 332 作为台阶 21。

40 [0063] 图 38 为图 2 所示的 d-d1 方向的剖面图, 图 39 为图 2 所示的 g-g1 方向的剖面图, 参考图 38-图 39, 形成覆盖台阶的第一覆盖层 34。示例地, 第一覆盖层 34 的材料可以与第二填充层 332 的材料相同, 比如, 在台阶上沉积氧化硅以作为第一覆盖层 34。

45 [0064] 图 40 为图 2 所示的 d-d1 方向的剖面图, 图 41 为图 2 所示的 g-g1 方向的剖面图, 参考图 40-图 41, 形成第一覆盖层 34 后, 在第二区 B2 内形成第二沟槽 632,

第二沟槽 632 位于有源层 20 在第一方向 X 上排列的相对两侧，并露出有源层 20 的侧壁；去除第一区 B1 的有源层 20，以形成台阶填充槽 631。

[0065] 也就是说，形成第二沟槽 632 的目的在于：露出有源层 20，使得刻蚀剂可以通过第二沟槽 632 进入第一覆盖层 34 的下方，从而与有源层 20 进行反应，最终去除有源层 20。台阶填充槽 631 的位置为原有源层 20 的位置。

[0066] 在另一些实施例中，去除有源层 20 形成台阶填充槽 631 后，可以通过台阶填充槽 631 去除与有源层 20 连接的介质层 61，即，去除字线区 A1 与台阶区 B 交界处的介质层 61，从而使得后续填充的字线连接层 63 可以与字线 62 直接接触，增加接触面积，降低接触电阻。

[0067] 至此，基于图 36-图 41 所示的步骤可以去除位于台阶区 B 字线区 A1 的有源层 20。需要说明的是，采用两道步骤以去除有源层 20 的好处在于：可以缩短有源层 20 在第二方向 Y 上的长度，进而能够减少刻蚀有源层 20 所产生的残留物。此外，在形成台阶 21 时，第二填充层 332 在第二方向 Y 上的长度也相应缩短，能够避免后续在去除有源层 20 后，第二填充层 332 因失去支撑而发生倾斜或坍塌的问题。

[0068] 图 42 为图 2 所示的 d-d1 方向的剖面图，图 43 为图 2 所示的 g-g1 方向的剖面图，参考图 42-图 43，在台阶填充槽 631 以及第二沟槽 632 内形成初始字线连接层 633。初始字线连接层 633 的材料可以为低电阻金属，比如铜、钨、钼或铝等等。

[0069] 参考图 44，图 44 为图 2 所示的 g-g1 方向的剖面图，去除位于第二沟槽 632 内的初始字线连接层 633，位于台阶填充槽 631（参考图 41）内的初始字线连接层 633 作为字线连接层 63，字线连接层 63 还位于相邻第二填充层 332 之间。字线连接层 63 与字线 62 电连接。

[0070] 需要说明的是，台阶区 B 的字线连接层 63 替代有源层 20 作为字线 62 的接触结构，字线连接层 63 的电阻比有源层 20 的电阻更小，能够提高半导体结构的运行速率，降低半导体结构的功耗。此外，有源层 20 被去除，则在台阶区 B 与字线区 A1 的交界处可以形成一个较大的开口，从而可以增加字线 62 和字线连接层 63 的接触面积，进而降低接触电阻。

[0071] 继续参考图 44，在第二沟槽 632(参考图 41)内形成第三隔离层 35。第三隔离层 35 的材料可以与第一覆盖层 34 和第二填充层 332 的材料相同，比如均为二氧化硅。

[0072] 参考图 45-图 46，形成多个连接柱 64，连接柱 64 与台阶一一对应，并穿透位于字线 62 上的第一覆盖层 34，以使连接柱 64 与字线 62 连接。

[0073] 示例地，在第一覆盖层 34 上形成第二覆盖层 36，形成穿透第一覆盖层 34 和第二覆盖层 36 的接触孔，接触孔与台阶区 B 的字线连接层 63 一一对应，且露出字线连接层 63 的顶面。在接触孔内沉积导电材料以作为连接柱 64。

[0074] 此外，参考图 2，晶体管区 A 还包括防漏电区 A4 和第二源漏区 A5；防漏电区 A4 位于第二源漏区 A5 与字线区 A1 之间；在第一方向 X 上，防漏电区 A4 的宽度大于第二源漏区 A5 的宽度；对防漏电区 A4 的有源结构 2 进行轻掺杂处理；对第二源漏区 A5 的有源结构 2 进行重掺杂处理。

[0075] 具体地，对防漏电区 A4 进行轻掺杂处理的目的在于：使电势缓变，降低跃迁几率，进而降低栅诱导漏极泄漏电流 GIDL(gate-induced drain leakage)，从而提升半导体结构的可靠性。第二源漏区 A5 的掺杂类型可以与防漏电区 A4 和第一源漏区 A2 的掺杂类型相同。

[0076] 此外，参考图 2，晶体管区 A 还可以包括位线区 A3，位线区 A3 与第一源漏区 A2 相连。位线区 A3 内可形成沿第三方向 Z 延伸的位线 7，位线 7 与多层的有源结构 2 相连。

[0077] 此外，参考图 2，半导体结构还可以包括电容区 C，电容区 C 与第二源漏区 A5 相连，电容区 C 内可形成多个堆叠设置的电容。

5 [0078] 综上所述，本公开实施例先在有源结构 2 的表面形成伪字线结构 6；形成第一隔离层 5 后，再去除伪字线结构 6，从而获得形成字线 62 的模子；在第一隔离层 5 内填充导电材料可形成字线 62，从而可以避免同一层字线 62 发生断开，或上下层字线 62 发生互连的问题。此外，由于去除了台阶区 B 的有源层 20，字线区 A1 和台阶区 B 交界处的开口较大，从而可以避免字线 62 在两个区域的交界处发生断开的问题。此外，去除第一源漏区 A2 的第一填充层 331，可增大字线区 A1 的工艺窗口。此外，形成第一绝缘层 511，第一绝缘层 511、有源结构 2 和第一隔离层 5 可围成小孔 502，能够便于控制去除的初始字线 620 的长度。如此，有利于提高半导体结构的性能。此外，由于形成第一隔离层 5 的方法包括原子层沉积工艺，形成伪字线结构的方法包括原子层沉积工艺，从而可以保证最终形成的字线 62 具有较好的形貌。

10

权利要求

1、一种半导体结构的制造方法，其特征在于，所述半导体结构包括晶体管区(A)，所述晶体管区(A)包括在第一方向(X)排列的第一源漏区(A2)和字线区(A1)，所述制造方法包括：

5 提供基底(1)，在所述基底(1)上形成多层间隔设置的有源层(20)，所述晶体管区(A)的所述有源层(20)包括多个在第二方向(Y)排列的有源结构(2)，所述第二方向(Y)垂直于所述第一方向(X)；

在所述第一源漏区(A2)和所述字线区(A1)形成多个伪字线结构(6)，所述伪字线结构(6)包覆同一层所述有源结构(2)的表面；

10 形成第一隔离层(5)，所述第一隔离层(5)与所述伪字线结构(6)在第三方向(Z)上交替设置，所述第三方向(Z)垂直于所述基底(1)表面；

去除所述伪字线结构(6)；

在所述第一源漏区(A2)和所述字线区(A1)的所述有源结构(2)的表面形成初始介质层(610)；

15 在所述初始介质层(610)表面形成初始字线(620)，且所述初始字线(620)包覆所述有源结构(2)；

去除位于所述第一源漏区(A2)的所述初始字线(620)和初始介质层(610)；剩余的所述初始介质层(610)构成介质层(61)；剩余的所述初始字线(620)构成字线(62)，所述字线(62)包覆所述字线区(A1)的同一层的所述有源结构(2)；

20 在所述第一源漏区(A2)形成绝缘层(51)，所述绝缘层(51)位于相邻所述有源结构(2)之间，并覆盖所述第一隔离层(5)。

2、根据权利要求1所述的半导体结构的制造方法，其特征在于，去除位于所述第一源漏区(A2)的所述初始字线(620)和初始介质层(610)，以及在所述第一源漏区(A2)形成所述绝缘层(51)，包括：

25 在所述第一源漏区(A2)形成多个第一沟槽(501)，所述第一沟槽(501)沿第三方向(Z)延伸，所述第三方向(Z)垂直于所述基底(1)表面；所述第一沟槽(501)穿透所述第一隔离层(5)、所述初始字线(620)和所述初始介质层(610)；

形成填充所述第一沟槽(501)的第一绝缘层(511)；

30 形成所述第一绝缘层(511)后，去除所述第一源漏区(A2)剩余的所述初始字线(620)和所述初始介质层(610)；

在所述第一源漏区(A2)形成第二绝缘层(512)，所述第二绝缘层(512)位于所述有源结构(2)的上下两侧以及相邻所述第一绝缘层(511)之间，还覆盖所述第一隔离层(5)；所述第一绝缘层(511)和所述第二绝缘层(512)构成所述绝缘层(51)。

35 3、根据权利要求2所述的半导体结构的制造方法，其特征在于，所述初始介质层(610)和所述初始字线(620)还位于所述第一源漏区(A2)背向所述字线区(A1)的一侧；

在形成所述第一沟槽(501)前，还包括：刻蚀位于所述第一源漏区(A2)背向所述字线区(A1)的一侧的所述初始字线(620)和所述初始介质层(610)。

4、根据权利要求2或3所述的半导体结构的制造方法，其特征在于，在形成所述第二绝缘层(512)前，还包括：

40 对所述第一源漏区(A2)的所述有源结构(2)进行重掺杂处理。

5、根据权利要求1-4中任一项所述的半导体结构的制造方法，其特征在于，所述形成多层间隔设置的有源层(20)的步骤包括：

在所述基底(1)上形成多层交替设置的牺牲层(31)和所述有源层(20)；

45 在所述晶体管区(A)形成第二隔离层(321)，所述第二隔离层(321)穿透所述有源层(20)和所述牺牲层(31)，并将所述晶体管区(A)的所述有源层(20)分割为多个所述有

源结构(2);

形成所述第二隔离层(321)后,还包括:

形成支撑结构(4),所述支撑结构(4)至少位于所述字线区(A1)背向所述第一源漏区(A2)的一侧,且所述支撑结构(4)包覆所述有源结构(2);

5 形成所述支撑结构(4)后,去除所述第二隔离层(321)和所述牺牲层(31);

在所述晶体管区(A)形成第一填充层(331),所述第一填充层(331)覆盖所述有源层(20)和所述支撑结构(4);

在形成所述伪字线结构(6)前,还包括:去除位于所述第一源漏区(A2)和所述字线区(A1)的所述第一填充层(331)。

10 6、根据权利要求5所述的半导体结构的制造方法,其特征在于,所述支撑结构(4)的材料与所述第一隔离层(5)的材料不同。

7、根据权利要求1-6中任一项所述的半导体结构的制造方法,其特征在于,所述半导体结构还包括:台阶区(B),所述台阶区(B)与所述字线区(A1)在所述第二方向(Y)排列,且二者相接;

15 所述制造方法还包括:在所述台阶区(B)形成多层第二填充层(332),所述第二填充层(332)与所述有源层(20)交替设置;

去除位于所述台阶区(B)的所述有源层(20);

在相邻所述第二填充层(332)之间形成字线连接层(63),所述字线连接层(63)与所述字线(62)电连接。

20 8、根据权利要求7所述的半导体结构的制造方法,其特征在于,

所述台阶区(B)包括第一区(B1)和第二区(B2),所述第一区(B1)与所述字线区(A1)正对,且所述第一区(B1)的部分侧面与所述字线区(A1)相接,所述第二区(B2)环绕所述第一区(B1)未与所述字线区(A1)相接的侧面;

在形成所述第二填充层(332)前,还包括:

25 在所述台阶区(B)的所述基底(1)上形成多层牺牲层(31),所述牺牲层(31)与所述有源层(20)交替设置;

去除位于所述第二区(B2)的所述牺牲层(31)和所述有源层(20);

在所述第二区(B2)形成边缘隔离层(322);

30 形成环绕所述台阶区(B)的框架结构,所述框架结构(42)穿透所述边缘隔离层(322),且在所述台阶区(B)与所述第一区(B1)的相接处,所述框架结构(42)还包覆所述有源层(20);

去除所述边缘隔离层(322)和位于所述第一区(B1)的所述牺牲层(31);

形成所述第二填充层(332),所述第二填充层(332)与所述第一区(B1)的所述有源层(20)交替设置。

35 9、根据权利要求7或8所述的半导体结构的制造方法,其特征在于,

在所述第一方向(X)上,所述台阶区(B)的宽度大于所述字线区(A1)的宽度。

10、根据权利要求8所述的半导体结构的制造方法,其特征在于,形成所述字线连接层(63)的步骤包括:

40 对所述台阶区(B)进行图形化处理,以形成多个台阶(21),所述台阶(21)包括有源层(20)以及位于其下方的第二填充层(332);在所述字线区(A1)指向所述台阶区(B)的方向上,所述台阶(21)的高度依次降低;

形成覆盖所述台阶(21)的第一覆盖层(34);

45 形成所述第一覆盖层(34)后,在所述第二区(B2)内形成第二沟槽(632),所述第二沟槽(632)位于所述有源层(20)在所述第一方向(X)上排列的相对两侧,并露出有源层(20)的侧壁;

去除所述第一区(B1)的所述有源层(20)，以形成台阶填充槽(631)；

在所述台阶填充槽(631)以及所述第二沟槽(632)内形成初始字线连接层(633)；

去除位于所述第二沟槽(632)内的初始字线连接层(633)，位于所述台阶填充槽(631)内的所述初始字线连接层(633)作为所述字线连接层(63)；

5 在所述第二沟槽(632)内形成第三隔离层(35)。

11、根据权利要求 10 所述的半导体结构的制造方法，其特征在于，还包括：

形成多个连接柱(64)，所述连接柱(64)与所述台阶(21)一一对应，并穿透位于所述字线(62)上的所述第一覆盖层(34)，以使所述连接柱(64)与所述字线(62)连接。

10 12、根据权利要求 1-11 中任一项所述的半导体结构的制造方法，其特征在于，形成所述第一隔离层(5)包括：

形成初始第一隔离层(50)，所述初始第一隔离层(50)位于所述第一源漏区(A2)和所述字线区(A1)，且覆盖所述伪字线结构(6)背向所述字线区(A1)的端面，并位于相邻所述伪字线结构(6)之间；

15 去除位于所述端面的所述初始第一隔离层(50)，剩余的所述初始第一隔离层(50)作为所述第一隔离层(5)。

13、根据权利要求 1-12 中任一项所述的半导体结构的制造方法，其特征在于，所述晶体管区(A)还包括防漏电区(A4)和第二源漏区(A5)；所述防漏电区(A4)位于所述第二源漏区(A5)与所述字线区(A1)之间；在所述第一方向(X)上，所述防漏电区(A4)的宽度大于所述第二源漏区(A5)的宽度；

20 对所述防漏电区(A4)的所述有源结构(2)进行轻掺杂处理；

对所述第二源漏区(A5)的所述有源结构(2)进行重掺杂处理。

14、根据权利要求 1-13 中任一项所述的半导体结构的制造方法，其特征在于，形成所述伪字线结构(6)的方法包括：原子层沉积工艺。

25 15、根据权利要求 1-14 中任一项所述的半导体结构的制造方法，其特征在于，形成所述第一隔离层(5)的方法包括：原子层沉积工艺。

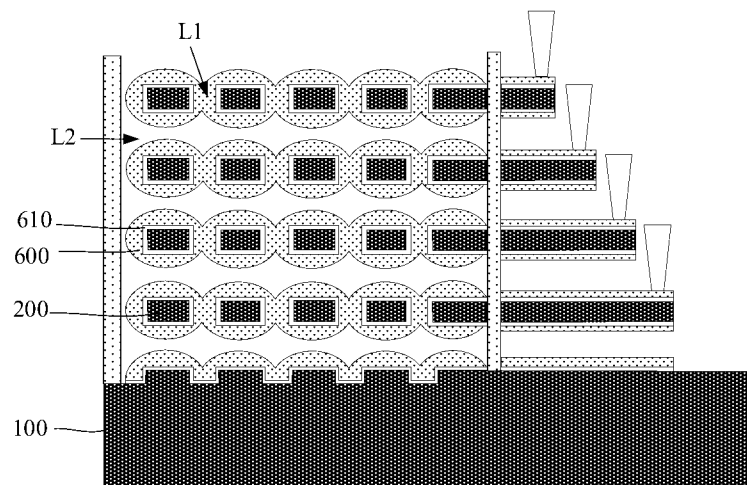


图 1

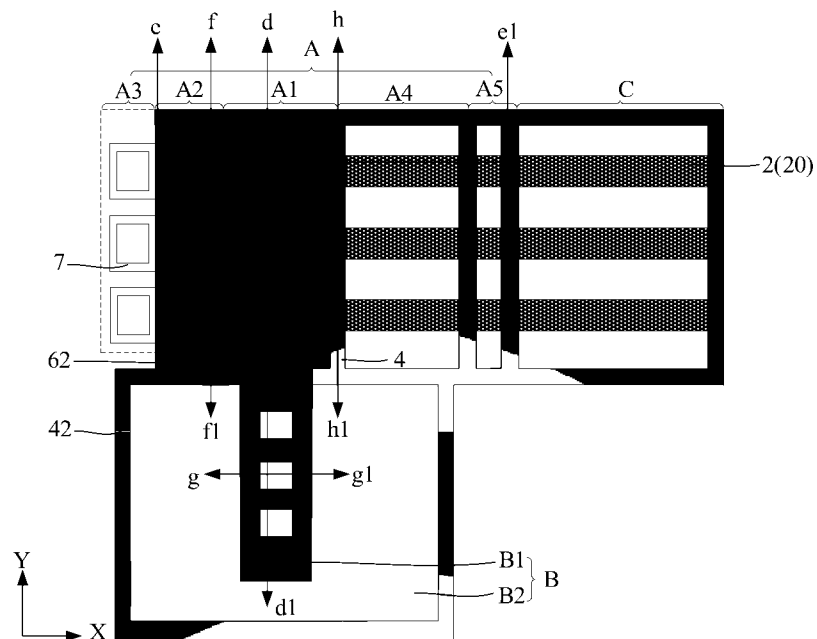


图 2

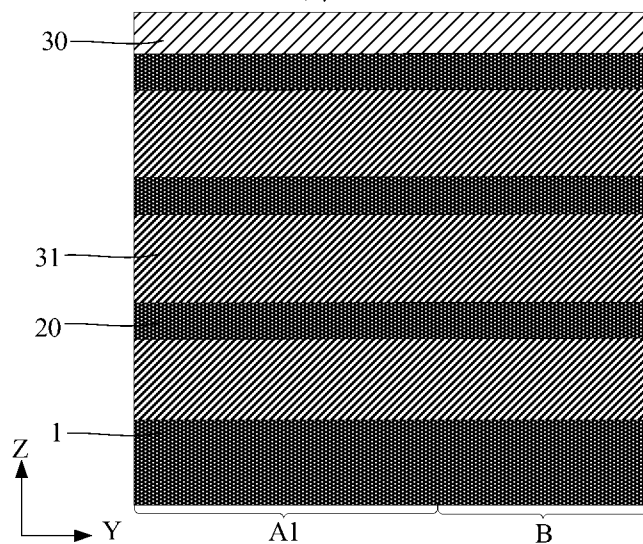


图 3

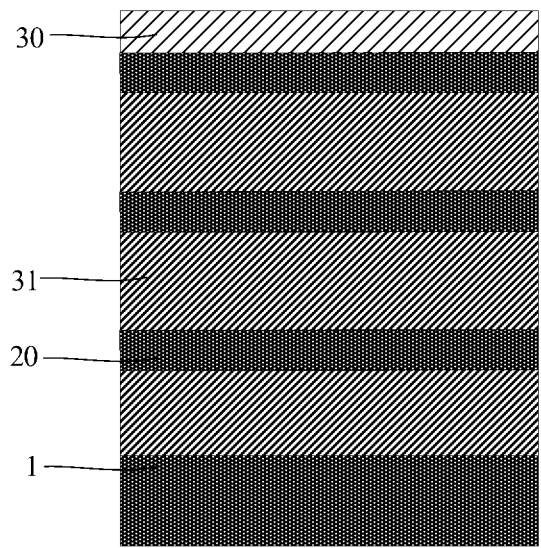


图 4

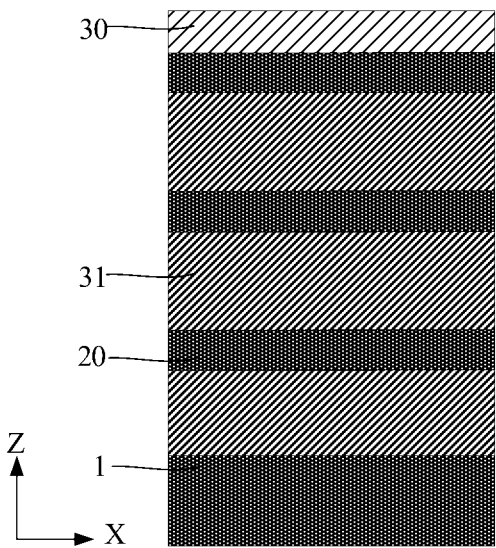


图 5

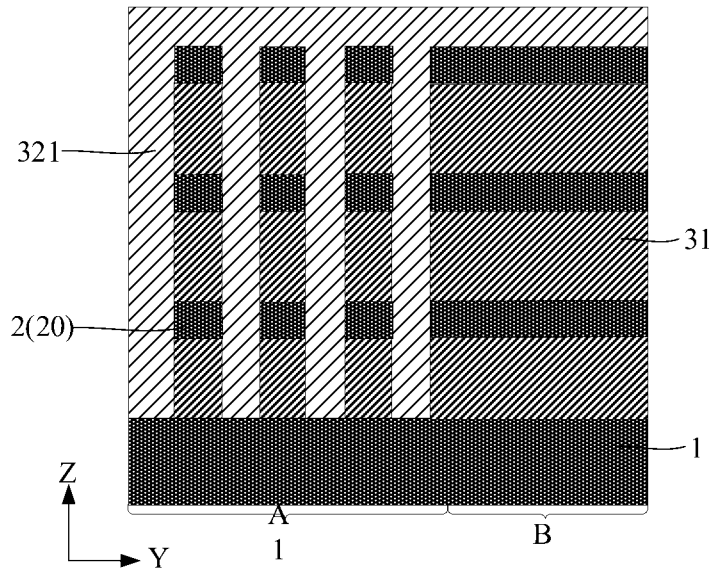


图 6

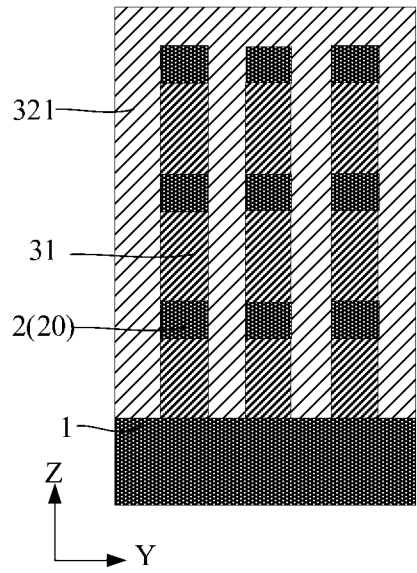


图 7

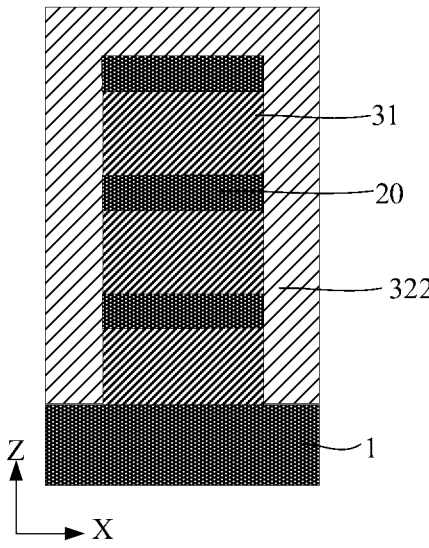


图 8

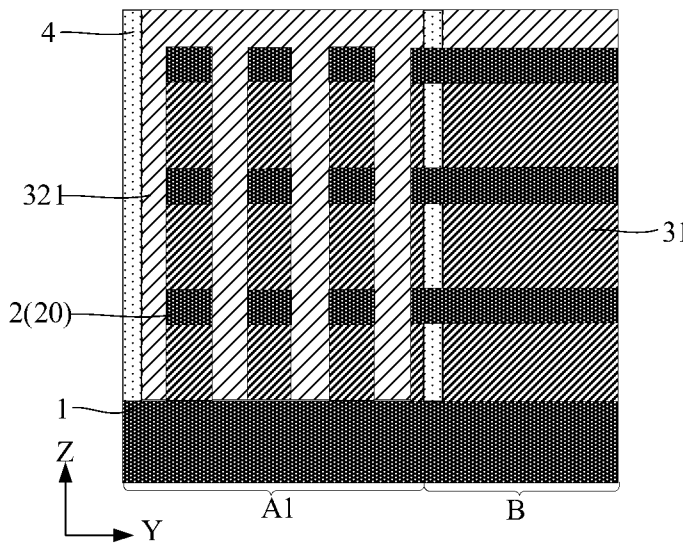


图 9

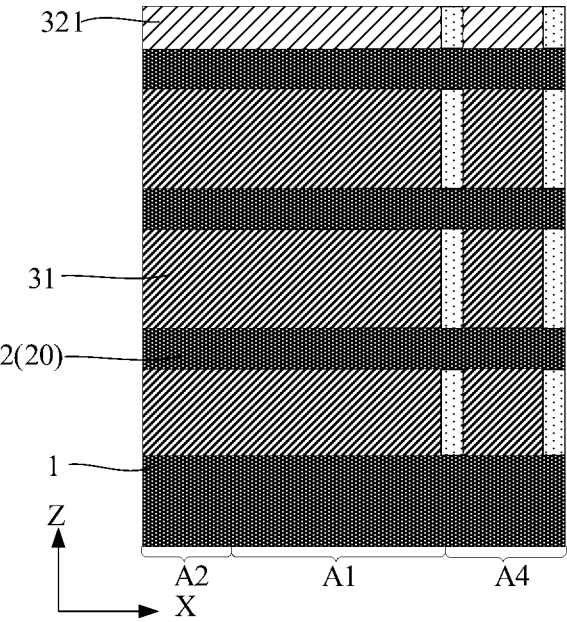


图 10

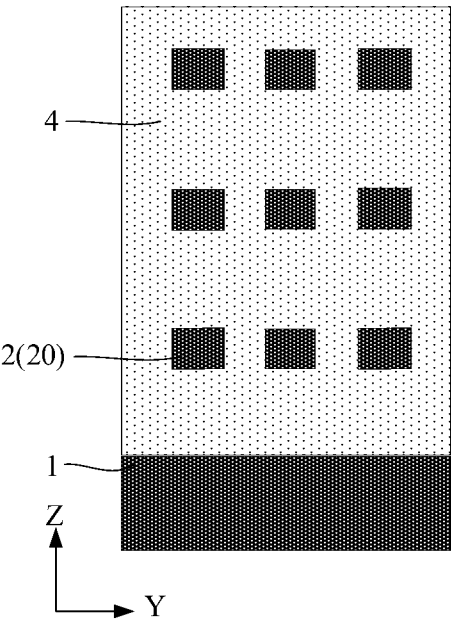


图 11

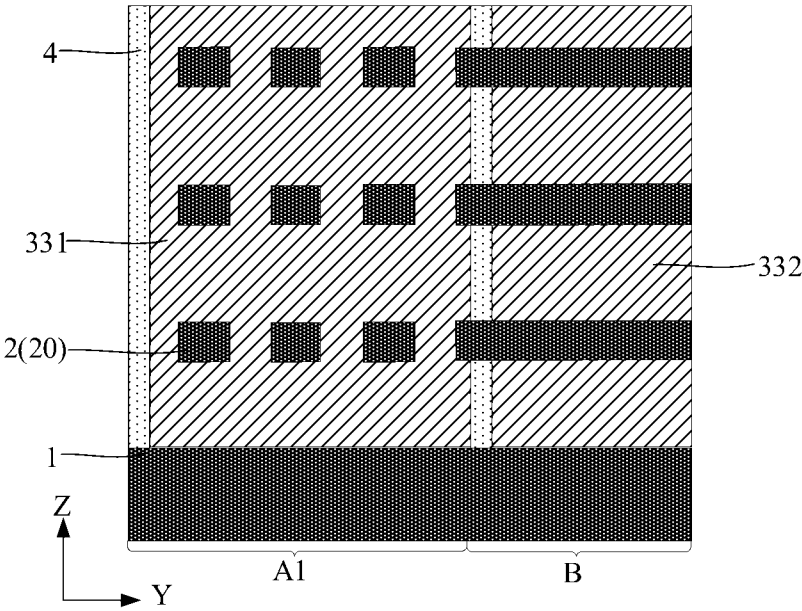


图 12

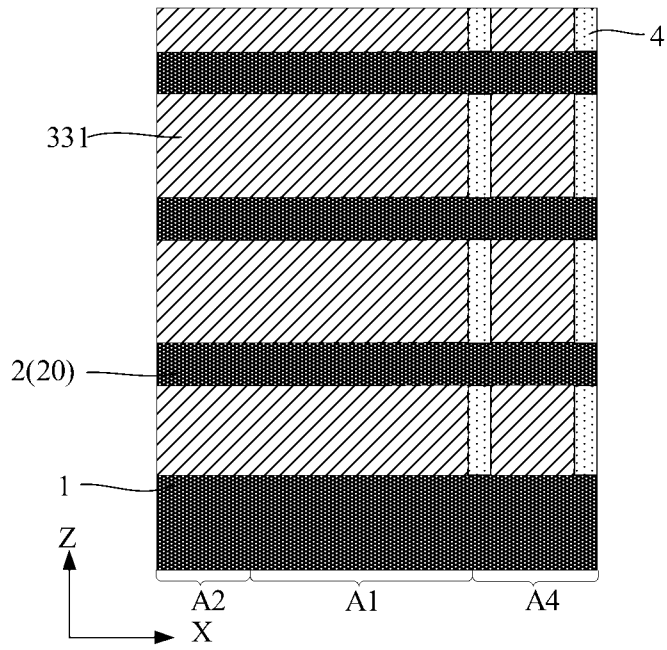


图 13

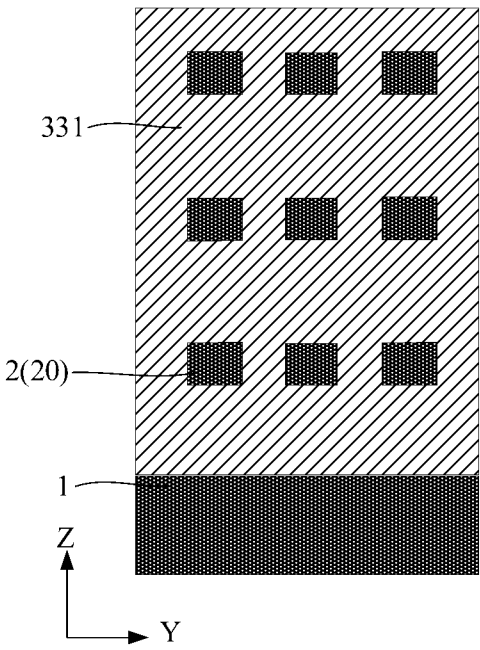


图 14

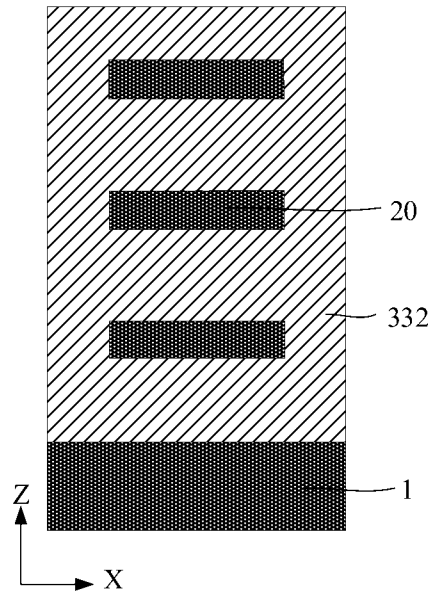


图 15

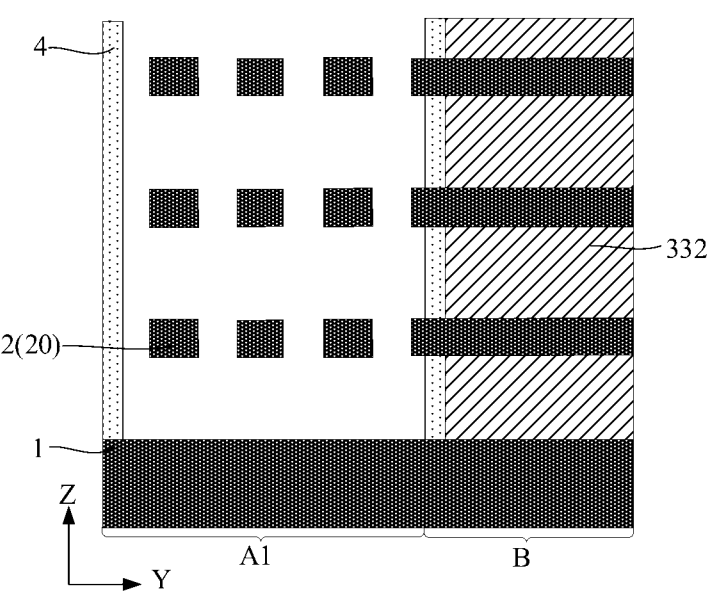


图 16

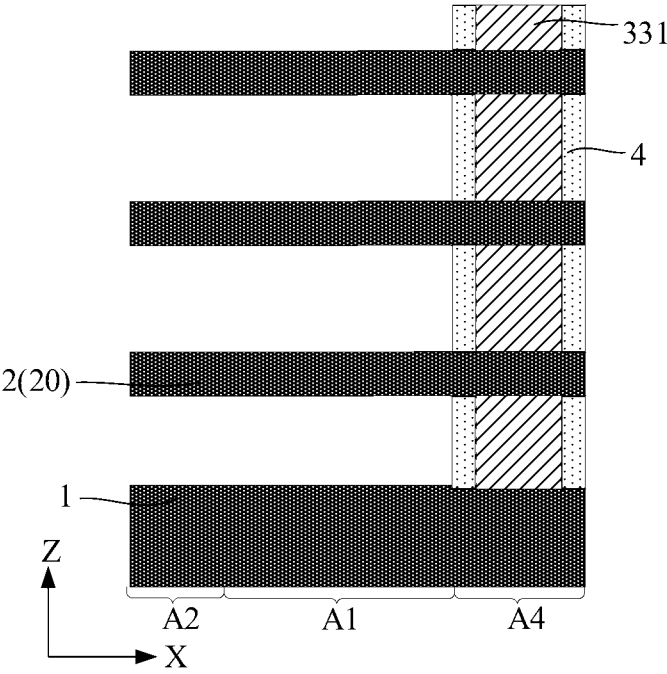


图17

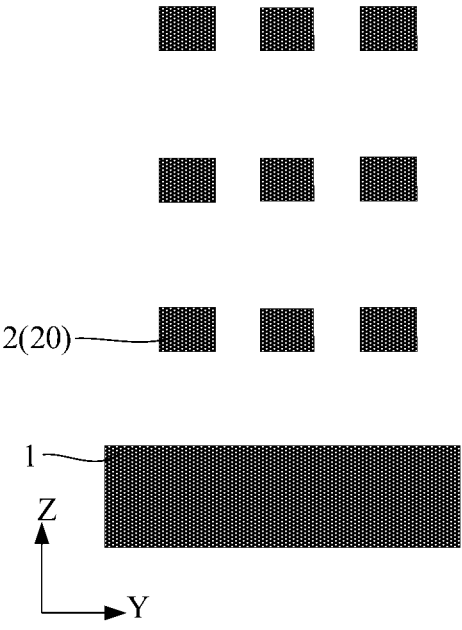


图18

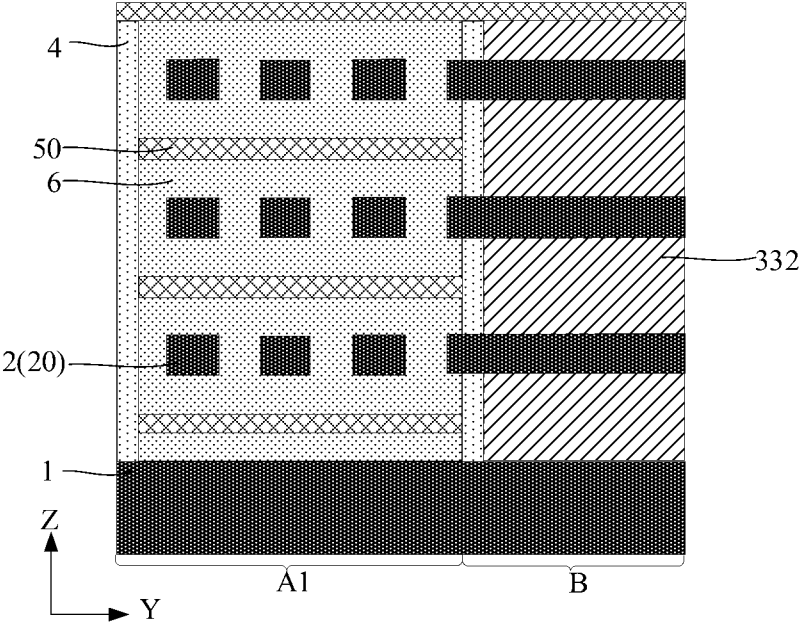


图 19

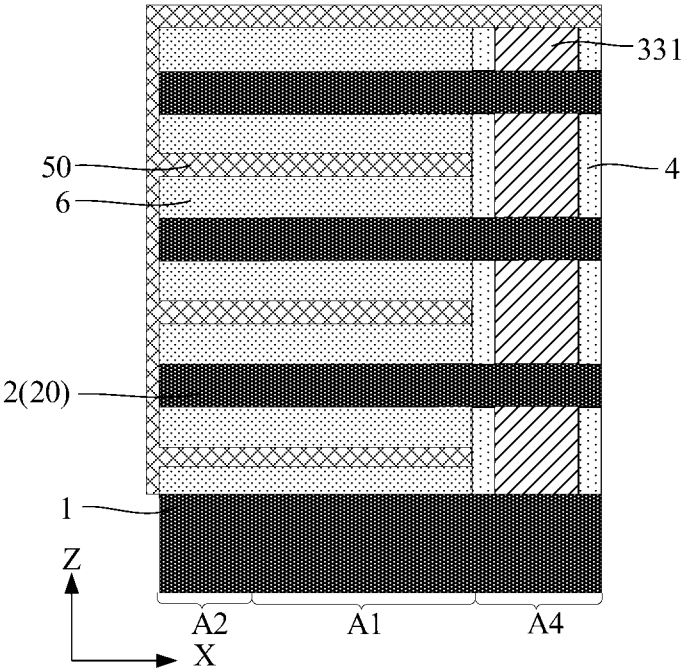


图20

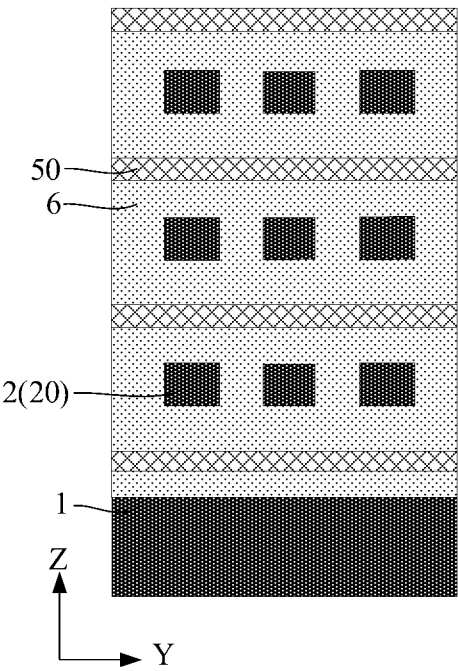


图21

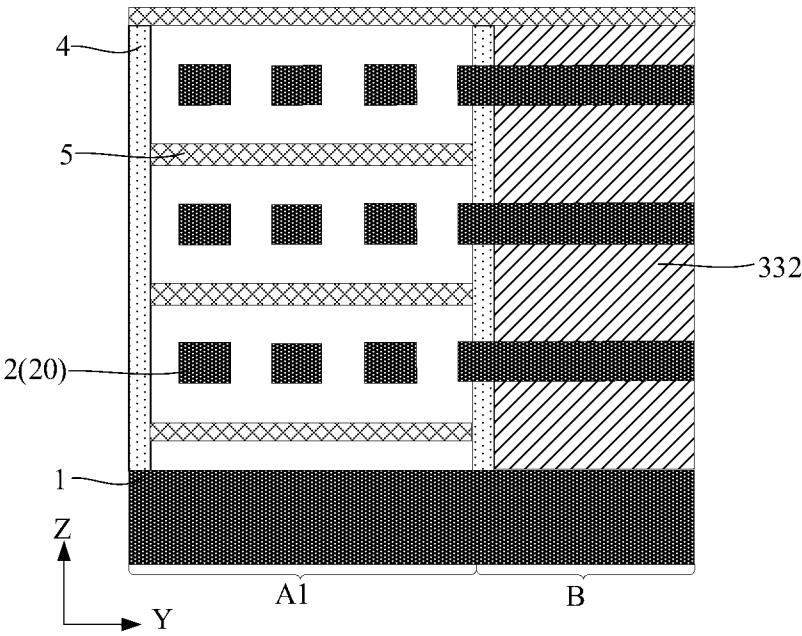


图 22

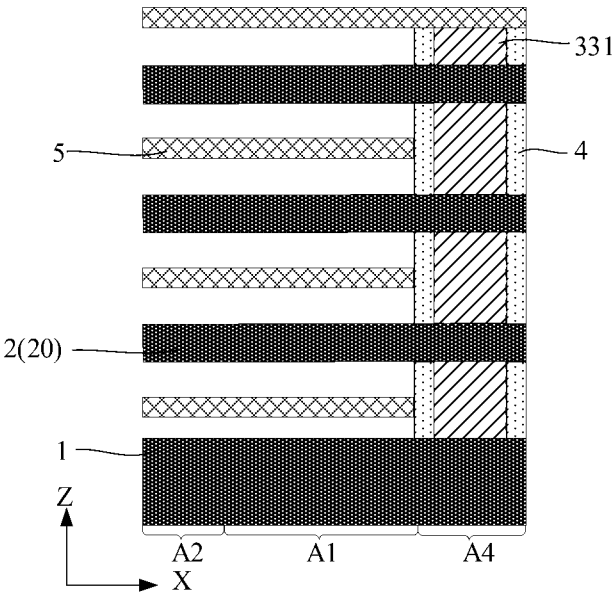


图 23

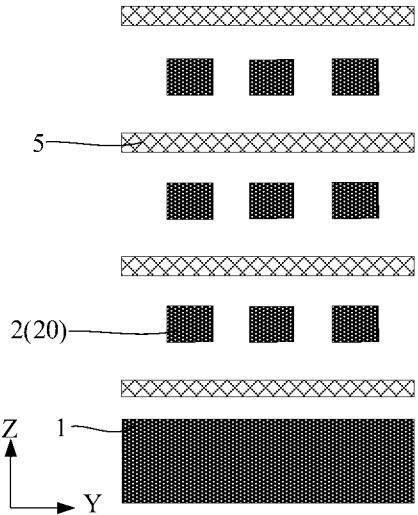


图 24

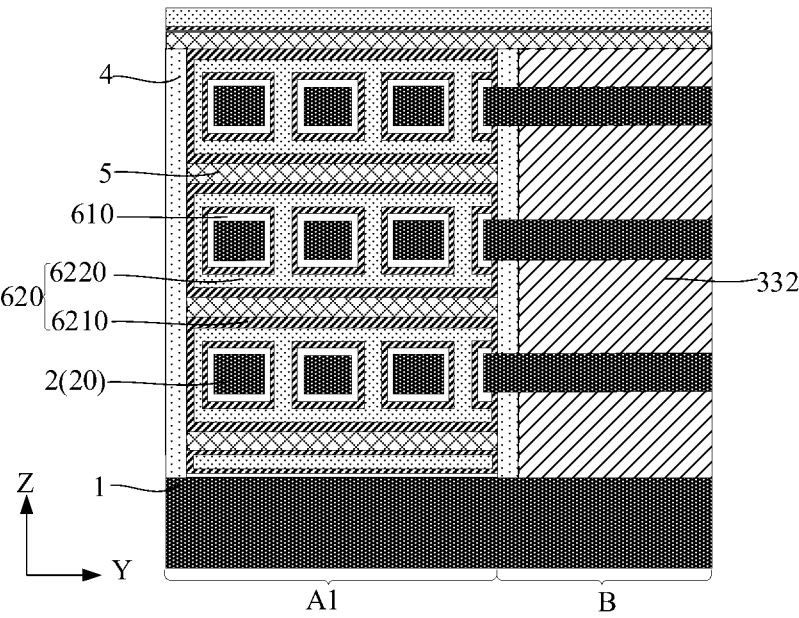


图 25

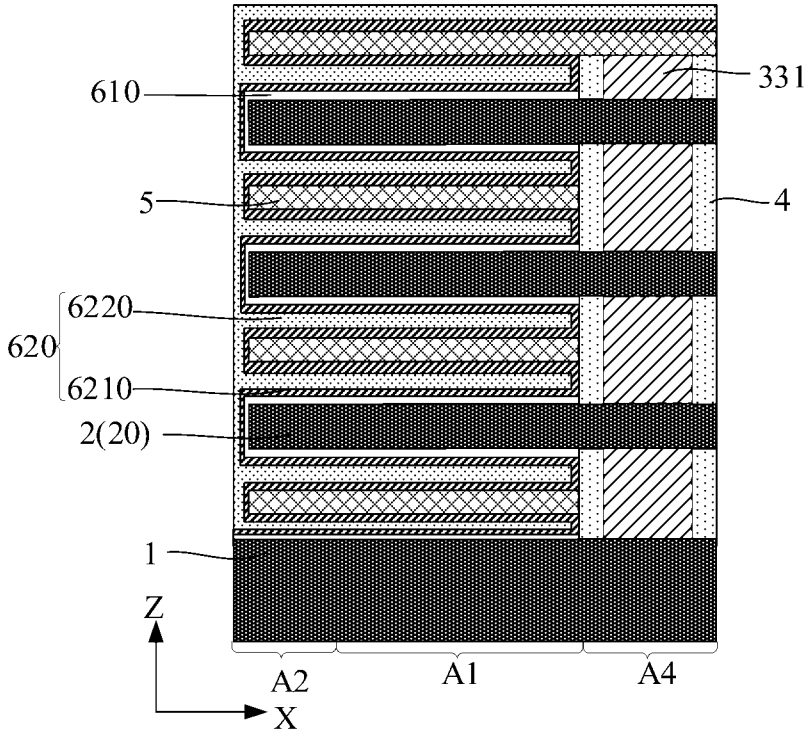


图 26

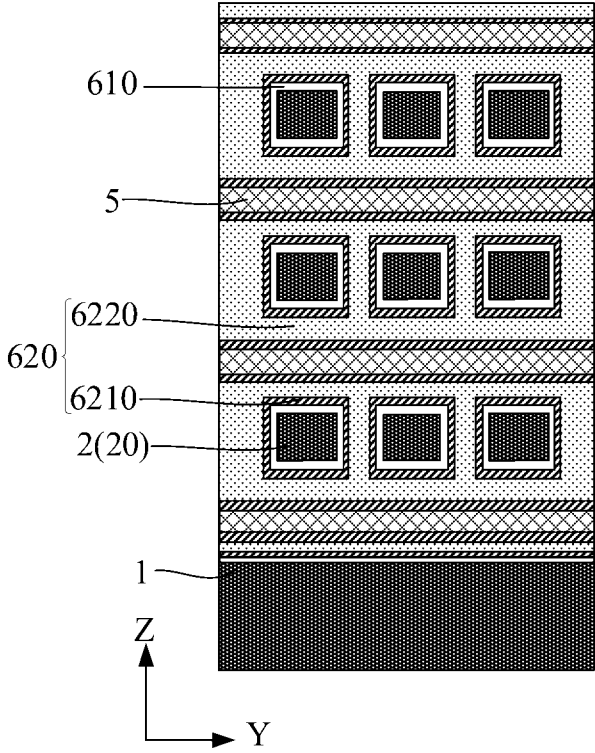


图 27

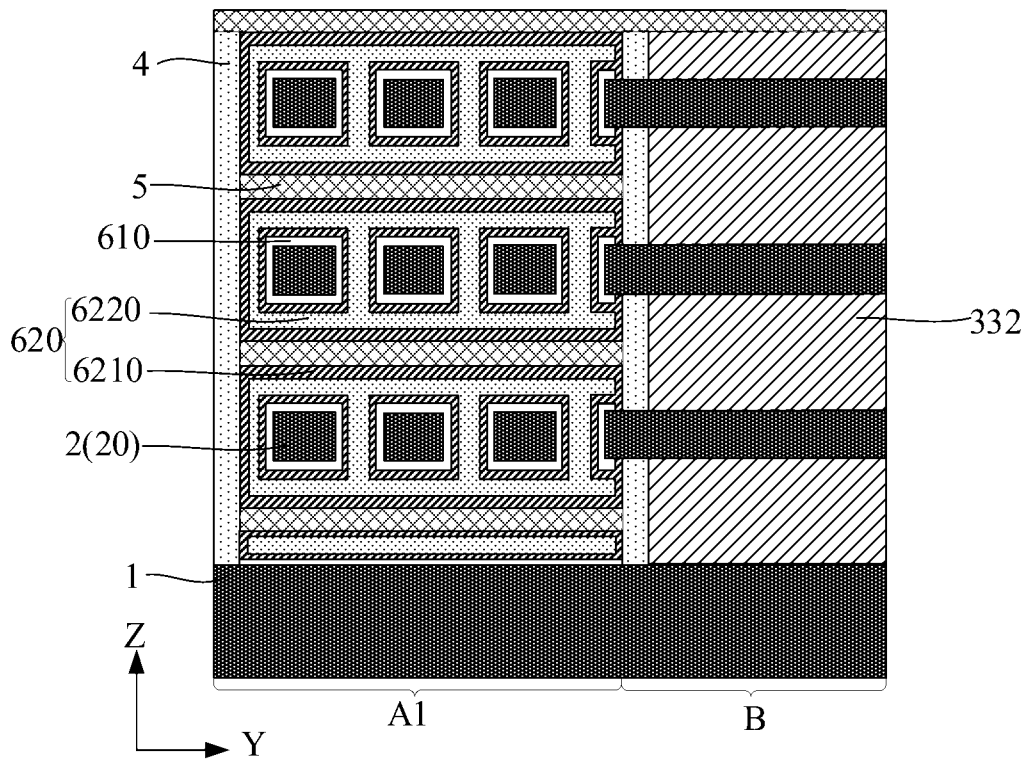


图 28

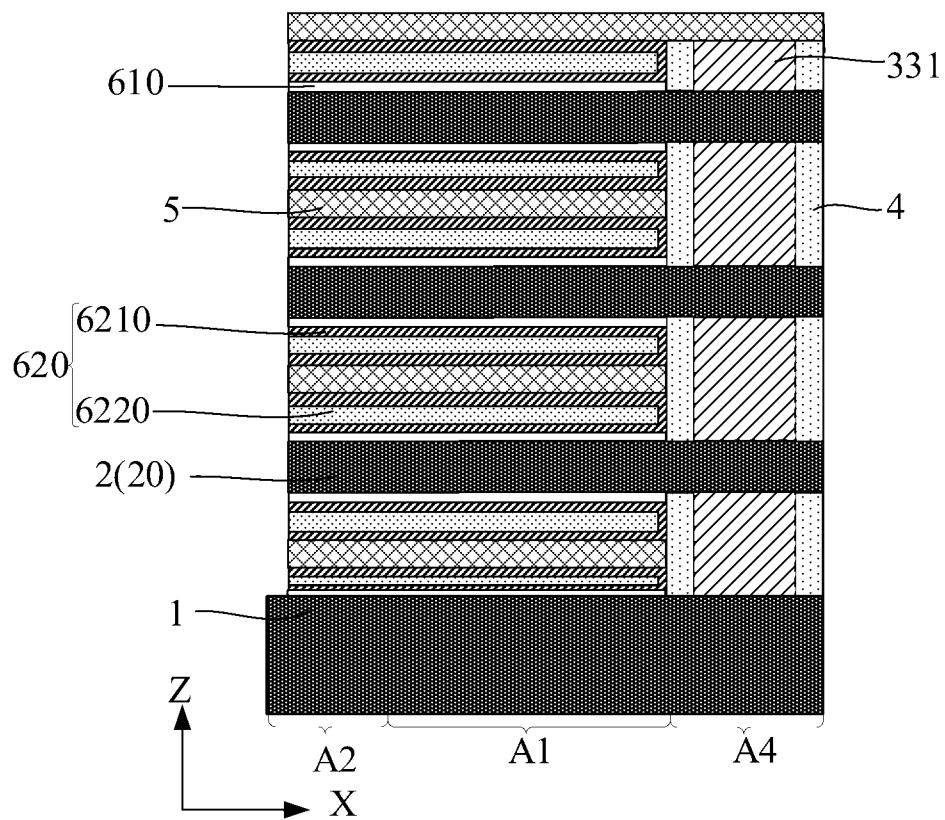


图 29

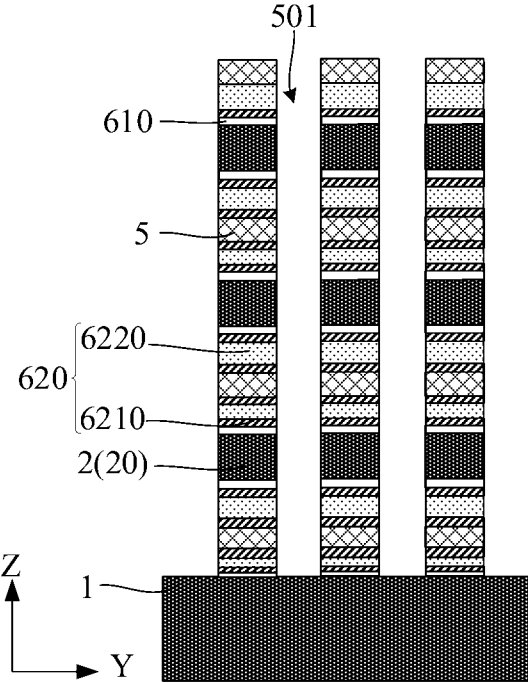


图 30

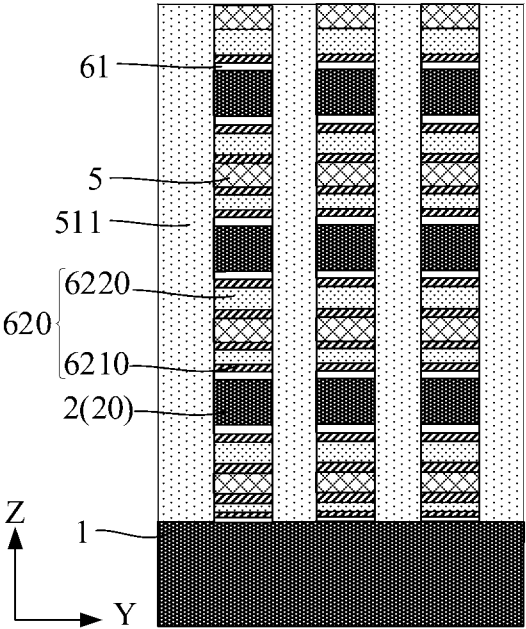


图 31

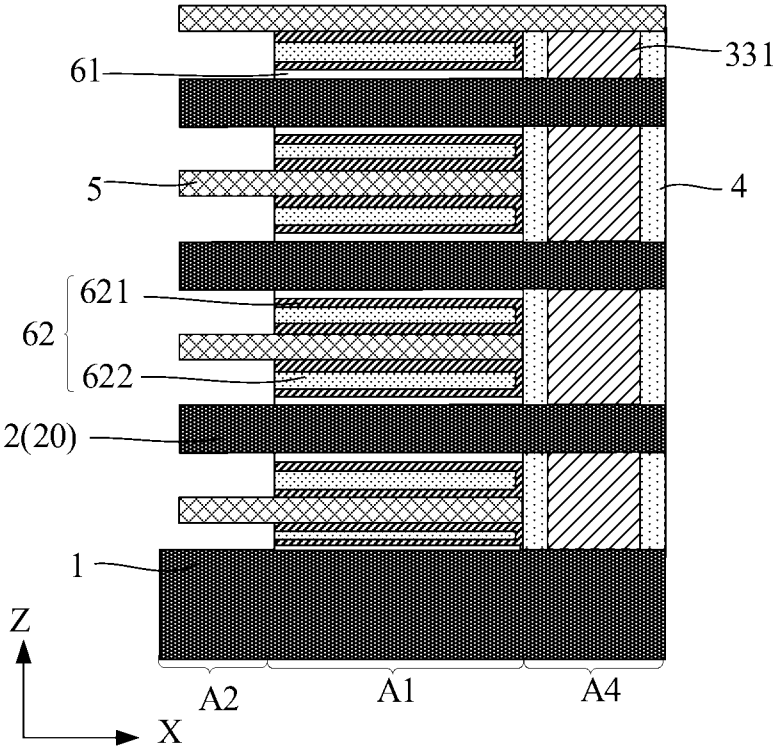


图 32

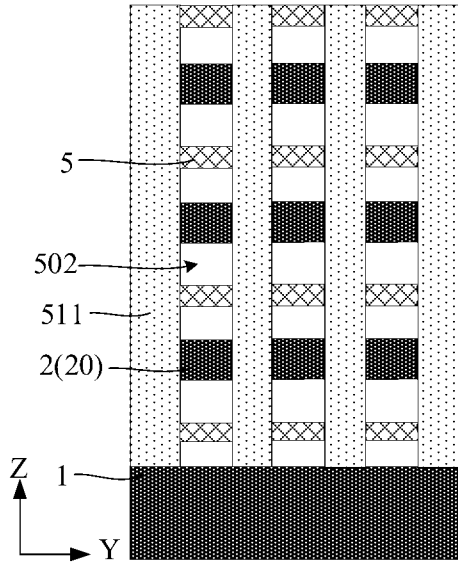


图 33

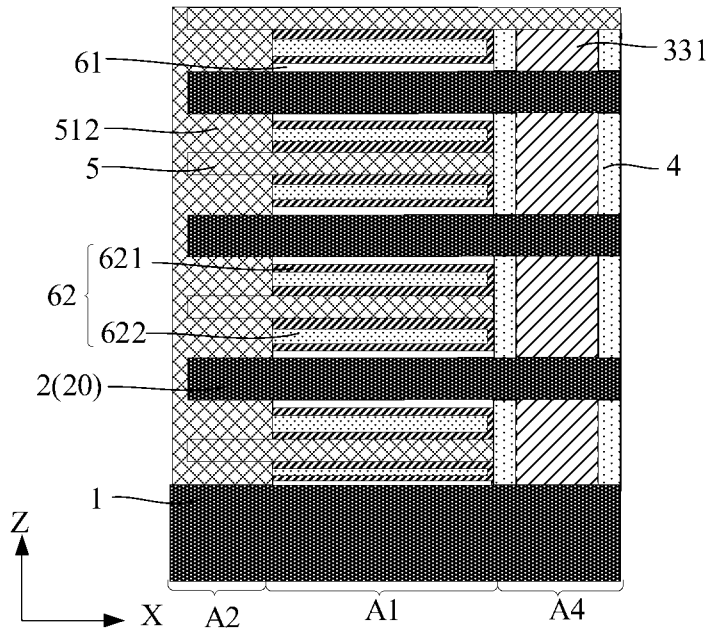


图 34

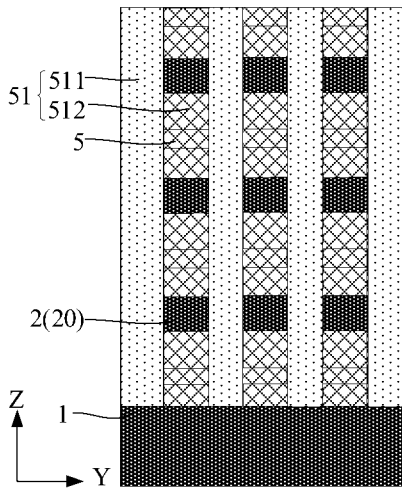


图 35

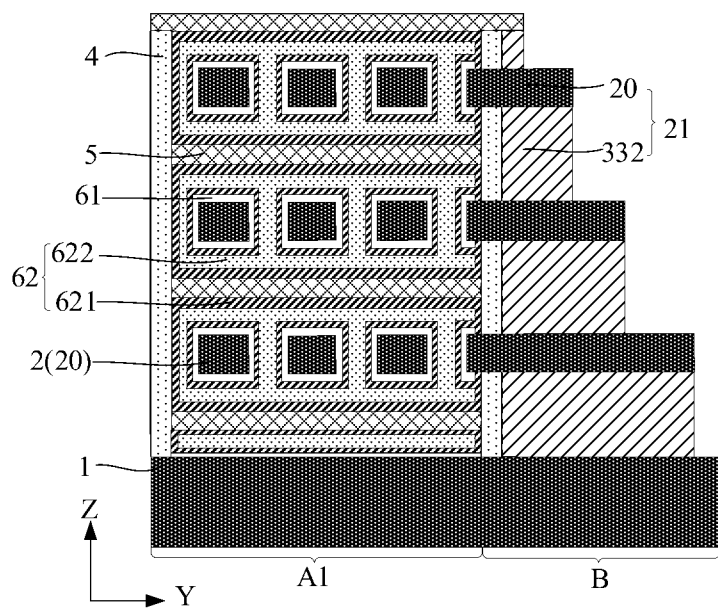


图 36

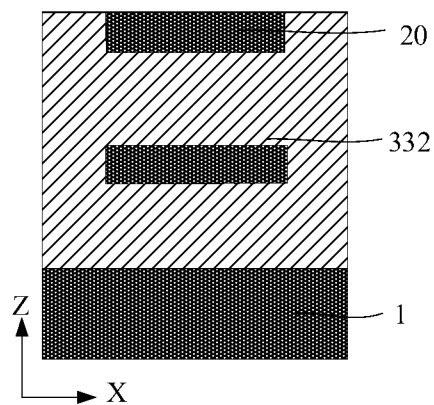


图 37

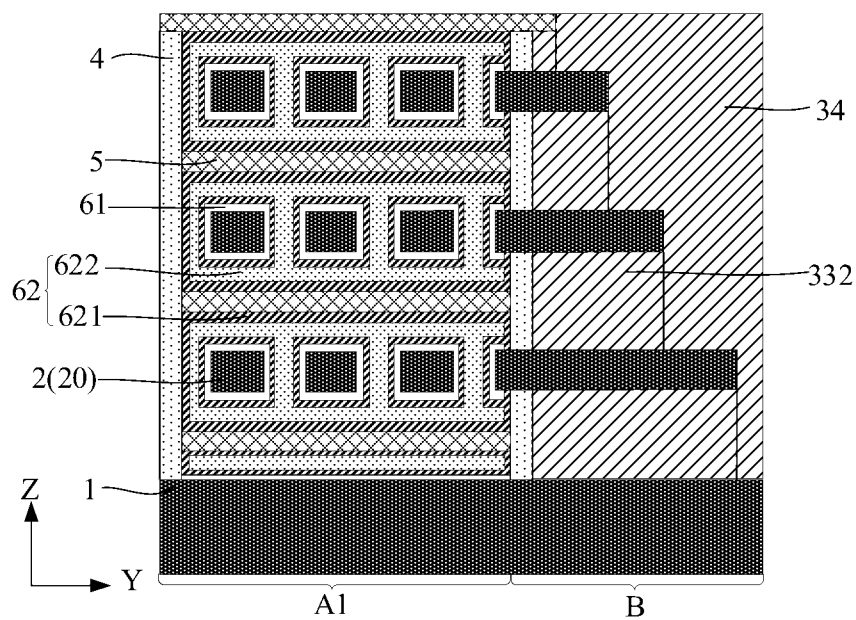


图 38

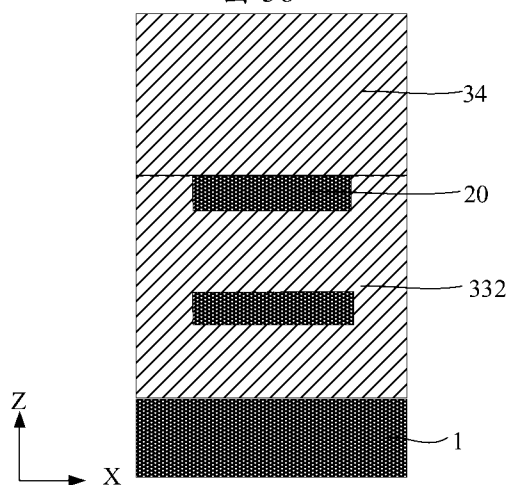


图 39

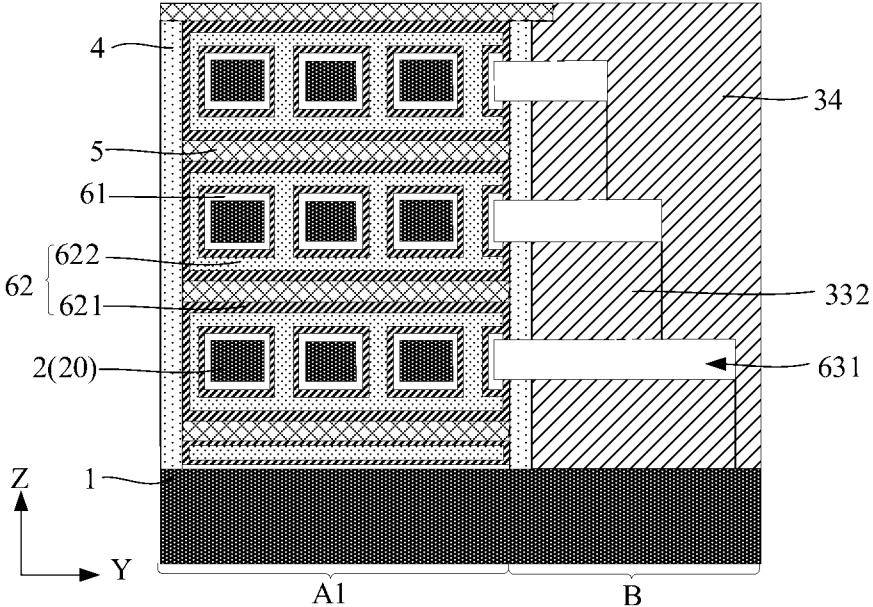


图 40

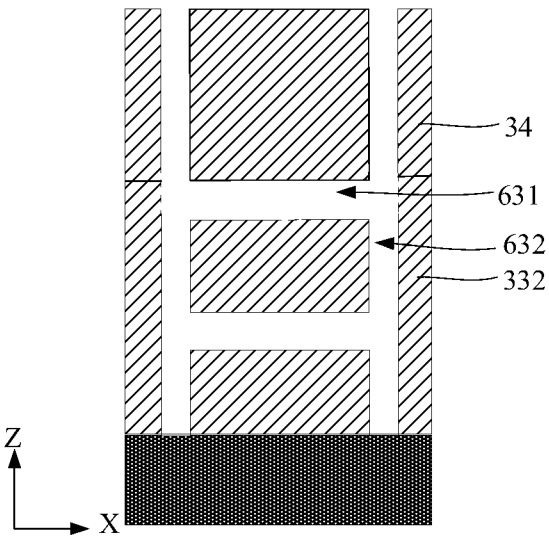


图 41

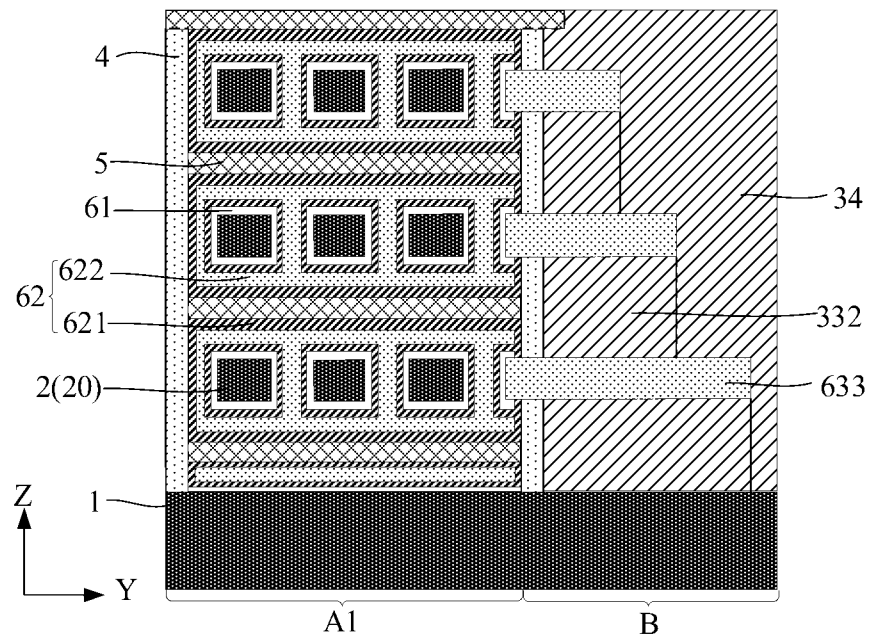


图 42

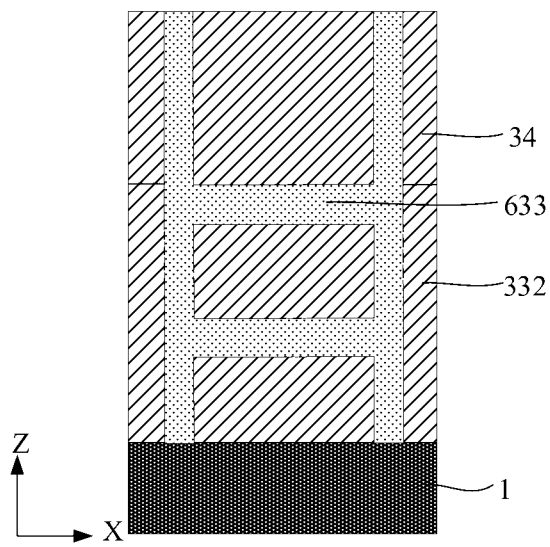


图 43

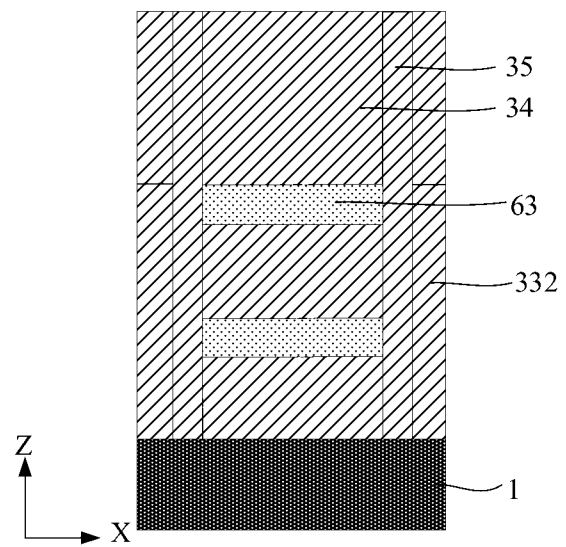


图 44

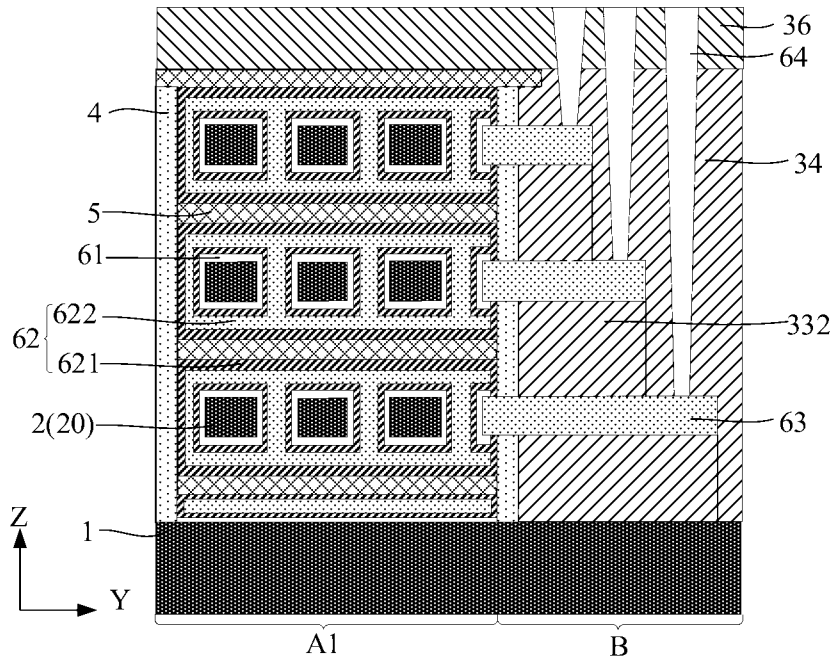


图 45

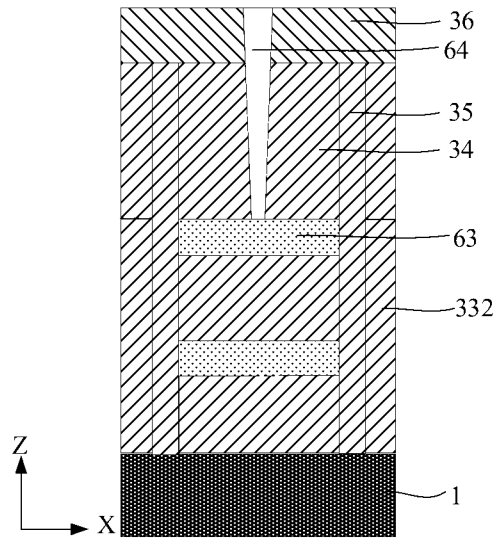


图 46

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/089535

A. CLASSIFICATION OF SUBJECT MATTER

H10B12/00(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H10B, H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 三维, 动态随机, 晶体管, 字线, 伪, 虚拟, 虚设, 有源层, 沟道层, 活性层, 交替, 间隔, 隔离层, 间隔层, 3D, three dimensional, dynamic access, DRAM, transistor, word line, dummy, active, alternate, alternating, stack, laminate, laminating

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113497151 A (MEDIATEK INC.) 12 October 2021 (2021-10-12) description, paragraphs 0004-0092, and figures 1-15	1-15
A	CN 114023703 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 08 February 2022 (2022-02-08) entire document	1-15
A	CN 114446963 A (BEIJING SUPERSTRING MEMORY RESEARCH INSTITUTE et al.) 06 May 2022 (2022-05-06) entire document	1-15
A	US 2020105755 A1 (INTEL CORP.) 02 April 2020 (2020-04-02) entire document	1-15
A	US 2021242208 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 05 August 2021 (2021-08-05) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “D” document cited by the applicant in the international application
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

08 June 2023

Date of mailing of the international search report

14 June 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/089535

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113497151	A	12 October 2021	EP	3893271	A1	13 October 2021
				US	2021313317	A1	07 October 2021
				US	11532617	B2	20 December 2022
				US	2023080688	A1	16 March 2023
				TW	202205362	A	01 February 2022
				TWI	767643	B	11 June 2022
CN	114023703	A	08 February 2022	None			
CN	114446963	A	06 May 2022	None			
US	2020105755	A1	02 April 2020	DE	102019122949	A1	02 April 2020
				CN	110970370	A	07 April 2020
US	2021242208	A1	05 August 2021	US	11355496	B2	07 June 2022
				TW	202131451	A	16 August 2021
				TWI	765546	B	21 May 2022
				KR	20210098834	A	11 August 2021
				CN	113284898	A	20 August 2021
				DE	102020129019	A1	05 August 2021

A. 主题的分类 H10B12/00 (2023.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																				
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) IPC: H10B, H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 三维, 动态随机, 晶体管, 字线, 伪, 虚拟, 虚设, 有源层, 沟道层, 活性层, 交替, 间隔, 隔离层, 间隔层, 3D, three dimensional, dynamic access, DRAM, transistor, word line, dummy, active, alternate, alternating, stack, laminate, laminating																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 113497151 A (联发科技股份有限公司) 2021年10月12日 (2021 - 10 - 12) 说明书第0004-0092段, 附图1-15</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 114023703 A (长鑫存储技术有限公司) 2022年2月8日 (2022 - 02 - 08) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 114446963 A (北京超弦存储器研究院 等) 2022年5月6日 (2022 - 05 - 06) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2020105755 A1 (INTEL CORPORATION) 2020年4月2日 (2020 - 04 - 02) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2021242208 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 2021年8月5日 (2021 - 08 - 05) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 113497151 A (联发科技股份有限公司) 2021年10月12日 (2021 - 10 - 12) 说明书第0004-0092段, 附图1-15	1-15	A	CN 114023703 A (长鑫存储技术有限公司) 2022年2月8日 (2022 - 02 - 08) 全文	1-15	A	CN 114446963 A (北京超弦存储器研究院 等) 2022年5月6日 (2022 - 05 - 06) 全文	1-15	A	US 2020105755 A1 (INTEL CORPORATION) 2020年4月2日 (2020 - 04 - 02) 全文	1-15	A	US 2021242208 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 2021年8月5日 (2021 - 08 - 05) 全文	1-15
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
A	CN 113497151 A (联发科技股份有限公司) 2021年10月12日 (2021 - 10 - 12) 说明书第0004-0092段, 附图1-15	1-15																		
A	CN 114023703 A (长鑫存储技术有限公司) 2022年2月8日 (2022 - 02 - 08) 全文	1-15																		
A	CN 114446963 A (北京超弦存储器研究院 等) 2022年5月6日 (2022 - 05 - 06) 全文	1-15																		
A	US 2020105755 A1 (INTEL CORPORATION) 2020年4月2日 (2020 - 04 - 02) 全文	1-15																		
A	US 2021242208 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 2021年8月5日 (2021 - 08 - 05) 全文	1-15																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
国际检索实际完成的日期 2023年6月8日		国际检索报告邮寄日期 2023年6月14日																		
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 黄万国 电话号码 (+86) 010-53961457																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/089535

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113497151	A	2021年10月12日	EP	3893271	A1	2021年10月13日
				US	2021313317	A1	2021年10月7日
				US	11532617	B2	2022年12月20日
				US	2023080688	A1	2023年3月16日
				TW	202205362	A	2022年2月1日
				TWI	767643	B	2022年6月11日
CN	114023703	A	2022年2月8日	无			
CN	114446963	A	2022年5月6日	无			
US	2020105755	A1	2020年4月2日	DE	102019122949	A1	2020年4月2日
				CN	110970370	A	2020年4月7日
US	2021242208	A1	2021年8月5日	US	11355496	B2	2022年6月7日
				TW	202131451	A	2021年8月16日
				TWI	765546	B	2022年5月21日
				KR	20210098834	A	2021年8月11日
				CN	113284898	A	2021年8月20日
				DE	102020129019	A1	2021年8月5日