

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3831461号
(P3831461)

(45) 発行日 平成18年10月11日(2006.10.11)

(24) 登録日 平成18年7月21日(2006.7.21)

(51) Int. Cl. F I
G 1 1 C 11/14 (2006.01) G 1 1 C 11/14 F
 H O 1 L 43/08 (2006.01) H O 1 L 43/08 Z

請求項の数 1 (全 7 頁)

<p>(21) 出願番号 特願平8-326133 (22) 出願日 平成8年11月21日(1996.11.21) (65) 公開番号 特開平9-204770 (43) 公開日 平成9年8月5日(1997.8.5) 審査請求日 平成15年7月2日(2003.7.2) (31) 優先権主張番号 562482 (32) 優先日 平成7年11月24日(1995.11.24) (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 504199127 フリースケール セミコンダクター イン コーポレイテッド アメリカ合衆国テキサス州78729, オ ースティン, ウェスト・パーマー・レーン 7700 (74) 代理人 100089705 弁理士 社本 一夫 (74) 代理人 100076691 弁理士 増井 忠式 (74) 代理人 100075270 弁理士 小林 泰 (74) 代理人 100080137 弁理士 千葉 昭男</p>
--	--

最終頁に続く

(54) 【発明の名称】 磁気メモリおよびその方法

(57) 【特許請求の範囲】

【請求項1】

磁気メモリ(10, 25, 30, 35, 40)であって:

基板(11);

前記基板(11)上のGMR磁気メモリ・セル素子(14);

前記GMR磁気メモリ素子(14)を覆う導体(16);

前記導体(16)と前記磁気メモリ・セル素子(14)との間の誘電体(13);お

よび

前記導体(16)の一方の表面に隣接する磁性体(17, 18, 31, 32, 41, 42, 44);

から成ることを特徴とする磁気メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般的に磁気抵抗物質(magnetoresistive materials)に関し、更に特定すれば磁気抵抗物質を用いた新規なメモリに関するものである。

【0002】

【従来の技術】

過去において、これまで種々の磁気抵抗物質を利用して不揮発性メモリを形成してきた。

典型的に、このようなメモリは、異方性磁気抵抗(AMR:anisotropic magnetoresistiv

e) または巨大磁気抵抗 (GMR: giant magnetoresistive) 多層磁気素子を、基本メモリ・セル素子として利用している。この基本メモリ・セル素子を誘電体で被覆し、ワード導体即ちワード線が基本メモリ・セル素子に対して直角にこの誘電体と交差する。従来のメモリに伴う問題の1つに、電力消費(power dissipation)が上げられる。メモリの読み書きを行うのに十分な磁場を生成するためには、大電流が必要であり、その結果、電力消費が多くなる(通常、50ミリワット/ビット以上)。

【0003】

この大電流が発生する大磁場(通常、約50エルステッド以上)のために、各メモリ・セル間には大きな距離(通常、メモリ・セルの長さ以上)を設けて、隣接するメモリ・セルに対するこの大磁場の影響を防止する必要がある。

10

【0004】

【発明が解決しようとする課題】

したがって、電力消費が少なく(50ミリワット/ビット未満)、特定のメモリ・セルの読み出しまたは書き込みを行うときに隣接するメモリ・セルに影響を与えず、メモリ・セル間に大きな距離を必要としない磁気メモリを有することができれば望ましいであろう。

【0005】

【課題を解決するための手段】

本発明は磁気抵抗物質を用いた磁気メモリを提供する。この磁気メモリは磁性体を利用して、磁場を磁気メモリ・セル素子内に集中させる。磁性体は、磁気メモリに書き込みおよび読み出しを行うために必要な電流量を減少させる効果がある。導体から離れるように磁場を集中させ、磁場を素子内に集中させることによって、磁場を生成するために必要な電流量を減少させる。必要な電流を減らせば、メモリによる電力消費量も少なくなる。加えて、磁気メモリ素子は、隣接する磁気メモリ・セルが発生する磁場の影響が減少するように機能する。この遮蔽効果によって、メモリ・セルを密接配置しても、隣接するメモリ・セルの磁場によって、これらのメモリ・セルが妨害を受けることはない。

20

【0006】

【発明の実施の形態】

図1は、磁気メモリ・セル10を有する、磁気メモリ・アレイの一部即ち磁気メモリを示す拡大断面図である。メモリおよびセル10は基板11を含み、その上にセル10の他の部分が形成されている。磁気メモリ・セル10は磁気メモリ・セル素子14を含み、この素子14の中に情報が磁化ベクトル(magnetization vector)の形で記憶される。好適実施例では、素子14は多層巨大磁気抵抗(GMR)物質であり、これは当業者には既知である。図1に示すように、素子14は矢印で示す長さ21と、図面に垂直な方向となる幅とを有する。ショート・バー(shorting bar)即ち列導体12を用いて、列内の素子14を他のメモリ・セルと接続する。誘電体13が素子14および導体12を被覆し、素子14をワード線導体16から絶縁している。導体16は、矢印で示す幅22と、図面に垂直な方向にメモリ全体に及ぶ長さとを有する。導体16は素子14を覆い、全体的に素子14にほぼ垂直に延びている。幅22は、通常、少なくとも長さ21と等しい。

30

【0007】

導体16の上面は磁性体17で被覆されている。磁性体17は高い透磁性を有し、導体16によって発生する磁場に応答して、磁性体17の磁化方向を変更可能となっている。通常、磁性体17の透磁性は素子14の透磁性よりも高い。通常、電流が導体16を通過して磁場を発生する。導体16によって発生する磁場が大きくなるに連れて、磁性体17の各端部に蓄積される極の強度も、その強透磁性のために大きくなる。その結果、導体16の上面上またはその上の空間における磁場はゼロとなり、一方、導体16の残りの部分を包囲する、矢印で示す磁場20は、導体16の上面上またはその上の空間における磁場が小さくなった量に等しい量だけ大きくなる。その結果、磁場20は素子14に向かって集中し、導体16の上面または上面の上の空間からは離れることになる。

40

【0008】

この磁界20の強度増大によって、素子14内に所与の磁場強度を得るために必要な導体

50

16を通過する電流量が減少する。この電流の減少は、磁性体17を設けた結果として、素子14内の磁場強度の増加に直接比例する。磁性体17は、所与の磁場値を生成するために必要な電流を、約50パーセント減少可能であると考えられている。

【0009】

磁性体17を形成するには、通常、導体16に用いられる導体物質のブランケット堆積(blanket deposition)を行い、続いて導体16に用いられる物質の上に磁性体17に用いられる物質のブランケット堆積を行う。その後、磁性体17に用いられる物質上でマスクのパターニングを行い、双方の物質の不要部分を除去して、導体16および磁性体17を残す。

【0010】

図2は、図1に示したメモリ10の他の実施例である、磁気メモリ・セル25の一部を示す拡大断面図である。図2の部分で図1と同じ参照番号を有するものは、図1の素子に対応する部分である。磁性体18は、導体16の両側全体に磁性体17を拡張することによって形成される。磁性体18は、矢印で示す磁場19を、導体16の両側から遠ざけ、素子14内に集中させる。このため、磁性体18の両側および磁性体17の上面から離れるように集中した磁場強度に等しい量だけ、磁場19の強度が大きくなる。

【0011】

この磁場19の強度増大のために、素子14内に所与の磁場強度を得るために必要な導体16を流れる電流量が少なくて済むことになる。この電流減少は、磁性体17および磁性体18を設けた結果として、素子14内の磁場強度の増大に直接比例する。磁性体17, 18は、所与の磁場を生成するために必要な電流を50パーセント以上減少可能であると考えられている。

【0012】

典型的に、磁性体18は、先ず導体16および磁性体17を形成することによって形成される。次に、磁性体18に用いられる物質のブランケット堆積を磁性体17および誘電体13上で行う。続いて、反応性イオン・エッチングを用いて、導体16上および誘電体13上の物質を除去し、導体16の両側において接点物質17に至るまで磁性体18を残す。

【0013】

図3は、図1に示したセル10の他の実施例である、磁気メモリ・セル30の一部を示す拡大断面図である。図3の部分で図1と同じ参照番号を有するものは、図1の素子に対応する部分である。セル30は、導体16と同様のワード線導体36を有する。しかしながら、導体36の幅23は幅22よりも大きい。これについては後に見ていくことにする。磁性体31および磁性体32が導体12上に形成され、概略的に素子14の一部と重なり合っている。磁性体31, 32は素子14の長さ21方向の対向端に形成されており、矢印で示すギャップ37が素子14の上に形成され、導体36と素子14との間に位置する。誘電体13が磁性体31と32の上に形成される。結果的に、誘電体13の一部が導体36と磁性体31, 32との間に位置し、磁性体31, 32は導体36に隣接することになる。

【0014】

磁性体31, 32は、矢印で示す導体36によって形成された磁場33, 34の強度を、磁性体31, 32が磁場を導体36から離れるように集中させた量に等しい量だけ増大させる。ギャップ37は磁場34を素子14内に集中させる。ギャップ37の幅は長さ21よりも短く、磁場34を素子14内に集中させるのを補助する。通常、幅23を長さ21よりも大きくすることによって、導体36が磁性体31, 32と重なり合って、磁場33が磁性体31, 32と相互作用することを保証する。

【0015】

図4は、図1に示したセル10および図3に示したセル30の更に他の実施例である、磁気メモリ・セル35の一部を示す拡大断面図である。図4の部分で図1および図3と同じ参照番号を有するものは、図1および図3の素子に対応する部分である。磁性体31, 3

10

20

30

40

50

2は非常に短いので、磁性体31, 32のみが用いられる場合に磁性体31, 32から得られる磁場の増大は少ない。しかしながら、磁性体31, 32を磁性体17, 18と共に用いると、得られた磁場がギャップ37を通して素子14内に集中する。この結果得られる磁場は、導体36の上面上、両側、およびその底面の一部から離れるように集中する磁場の量だけ増大する。

【0016】

図5は、図1に示すセル10および図3に示すセル30の更に他の実施例である、磁気メモリ・セル40の一部を示す拡大断面図である。図5の部分で図1および図3と同じ参照番号を有するものは、図1および図3の素子に対応する部分である。セル40は、誘電体13上に形成された磁性体41と磁性体42とを有する。磁性体41, 42は、図3に示した磁性体31, 32と同様に機能する。導体16が磁性体41, 42上に形成されている。磁性体44が導体16の上面上に形成され、図1に示す磁性体17と同様に機能する。磁性体43が導体16の両側に沿って形成され、図2に示した磁性体18と同様に機能する。磁性体41, 42, 43, 44はギャップ47を形成し、導体16によって発生された矢印で示す磁場46を、導体16の上部、両側および底面の一部から離すように集中させる作用を行い、磁場46を素子14内に集中させる。

10

【0017】

図6は、図1に示した磁気メモリ・セル10を利用した、磁気メモリ・アレイの一部即ち磁気メモリ50を示す拡大断面図である。図6の部分で図1および図2と同じ参照番号を有するものは、図1および図2の素子に対応する部分である。メモリ50は、破線のボックスで示す複数のセル10を含む。セル10については、図1の検討において既に説明してある。メモリ50は、図2のセル25、または図3のセル30、または図4のセル35、または図5のセル40を利用することも可能である。

20

【0018】

尚、セル10, 25, 30, 35, 40は、ディジット線も含み、ワードまたはセンス導体には電流が大き過ぎる場合に、磁場の発生を助けるようにしてもよいことを注記しておく。通常、ディジット線はワード導体上に垂直に配置されるが、磁気メモリ・セル素子の下側であってもよい。導体16に加えてまたはその代わりに、磁性体17のような磁性体でディジット線を包囲することも可能である。

【0019】

以上の説明から、新規な磁気メモリ・セルが提供されたことが認められよう。導体16から離れるように磁場を集中させ、磁場を素子14内に集中させることによって、磁場を生成するために必要な電流量を減少させる。必要な電流を減らせば、メモリによる電力消費量も少なくなる。加えて、磁気メモリ素子は、隣接する磁気メモリ・セルが発生する磁場の影響が減少するように機能する。この遮蔽効果によって、メモリ・セルを密接配置しても、隣接するメモリ・セルの磁場によって、これらのメモリ・セルが妨害を受けることはない。

30

【図面の簡単な説明】

【図1】本発明による磁気メモリの一部を示す拡大断面図。

【図2】本発明による磁気メモリの他の実施例の一部を示す拡大断面図。

40

【図3】本発明による磁気メモリの更に他の実施例の一部を示す拡大断面図。

【図4】本発明による磁気メモリの更に他の実施例の一部を示す拡大断面図。

【図5】本発明による磁気メモリの更に他の実施例の一部を示す拡大断面図。

【図6】本発明による磁気メモリ・アレイの一部を示す拡大断面図。

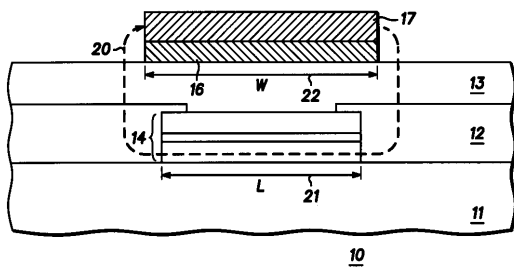
【符号の説明】

- 10 磁気メモリ・セル
- 11 基板
- 12 列導体
- 13 誘電体
- 14 磁気メモリ・セル素子

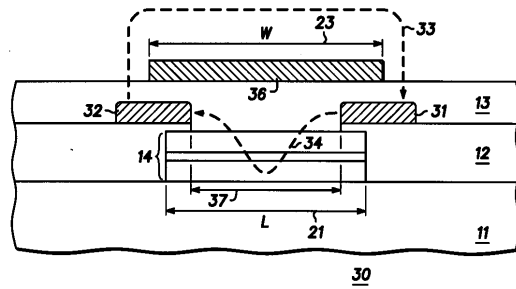
50

- 16 ワード線導体
- 17, 18 磁性体
- 19, 20 磁場
- 25 磁気メモリ・セル
- 30 磁気メモリ・セル
- 31, 32 磁性体
- 35 磁気メモリ・セル
- 36 導体
- 37 ギャップ
- 40 磁気メモリ・セル
- 41, 42, 43, 44 磁性体
- 47 ギャップ
- 50 磁気メモリ

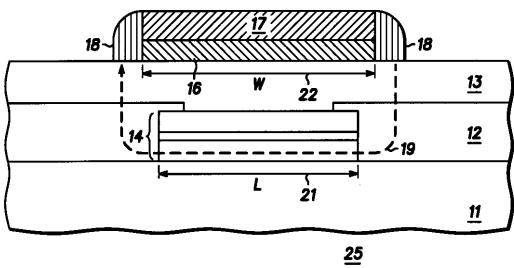
【図1】



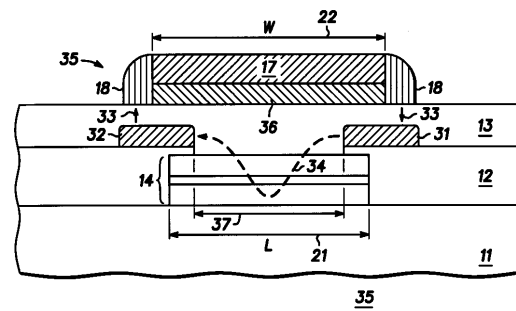
【図3】



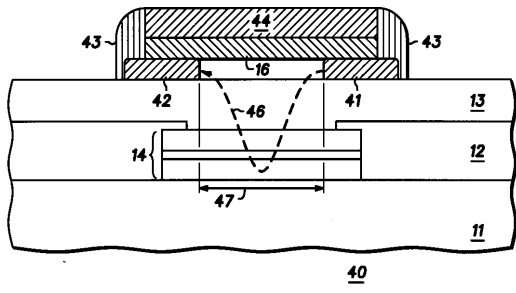
【図2】



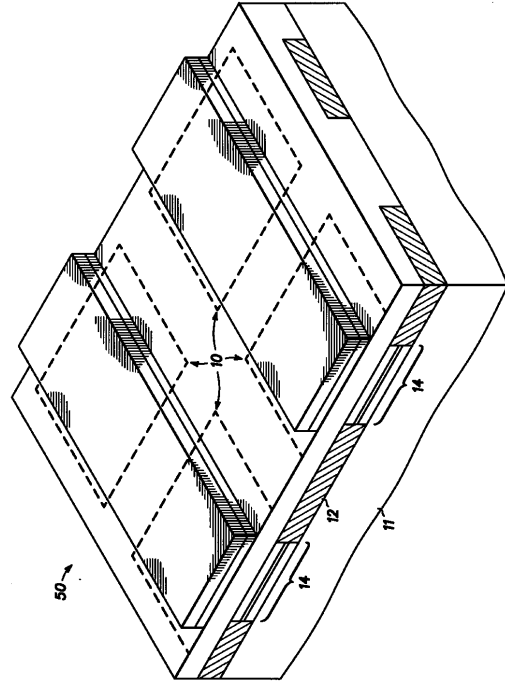
【図4】



【 図 5 】



【 図 6 】



フロントページの続き

- (74)代理人 100096013
弁理士 富田 博行
- (72)発明者 ユーゲン・チェン
アメリカ合衆国アリゾナ州ギルバート、ウエスト・シェリ・ドライブ1143
- (72)発明者 セイド・エヌ・テラニ
アメリカ合衆国アリゾナ州テンピ、イースト・パロミノ・ドライブ1917
- (72)発明者 マーク・ダーラム
アメリカ合衆国アリゾナ州チャンドラー、ウエスト・オーチャイド・レーン4076
- (72)発明者 クシアオドン・ティー・ズー
アメリカ合衆国アリゾナ州チャンドラー、ノース・ कांग्रेस・ドライブ1351

審査官 石川 正二

(56)参考文献 米国特許第05587943 (US, A)

(58)調査した分野(Int.Cl. , DB名)

G11C 11/14

H01L 43/08