

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3843570号
(P3843570)

(45) 発行日 平成18年11月8日(2006.11.8)

(24) 登録日 平成18年8月25日(2006.8.25)

(51) Int. Cl. F I
H O 1 L 29/866 (2006.01) H O 1 L 29/90 D

請求項の数 7 (全 9 頁)

(21) 出願番号	特願平9-357445	(73) 特許権者	503361248
(22) 出願日	平成9年12月25日(1997.12.25)		富士電機デバイステクノロジー株式会社
(65) 公開番号	特開平11-186569		東京都品川区大崎一丁目1番2号
(43) 公開日	平成11年7月9日(1999.7.9)	(74) 代理人	100133167
審査請求日	平成14年9月11日(2002.9.11)		弁理士 山本 浩
		(72) 発明者	島袋 浩
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		審査官	萩原 周治
		(58) 調査した分野(Int.Cl., DB名)	
			H01L 29/866

(54) 【発明の名称】 横型ダイオード

(57) 【特許請求の範囲】

【請求項1】

低濃度の第1導電形からなる半導体基板の表面層に中濃度の第2導電形からなる第1拡散領域および第2拡散領域が離れて選択的に形成され、且つ、低濃度の第1導電形からなる半導体基板の表面層に中濃度の第1導電形からなる第3拡散領域が前記の第1拡散領域および第2拡散領域から離れて選択的に形成され、前記第1拡散領域の表面層に高濃度の第2導電形からなる第1領域が形成され、前記第2拡散領域の表面層に高濃度の第1導電形からなる第2領域が形成され、前記第3拡散領域の表面層に高濃度の第1導電形からなる第3領域が形成され、第1、第2および第3領域のそれぞれの表面に、第1、第2および第3電極がそれぞれ形成され、第2電極と第3電極が接続されることを特徴とする横型ダイオード。

10

【請求項2】

第1拡散領域と第2拡散領域に挟まれた半導体基板の表面層に高濃度の第1導電形からなる第4領域(バッファ領域)が形成されることを特徴とする請求項1記載の横型ダイオード。

【請求項3】

第2電極と第3電極の間に抵抗が接続されることを特徴とする請求項1記載の横型ダイオード。

【請求項4】

第2電極と第3電極が抵抗性を有する材料で接続されることを特徴とする請求項3記載の

20

横型ダイオード。

【請求項 5】

第 2 電極が抵抗性を有する材料で形成されることを特徴とする請求項 1 記載の横型ダイオード。

【請求項 6】

第 2 電極と第 2 領域との間に抵抗性を有する材料が介在することを特徴とする請求項 1 記載の横型ダイオード。

【請求項 7】

抵抗性を有する材料がポリシリコンであることを特徴とする請求項 4、5 または 6 記載の横型ダイオード。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、主にパワー IC に用いられる半導体素子のうち、横型ダイオードに関する。

【0002】

【従来の技術】

同一シリコンチップに高圧出力回路（例えば 50V 以上）と、これを駆動する制御回路を集積したパワー IC において、近年は電圧駆動型デバイスである MOS デバイスが多く適用されている。これは、特に絶縁ゲート型バイポーラトランジスタ（以下、IGBT と称す）の出現により、従来のバイポーラトランジスタと比べて駆動電流が極めて小さくでき

20

【0003】

MOS デバイスの適用に当たっては、ゲート電圧が、ゲート酸化膜の破壊電圧を超えないように配慮しなければならない。そこで、ゲート・ソース間にゲート保護用ダイオードを接続し、過度の電圧をこの保護用ダイオードの逆耐圧（アバランシェ電圧）を利用してカットし、ゲート酸化膜が破壊しないようにすることが一般的に行われている。

【0004】

図 7 は、従来の保護用ダイオードの要部断面図である。この横型ダイオードは n^- 基板 1 の表面層に p 拡散領域 2 a を形成し、この p 拡散領域 2 a の表面層に p^+ 領域 4 と n^+ 領域 3 a を形成した横型ダイオードである。

30

図 7 において、低濃度の n 形半導体基板である n^- 基板 1 の表面層に中濃度の濃度を持つ p 形拡散領域 2 a を選択的に形成する。さらにこの p 形拡散領域 2 a の表面層に、高濃度の n^+ 領域 3 a と p^+ 領域 4 が接しないように形成され、これらの領域 3 a、4 上には金属電極 5、6 が形成される。また金属電極 5 はカソード端子 K、金属電極 6 はアノード端子 A に接続している。この横型ダイオードは p 形拡散領域 2 a の不純物濃度を変えることで、アバランシェ電圧を任意に変えることができる利点をもっている。

【0005】

図 8 は、他の従来保護用ダイオードの要部断面図である。この横型ダイオードは n^- 基板 1 の表面層に p 拡散領域 2 a と n 拡散領域 7 を形成してた横型ダイオードである。

図 8 において、低濃度の n 形半導体基板である n^- 基板 1 の表面層に中濃度の濃度を持つ p 形拡散領域 2 b と n 形拡散領域 7 を離して選択的に形成する。さらにこの n 形拡散領域 7 の表面層に n^+ 領域 3 a が形成され、p 形拡散領域 2 b の表面層に、高濃度の p^+ 領域 4 形成される。これらの領域 3、4 上には金属電極 5、6 が形成され、金属電極 5 はカソード端子 K、金属電極 6 はアノード端子 A に接続している。この横型ダイオードは電流が n^- 基板 1 を通って流れ、表面層に集中しないので、過電流耐量が大きいという利点がある。

40

【0006】

図 9 は保護用ダイオードの適用例として、トータムポール回路の駆動回路と出力段回路を示した図である。

図 9 において、31 が駆動回路で 32 が出力段回路である。図中の D1 と D2 の記号で示

50

すダイオードがゲート保護用ダイオードである。それぞれダイオードは、 n チャネルMOSFETであるN1と、 p チャネルMOSFETであるP1のゲート・ソース間に接続されている。入力1(IN1)からの信号で、 n チャネルMOSFETであるN3がオン状態となる。N3がオン状態となるとR3-N3-R4の経路で電流I1が流れる。I1が流れると、ゲート抵抗R3とI1により生ずる電圧でP1のゲート電圧がソースに対して低下し、P1がオンし、電流I2が流れる。電流I2が流れると、ゲート抵抗R1とI2により、N1のゲート電圧がソースに対して上昇し、N1がオンし、高圧電源VDDから出力端子OUTに接続された負荷へ電流が供給される。この一連の動作中は、ローサイドのデバイスであり、 n チャネルIGBTであるN2はオフ状態である。N1、P1のゲート・ソース間に印加される電圧は保護用ダイオードD1、D2にとっては逆バイアスとなる。回路中の抵抗R2とR4は電流I2およびI1の制限抵抗として導入されている。定常状態ではゲート・ソース間に印加される電圧、所謂、ゲート電圧は一定であるが、スイッチング時などの過渡状態では、瞬間的に過大な電圧が印加される場合がある。この電圧が保護用ダイオードD1の降伏電圧を超えると保護用ダイオードにアバランシェ電流が流れ、過大な電圧が抑制され、ゲート・ソース間には降伏電圧(BV: Breakdown Voltage)以上の電圧が印加されない。

10

【0007】

この保護用ダイオードの降伏電圧は、ゲート酸化膜の厚さが25nmの場合は、電界強度が3MV/cmを超えないように、7V程度に調整する。一般的には、ツエナーダイオードが用いられるが、パワーICの場合には、例えば図7のように、中程度の不純物濃度を持つ p 形拡散領域2aと高濃度の n^+ 領域3aとで形成される pn 接合の両側に形成される空乏層内で起こるアバランシェ現象を利用して、この降伏電圧を制御している。また、この降伏電圧は p 形拡散領域2aの不純物濃度を変えることで、空乏層の電界強度を制御できるので、所望の降伏電圧を得ることができる。

20

【0008】

一方向に充電された(直流充電された)コンデンサのような負荷を短絡する場合には、ローサイドのデバイスであるN2をオン状態にし、負荷からD1とN2を経てGNDへ短絡電流を流す。このときハイサイドのデバイスであるN1はオフ状態である。D1はN2の通電能力に見合う十分な順方向の電流を流す能力が必要となる。従って、これを考慮した場合、D1の素子の占有面積は、単なる保護用ダイオードとして働くD2より広がる。しかし、従来はN2には n チャネルMOSFETが使用されていたために、D1の占有面積は、従来N2として使用されていた n チャネルMOSFETの占有面積の20%程度でよかった。

30

【0009】

【発明が解決しようとする課題】

近年、図9のようにローサイドのデバイスN2にIGBTが適用されるようになるとD1の順方向電流も、より大電流が必要になってきた。

同一の占有面積を有する n チャネルMOSFETに対して、IGBTの通電能力は5倍強である。従って、この5倍強の電流を流すために必要なD1の占有面積はほぼIGBTと同じ占有面積となるので、パワーICのチップ面積が増大して、コストアップになる。

40

【0010】

また、図7の横形ダイオードでは、アノード・カソード間の距離が短く、比較的電気抵抗が低く、また拡散深さが浅い p 形拡散領域2aを高密度の電流が横方向に流れるので、破壊し易い。一方、破壊を防止するためには電流密度を低減させる必要があり、そのためには、IGBTより大きな占有面積が必要となり、コストアップとなる。

【0011】

また図8に示す横形ダイオードでは、 n 拡散領域7の導入により電流経路は、表面近傍だけでなく比較的 n^- 基板1の内部にも広がるので破壊しにくいだが、逆バイアス時の降伏電圧が n^- 基板1の濃度で決まり制御性に制約が出てくる。

この発明の目的は、前記の課題を解決し、降伏電圧を容易に設定できて、破壊しにくく、

50

且つ、低コストのパワー I C に集積される横型ダイオードを提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

この課題を解決するために、低濃度の第 1 導電形からなる半導体基板の表面層に中濃度の第 2 導電形からなる第 1 拡散領域および第 2 拡散領域が離れて選択的に形成され、且つ、低濃度の第 1 導電形からなる半導体基板の表面層に中濃度の第 1 導電形からなる第 3 拡散領域が前記の第 1 拡散領域および第 2 拡散領域から離れて選択的に形成され、前記第 1 拡散領域の表面層に高濃度の第 2 導電形からなる第 1 領域が形成され、前記第 2 拡散領域の表面層に高濃度の第 1 導電形からなる第 2 領域が形成され、前記第 3 拡散領域の表面層に高濃度の第 1 導電形からなる第 3 領域が形成され、第 1、第 2 および第 3 領域のそれぞれの表面に、第 1、第 2 および第 3 電極がそれぞれ形成され、第 2 電極と第 3 電極が接続される構成とする。

10

【 0 0 1 3 】

前記のように、第 2 拡散領域と第 2 領域を設けることで、降伏電圧を第 2 拡散領域の濃度を変えることで任意に設定できる。またこの領域に電流を流すことで、通電能力を向上できる。さらに、電流が半導体基板を通して流れるために、表面層での電流集中が起こらず素子が破壊しにくくなる。

第 1 拡散領域と第 2 拡散領域に挟まれた半導体基板の表面層に高濃度の第 1 導電形からなる第 4 領域（バッファ領域）が形成されるとよい。

【 0 0 1 4 】

こうすることで、第 1 拡散領域 - 半導体基板 - 第 2 拡散領域 - 第 2 領域で形成される寄生サイリスタの第 1 拡散領域からのキャリアの注入を抑制し、ラッチアップを防止する。また第 2 電極と第 3 電極の間に抵抗が接続されると効果的である。またこれらの電極が抵抗性を有する材料で接続されるとよい。第 2 電極が抵抗性を有する材料で形成されるとよい。また第 2 電極と第 2 領域との間に抵抗性を有する材料を介在させると好ましい。前記の抵抗性を有する材料がポリシリコンであることよい。

20

【 0 0 1 5 】

こうすることで、前記の寄生サイリスタに流れる電流を抑制して、ラッチアップを防止する。

【 0 0 1 6 】

【発明の実施の形態】

図 1 は、この発明の第 1 実施例の横型ダイオードの要部断面図である。

図 1 において、低濃度の n 形半導体基板である n⁻ 基板 1 の表面層に中程度の濃度を有する第 1 p 拡散領域 2 と第 2 p 拡散領域 1 1 を接することなく形成する。第 2 p 拡散領域 1 1 の表面層に第 2 n⁺ 領域 1 2 が形成される。n⁻ 基板 1 の表面層に第 1 p 拡散領域 2 および第 2 p 拡散領域 1 1 に接することなしに選択的に n 拡散領域 7 が形成され、n 拡散領域 7 の表面層に第 1 n⁺ 領域 3 が形成される。また第 1 p 拡散領域 2 の表面層には p⁺ 領域 4 が形成される。第 1 n⁺ 領域 3、第 2 n⁺ 領域 1 2 および p⁺ 領域 4 はそれぞれ金属電極 5、1 3、6 と接続する。金属電極 5、1 3 はカソード端子 K と、また金属電極 6 はアノード端子 A と接続する。ここで、第 2 p 拡散領域 1 1 は、直接、金属電極と接することはない。実際の素子では、表面保護膜や素子分離領域などがあるが、この発明と直接関係ないので、ここでは説明を省略する。

30

40

【 0 0 1 7 】

この構造の横型ダイオードは基本的な L S I 製造技術を用いて製造することができる。今回の試作では、貼り合わせ S O I ウエハに誘電体分離技術でそれぞれの素子形成領域を確保し、この素子形成領域内にマスクパターンなどの製造仕様の異なる複数個の横型ダイオードを形成した。S O I ウエハに素子を形成する半導体領域は、厚さが 1 0 μ m、不純物濃度は $3 \times 10^{14} \text{ a t o m } / \text{ c m }^3$ であり、この領域が n⁻ 基板 1 となる。まず、n⁻ 基板 1 の表面に選択的に n 形不純物をイオン注入により導入し、熱処理により最終的に約 5 μ m 拡散し、n 拡散領域 7 を形成する。この n 拡散領域 7 の表面の不純物濃度は 6×10

50

10^{17} atom/cm³である。また、同様に、 n^- 基板1の表面に選択的にp形不純物をイオン注入し、熱処理して、深さ方向に2 μ m拡散することで、第1p拡散領域2および第2p拡散領域11を形成する。横方向にも拡散することを考慮して、2つのp拡散領域2、11が接触しないように約1.2 μ mの間隔を設けた。これらの不純物濃度は 5×10^{18} atom/cm³とした。 n^- 拡散領域および第2p拡散領域の表面には深さが約0.4 μ mの深さの第1 n^+ 領域3および第2 n^+ 領域12を形成し、また第1p拡散領域2の表面には、同じく約0.4 μ mの深さの p^+ 領域4を形成する。これら3つの領域3、12、4は、アルミニウムなどで形成された電極と電気的な接触が良好になるように、その不純物濃度は 1×10^{20} atom/cm³程度である。電極5、13は横型ダイオードのカソード端子Kと接続し、電極6はアノード端子Aと接続する。尚、ここで示した製造条件は一例であり、またこの横型ダイオードの平面的なパターンは図示しないが、円形や四角形や波形など適用に応じて各種ある。

10

【0018】

つぎに、この横型ダイオードの動作を説明する。逆バイアス（アノード端子Aがマイナス、カソード端子Kがプラス）が印加された場合は、 n^- 基板1と第1p拡散領域2と接するpn接合面から、主に濃度の低い n^- 基板1側へ空乏層が伸び、1.2 μ m隔てて配置された第2p拡散領域11に極めて低い電圧で到達する。到達した後は、第2p拡散領域11と第1p拡散領域2は、電気的にあたかも一体であるように振る舞う。したがって、この段階から図7のp拡散領域2aと同じ働きをする。逆バイアス電圧を増加させると、逆バイアスされている第2p拡散領域11と第2 n^+ 領域12のpn接合がアバランシェ現象を引き起こす。このアバランシェ現象により、アバランシェキャリアが発生し、電子はカソード電極K側へ、正孔は空乏層内を加速しながらアノード電極A側へと流れて行く。このアバランシェを起こす降伏電圧は第2p拡散領域11の不純物濃度で決まるので、この濃度を変えることで、降伏電圧を任意に設定できる。

20

【0019】

一方、順方向バイアス（アノード端子Aがプラス、カソード端子Kがマイナス）した場合、低い電流密度では、 n^- 基板1と第1p拡散領域2のpn接合部は、順バイアスされ、第1p拡散領域2 - n^- 基板1 - n^- 拡散領域7の経路で順方向電流が流れる。順バイアス電圧を上昇させて、電流密度を上げて行くと、 n^- 基板1内での伝導度変調が進み少数キャリアである正孔が n^- 基板1内に充満してくる。この正孔の多くは、 n^- 拡散領域7への電流成分となるが、一部は第2p拡散領域11に飛び込み電極13側への電流として流れ出す。このとき、電流経路は、表面近傍ではなく、比較的深い部分にある n^- 基板1を流れるので、図7のような横型ダイオードと違い、表面層での電流集中による破壊はない。また、電流の一部が電極13にも流れ込むので、従来の図8の構造の横型ダイオードと比べて、オン電圧は低くなる。またこの横型ダイオードには第1p拡散領域2 - n^- 基板1 - 第2p拡散領域11 - 第2 n^+ 領域12で構成されるpnpn構造の寄生サイリスタが存在するが、この寄生サイリスタが動作しない電流範囲で動作させる。

30

【0020】

図2は順方向バイアスした場合の電流 - 電圧特性図で、同図(a)は本発明品、同図(b)は図8の従来品である。同図において、横軸は順バイアス電圧 V_{AK} （オン電圧と同じ）、縦軸は順方向電流 I_{AK} である。

40

図2において、この特性図において、順バイアス電圧が約2Vの場合、従来品は 10 A/cm²程度の順方向電流であるが、この発明品の場合はおよそ1.6倍の 32 A/cm²程度の電流密度であり、第2p拡散領域11と第2 n^+ 領域12を設けた設けることで、通電能力の向上が確認された。従って、この発明品を用いることで、図9のN2がIGBTの場合でも、N2のゲート保護用ダイオードとして用いた場合でも、横型ダイオードの占有面積をIGBTの占有面積の約3の1にすることができる。

【0021】

図3は図1の構造の横型ダイオードの順バイアスした場合の正孔と電子の流れを示す模式図である。まずアノード端子Aをプラス、カソード端子Kをマイナスにバイアスする。第

50

1 p 拡散領域 2 から n^- 基板 1 へ正孔が注入され、この正孔を中和するように n 拡散領域 7 から電子が n^- 基板 1 に注入され、 n^- 基板 1 内は伝導度変調を起こし、低いオン電圧で横型ダイオードに電流が流れる。この電流が増加すると n^- 基板 1 に注入された正孔の一部が、第 2 p 拡散領域 1 1 に入り込み、この第 2 p 拡散領域 1 1 の電位を上昇させ、 n^+ 領域 1 2 から電子の注入を招き、その電子が第 2 p 拡散領域 1 1 を通過して n^- 基板 1 に入り込む。詰まり、電流が第 2 n^+ 領域 3 から抜ける経路と、 n^+ 領域 1 2 から抜ける経路の 2 経路となり、大きな電流を流せるようになる。図 7 のような従来構造では電流経路は表面のみに流れるが、図 1 の横方向ダイオードでは、 n^- 基板 1 を通って流れるために、表面での電流集中は起こらない。また、図 8 の従来構造と比べても第 2 p 拡散領域 1 1 - n^+ 領域 1 2 を通って電極 1 3 にも電流が流れるのでオン電圧は低くなる。さらに、アバランシェ電圧は図 7 の従来構造と同様に第 1 p 拡散領域 1 1 の濃度で任意に決定できる。

10

【0022】

図 4 は図 1 の横型ダイオードを順バイアスした場合で、シミュレーションで正孔の流れを示した拡大図である。拡大図は図 3 に示した拡大箇所であり、矢印の向きは正孔が流れる方向を示し、長さは正孔流の大きさを示す。同図から、正孔が第 2 p 拡散領域 1 1 に流れ込む様子や表面層で集中していない様子などがわかる。

【0023】

図 5 はこの発明の第 2 実施例の横型ダイオードの要部断面構造図である。この横型ダイオードは第 1 p 拡散領域 2 - n 形半導体基板 1 - 第 2 p 拡散領域 1 1 - n^+ 領域 1 2 で構成される $pnpn$ 構造の寄生サイリスタが動作することを防止するために、第 1 p 拡散領域 2 と第 2 p 拡散領域 1 1 との間の n^- 基板 1 の表面層に n^+ バッファ領域 1 5 を形成する。これによって、寄生サイリスタの第 1 p 拡散領域 2 からの正孔の注入効率を小さくして、ラッチアップを防止し、パルス電流耐量を向上させる。尚、この n^+ バッファ領域 1 5 は第 1 および第 2 p 拡散領域 2、1 1 に入り込んでも構わない。その場合も効果は同じである。

20

【0024】

図 6 はこの発明の第 3 実施例の横型ダイオードの図である。図 1 の金属電極 1 3 と金属電極 5 の間に 3 程度の抵抗 1 4 を挿入して、金属電極 1 3 から抜ける電流を抑制して、前記の寄生サイリスタのラッチアップを防止して、パルス電流耐量を向上させる。前記の抵抗 1 4 については、金属電極 1 3 自身をポリシリコンなどで形成してもよく、また金属電極 1 3 と金属電極 5 とをポリシリコンで配線し、この配線を抵抗としてもよい。

30

【0025】

また、第 2 実施例および第 3 実施例を組み合わせることで、さらに効果を高めることができる。

この発明の横型ダイオードは、図 9 のトータムポール回路に用いられる MOS デバイス ($N1$ 、 $P1$) のゲートに過大な電圧が印加されないように、MOS デバイスのゲート・ソース間に接続されるゲート保護用ダイオード ($D1$ および $D2$) として用いられる。MOS デバイスのゲート・ソース間に過大な電圧が印加された場合に、この横型ダイオードがアバランシェ (降伏) を起こすようにゲート、ソースに挿入される。その接続のやり方は、例えば n チャネルデバイスの場合、ゲートと横型ダイオードのカソードと接続し、ソースと横型ダイオードのアノードと接続する。一方 p チャネルデバイスの場合、ゲートと横型ダイオードのアノード、ソースと横型ダイオードのカソードと接続する。

40

【0026】

【発明の効果】

この発明によれば、第 2 p 拡散領域と第 2 n^+ 領域を設けることで、表面での電流集中が抑制され、且つ、この領域からカソード端子に電流が流れることで、通電能力が向上し、その結果、横型ダイオードの占有面積を小さくでき、且つ、破壊しにくい素子となる。また、 n^+ バッファ領域を設けたり、金属電極 1 2、5 の間に抵抗を挿入することで、寄生サイリスタのラッチアップが防止され、パルス電流耐量を向上させることができる。さら

50

に、保護用ダイオードとして重要な特性である降伏電圧が容易に設定できる。この横型ダイオードを、例えばトータムボール回路を構成するMOSデバイスのゲート保護用に利用することで、信頼性の高い、且つ、安価なパワーICが提供できる。

【図面の簡単な説明】

【図1】この発明の第1実施例の横型ダイオードの要部断面図

【図2】順方向バイアスした場合の電流 - 電圧特性図で、(a)は本発明品の特性図で、(b)は図8の従来品の特性図

【図3】図1の構造の横型ダイオードの順バイアスした場合の正孔と電子の流れを示す模式図

【図4】図1の横型ダイオードを順バイアスした場合で、シミュレーションで正孔の流れを示した拡大図 10

【図5】この発明の第2実施例の横型ダイオードの要部断面構造図

【図6】この発明の第3実施例の横型ダイオードの図

【図7】従来の保護用ダイオードの要部断面図

【図8】他の従来保護用ダイオードの要部断面図

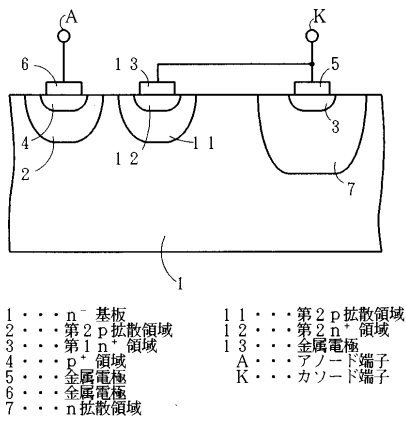
【図9】保護用ダイオードの適用例として、トータムボール回路の駆動回路と出力段回路を示した図

【符号の説明】

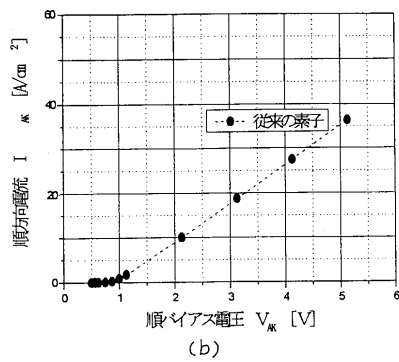
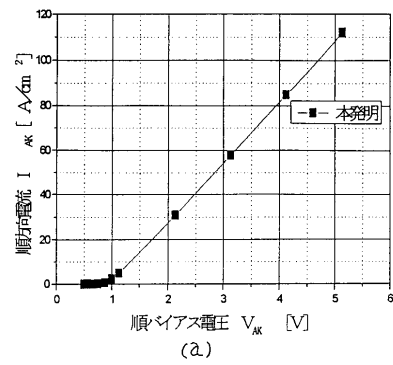
1	n ⁻ 基板	
2	第1 p 拡散領域	20
2 a	p 拡散領域	
2 b	p 拡散領域	
3	第1 n ⁺ 領域	
3 a	n ⁺ 領域	
4	p ⁺ 領域	
5	金属電極	
6	金属電極	
7	n 拡散領域	
1 1	第2 p 拡散領域	
1 2	第2 n ⁺ 領域	30
1 3	金属電極	
1 4	抵抗	
2 1	負荷	
3 1	駆動回路	
3 2	出力段回路	
N 1	nチャンネルMOSFET	
N 2	nチャンネルIGBT	
N 3	nチャンネルMOSFET	
P 1	pチャンネルMOSFET	
D 1	保護用ダイオード	40
D 2	保護用ダイオード	
R 1	ゲート抵抗	
R 2	制限抵抗	
R 3	ゲート抵抗	
R 4	制限抵抗	
I N 1	入力1	
I N 2	入力2	
V D D	高圧電源	
O U T	出力端子	
G N D	グランド	50

- A アノード端子
- K カソード端子
- I 1 電流
- I 2 電流

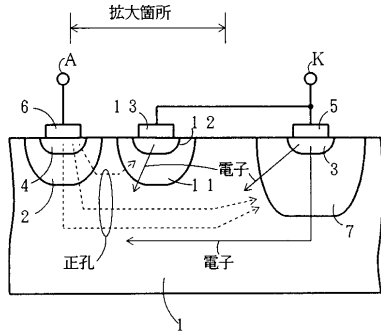
【図1】



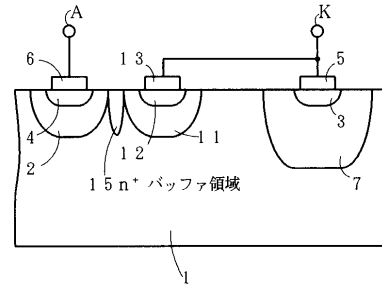
【図2】



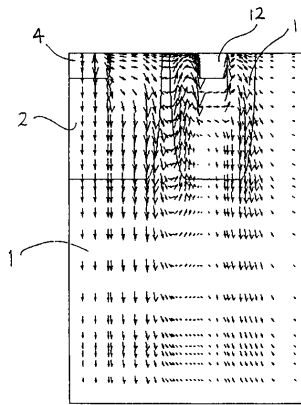
【図3】



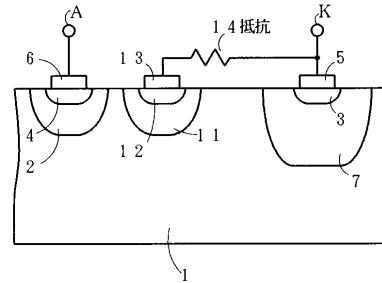
【図5】



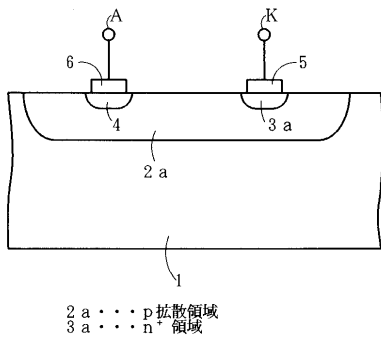
【図4】



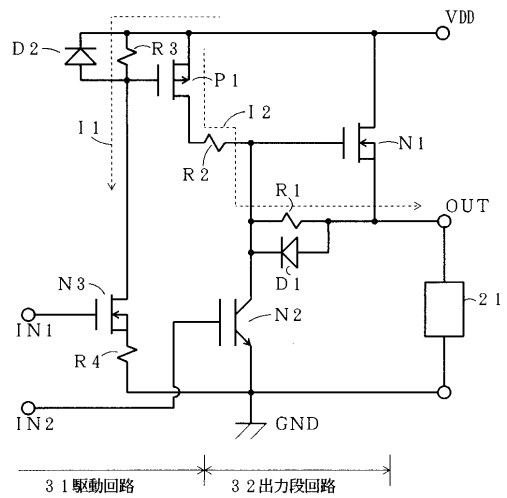
【図6】



【図7】



【図9】



【図8】

