



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.  
G11C 29/00 (2006.01)  
G06F 11/26 (2006.01)

(11) 공개번호 10-2006-0131821  
(43) 공개일자 2006년12월20일

(21) 출원번호 10-2006-7015204  
(22) 출원일자 2006년07월27일  
심사청구일자 없음  
번역문 제출일자 2006년07월27일  
(86) 국제출원번호 PCT/US2005/002084 (87) 국제공개번호 WO 2005/072287  
국제출원일자 2005년01월24일 국제공개일자 2005년08월11일

(30) 우선권주장 10/707,971 2004년01월29일 미국(US)

(71) 출원인 인터내셔널 비지네스 머신즈 코포레이션  
미국 10504 뉴욕주 아몽크 뉴오차드 로드

(72) 발명자 드레이벨비스, 제프리, 에이치.  
미국 05495 버몬트주 윌리스턴 버타운 레인 223  
고맨, 케빈, 더블유.  
미국 05468 버몬트주 밀튼 이스트 로드 376  
네엄스, 마이클, 알.  
미국 05495 버몬트주 윌리스턴 세다 레인 235

(74) 대리인 주성민  
장수길

전체 청구항 수 : 총 35 항

(54) 고속 테스트 및 리던던시 계산을 위한 원격 BIST

(57) 요약

빌트-인 셀프 테스트(BIST) 기능을 원격 저속 실행 가능 명령 및 로컬 고속 실행 가능 명령으로 분할하는 내장 메모리 어레이를 위한 하이브리드 BIST 아키텍처가 개시되어 있다. 독립형 BIST 논리 제어기(110)는 저주파수로 동작하며, BIST 명령 세트를 이용하여 복수의 내장 메모리 어레이(111-113)와 통신한다. 고속 테스트 논리의 블록(116)은 테스트중인 각각의 내장 메모리 어레이에 포함되며, 높은 주파수로 독립형 BIST 논리 제어기(110)로부터 수신된 BIST 명령을 로컬하게 처리한다. 고속 테스트 논리는 BIST 명령의 주파수를 저주파수에서 고주파수로 증가시키기 위한 승산기(118)를 포함한다. 독립형 BIST 논리 제어기(110)는 복수의 내장 메모리 어레이 내의 복수의 고속 테스트 논리 구조를 가능하게 한다.

대표도

도 1

## 특허청구의 범위

### 청구항 1.

빌트-인 셀프 테스트(BIST) 기능을 원격 저속 실행 가능 명령 및 로컬 고속 실행 가능 명령으로 분할하는 내장 메모리 어레이를 위한 하이브리드 BIST 아키텍처로서,

저주파수에서 동작하고, BIST 명령 세트를 이용하여 복수의 내장 메모리 어레이와 통신하기에 적합한 독립형 BIST 논리 제어기; 및

테스트중인 각각의 내장 메모리 어레이 내에 포함되고, 상기 저주파수보다 높은 주파수로 상기 독립형 BIST 논리 제어기로부터 수신되는 BIST 명령을 로컬하게 처리하기에 적합한 고속 테스트 논리의 블록

을 포함하는 하이브리드 BIST 아키텍처.

### 청구항 2.

제1항에 있어서, 상기 고속 테스트 논리는 상기 BIST 명령의 주파수를 상기 저주파수에서 상기 고주파수로 증가시키기 위한 승산기를 포함하는 하이브리드 BIST 아키텍처.

### 청구항 3.

제1항에 있어서, 상기 독립형 BIST 논리 제어기는 복수의 내장 메모리 어레이 내의 복수의 고속 테스트 논리 구조를 가능하게 하는 하이브리드 BIST 아키텍처.

### 청구항 4.

제1항에 있어서, 상기 독립형 논리 제어기는 상이한 타입의 내장 메모리의 테스트를 가능하게 하는 하이브리드 BIST 아키텍처.

### 청구항 5.

제1항에 있어서, 상기 저주파수에서 동작하고, 상기 독립형 BIST 논리 제어기를 상기 고속 테스트 논리에 접속시키는 저속 제어 버스를 더 포함하는 하이브리드 BIST 아키텍처.

### 청구항 6.

제1항에 있어서, 상기 독립형 BIST 논리 제어기는 관독 전용 메모리(ROM), 스캔 가능 ROM(SROM), 및 매크로 명령 세트를 저장하기에 적합한 다른 타입의 메모리 중 적어도 하나를 포함하는 하이브리드 BIST 아키텍처.

### 청구항 7.

제1항에 있어서, 상기 독립형 BIST 논리 제어기는 분기 예측, 프로그램 카운터 관리, 유틸리티 카운터, 및 범용 BIST 동작 제어 및 진단 출력을 제공하기에 적합한 논리를 포함하는 하이브리드 BIST 아키텍처.

**청구항 8.**

집적 회로 내의 기능 회로에 내장된 메모리 어레이와 함께 사용하기 위한 BIST 아키텍처로서,  
 내장 메모리 어레이에 포함되는 복수의 내장 테스트 논리 블록;  
 상기 내장 테스트 논리 블록과 분리된 원격 BIST 논리 제어기; 및  
 상기 원격 BIST 논리 제어기를 상기 내장 테스트 논리 블록에 접속시키는 버스  
 를 포함하고,  
 상기 원격 BIST 논리 제어기는 상기 내장 테스트 논리 블록 모두에 공통인 기능을 수행하며,  
 상기 원격 BIST 논리 제어기 및 상기 버스는 상기 내장 테스트 논리 블록보다 낮은 주파수로 동작하는 BIST 아키텍처.

**청구항 9.**

제8항에 있어서, 상기 내장 테스트 논리 블록 각각은 상기 BIST 논리 제어기로부터 수신되는 BIST 명령의 주파수를 대응하는 내장 메모리 어레이의 보다 높은 주파수로 증가시키기 위한 승산기를 포함하는 BIST 아키텍처.

**청구항 10.**

제8항에 있어서, 상기 내장 테스트 논리 블록 각각은 대응하는 내장 메모리 어레이에 고유한 고유 논리 블록을 포함하는 BIST 아키텍처.

**청구항 11.**

제8항에 있어서, 상기 내장 테스트 논리 블록 각각은,  
 클럭 승산기;  
 리던던시 할당 논리;  
 데이터 어드레스 제어 생성 논리; 및  
 상기 원격 BIST 논리 제어기로부터 수신되는 매크로 명령 세트를 다수의 개별 마이크로 명령으로 디코딩하기에 적합한 디코딩 논리  
 를 포함하는 BIST 아키텍처.

**청구항 12.**

제8항에 있어서, 상기 원격 BIST 논리 제어기는 상이한 타입의 내장 메모리의 테스트를 가능하게 하는 BIST 아키텍처.

**청구항 13.**

제8항에 있어서, 상기 독립형 BIST 논리 제어기는 관독 전용 메모리(ROM), 스캔 가능 ROM(SROM), 및 매크로 명령 세트를 저장하기에 적합한 다른 타입의 메모리 중 적어도 하나를 포함하는 BIST 아키텍처.

#### 청구항 14.

제8항에 있어서, 상기 원격 BIST 논리 제어기는 분기 예측, 프로그램 카운터 관리, 유틸리티 카운트, 및 범용 BIST 동작 제어 및 진단 출력을 제공하기에 적합한 논리를 포함하는 BIST 아키텍처.

#### 청구항 15.

집적 회로 내의 기능 회로에 내장된 메모리 어레이와 함께 사용하기 위한 BIST 아키텍처로서,

내장 메모리 어레이에 포함되는 복수의 내장 테스트 논리 블록;

상기 내장 테스트 논리 블록과 분리된 원격 BIST 논리 제어기; 및

상기 원격 BIST 논리 제어기를 상기 내장 테스트 논리 블록에 접속시키는 버스

를 포함하고,

상기 원격 BIST 논리 제어기 및 상기 버스는 상기 내장 테스트 논리 블록보다 낮은 주파수로 동작하며,

상기 원격 BIST 논리 제어기는, 상기 내장 테스트 논리 블록 모두에 공통이고, 분기 예측, 프로그램 카운터 관리, 유틸리티 카운팅, 및 범용 BIST 동작 제어 및 진단 출력의 제공을 포함하는 기능을 수행하는 BIST 아키텍처.

#### 청구항 16.

제15항에 있어서, 상기 내장 테스트 논리 블록 각각은 상기 BIST 논리 제어기로부터 수신되는 BIST 명령의 주파수를 대응하는 내장 메모리 어레이의 보다 높은 주파수로 증가시키기 위한 승산기를 포함하는 BIST 아키텍처.

#### 청구항 17.

제15항에 있어서, 상기 내장 테스트 논리 블록 각각은 대응하는 내장 메모리 어레이에 고유한 고유 논리 블록을 포함하는 BIST 아키텍처.

#### 청구항 18.

제15항에 있어서, 상기 내장 테스트 논리 블록 각각은

클럭 승산기;

리던던시 할당 논리;

데이터 어드레스 제어 생성 논리; 및

상기 원격 BIST 논리 제어기로부터 수신되는 매크로 명령 세트를 다수의 개별 마이크로 명령으로 디코딩하기에 적합한 디코딩 논리

를 포함하는 BIST 아키텍처.

### 청구항 19.

제15항에 있어서, 상기 원격 BIST 논리 제어기는 상이한 타입의 내장 메모리의 테스트를 가능하게 하는 BIST 아키텍처.

### 청구항 20.

제15항에 있어서, 상기 독립형 BIST 논리 제어기는 판독 전용 메모리(ROM), 스캔 가능 ROM(SROM), 및 매크로 명령 세트를 저장하기에 적합한 다른 타입의 메모리 중 적어도 하나를 포함하는 BIST 아키텍처.

### 청구항 21.

제15항에 있어서, 상기 원격 BIST 논리 제어기는 분기 예측, 프로그램 카운터 관리, 유틸리티 카운터, 및 범용 BIST 동작 제어 및 진단 출력을 제공하기에 적합한 논리를 포함하는 BIST 아키텍처.

### 청구항 22.

BIST 아키텍처를 이용하여 집적 회로 내의 기능 회로에 내장된 메모리 어레이를 테스트하는 방법으로서,

내장 테스트 논리 블록과 분리된 원격 BIST 논리 제어기를 이용하여 각각의 내장 메모리 어레이에 포함된 상기 내장 테스트 논리 블록에 공통인 BIST 테스트 기능을 수행하는 단계;

상기 원격 BIST 논리 제어기로부터 BIST 명령을 상기 내장 테스트 논리 블록으로 전송하는 단계; 및

상기 내장 테스트 논리 블록을 이용하여, 상기 BIST 논리 제어기로부터 수신되는 BIST 명령의 주파수를 대응하는 내장 메모리 어레이의 보다 높은 주파수로 증가시키는 단계

를 포함하는 방법.

### 청구항 23.

제22항에 있어서, 상기 원격 BIST 논리 제어기로부터의 BIST 명령의 상기 내장 테스트 논리 블록으로의 전송은 상기 원격 BIST 논리 제어기를 상기 내장 테스트 논리 블록에 접속시키는 버스를 이용하며, 상기 버스는 상기 원격 BIST 논리 제어기와 동일한 주파수로 동작하는 방법.

### 청구항 24.

제22항에 있어서, 상기 내장 테스트 논리 블록 각각에서 대응하는 내장 메모리 어레이에 고유한 논리 블록을 통해 고유 테스트를 수행하는 단계를 더 포함하는 방법.

### 청구항 25.

제22항에 있어서, 상기 내장 테스트 논리 블록 각각은,

상기 원격 BIST 논리 제어기로부터 수신되는 BIST 명령을 승산하는 단계;

리턴던시 할당을 수행하는 단계;

데이터 어드레스 제어 및 생성을 수행하는 단계; 및

상기 원격 BIST 논리 제어기로부터 수신되는 매크로 명령 세트를 개별 명령으로 디코딩하는 단계를 수행하는 방법.

### 청구항 26.

제22항에 있어서, 상기 원격 BIST 논리 제어기에 의해 수행되는 전송 단계는 상이한 타입의 내장 메모리의 테스트를 가능하게 하는 방법.

### 청구항 27.

제22항에 있어서, 매크로 명령 세트를 상기 원격 BIST 논리 제어기 내의 판독 전용 메모리(ROM), 스캔 가능 ROM(SROM), 및 다른 타입의 메모리 중 하나에 저장하는 단계를 더 포함하는 방법.

### 청구항 28.

제22항에 있어서, 상기 원격 BIST 논리 제어기에 의해,

분기 예측;

프로그램 카운터 관리;

유틸리티 카운팅; 및

범용 BIST 동작 제어 및 진단 출력

을 제공하는 단계

를 더 포함하는 방법.

### 청구항 29.

BIST 아키텍처를 이용하여 집적 회로 내의 기능 회로에 내장된 메모리 어레이를 테스트하는 방법으로서,

제1 주파수로 동작하는 원격 BIST 논리 제어기를 이용하여 각각의 내장 메모리 어레이에 포함된 내장 테스트 논리 블록에 공통인 BIST 테스트 기능을 수행하는 단계-상기 원격 BIST 논리 제어기는 상기 내장 테스트 논리 블록과 분리됨-;

상기 원격 BIST 논리 제어기로부터 BIST 명령을 상기 제1 주파수로 상기 내장 테스트 논리 블록으로 전송하는 단계; 및

상기 내장 테스트 논리 블록을 이용하여, 상기 BIST 논리 제어기로부터 수신되는 BIST 명령의 주파수를 상기 제1 주파수보다 높은 제2 주파수로 증가시키는 단계

를 포함하는 방법.

**청구항 30.**

제29항에 있어서, 상기 원격 BIST 논리 제어기로부터의 BIST 명령의 상기 내장 테스트 논리 블록으로의 전송은 상기 원격 BIST 논리 제어기를 상기 내장 테스트 논리 블록에 접속시키는 버스를 이용하는 방법.

**청구항 31.**

제29항에 있어서, 상기 내장 테스트 논리 블록 각각에서 대응하는 내장 메모리 어레이에 고유한 논리 블록을 통해 고유 테스트를 수행하는 단계를 더 포함하는 방법.

**청구항 32.**

제29항에 있어서, 상기 내장 테스트 논리 블록 각각은,

상기 원격 BIST 논리 제어기로부터 수신되는 BIST 명령을 승산하는 단계;

리턴던시 할당을 수행하는 단계;

데이터 어드레스 제어 및 생성을 수행하는 단계; 및

상기 원격 BIST 논리 제어기로부터 수신되는 매크로 명령 세트를 개별 명령으로 디코딩하는 단계

를 수행하는 방법.

**청구항 33.**

제29항에 있어서, 상기 원격 BIST 논리 제어기에 의해 수행되는 전송 단계는 상이한 타입의 내장 메모리의 테스트를 가능하게 하는 방법.

**청구항 34.**

제29항에 있어서, 매크로 명령 세트를 상기 원격 BIST 논리 제어기 내의 관독 전용 메모리(ROM), 스캔 가능 ROM (SRAM), 및 다른 타입의 메모리 중 하나에 저장하는 단계를 더 포함하는 방법.

**청구항 35.**

제29항에 있어서, 상기 원격 BIST 논리 제어기에 의해,

분기 예측;

프로그램 카운터 관리;

유틸리티 카운팅; 및

범용 BIST 동작 제어 및 진단 출력

을 제공하는 단계

를 더 포함하는 방법.

## 명세서

### 기술분야

본 발명은 BIST 아키텍처에 관한 것으로서, 구체적으로는 BIST 기능을 원격 저속 실행 가능 명령 및 로컬 고속 실행 가능 명령으로 분할하는 내장 메모리 어레이의 아키텍처에 관한 것이다.

### 배경기술

내장 메모리의 크기가 계속 증가함에 따라, 전체 BIST 테스트 시간도 증가하고 있으며, 따라서 테스트 완성도를 유지하면서 테스트 시간을 줄일 수 있는 새로운 스킴 및 진단 솔루션이 매우 중요시된다.

현재 및 미래의 설계에 있어서, 메모리 어레이들을 다이 전체에 분산시켜 이들이 연관되는 기능 유닛들 근처에 이들을 배치할 필요가 있다. BIST를 각각의 메모리 어레이와 연관시키는 것은 상당한 양의 칩 면적을 소비하게 된다. 진술한 경향에 비추어, 많은 추가 테스트 시간 없이 모든 메모리를 테스트할 수 있는 단일 BIST를 제공하는 아키텍처가 이로운 것이다.

내장 메모리의 성능 및 복잡성이 계속 증가함에 따라, 응용 속도에서의 BIST 테스트도 더 중요해지고 있으며, 따라서 BIST 유연성을 계속 유지하고 설계 스케줄 및 칩 면적의 영향을 최소화하면서 향상된 BIST 성능을 유지할 수 있는 새로운 스킴이 매우 중요시된다. 다수의 상이한 성능 관점에서 다양한 범위의 메모리 타입 및 크기를 테스트할 수 있는 단일 BIST를 허용하는 아키텍처가 이롭다.

## 발명의 상세한 설명

빌트-인 셀프 테스트(BIST) 기능을 원격 저속 실행 가능 명령 및 로컬 고속 실행 가능 명령으로 분할하는 내장 메모리 어레이를 위한 하이브리드 BIST 아키텍처가 개시되어 있다. 독립형 BIST 논리 제어기는 저주파수로 동작하며, BIST 명령 세트를 이용하여 복수의 내장 메모리 어레이와 통신한다. 고속 테스트 논리의 블록은 테스트중인 각각의 내장 메모리 어레이에 포함되며, 독립형 BIST 논리 제어기로부터 수신된 BIST 명령을 높은 주파수로 로컬하게 처리한다. 고속 테스트 논리는 BIST 명령의 주파수를 저주파수에서 고주파수로 증가시키기 위한 승산기를 포함한다. 독립형 BIST 논리 제어기는 복수의 내장 메모리 어레이 내의 복수의 고속 테스트 논리 구조를 가능하게 한다.

따라서, 본 발명은 저주파수로 동작하는 원격 BIST 논리 제어기를 이용하여 각각의 내장 메모리 어레이에 포함된 내장 테스트 논리 블록에 공통인 BIST 테스트 기능을 수행한다. 본 발명은 원격 BIST 논리 제어기로부터 BIST 명령을 제1 주파수로 내장 테스트 논리 블록으로 전송하며, 내장 테스트 논리 블록을 이용하여 BIST 논리 제어기로부터 수신된 BIST 명령의 주파수를 증가시킨다. 본 발명은 내장 테스트 논리 블록을 통해 고유 테스트(대응하는 내장 메모리 어레이에 고유함)을 수행한다. 구체적으로, 내장 테스트 논리 블록 각각은 매크로 명령 세트를 다수의 개별 마이크로 명령으로 디코딩함으로써 원격 BIST 논리 제어기로부터 수신된 BIST 명령의 승산을 수행하고 리던던시 할당을 수행하고 디코딩된 다수의 개별 마이크로 명령에 기초하여 데이터/어드레스/제어 생성을 수행하는 특수 논리를 포함한다.

원격 BIST 논리 제어기는 상이한 타입의 내장 메모리의 테스트를 가능하게 한다. 매크로 명령 세트는 원격 BIST 논리 제어기 내의 관독 전용 메모리(ROM)에 저장된다. 원격 BIST 논리 제어기는 분기 예측, 프로그램 카운터 관리, 유틸리티 카운팅, 및 범용 BIST 동작 제어 및 진단 출력을 제공한다.

즉, 본 발명은 집적 회로 내의 기능 회로에 내장된 메모리 어레이와 함께 사용하기 위한 빌트-인 셀프 테스트(BIST) 아키텍처를 포함한다. 복수의 내장 테스트 논리 블록이 내장 메모리 어레이 내에 포함되며, 원격 BIST 논리 제어기가 내장 테스트 논리 블록과 별도로 제공된다. 버스가 원격 BIST 논리 제어기를 내장 테스트 논리 블록에 접속시킨다. 원격 BIST 논리 제어기 및 버스는 내장 테스트 논리 블록보다 낮은 주파수로 동작한다.

원격 BIST 논리 제어기는, 내장 테스트 논리 블록 모두에 공통이고 분기 예측, 프로그램 카운터 관리, 유틸리티 카운팅, 및 범용 BIST 동작 제어 및 진단 출력의 제공을 포함하는 기능을 수행한다. 따라서, 원격 BIST 논리 제어기는 분기 예측, 프로그램 카운터 관리, 유틸리티 카운팅, 및 범용 BIST 동작 제어 및 진단 출력을 제공하기에 적합한 논리를 포함한다. 이와 달리, 내장 테스트 논리 블록 각각은 BIST 논리 제어기로부터 수신되는 BIST 명령의 주파수를, 내장 메모리 어레이가 동작하는 속도에 대응하는 보다 높은 주파수로 증가시키기 위한 논리를 포함한다. 또한, 내장 테스트 논리 블록 각각은 대응하는 내장 메모리 어레이에 고유한 고유 테스트 논리 블록을 포함한다. 구체적으로, 내장 테스트 논리 블록 각각은 클럭 승산기, 리턴던시 할당 논리, 데이터/어드레스/제어 생성 논리, 및 원격 BIST 논리 제어기로부터 수신되는 매크로 명령 세트를 다수의 개별 마이크로 명령으로 디코딩하기에 적합한 디코딩 논리를 포함한다.

원격 BIST 아키텍처는 하나의 BIST가 저주파수로 실행되는 한 세트의 복잡한 매크로 명령들을 통해 일련의 내장 메모리와 상호 작용하는 것을 허용한다. 각각의 내장 메모리 매크로는 내장 메모리 어레이를 고속으로 정확히 자극하기 위한 고속 마이크로 명령을 생성하는 고속 테스트 논리의 로컬 블록을 갖는다. 이 아키텍처는 최소 폭의 간단한 저속 버스가 원격 BIST와 내장 메모리 매크로 사이의 통신을 허용하는 것을 허용한다. 또한, 이 아키텍처는 다수의 내장 메모리 매크로의 유연한 고속 테스트를 동시에 제공한다.

본 발명의 이들 및 다른 특징 및 목적은 아래의 설명 및 첨부 도면과 함께 고려될 때 보다 잘 이해될 것이다. 그러나, 아래의 설명은 본 발명의 바람직한 실시예 및 다양한 특정 상세를 나타내고 있지만 예시적인 것으로 주어질 뿐 제한적이지 않음을 이해해야 한다. 본 발명의 사상으로부터 벗어나지 않고 본 발명의 범위 내에서 많은 변경 및 변형이 이루어질 수 있으며, 본 발명은 이러한 모든 변형을 포함한다.

### 실시예

본 발명 및 본 발명의 다양한 특징 및 이로운 상세는 첨부된 도면에 도시되고 아래의 설명에 상술된 비제한적인 실시예들을 참조하여 보다 완전하게 설명된다. 도면들에 도시된 특징들은 축척으로 도시된 것만은 아니라는 것에 유의해야 한다. 공지된 컴포넌트 및 처리 기술에 대한 설명은 본 발명을 불필요하게 모호하게 하지 않기 위해 생략되어 있다. 본 명세서에 사용되는 예들은 단지 본 발명이 실시될 수 있는 방법의 이해를 용이하게 하고 또한 이 분야의 전문가가 본 발명을 실시하는 것을 가능하게 하기 위한 것이다. 따라서, 이들 예는 본 발명의 범위를 제한하는 것으로 해석되어서는 안 된다.

후술하는 바와 같이, 본 발명은 복수의 내장 메모리를 테스트하기 위한 원격 빌트-인 셀프 테스트 장치를 제공하는데, 이것에 의해 BIST는 저주파수로 동작하고, 후에 로컬 고속 마이크로 명령으로 변환되는 매크로 명령 세트를 통해 다수의 DRAM과 통신한다. 각각의 DRAM에 내장된 로컬 블록은 클럭 승산기, 데이터/어드레스/제어 생성 회로, 및 원시(고속) DRAM 주파수로 동작하는 리턴던시 할당 회로를 포함하는데, 이것에 의해 저주파 매크로 명령들이 더 디코딩되고 승산되어 DRAM 매크로를 직접 자극하는 데 이용된다.

따라서, 본 발명은 원격 BIST 엔진이 저속 제어 버스를 통해 다수의 잠재적으로 상이한 타입의 내장 메모리(DRAM, SRAM, CAM 등)의 고속 테스트를 가능하게 하는 아키텍처를 제공한다. 예를 들어, 도 1은 원격 BIST 아키텍처의 비제한적인 특정 구현을 나타낸다. 이 분야의 전문가가 도 1이 본 발명을 설명하는 일례일 뿐이며 본 발명은 임의의 많은 다른 유사한 실시예에서 구현될 수 있다는 것을 이해할 것이다. 따라서, 본 발명은 도 1에 도시된 예로 한정되지 않는다.

도 1에서, 단일 원격 BIST 마스터 엔진(110)이 버스(120)를 통해 많은 내장 테스트 논리 블록(116)과 통신하고 있다. DRAM0-DRAMn(111-113)과 같은 내장 메모리 매크로 각각은 내장 테스트 논리 블록(116) 및 클럭 승산기(118)(도 1에 도시된 바와 같이 테스트 논리 블록(116)과 분리되거나, 테스트 분리 블록(116)과 통합되거나, 물리적으로 DRAM 매크로들(111-113)로부터 떨어져 이들 사이에 공유될 수 있다)를 갖는다. 항목 122는 BIST 논리 제어기(110) 및 내장 테스트 논리 블록(116){및/또는 승산기(118)}에 제공되는 시스템 클럭을 나타낸다.

원격 BIST 엔진(110)은 느린 주파수(각각의 DRAM 매크로(111-113)에 포함된 로컬 명령 디코드 논리/RAL 논리(116)보다 느린  $N_x$ )로 실행된다. 도 1에 도시된 예에서  $N$ 은 4이다. BIST 논리 제어기(110)는 BIST 테스트 패턴 저장용을 위한 ROM/SROM(124)을 포함한다(SROM에는 오프-칩 테스트 장치 및/또는 테스트로부터의 새로운 테스트 패턴이 다시 로딩될 수 있다). 다른 메모리 타입이 패턴 저장용으로 이용될 수 있다. BIST 논리 제어기(110)는 또한 분기 예측/프로그램 카운터 관리, 유틸리티 카운팅에 필요한 논리, 및 범용 BIST 동작 제어 및 진단 출력을 처리하기 위한 논리를 포함한다. 분기 예측/프로그램 카운터 관리에 필요한 논리는 BIST 테스트 패턴이 어떻게 실행되는지를 제어한다. 이 논리는 실제로, BIST 테스트 패턴 명령의 일부의 디코드 및 모든 관련 분기 조건(일반적으로 유틸리티 카운터 상태 및 다른 테스트 논리 및/또는 테스트로부터의 입력과 관련된)의 검사에 기초하여 ROM/SROM(124) 어드레스 포인터를 조정한다. 유틸리티 카운팅에

사용되는 논리는 프로그래밍된 카운트가 얻어질 때까지 BIST 논리 제어기(110)가 명령을 여러 번 실행하는 것을 허용하는 다수의 프로그래머블 카운터로 구성된다. 범용 BIST 동작 제어 및 진단 출력에 사용되는 논리는 BIST 논리 제어기(110)가 테스트 및 다른 온-칩 테스트 매크로와 상호 작용하는 것을 허용한다. 이 논리는 실행 동안 BIST 논리 제어기(110)를 인에이블/디스에이블 또는 중지하고, 비트 실패 맵핑을 제어하고, 현재의 BIST 상태의 관측을 허용하고, SRAM(124) BIST 패턴 명령을 리프로그래밍하고, 내장 테스트 논리(116) 블록(및/또는 클럭 승산기(118) 및 DRAM 매크로(111-113)) 내의 테스트 모드(또는 다른 설정)를 변경할 수 있다. 이 논리는 ROM/SROM(124)와 함께 모든 DRAM 매크로 테스트에 공통인 부분이다. BIST 테스트 엔진(110)을 구성하는 논리의 약 75%가 이 원격부에 포함된다.

클럭 승산기 회로(118)는 로컬 명령 디코드 논리가 필요에 따라  $x$ 의 배수 주파수, 즉 DRAM(111-113)의 속도로 실행되는 것을 허용한다. 로컬 디코드 논리(116)는 리던던시 할당 논리, 데이터/어드레스/제어 생성 논리, 및 제어 디코드에 대한 설정(예를 들어, 원격 BIST 매크로 명령을, 로컬 어드레스 카운터 및 데이터 생성기를 제어하고 어레이 제어를 신속히 생성하는  $N$ 개의 개별 마이크로 명령으로 디코드하기 위한 설정)을 포함한다.

로컬 디코드 논리(116)의 일부는 로컬 저장된 테스트 모드/설정을 이용하여 원격 BIST 논리 제어기(110)로부터의 단일 매크로 명령을 적절히 디코드 및 승산하고,  $N$ 개의 개별 마이크로 명령을 생성한다. 단일 마이크로 명령은 로컬 저장된 설정에 의해 수정되는 방식으로 디코드되며, 따라서 일반적으로 설계된 로컬 디코드 논리(116)는 특정 내장 메모리에 맞춰진 마이크로 명령을 생성할 수 있다. 이 로컬 디코드 논리(116) 부분의 마이크로 명령 출력은 로컬 디코드 논리(116)의 데이터/어드레스/제어 생성 부분을 제어한다. 마이크로 명령은 어드레스 카운터 논리가 어드레스를 생성하기 위해 증가/감소하고, 다양한 데이터 타입을 생성하는 데이터 패턴 논리를 수정하고 내장 어레이에 대한 제어(판독, 기입, 리프레시, 매치 등)를 생성하는 내장 매크로 제어 논리를 갱신하는 시퀀스를 결정한다. 이어서, 생성되는 어드레스/데이터/제어는 테스트 중인 내장 어레이에 자극으로서 인가된다. 로컬 디코드 논리(116)의 리던던시 할당 논리부는 예측 데이터와, 현재 내장 메모리 DRAM(111-113)로부터 판독되고 있는 데이터를 비교한다. 로컬 디코드 논리(116)의 데이터/어드레스/제어 생성 부분으로부터의 자극이 데이터와 예측 데이터 간의 잘못된 비교 또는 실패로 결말이 나는 경우, 리던던시 할당 논리는 실패를 보상하기 위하여 리던던트 요소를 할당한다. 이러한 로컬 디코드 논리(116)는 로컬 설정을 통해 소프트웨어 방식으로 또는 물리적 변경을 통해 하드웨어 방식으로 수정될 수 있다는 점에 유의해야 한다. 이러한 변경은 로컬 디코드 논리(116)가 테스트 중인 메모리의 크기 및 타입에 적응하는 것을 허용하는데, 즉 동일한 원격 BIST 논리 제어기(110)가 특정 내장 메모리 타입(DRAM, CAM, SRAM 등), 크기 또는 주파수를 적절히 자극하도록 수정된 다수의 로컬 디코드 논리 블록(116)을 제어할 수 있다.

테스팅 논리(116)의 로컬 부분(BIST 아키텍처와 무관한 다양한 방식으로 구현될 수 있는 리던던시 할당 논리는 카운트하지 않음)은 테스트 논리의 나머지 25%를 포함한다. 따라서, 본 발명은 내장 메모리 각각에 포함되는 BIST 회로의 양을 크게 줄이며, 따라서 공간을 절약하며, BIST 속도를 크게 증가시킨다. 주파수  $x$ 의 한 BIST 매크로 명령은 주파수  $Nx$ 의  $N$ 개의 어레이 명령 또는 주파수  $x$ 의 1개의 테스트 모드 세트 명령을 생성한다. 따라서, 본 발명은 고주파수의 다수의 어드레스에 다수의 연산을 적용하는 저주파수의 초기 명령을 생성하거나, 테스트 모드를 제어하거나 다른 설정을 변경하는 단일 명령을 간단히 전송할 수 있다.

본 발명은, BIST가 하나의 명령을 고속으로 내부적으로 생성하고 디코드한 후 디코드된 단일 명령에 따라 DRAM을 테스트하는 통상의 것과 근본적으로 다르다. 본 발명은, 공통 부분이 저주파수로 원격으로 처리되고, 각각의 매크로에 고유한 부분이 DRAM의 높은 속도로 처리되며, 하나의 저속 명령이 다수의 고속 DRAM 테스트를 생성하는 기능들의 분리를 허용한다. 원격 BIST 논리 제어기(110)와 내장 테스트 논리(116) 블록 간의 모든 접속은 저속으로 동작하는 반면, 통상의 BIST DRAM 접속은 원하는 테스트 속도로 실행되도록 강제된다.

도 2는 본 발명을 흐름도의 형태로 나타내고 있지만, 처리 단계들은 도 2에 도시된 순서로만 제한되는 것은 아니다. 그 대신, 이 분야의 전문가가 이해하듯이, 도 2에 도시된 처리는 재정렬될 수 있고, 그리고/또는 단계들의 일부는 동시에 그리고/또는 연속적으로 수행될 수 있다. 구체적으로, 본 발명은 저주파수로 동작하는 원격 BIST 논리 제어기를 이용하여 각각의 내장 메모리 어레이에 포함된 내장 테스트 논리 블록에 공통인 BIST 테스트 기능을 수행한다(200). 본 발명은 원격 BIST 논리 제어기로부터 BIST 명령을 제1 주파수로 내장 테스트 논리 블록으로 전송하며(202), 내장 테스트 논리 블록을 이용하여 BIST 논리 제어기로부터 수신된 BIST 명령의 주파수를 증가시킨다(204). 본 발명은 내장 테스트 논리의 블록을 통해 고유 테스트(대응하는 내장 메모리 어레이에 고유함)을 수행한다(206). 구체적으로, 내장 테스트 논리 블록 각각은 매크로 명령 세트를 다수의 개별 마이크로 명령으로 디코드함으로써 원격 BIST 논리 제어기로부터 수신된 BIST 명령의 승산을 수행하고 리던던시 할당을 수행하고 디코드된 다수의 개별 마이크로 명령에 기초하여 데이터/어드레스/제어 생성을 수행하는 특수 논리를 포함한다(208).

원격 BIST 논리 제어기(110)는 상이한 타입의 내장 메모리(111-113)의 테스트를 가능하게 한다. 매크로 명령 세트는 원격 BIST 논리 제어기(110) 내의 ROM(124)에 저장된다. 원격 BIST 논리 제어기(110)는 분기 예측, 프로그램 카운터 관리, 유틸리티 카운팅, 및 범용 BIST 동작 제어 및 진단 출력을 제공한다.

즉, 본 발명은 집적 회로(도 1) 내의 기능 회로에 내장된 메모리 어레이(111-113)와 함께 사용하기 위한 BIST 아키텍처(예를 들어 도 1)를 포함한다. 복수의 내장 테스트 논리(116) 블록이 내장 메모리 어레이 내에 포함되며, 원격 BIST 논리 제어기(110)가 내장 테스트 논리(116) 블록과 별도로 제공된다. 버스(120)가 원격 BIST 논리 제어기(110)를 내장 테스트 논리(116) 블록에 접속시킨다. 원격 BIST 논리 제어기(110) 및 버스(120)는 내장 테스트 논리(116) 블록보다 낮은 주파수로 동작한다.

원격 BIST 논리 제어기(110)는, 내장 테스트 논리(116) 블록 모두에 공통이고 분기 예측, 프로그램 카운터 관리, 유틸리티 카운팅 및 범용 BIST 동작 제어 및 진단 출력의 제공을 포함하는 기능을 수행한다. 따라서, 원격 BIST 논리 제어기(110)는 분기 예측, 프로그램 카운터 관리, 유틸리티 카운팅, 및 범용 BIST 동작 제어 및 진단 출력을 제공하기에 적합한 논리를 포함한다. 이와 달리, 내장 테스트 논리(116) 블록 각각은 BIST 논리 제어기(110)로부터 수신되는 BIST 명령의 주파수를 대응하는 내장 메모리 어레이(111-113)의 보다 높은 주파수로 증가시키기 위한 승산기(118)를 포함한다. 또한, 내장 테스트 논리(116) 블록 각각은 대응하는 내장 메모리 어레이에 고유한 고유 테스트 논리 블록을 포함한다. 구체적으로, 내장 테스트 논리(116) 블록 각각은 클럭 승산기, 리던던시 할당 논리, 데이터/어드레스/제어 생성 논리, 및 원격 BIST 논리 제어기(110)로부터 수신되는 매크로 명령 세트를 다수의 개별 마이크로 명령으로 디코딩하기에 적합한 디코딩 논리를 포함한다.

전술한 바와 같이, 원격 BIST 아키텍처는 하나의 BIST가 저주파수로 실행되는 한 세트의 복잡한 매크로 명령들을 통해 일련의 DRAM과 상호 작용하는 것을 허용한다. 각각의 DRAM(111-113)은 고속으로 DRAM 어레이를 정확히 자극하기 위한 고속 마이크로 명령을 생성하는 고속 테스트 논리(116)의 로컬 블록을 갖는다. 이 아키텍처는 최소 폭(예를 들어, 이 특정 구현에서는 48 비트 이하)의 간단한 저속 버스가 원격 BIST와 DRAM 매크로(111-113) 간의 통신을 허용하는 것을 허용한다. 또한, 이 아키텍처는 다수의 DRAM 매크로(111-113)의 유연한 고속 테스트를 동시에 제공한다.

가장 중요하게도, 이 단일 원격 BIST 블록(110)은 하드웨어 또는 소프트웨어를 통해 로컬 디코드 논리(116)의 맞춤화를 통해 다양한 메모리 타입/크기/주파수를 테스트할 수 있다. 또한, 이 단일 원격 BIST 블록은 단일 매크로의 테스트에 필요한 BIST 면적의 가장 큰 부분을 구성한다. 따라서, 이 아키텍처는 칩 면적에 대한 테스트 논리의 영향을 최소화하면서 또한 원격 BIST 블록(110)과 테스트중인 각각의 매크로 간의 통신 버스 오버헤드(속도 및 버스 폭 양자에서)를 최소화한다. 이 아키텍처는 또한, 테스트중인 메모리의 동작 주파수로 생성된 명령을 승산하는 로컬 논리 블록(116)을 구비한 완전히 프로그래밍이 가능한 BIST 엔진에 의해 제공되는 사용의 편리함을 결합함으로써 풀 테스트 유연성 앳-스피드(at-speed)를 허용한다.

따라서, 전술한 바와 같이, 원격 BIST 블록(110)은 범용 메모리 로드/언로드 명령을 생성하며, 로컬 BIST 논리(116)는 이들 명령을 특정 메모리 아키텍처(SRAM/DRAM/CAM)로 맵핑한다. 원격 BIST는 로컬 BIST와 물리적으로 분리되어 있으며, 많은 상이한 메모리 타입/크기/주파수 등의 테스트를 병렬로 가능하게 하기 위하여 많은 상이한 맞춤형 로컬 BIST와 동작하도록 설계된다. 로컬 BIST의 승산 계수는 소프트웨어에 의해 조정될 수 있다. 아키텍처는 원격 BIST의 동작에 의해 완전히 제어되는데, 이는 로컬 BIST가 원격 BIST에 의해 제공되는 명령을 간단히 디코딩하고 승산하기 때문이다. 또한, 본 발명의 아키텍처는 다수의 로컬 BIST 블록이 일반적으로 제공된 원격 BIST 명령의 이들의 고유하게 수정된 디코딩 프로세스 및 승산을 수행할 때 병렬로 실행되는 것을 허용한다.

본 발명은 바람직한 실시예들과 관련하여 설명되었지만, 이 분야의 전문가들은 본 발명이 첨부된 청구범위의 사상 및 범위 내의 변형과 함께 실시될 수 있다는 것을 이해할 것이다.

### 도면의 간단한 설명

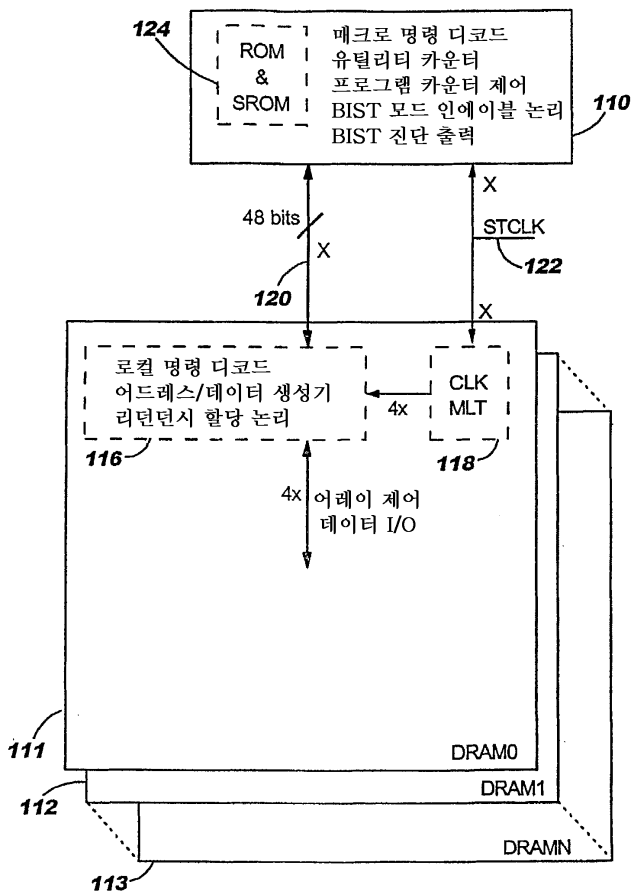
본 발명은 이하의 도면을 참조한 아래의 상세한 설명으로부터 보다 잘 이해될 것이다:

도 1은 본 발명의 일 실시예의 개략도이다.

도 2는 본 발명의 바람직한 방법을 나타내는 흐름도이다.

도면

도면1



도면2

