

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4934403号  
(P4934403)

(45) 発行日 平成24年5月16日(2012.5.16)

(24) 登録日 平成24年2月24日(2012.2.24)

(51) Int.Cl. F I  
**HO2M 3/155 (2006.01)** HO2M 3/155 H  
 HO2M 3/155 C

請求項の数 7 (全 15 頁)

(21) 出願番号	特願2006-297119 (P2006-297119)	(73) 特許権者	000116024
(22) 出願日	平成18年10月31日(2006.10.31)		ローム株式会社
(65) 公開番号	特開2008-118734 (P2008-118734A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成20年5月22日(2008.5.22)	(74) 代理人	100083806
審査請求日	平成21年10月20日(2009.10.20)		弁理士 三好 秀和
		(74) 代理人	100133514
			弁理士 寺山 啓進
		(74) 代理人	100122910
			弁理士 三好 広之
		(74) 代理人	100117064
			弁理士 伊藤 市太郎
		(72) 発明者	荒木 享一郎
			京都府京都市右京区西院溝崎町2 1 番地
			ローム株式会社内

最終頁に続く

(54) 【発明の名称】 電源制御回路

(57) 【特許請求の範囲】

【請求項 1】

DC - DCコンバータ回路の構成要素であるCMOSスイッチを駆動するスイッチ駆動回路に対して制御信号を送信する制御回路であって、

前記CMOSスイッチは、直流電圧源に接続されているPMOSトランジスタと、グラウンドに接続されているNMOSトランジスタとによって構成されており、

通常モードにおいて、前記DC - DCコンバータ回路の前記PMOSトランジスタと前記NMOSトランジスタの接続点である端子を流れる出力電流が上限電流以上となった場合に、第1のカレントリミッタモードに遷移し、

前記第1のカレントリミッタモードにおいて、前記出力電流が前記上限電流を下回った場合に、前記通常モードに遷移し、

前記第1のカレントリミッタモードにおいて、前記通常モードに遷移することなく第1の所定期間が経過した場合に、第2のカレントリミッタモードに遷移し、

前記第2のカレントリミッタモードにおいて、第2の所定期間が経過した場合に、前記通常モードに遷移し、

前記第1のカレントリミッタモードに遷移した場合、前記スイッチ駆動回路に対して、前記PMOSトランジスタを断続的にOFF状態にするように指示する制御信号を送信し、

前記第2のカレントリミッタモードに遷移した場合、前記スイッチ駆動回路に対して、前記PMOSトランジスタを連続的にOFF状態にするように指示する制御信号を送信す

10

20

ることを特徴とする制御回路。

【請求項 2】

前記第 1 のカレントリミッタモードにおいて、前記 DC - DC コンバータ回路の前記 PMOS トランジスタと前記 NMOS トランジスタの接続点である端子から出力される出力電圧が所定の傾き以上で上昇した場合に、オーバーシュートモードに遷移し、

前記オーバーシュートモードに遷移した場合、前記スイッチ駆動回路に対して、前記 PMOS トランジスタ及び前記 NMOS トランジスタについて ON 状態と OFF 状態とを交互に切り替えるように指示する制御信号を送信することを特徴とする請求項 1 に記載の制御回路。

【請求項 3】

DC - DC コンバータ回路の構成要素である CMOS スイッチを駆動するスイッチ駆動回路に対して制御信号を送信する制御回路であって、

前記 CMOS スイッチは、直流電圧源に接続されている PMOS トランジスタと、グラウンドに接続されている NMOS トランジスタとによって構成されており、

通常モードにおいて、前記 NMOS トランジスタが ON 状態である際に、前記 DC - DC コンバータ回路の前記 PMOS トランジスタと前記 NMOS トランジスタの接続点である端子から出力される出力電圧が基準電圧以上となった場合に、第 1 のバーストモードに遷移し、

前記第 1 のバーストモードにおいて、前記通常モードに遷移することなく第 3 の所定期間が経過した場合に、第 2 のバーストモードに遷移し、

前記第 1 のバーストモード及び前記第 2 のバーストモードにおいて、前記出力電圧が入力されるヒステリシスコンパレータの出力の遷移を検知した場合に、通常モードに遷移し、

前記第 1 のバーストモードに遷移した場合、前記スイッチ駆動回路に対して、前記 PMOS トランジスタ及び前記 NMOS トランジスタを連続的に OFF 状態にするように指示する制御信号を送信し、

前記第 2 のバーストモードに遷移した場合、前記スイッチ駆動回路に対して、前記 PMOS トランジスタ及び前記 NMOS トランジスタを連続的に OFF 状態にすると共に、前記ヒステリシスコンパレータにおけるヒステリシス幅を狭めるように指示する制御信号を送信することを特徴とする制御回路。

【請求項 4】

前記第 1 のバーストモードにおいて、前記 DC - DC コンバータ回路の前記 PMOS トランジスタと前記 NMOS トランジスタの接続点である端子から出力される出力電圧が所定の傾き以上で上昇した場合に、オーバーシュートモードに遷移し、

前記オーバーシュートモードに遷移した場合、前記スイッチ駆動回路に対して、前記 PMOS トランジスタ及び前記 NMOS トランジスタについて ON 状態と OFF 状態とを交互に切り替えるように指示する制御信号を送信することを特徴とする請求項 3 に記載の制御回路。

【請求項 5】

DC - DC コンバータ回路の構成要素である CMOS スイッチを駆動するスイッチ駆動回路に対して制御信号を送信する制御回路であって、

前記 CMOS スイッチは、直流電圧源に接続されている PMOS トランジスタと、グラウンドに接続されている NMOS トランジスタとによって構成されており、

通常モードにおいて、前記 DC - DC コンバータ回路の前記 PMOS トランジスタと前記 NMOS トランジスタの接続点である端子から出力される出力電圧が所定の傾き以上で上昇した場合に、オーバーシュートモードに遷移し、

前記オーバーシュートモードにおいて、第 4 の所定期間が経過した後に、前記 DC - DC コンバータ回路の前記 PMOS トランジスタと前記 NMOS トランジスタの接続点である端子を流れる出力電流が上限電流以上となった場合に、第 1 のカレントリミッタモードに遷移し、

10

20

30

40

50

前記オーバーシュートモードにおいて、前記第4の所定期間が経過した後に、前記NMOSトランジスタがON状態である際に、前記DC-DCコンバータ回路の前記PMOSトランジスタと前記NMOSトランジスタの接続点である端子から出力される出力電圧が基準電圧以上となった場合に、第1のバーストモードに遷移し、

前記オーバーシュートモードにおいて、前記第4の所定期間が経過した後に、第1のカレントリミットモード又は第1のバーストモードに遷移しない場合に、前記通常モードに遷移し、

前記オーバーシュートモードに遷移した場合、前記スイッチ駆動回路に対して、前記PMOSトランジスタ及び前記NMOSトランジスタについてON状態とOFF状態とを交互に切り替えるように指示する制御信号を送信し、

前記第1のカレントリミットモードに遷移した場合、前記スイッチ駆動回路に対して、前記PMOSトランジスタを断続的にOFF状態にするように指示する制御信号を送信し、

前記第1のバーストモードに遷移した場合、前記スイッチ駆動回路に対して、前記PMOSトランジスタ及び前記NMOSトランジスタを連続的にOFF状態にするように指示する制御信号を送信することを特徴とする制御回路。

【請求項6】

前記第1のカレントリミットモードにおいて、前記DC-DCコンバータ回路の前記PMOSトランジスタと前記NMOSトランジスタの接続点である端子から出力される出力電圧が所定の傾き以上で上昇した場合に、前記オーバーシュートモードに遷移することを特徴とする請求項5に記載の制御回路。

【請求項7】

前記第1のバーストモードにおいて、前記DC-DCコンバータ回路の前記PMOSトランジスタと前記NMOSトランジスタの接続点である端子から出力される出力電圧が所定の傾き以上で上昇した場合に、前記オーバーシュートモードに遷移することを特徴とする請求項5又は6に記載の制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DC-DCコンバータ回路の構成要素であるCMOSスイッチを駆動するスイッチ駆動回路に対して制御信号を送信する制御回路に関する。

【背景技術】

【0002】

従来のDC-DCコンバータ回路では、当該DC-DCコンバータ回路の出力端子に接続される負荷が、過電圧や過電流によって破壊されることを防止するために、保護回路が設けられている。

【0003】

図8に、かかる従来のDC-DCコンバータ回路の一例を示す。図8に示すように、従来のDC-DCコンバータ回路には、出力端子Oに接続される負荷20が過電圧や過電流によって破壊されることを防止するために、スイッチ駆動回路12及びCMOSスイッチ13を具備する保護回路が設けられている。

【特許文献1】特開平11-289754号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、従来のDC-DCコンバータ回路では、上述の保護回路の誤動作を、CRフィルタ30乃至32を用いて防止するように構成されているが、かかる構成では、スイッチングノイズを十分に除去できない場合があるという問題点があった。

【0005】

そこで、本発明は、以上の点に鑑みてなされたもので、DC-DCコンバータ回路にお

10

20

30

40

50

いて、外部からの制御無しに、保護回路の誤動作を防止すると共に、低消費動作を実現することが可能な制御回路を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の第1の特徴は、DC-DCコンバータ回路の構成要素であるCMOSスイッチを駆動するスイッチ駆動回路に対して制御信号を送信する制御回路であって、前記CMOSスイッチは、直流電圧源に接続されているPMOSトランジスタと、グランドに接続されているNMOSトランジスタとによって構成されており、通常モードにおいて、前記DC-DCコンバータ回路の前記PMOSトランジスタと前記NMOSトランジスタの接続点である端子を流れる出力電流が上限電流以上となった場合に、第1のカレントリミッタモードに遷移し、前記第1のカレントリミッタモードにおいて、前記出力電流が前記上限電流を下回った場合に、前記通常モードに遷移し、前記第1のカレントリミッタモードにおいて、前記通常モードに遷移することなく第1の所定期間が経過した場合に、第2のカレントリミッタモードに遷移し、前記第2のカレントリミッタモードにおいて、第2の所定期間が経過した場合に、前記通常モードに遷移し、前記第1のカレントリミッタモードに遷移した場合、前記スイッチ駆動回路に対して、前記PMOSトランジスタを断続的にOFF状態にするように指示する制御信号を送信し、前記第2のカレントリミッタモードに遷移した場合、前記スイッチ駆動回路に対して、前記PMOSトランジスタを連続的にOFF状態にするように指示する制御信号を送信することを要旨とする。

10

【0007】

本発明の第1の特徴において、前記第1のカレントリミッタモードにおいて、前記DC-DCコンバータ回路の前記PMOSトランジスタと前記NMOSトランジスタの接続点である端子から出力される出力電圧が所定の傾き以上で上昇した場合に、オーバーシュートモードに遷移し、前記オーバーシュートモードに遷移した場合、前記スイッチ駆動回路に対して、前記PMOSトランジスタ及び前記NMOSトランジスタについてON状態とOFF状態とを交互に切り替えるように指示する制御信号を送信してもよい。

20

【0008】

本発明の第2の特徴は、DC-DCコンバータ回路の構成要素であるCMOSスイッチを駆動するスイッチ駆動回路に対して制御信号を送信する制御回路であって、前記CMOSスイッチは、直流電圧源に接続されているPMOSトランジスタと、グランドに接続されているNMOSトランジスタとによって構成されており、通常モードにおいて、前記NMOSトランジスタがON状態である際に、前記DC-DCコンバータ回路の前記PMOSトランジスタと前記NMOSトランジスタの接続点である端子から出力される出力電圧が基準電圧以上となった場合に、第1のバーストモードに遷移し、前記第1のバーストモードにおいて、前記通常モードに遷移することなく第3の所定期間が経過した場合に、第2のバーストモードに遷移し、前記第1のバーストモード及び前記第2のバーストモードにおいて、前記出力電圧が入力されるヒステリシスコンパレータの出力の遷移を検知した場合に、通常モードに遷移し、前記第1のバーストモードに遷移した場合、前記スイッチ駆動回路に対して、前記PMOSトランジスタ及び前記NMOSトランジスタを連続的にOFF状態にするように指示する制御信号を送信し、前記第2のバーストモードに遷移した場合、前記スイッチ駆動回路に対して、前記PMOSトランジスタ及び前記NMOSトランジスタを連続的にOFF状態にすると共に、前記ヒステリシスコンパレータにおけるヒステリシス幅を狭めるように指示する制御信号を送信することを要旨とする。

30

40

【0009】

本発明の第2の特徴において、前記第1のバーストモードにおいて、前記DC-DCコンバータ回路の前記PMOSトランジスタと前記NMOSトランジスタの接続点である端子から出力される出力電圧が所定の傾き以上で上昇した場合に、オーバーシュートモードに遷移し、前記オーバーシュートモードに遷移した場合、前記スイッチ駆動回路に対して、前記PMOSトランジスタ及び前記NMOSトランジスタについてON状態とOFF状態とを交互に切り替えるように指示する制御信号を送信してもよい。

50

## 【 0 0 1 0 】

本発明の第3の特徴は、DC-DCコンバータ回路の構成要素であるCMOSスイッチを駆動するスイッチ駆動回路に対して制御信号を送信する制御回路であって、前記CMOSスイッチは、直流電圧源に接続されているPMOSトランジスタと、グランドに接続されているNMOSトランジスタとによって構成されており、通常モードにおいて、前記DC-DCコンバータ回路の前記PMOSトランジスタと前記NMOSトランジスタの接続点である端子から出力される出力電圧が所定の傾き以上で上昇した場合に、オーバーシュートモードに遷移し、前記オーバーシュートモードにおいて、第4の所定期間が経過した後に、前記DC-DCコンバータ回路の前記PMOSトランジスタと前記NMOSトランジスタの接続点である端子を流れる出力電流が上限電流以上となった場合に、第1のカレントリミットモードに遷移し、前記オーバーシュートモードにおいて、前記第4の所定期間が経過した後に、前記NMOSトランジスタがON状態である際に、前記DC-DCコンバータ回路の前記PMOSトランジスタと前記NMOSトランジスタの接続点である端子から出力される出力電圧が基準電圧以上となった場合に、第1のバーストモードに遷移し、前記オーバーシュートモードにおいて、前記第4の所定期間が経過した後に、第1のカレントリミットモード又は第1のバーストモードに遷移しない場合に、前記通常モードに遷移し、前記オーバーシュートモードに遷移した場合、前記スイッチ駆動回路に対して、前記PMOSトランジスタ及び前記NMOSトランジスタについてON状態とOFF状態とを交互に切り替えるように指示する制御信号を送信し、前記第1のカレントリミットモードに遷移した場合、前記スイッチ駆動回路に対して、前記PMOSトランジスタを断続的にOFF状態にするように指示する制御信号を送信し、前記第1のバーストモードに遷移した場合、前記スイッチ駆動回路に対して、前記PMOSトランジスタ及び前記NMOSトランジスタを連続的にOFF状態にするように指示する制御信号を送信することを要旨とする。

10

20

## 【 0 0 1 1 】

本発明の第3の特徴において、前記第1のカレントリミットモードにおいて、前記DC-DCコンバータ回路の前記PMOSトランジスタと前記NMOSトランジスタの接続点である端子から出力される出力電圧が所定の傾き以上で上昇した場合に、前記オーバーシュートモードに遷移してもよい。

30

## 【 0 0 1 2 】

本発明の第3の特徴において、前記第1のバーストモードにおいて、前記DC-DCコンバータ回路の前記PMOSトランジスタと前記NMOSトランジスタの接続点である端子から出力される出力電圧が所定の傾き以上で上昇した場合に、前記オーバーシュートモードに遷移してもよい。

## 【 発明の効果 】

## 【 0 0 1 3 】

以上説明したように、本発明によれば、DC-DCコンバータ回路において、外部からの制御無しに、保護回路の誤動作を防止すると共に、低消費動作を実現することが可能な制御回路を提供することができる。

## 【 発明を実施するための最良の形態 】

40

## 【 0 0 1 4 】

(本発明の第1の実施形態に係る制御回路を備えたDC-DCコンバータ回路の構成)

図1を参照して、本発明の第1の実施形態に係る制御回路(ステートマシン)を備えたDC-DCコンバータ回路の構成について説明する。

## 【 0 0 1 5 】

図1に示すように、本実施形態に係るDC-DCコンバータ回路は、主な構成要素として、制御回路10と、クロック発振器(OSC)11と、スイッチ駆動回路12と、CMOSスイッチ13と、コンパレータ(CURRLMT)14と、積分器15と、コンパレータ(OVDET)16と、ヒステリシスコンパレータ(HYST COMP)17と、コンパレータ(NSENS)18とを具備している。

50

## 【 0 0 1 6 】

なお、図 8 に示す従来の DC-DC コンバータ回路の場合と同様に、CMOS スイッチ 13 は、直流電圧源  $V_{DD}$  に接続されている PMOS トランジスタ 13A と、グランドに接続されている NMOS トランジスタ 13B とによって構成されている。

## 【 0 0 1 7 】

コンパレータ 14 は、DC-DC コンバータ回路の出力電流が、上限電流以上となったか否かについて判定するように構成されている。

## 【 0 0 1 8 】

図 1 の例では、コンパレータ 14 は、電流  $I_1$  とコンパレータ 14 における基準電流とを比較することによって、DC-DC コンバータ回路の出力電流が、上限電流以上となつたか否かについて判定するように構成されている。

10

## 【 0 0 1 9 】

具体的には、コンパレータ 14 は、電流  $I_1$  が、コンパレータ 14 における基準電流以上となった場合に、DC-DC コンバータ回路の出力電流が、上限電流以上となったと判定して、判定信号 CURRLMT\_P において H レベルを出力するように構成されている。

## 【 0 0 2 0 】

積分器 15 は、判定信号 CURRLMT\_P を積分して得られた信号 CURRLMT\_A NA\_P を制御回路 10 に入力するように構成されている。

## 【 0 0 2 1 】

20

コンパレータ 16 は、DC-DC コンバータ回路の出力電圧が、所定の傾き以上で上昇したか否かについて判定するように構成されている。

## 【 0 0 2 2 】

ここで、かかる所定の傾きは、DC-DC コンバータ回路における時定数を考慮して最適値に設定されるものとする。

## 【 0 0 2 3 】

図 1 の例では、コンパレータ 16 は、端子 FB における電圧  $V_{out}$  が所定の傾き以上で上昇したか否かについて判定するように構成されている。

## 【 0 0 2 4 】

具体的には、コンパレータ 16 は、FB 端子における電圧  $V_{out}$  が所定の傾き以上で上昇した場合に、DC-DC コンバータ回路の出力電圧が、所定の傾き以上で上昇したと判定して、判定信号 OVDETOUIT において H レベルを出力するように構成されている。

30

## 【 0 0 2 5 】

コンパレータ 18 は、NMOS トランジスタ 13B が ON 状態である際に、DC-DC コンバータ回路の出力電圧が基準電圧以上となったか否かについて判定するように構成されている。

## 【 0 0 2 6 】

図 1 の例では、コンパレータ 18 は、端子 SWOUT における電圧（出力電圧） $V_{swout}$  と、スイッチ駆動回路 12 の出力電圧 A を反転した電流（基準電圧）とを比較することによって、NMOS トランジスタ 13B が ON 状態である際に、DC-DC コンバータ回路の出力電流が基準電流以上となったか否かについて判定するように構成されている。

40

## 【 0 0 2 7 】

具体的には、コンパレータ 18 は、電圧（出力電圧） $V_{swout}$  が、NMOS トランジスタ 13B が ON 状態である際の基準電圧（すなわち、NMOS トランジスタを ON にするための H レベルを反転した L レベルの電圧）以上となった場合に、判定信号 SENS において H レベルを出力するように構成されている。

## 【 0 0 2 8 】

ヒステリシスコンパレータ 17 には、DC-DC コンバータ回路の出力電圧（図 1 の例

50

では、端子FBにおける電圧 $V_{out}$ が入力されるように構成されている。

【0029】

スイッチ駆動回路12は、制御回路10やコンパレータ14やヒステリシスコンパレータ17から入力された制御信号に応じて、CMOSスイッチ13を駆動するように構成されている。

【0030】

具体的には、スイッチ駆動回路12は、かかる制御信号に応じて、CMOSスイッチ13を構成するPMOSトランジスタ13A及びNMOSトランジスタ13BのON状態とOFF状態とを切り替えるように構成されている。

【0031】

制御回路10は、DC-DCコンバータ回路において、出力端子Oに接続される負荷20が過電流や過負荷によって破壊されることを防止するために、CMOSスイッチ13を駆動するスイッチ駆動回路12に対して制御信号を送信するように構成されている。

【0032】

また、制御回路10は、DC-DCコンバータ回路において、低消費動作を実現するために、CMOSスイッチ13を駆動するスイッチ駆動回路12に対して制御信号を送信するように構成されている。

【0033】

なお、制御回路10は、現在の動作モードに応じて、スイッチ駆動回路12に対して送信する制御信号を変更するように構成されている。

【0034】

具体的には、図2に示すように、制御回路10が遷移し得る動作モードとして、通常モードと、カレントリミッタモード1（第1のカレントリミッタモード）と、カレントリミッタモード2（第2のカレントリミッタモード）と、バーストモード1（第1のバーストモード）と、バーストモード2（第2のバーストモード）と、オーバーシュートモードとが規定されている。

【0035】

ここで、通常モードとは、制御回路10が、スイッチ駆動回路12に対して特に制御信号を送信しない動作モードである。

【0036】

通常モードでは、スイッチ駆動回路12は、PMOSトランジスタ13A及びNMOSトランジスタ13BについてON状態とOFF状態とを交互に切り替えることによって同期整流動作を行うようにCMOSスイッチ13を制御する。

【0037】

カレントリミッタモード1とは、制御回路10が、スイッチ駆動回路12に対して、PMOSトランジスタ13Aを断続的にOFF状態にするように指示する制御信号を送信する動作モードである。

【0038】

すなわち、制御回路10は、カレントリミッタモード1に遷移した場合、スイッチ駆動回路12に対して、PMOSトランジスタ13Aを断続的にOFF状態にするように指示する制御信号を送信する。

【0039】

カレントリミッタモード2とは、制御回路10が、スイッチ駆動回路12に対して、PMOSトランジスタ13Aを連続的にOFF状態にするように指示する制御信号を送信する動作モードである。

【0040】

すなわち、制御回路10は、カレントリミッタモード2に遷移した場合、スイッチ駆動回路12に対して、PMOSトランジスタ13Aを連続的にOFF状態にするように指示する制御信号を送信する。

【0041】

10

20

30

40

50

バーストモード1とは、制御回路10が、スイッチ駆動回路12に対して、PMOSトランジスタ13A及びNMOSトランジスタ13Bを連続的にOFF状態にすることによって同期整流動作を停止するように指示する制御信号を送信する動作モードである。

【0042】

すなわち、制御回路10は、バーストモード1に遷移した場合、スイッチ駆動回路12に対して、PMOSトランジスタ13A及びNMOSトランジスタ13Bを連続的にOFF状態にすることによって同期整流動作を停止するように指示する制御信号を送信する。

【0043】

バーストモード2とは、制御回路10が、スイッチ駆動回路12に対して、PMOSトランジスタ13A及びNMOSトランジスタ13Bを連続的にOFF状態にすると共に、ヒステリシスコンパレータ17におけるヒステリシス幅を狭めるように指示する制御信号を送信する動作モードである。

10

【0044】

すなわち、制御回路10は、バーストモード2に遷移した場合、スイッチ駆動回路12に対して、PMOSトランジスタ13A及びNMOSトランジスタ13Bを連続的にOFF状態にすると共に、ヒステリシスコンパレータ17におけるヒステリシス幅を狭めるように指示する制御信号を送信する。

【0045】

オーバーシュートモードとは、制御回路10が、スイッチ駆動回路12に対して、PMOSトランジスタ13A及びNMOSトランジスタ13BについてON状態とOFF状態とを交互に切り替えることによって同期整流動作を行うように指示する制御信号を送信する動作モードである。

20

【0046】

すなわち、制御回路10は、オーバーシュートモードに遷移した場合、スイッチ駆動回路12に対して、PMOSトランジスタ13A及びNMOSトランジスタ13BについてON状態とOFF状態とを交互に切り替えることによって同期整流動作を行うように指示する制御信号を送信する。

【0047】

(本発明の第1の実施形態に係る制御回路の動作モード)

図3乃至図7を参照して、本発明の第1の実施形態に係る制御回路の動作モードについて説明する。

30

【0048】

第1に、図3及び図4を参照して、本実施形態に係る制御回路10が、通常モードとカレントリミッタモード1とカレントリミッタモード2との間で遷移する様子について説明する。

【0049】

図3に示すように、制御回路10は、通常モードにおいて、DC-DCコンバータ回路の出力電流(図1の例では、電流 $I_1$ )が上限電流(図1の例では、コンパレータ14における基準電流)以上となった場合に、カレントリミッタモード1に遷移する(S101)。

40

【0050】

具体的には、制御回路10は、通常モードにおいて、コンパレータ14からの判定信号CURRLMT\_PにおいてHレベルが入力された場合に、カレントリミッタモード1に遷移する。

【0051】

また、制御回路10は、カレントリミッタモード1において、通常モードに遷移することなく第1の所定期間が経過した場合に、カレントリミッタモード2に遷移する(S102)。

【0052】

具体的には、制御回路10は、カレントリミッタモード1に遷移した場合、クロック発

50

振器 11 に対して、クロック信号  $SD\_OSC$  を出力するように指示する制御信号  $POFFOSC$  を送信する。

【0053】

そして、制御回路 10 は、カレントリミッタモード 1 において、6 パルス分のクロック信号  $SD\_OSC$  を受信した場合に、通常モードに遷移することなく第 1 の所定期間が経過したものと判断し、カレントリミッタモード 2 に遷移する。

【0054】

また、制御回路 10 は、カレントリミッタモード 2 において、第 2 の所定期間が経過した場合に、通常モードに遷移する (S103)。

【0055】

具体的には、制御回路 10 は、カレントリミッタモード 2 において、7 パルス分のクロック信号  $SD\_OSC$  を受信した場合に、第 2 の所定期間が経過したものと判断し、通常モードに遷移する。

【0056】

なお、後述するように、制御回路 10 は、第 2 の所定期間が経過する前に、コンパレータ 16 からの判定信号  $OVDETOUIT$  において H レベルが入力された場合には、通常モードではなく、オーバーシュートモードに遷移する。

【0057】

また、制御回路 10 は、カレントリミッタモード 1 において、DC-DC コンバータ回路の出力電流 (図 1 の例では、電流  $I_1$ ) が上限電流 (図 1 の例では、コンパレータ 14 における基準電流) を下回った場合に、通常モードに遷移する (S104)。

【0058】

具体的には、制御回路 10 は、カレントリミッタモード 1 において、コンパレータ 14 からの判定信号  $CURRLMT\_P$  において L レベルが一定期間連続して入力された場合に、通常モードに遷移する。

【0059】

図 4 の例では、制御回路 10 は、時刻  $t_0$  において、コンパレータ 14 からの判定信号  $CURRLMT\_P$  において H レベルが入力されたことを検知して、カレントリミッタモード 1 に遷移し、その旨をスイッチ駆動回路 12 に通知する。

【0060】

制御回路 10 は、積分信号  $CURRLMTANA\_P$  を監視することによって、時刻  $t_1$  において、6 パルス分のクロック信号  $SD\_OSC$  を受信したと判断して、カレントリミッタモード 1 に遷移し、その旨をスイッチ駆動回路 12 に通知する。

【0061】

ここで、制御回路 10 は、例えば、制御信号  $SENSCURR\_P$  を用いて、カレントリミッタモード 1 又はカレントリミッタモード 2 に遷移したことをスイッチ駆動回路 12 に通知することができる。

【0062】

制御回路 10 は、時刻  $t_1$  において、7 パルス分のクロック信号  $SD\_OSC$  を受信したと判断して、通常モードに遷移し、その旨をスイッチ駆動回路 12 に通知する。

【0063】

ここで、制御回路 10 は、例えば、制御信号  $SENSCURR\_P$  を用いて、通常モードに遷移したことをスイッチ駆動回路 12 に通知することができる。

【0064】

第 2 に、図 5 及び図 6 を参照して、本実施形態に係る制御回路 10 が、通常モードとバーストモード 1 とバーストモード 2 との間で遷移する様子について説明する。

【0065】

図 5 に示すように、制御回路 10 は、通常モードにおいて、NMOS トランジスタ 13B が ON 状態である際に、DC-DC コンバータ回路の出力電圧 (図 1 の例では、端子  $SWOUT$  における電圧  $V_{SWOUT}$ ) が基準電流 (図 1 の例では、スイッチ駆動回路 12

10

20

30

40

50

の出力電圧 A の H レベルを反転した L レベルの電流) 以上となった場合に、第 1 のバーストモードに遷移する ( S 2 0 1 )。

【 0 0 6 6 】

具体的には、制御回路 1 0 は、通常モードにおいて、コンパレータ 1 8 からの判定信号 N S E N S において H レベルが入力されたことを検知した場合に、バーストモード 1 に遷移する。

【 0 0 6 7 】

また、制御回路 1 0 は、バーストモード 1 において、通常モードに遷移することなく第 3 の所定期間が経過した場合に、バーストモード 2 に遷移する ( S 2 0 2 )。

【 0 0 6 8 】

具体的には、制御回路 1 0 は、バーストモード 1 に遷移した場合、クロック発振器 1 1 に対して、クロック信号 S D \_ O S C を出力するように指示する制御信号 P O F F O S C を送信する。

【 0 0 6 9 】

そして、制御回路 1 0 は、バーストモード 1 において、6 パルス分のクロック信号 S D \_ O S C を受信した場合に、通常モードに遷移することなく第 3 の所定期間が経過したものと判断し、バーストモード 2 に遷移する。

【 0 0 7 0 】

また、制御回路 1 0 は、バーストモード 1 及びバーストモード 2 において、ヒステリシスコンパレータ 1 7 の出力の遷移 (例えば、L レベルの出力) を検知した場合に、通常モードに遷移する ( S 2 0 3 )。

【 0 0 7 1 】

具体的には、制御回路 1 0 は、端子 F B における電圧  $V_{OUT}$  が、ヒステリシスコンパレータ 1 7 の L レベル出力用設定電圧を下回った場合に、通常モードに遷移する。

【 0 0 7 2 】

図 6 の例では、制御回路 1 0 は、時刻  $t_1$  において、コンパレータ 1 8 からの判定信号 N S E N S において H レベルが入力されたことを検知して、バーストモード 1 に遷移し、制御信号 S E N S N S E N S を用いて、その旨をスイッチ駆動回路 1 2 に通知する。

【 0 0 7 3 】

制御回路 1 0 は、時刻  $t_2$  において、6 パルス分のクロック信号 S D \_ O S C を受信したと判断して、バーストモード 1 に遷移し、制御信号 S E N S N S E N S を用いて、その旨をスイッチ駆動回路 1 2 に通知する。

【 0 0 7 4 】

かかる場合、図 4 ( e ) に示すように、時刻  $t_2$  において、ヒステリシスコンパレータ 1 7 は、制御回路 1 0 からの指示に応じて、ヒステリシス幅を狭める ( L レベル出力用設定電圧を上げる )。

【 0 0 7 5 】

制御回路 1 0 は、時刻  $t_3$  において、コンパレータ 1 8 からの判定信号 N S E N S において L レベルが入力されたことを検知して、通常モードに遷移し、制御信号 S E N S N S E N S を用いて、その旨をスイッチ駆動回路 1 2 に通知する。

【 0 0 7 6 】

第 3 に、図 7 を参照して、本実施形態に係る制御回路 1 0 が、通常モードとオーバーシュートモードとカレントリミッタモード 1 とバーストモード 1 との間で遷移する様子について説明する。

【 0 0 7 7 】

図 7 に示すように、制御回路 1 0 は、通常モードにおいて、D C - D C コンバータ回路の出力電圧 (図 1 の例では、端子 F B における電圧  $V_{OUT}$ ) が、所定の傾き以上で上昇した場合に、オーバーシュートモードに遷移する ( S 3 0 1 )。

【 0 0 7 8 】

具体的には、制御回路 1 0 は、通常モードにおいて、コンパレータ 1 6 からの判定信号

10

20

30

40

50

OVDETOUITにおいてHレベルが入力された場合に、オーバーシュートモードに遷移し、その旨をスイッチ駆動回路12に通知する。

【0079】

また、制御回路10は、オーバーシュートモードにおいて、第4の所定期間が経過した後に、カレントリミッタモード1又はバーストモード1に遷移しない場合に、通常モードに遷移する(S301)。

【0080】

具体的には、制御回路10は、オーバーシュートモードにおいて、6パルス分のクロック信号SDOSCを受信した後に、コンパレータ14からの判定信号CURRLMT\_PにおいてHレベルが入力されずに、かつ、コンパレータ18からの判定信号SENSにおいてHレベルが入力されなかった場合、通常モードに遷移し、その旨をスイッチ駆動回路12に通知する。

10

【0081】

また、制御回路10は、オーバーシュートモードにおいて、第4の所定期間が経過した後に、DC-DCコンバータ回路の出力電流(図1の例では、電流 $I_2$ )が、上限電流(図1の例では、スイッチ駆動回路12の出力電流Aを反転した電流)以上となった場合に、カレントリミッタモード1に遷移する(S303)。

【0082】

具体的には、制御回路10は、オーバーシュートモードにおいて、6パルス分のクロック信号SDOSCを受信した後に、コンパレータ14からの判定信号CURRLMT\_PにおいてHレベルが入力されたことを検知した場合に、カレントリミッタモード1に遷移し、その旨をスイッチ駆動回路12に通知する。

20

【0083】

また、制御回路10は、オーバーシュートモードにおいて、第4の所定期間が経過した後に、NMOSトランジスタ13BがON状態である際に、DC-DCコンバータ回路の出力電圧(図1の例では、端子SWOUTにおける電圧 $V_{SWOUT}$ )が、基準電圧(図1の例では、スイッチ駆動回路12の出力電圧AのHレベルを反転したLレベルの電圧)以上となった場合に、バーストモード1に遷移する(S305)。

【0084】

具体的には、制御回路10は、オーバーシュートモードにおいて、6パルス分のクロック信号SDOSCを受信した後に、コンパレータ18からの判定信号SENSにおいてHレベルが入力されたことを検知した場合に、バーストモード1に遷移し、その旨をスイッチ駆動回路12に通知する。

30

【0085】

また、制御回路10は、カレントリミッタモード1において、DC-DCコンバータ回路の出力電圧(図1の例では、端子FBにおける電圧 $V_{OUT}$ )が、所定の傾き以上で上昇した場合に、オーバーシュートモードに遷移する(S304)。

【0086】

具体的には、制御回路10は、カレントリミッタモード1において、コンパレータ16からの判定信号OVDETOUITにおいてHレベルが入力された場合に、オーバーシュートモードに遷移し、その旨をスイッチ駆動回路12に通知する。

40

【0087】

また、制御回路10は、バーストモード1において、DC-DCコンバータ回路の出力電圧(図1の例では、端子FBにおける電圧 $V_{OUT}$ )が、所定の傾き以上で上昇した場合に、オーバーシュートモードに遷移する(S306)。

【0088】

具体的には、制御回路10は、バーストモード1において、コンパレータ16からの判定信号OVDETOUITにおいてHレベルが入力された場合に、オーバーシュートモードに遷移し、その旨をスイッチ駆動回路12に通知する。

【0089】

50

(本発明の第1の実施形態に係る制御回路の作用・効果)

本実施形態に係る制御回路10によれば、DC-DCコンバータ回路の出力電流(電流 $I_1$ )が上限電流(コンパレータ14における基準電流)以上となった場合、負荷20に過電流が掛かる危険性があると判断して、カレントリミッタモード1に遷移し、直流電圧源に接続されているPMOSトランジスタ13Aを断続的にOFF状態にすることによって、かかる危険性を低減することができる。

【0090】

また、本実施形態に係る制御回路10によれば、カレントリミッタモード1に遷移した後、第2の所定期間(6パルス分の期間)が経過しても、DC-DCコンバータ回路の出力電流(電流 $I_1$ )が上限電流(コンパレータ14における基準電流)を下回らない場合には、カレントリミッタモード2に遷移して、直流電圧源に接続されているPMOSトランジスタ13Aを連続的にOFF状態にすることによって、かかる危険性をより低減することができる。

10

【0091】

本実施形態に係る制御回路10によれば、PMOSトランジスタ13AがOFF状態で、NMOSトランジスタ13BがON状態である場合で、かつ、軽い負荷20が接続されている場合には、コンデンサC1に蓄積されている電荷によって印加されている負荷電圧(すなわち、端子FBにおける電圧 $V_{OUT}$ )が、ヒステリシスコンパレータ17のLレベル出力用設定電圧を下回るまでは、PMOSトランジスタ13A及びNMOSトランジスタ13Bの双方をOFF状態とすることで、低消費動作を実現することができる。

20

【0092】

具体的には、DC-DCコンバータ回路に、軽い負荷20が接続されている場合には、図4(e)における $t_0$ から $t_3$ までの期間が長くなるため、PMOSトランジスタ13A及びNMOSトランジスタ13Bの双方をOFF状態とすることで、低消費動作を実現することができる。

【0093】

また、本実施形態に係る制御回路10によれば、バーストモード1において、通常モードに戻ることなく(すなわち、端子FBにおける電圧 $V_{OUT}$ が、ヒステリシスコンパレータのLレベル出力用設定電圧を下回ることなく)、第3の所定期間が経過した場合には、ヒステリシスコンパレータ17のヒステリシス幅(出力リップル)を小さくすることによって、図4(e)における $t_0$ から $t_3$ までの期間を短くして、負荷応答を良くすることができる。

30

【0094】

本実施形態に係る制御回路10によれば、DC-DCコンバータ回路の出力電圧(端子FBにおける電圧 $V_{OUT}$ )が所定の傾き以上で上昇した場合、負荷20に過電圧が掛かる危険性があると判断して、オーバーシュートモードに遷移し、第4の所定期間中は、低消費電力動作を行うことなく、強制的に同期整流動作を行うことによって、かかる出力電圧を目標電圧に落ち着かせようとすることができ、かかる危険性を低減することができる。

【0095】

以上、上述の実施形態を用いて本発明について詳細に説明したが、当業者にとっては、本発明が本明細書中に説明した実施形態に限定されるものではないということは明らかである。本発明は、特許請求の範囲の記載により定まる本発明の趣旨及び範囲を逸脱することなく修正及び変更態様として実施することができる。従って、本明細書の記載は、例示説明を目的とするものであり、本発明に対して何ら制限的な意味を有するものではない。

40

【図面の簡単な説明】

【0096】

【図1】本発明の第1の実施形態に係る制御回路を備えたDC-DCコンバータ回路の構成を示す図である。

【図2】本発明の第1の実施形態に係る制御回路が遷移し得る全ての動作モードを示す図

50

である。

【図3】本発明の第1の実施形態に係る制御回路が、通常モードとカレントリミッタモード1とカレントリミッタモード2との間で遷移する様子を示す図である。

【図4】本発明の第1の実施形態に係る制御回路が、カレントリミッタモード1及びカレントリミッタモード2である場合の各種信号の波形図である。

【図5】本発明の第1の実施形態に係る制御回路が、通常モードとバーストモード1とバーストモード2との間で遷移する様子を示す図である。

【図6】本発明の第1の実施形態に係る制御回路が、バーストモード1及びバーストモード2である場合の各種信号の波形図である。

【図7】本発明の第1の実施形態に係る制御回路が、通常モードとオーバーシュートモードとバーストモード1とカレントリミッタモード1との間で遷移する様子を示す図である。

10

【図8】従来技術に係るDC-DCコンバータ回路の構成を示す図である。

【符号の説明】

【0097】

10...制御回路

11...OSC

12...スイッチ駆動回路

13...CMOSスイッチ

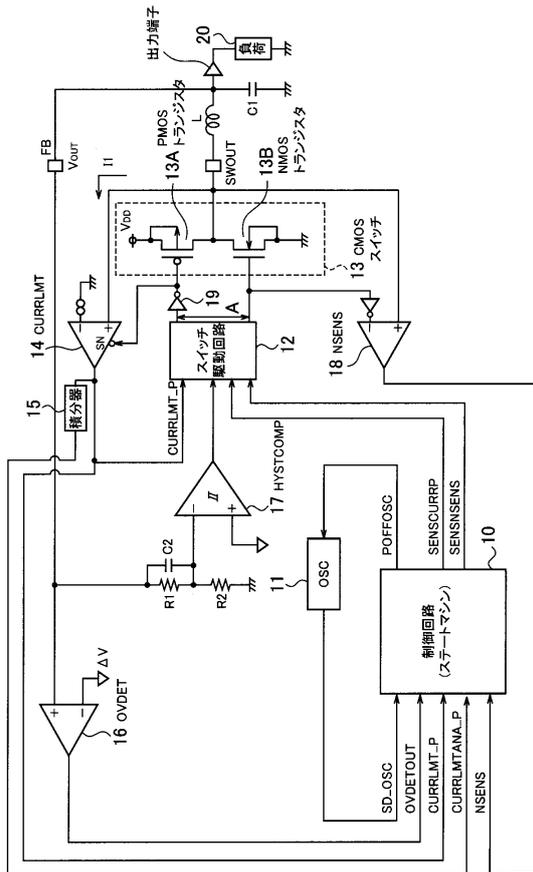
14、16、18...コンパレータ

15...積分器

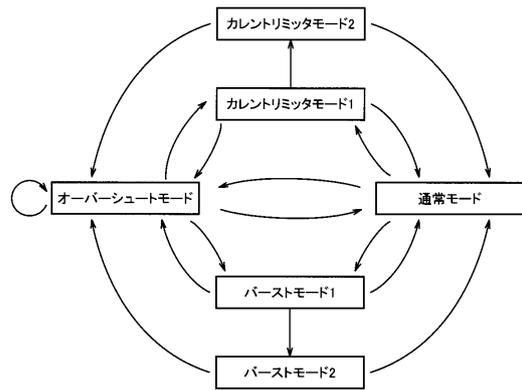
17...ヒステリシスコンパレータ

20

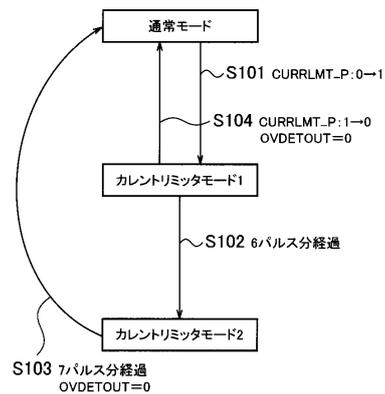
【図1】



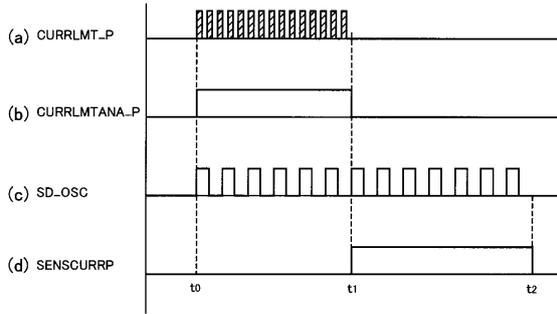
【図2】



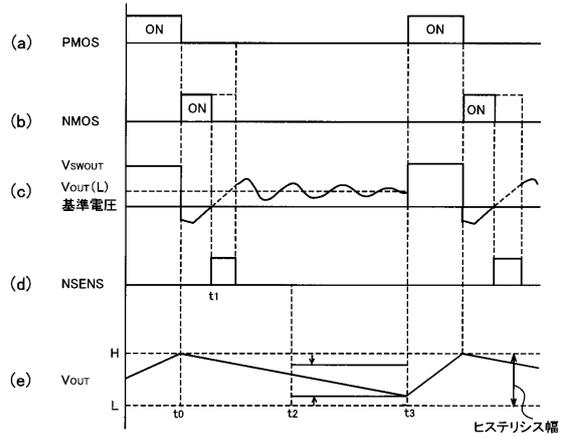
【図3】



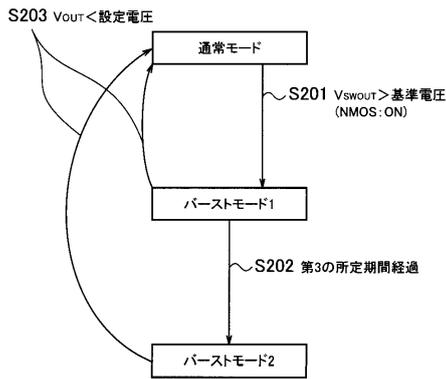
【 図 4 】



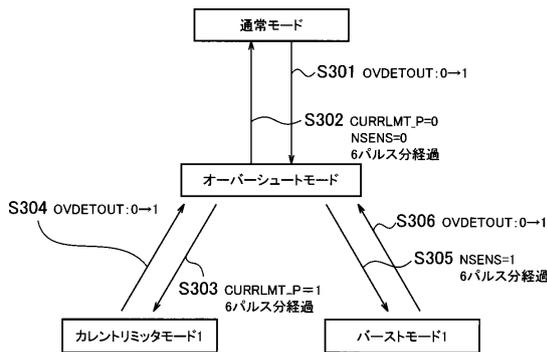
【 図 6 】



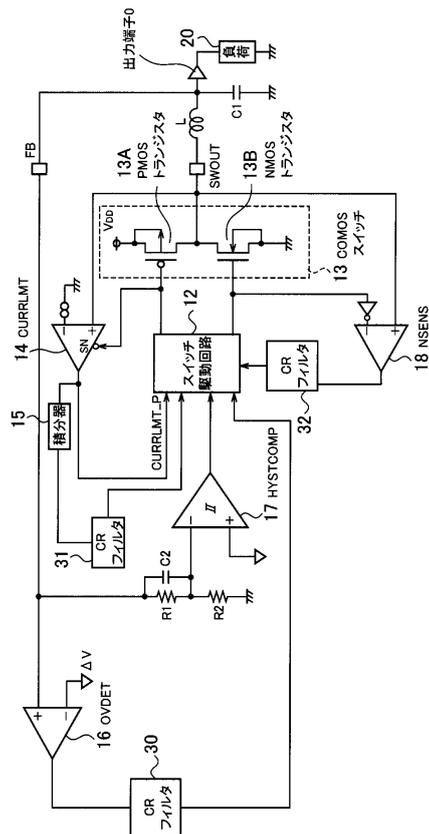
【 図 5 】



【 図 7 】



【 図 8 】



---

フロントページの続き

- (72)発明者 中原 宏徳  
京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
- (72)発明者 今中 義徳  
京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
- (72)発明者 山本 勲  
京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内

審査官 塩治 雅也

- (56)参考文献 特開2004-088950(JP,A)  
特開2005-176587(JP,A)  
実開平05-092819(JP,U)  
特開2004-297985(JP,A)  
特開2006-174630(JP,A)  
特開2002-058239(JP,A)  
特開2006-211760(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H02M 3/155