



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

262327

(11)

(B1)

(51) Int. Cl.⁴

H 03 D 13/00

(22) Přihlášeno 07 05 86

(21) PV 3319-86.Y

(40) Zveřejněno 16 08 88

(45) Vydáno 14 07 89

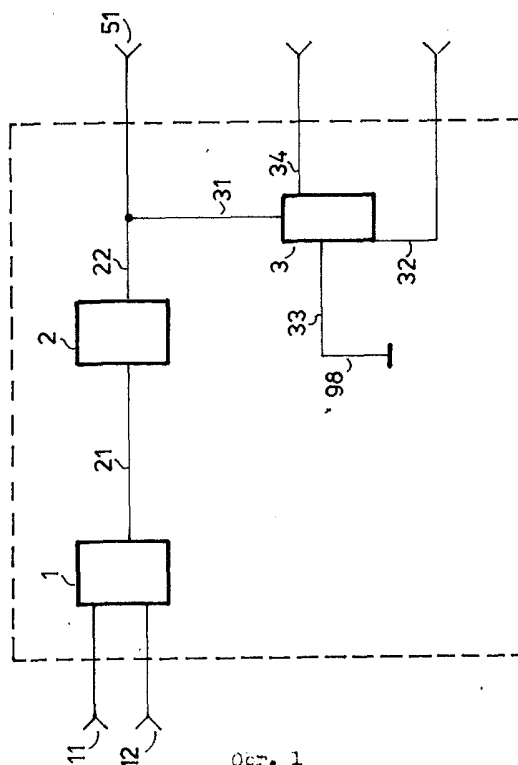
(75)

Autor vynálezu

DYKAST KAREL ing., REMEK JOSEF ing., PRAHA

(54) Zapojení pro kontrolu fázového nastavení

Řešení se týká kontroly fázového nastavení a zjišťování náhodné chyby fázového závěsu. Tyto funkce jsou řízeny prostředky číslicové techniky. Zapojení je sestaveno tak, že obvod vyhodnocení časové odchylky je připojen ke vstupu impulsního filtru, jehož výstup je připojen k řídicí svorce a k nastavovacímu vstupu bloku registrace chyby zavěšení a hodinovým vstupem a s registračním vstupem, přičemž zemnicí vstup bloku registrace chyby zavěšení je připojen k první svorce elektrické země. Zapojení může být využito v testerech desek s mikroprocesorem, v časových ústřednách a ve zdrojích etalonových kmitočtů, u nichž má být zaručen konstantní fázový vztah.



Obr. 1

Vynález řeší problém kontroly fázového nastavení a zjišťování náhodné chyby fázového závěsu. Tyto úkoly jsou řízeny prostředky číslicové techniky.

Fázový závěs je podstatou servosystém, který sestává z fázového detektoru, dolnofrekvenční propusti, zesilovače napětí odchylky, napětím řízeného oscilátoru, případně i děliče některého ze srovnávaných kmitočtů nebo obou srovnávaných kmitočtů. Zapojení fázového závěsu jsou choulostivá na vnější rušení i drobné změny parametrů součástek; kritický je režim vyrovnávání frekvence před dosažením synchronismu. Funkci závěsu lze kontrolovat měřením napětí regulační odchylky napětím řízeného oscilátoru. Kontroluje se, zda regulační odchylka, to jest napětí na výstupu diskriminátoru, se pohybuje v povolených mezích. Dolnofrekvenční propust určuje maximální rychlost změny kmitočtu řízeného oscilátoru.

Z principu vyplývá, že napětí regulační odchylky vyjadřuje střední hodnotu fázových odchylek v čase a nepodává informaci o okamžitých odchylkách fází porovnávaných signálů.

Využití fázového závěsu se stává aktuální v měřicí technice integrovaných logických obvodů. Pro měření časových parametrů logických obvodů a systémů se časové odstupy nastavují i měří prostředky číslicové techniky. K tomu účelu je nutno generovat časoměrný kmitočet s periodou odpovídající požadované časové rozlišitelnosti. V případě dynamických obvodů, řízených hodinovým kmitočtem, je nutné, aby časoměrný kmitočet byl vysokým násobkem řídicího hodinového kmitočtu a byl s ním trvale koherentní, se stálým fázovým vztahem. Neurčitost fázového vztahu snižuje časovou přesnost a reprodukovatelnost měření. Pro okamžité výpadky ze synchronismu a pro okamžitý fázový nesouhlas, i v jediném cyklu srovnávání, je nutno anulovat měření. Před zahájením měření je nutno kontrolovat, zda je již dosaženo synchronního chodu a zda je již i fáze obou signálů v povolených mezích. Je také nutno kontrolovat, zda došlo ke skutečnému ustálení fázových vztahů a je-li možno již započít s měřením.

Tyto problémy řeší zapojení pro kontrolu fázového nastavení a pro zjištění náhodné chyby fázového závěsu podle vynálezu, jehož podstata spočívá v tom, že obvod vyhodnocení časové odchylky je připojen ke vstupu impulsního filtru, jehož výstup je připojen k řídicí svorce a k nastavovacímu vstupu bloku registrace chyby zavěšení s hodinovým vstupem a s registračním vstupem, přičemž zemnicí vstup bloku registrace chyby zavěšení je připojen k první svorce elektrické země.

Vnitřní struktura obvodu vyhodnocení časové odchylky může být uspořádána tak, že vstup první zpožďovací linky je připojen k prvnímu vstupu obvodu vyhodnocení časové odchylky a k signálnímu vstupu druhého klopného obvodu, jehož přímý výstup je připojen k součinnému hradlu, jehož výstup je připojen ke vstupu impulsního filtru, přičemž první zpožďovací linka je připojena k signálnímu vstupu prvního klopného obvodu, jehož invertorový výstup je připojen k součinnému hradlu, přičemž druhý vstup obvodu vyhodnocení časové odchylky je připojen k hodinovému vstupu prvního klopného obvodu a ke vstupu druhé zpožďovací linky, k níž je připojen hodinový vstup druhého klopného obvodu.

Obvod vyhodnocení časové odchylky může být uspořádán i tak, že jeho první vstup je připojen ke vstupu první zpožďovací linky a k hodinovému vstupu druhého klopného obvodu, jehož invertorový výstup je připojen k součinnému hradlu, přičemž druhá zpožďovací linka je připojena k signálnímu vstupu druhého klopného obvodu, přičemž první zpožďovací linka je připojena k signálnímu vstupu prvního klopného obvodu, jehož invertorový výstup je připojen k součinnému hradlu, jehož výstup je připojen ke vstupu impulsního filtru, přičemž druhý vstup obvodu vyhodnocení časové odchylky je připojen k hodinovému vstupu prvního klopného obvodu a ke vstupu druhé zpožďovací linky, k níž je připojen signální vstup druhého klopného obvodu.

Obvod vyhodnocení časové odchylky může být uspořádán rovněž tak, že jeho první vstup je připojen k signálnímu vstupu prvního klopného obvodu, jehož přímý výstup je připojen k součinnému hradlu, přičemž druhý vstup obvodu vyhodnocení časové odchylky je připojen

k druhé zpožďovací lince, jejíž výstup je připojen k hodinovému vstupu prvního klopného obvodu a k hodinovému vstupu druhého klopného obvodu, jehož invertorový výstup je připojen k součinnovému hradlu, jehož výstup je připojen ke vstupu impulsního filtru, přičemž první vstup obvodu vyhodnocení časové odchylky je připojen ke vstupu první zpožďovací linky, k níž je připojen signální vstup druhého klopného obvodu.

Obvod vyhodnocení časové odchylky může být sestaven také tak, že jeho první vstup je připojen k první zpožďovací lince, jejíž výstup je připojen k signálnímu vstupu prvního klopného obvodu a k signálnímu vstupu druhého klopného obvodu, přičemž druhý vstup obvodu vyhodnocení časové odchylky je připojen k hodinovému vstupu prvního klopného obvodu a ke vstupu druhé zpožďovací linky, k níž je připojen hodinový vstup druhého klopného obvodu, jehož invertorový výstup je připojen k součinnovému hradlu, jehož výstup je připojen ke vstupu impulsního filtru, přičemž přímý výstup prvního klopného obvodu je připojen k součinnovému hradlu.

Výhoda zapojení podle vynálezu spočívá v tom, že toto zapojení umožňuje získat pomocí metody logického vzorkování okamžitý signál indikace fázové chyby synchronizace, pokud tato chyba přesahuje zvolenou toleranční mez.

Na připojených výkresech je nakresleno celkové zapojení podle vynálezu, vnitřní struktura obvodu vyhodnocení časové odchylky a vnitřní struktura impulsního filtru.

Na obr. 1 je zapojení pro kontrolu fázového nastavení a pro zjištění náhodné chyby fázového závěsu.

Obvod 1 vyhodnocení časové odchylky je připojen ke vstupu 21 impulsního filtru 2, jehož výstup 22 je připojen k řídicí svorce 51 a k nastavovacímu vstupu 31 bloku 3 registrace chyby zavěšení s hodinovým vstupem 32 a s registračním vstupem 34. Zemnicí vstup 33 bloku 3 registrace chyby zavěšení je připojen k první svorce 98 elektrické země.

Na obr. 2a až 2d jsou nakresleny příklady uspořádání vnitřní struktury obvodu 1 vyhodnocení časové odchylky.

Na obr. 2a je vstup 1 041 první zpožďovací linky 104 připojen k prvnímu vstupu 11 obvodu 1 vyhodnocení časové odchylky a k signálnímu vstupu 1 021 druhého klopného obvodu 102, jehož přímý výstup 1 024 je připojen k součinnovému hradlu 103, jehož výstup je připojen ke vstupu 21 impulsního filtru 2. První zpožďovací linka 104 je připojena k signálnímu vstupu 1 011 prvního klopného obvodu 101, jehož invertorový výstup 1 013 je připojen k součinnovému hradlu 103. Druhý vstup 12 obvodu 1 vyhodnocení časové odchylky je připojen k hodinovému vstupu 1 012 prvního klopného obvodu 101 a ke vstupu 1 051 druhé zpožďovací linky 105, k níž je připojen hodinový vstup 1 022 druhého klopného obvodu 102.

Na obr. 2b je vstup 11 obvodu 1 vyhodnocení časové odchylky připojen ke vstupu 1 041 první zpožďovací linky 104 a k hodinovému vstupu 1 022 druhého klopného obvodu 102, jehož invertorový výstup 1 023 je připojen k součinnovému hradlu 103. Druhá zpožďovací linka 105 je připojena k signálnímu vstupu 1 021 druhého klopného obvodu 102. První zpožďovací linka 104 je připojena k signálnímu vstupu 1 011 prvního klopného obvodu 101, jehož invertorový výstup 1 013 je připojen k součinnovému hradlu 103, jehož výstup je připojen ke vstupu 21 impulsního filtru 2. Druhý vstup 12 obvodu 1 vyhodnocení časové odchylky je připojen k hodinovému vstupu 1 012 prvního klopného obvodu 101 a ke vstupu 1 051 druhé zpožďovací linky 105, k níž je připojen signální vstup 1 021 druhého klopného obvodu 102.

Na obr. 2c je první vstup 11 obvodu 1 vyhodnocení časové odchylky připojen k signálnímu vstupu 1 011 prvního klopného obvodu 101, jehož přímý výstup 1 014 je připojen k součinnovému hradlu 103. Druhý vstup 12 obvodu 1 vyhodnocení časové odchylky je připojen k druhé zpožďovací lince 105, jejíž výstup 1 052 je připojen k hodinovému vstupu 1 012 prvního klopného obvodu 101 a k hodinovému vstupu 1 022 druhého klopného obvodu 102, jehož invertorový výstup

1 023 je připojen k součinnému hradlu 103, jehož výstup je připojen ke vstupu 21 impulsního filtru 2. Přičemž první vstup 11 obvodu 1 vyhodnocení časové odchylky je připojen ke vstupu 1 041 první zpožďovací linky 104, k níž je připojen signální vstup 1 021 druhého klopného obvodu 102.

Na obr. 2d je první vstup 11 obvodu 1 vyhodnocení časové odchylky připojen k první zpožďovací lince 104, jejíž výstup 1 042 je připojen k signálnímu vstupu 1 011 prvního klopného obvodu 101 a k signálnímu vstupu 1 021 druhého klopného obvodu 102. Druhý vstup 12 obvodu 1 vyhodnocení časové odchylky je připojen k hodinovému vstupu 1 012 prvního klopného obvodu 101 a ke vstupu 1 051 druhé zpožďovací linky 103, k níž je připojen hodinový vstup 1 022 druhého klopného obvodu 102, jehož invertorový výstup 1 023 je připojen k součinnému hradlu 103, jehož výstup je připojen ke vstupu 21 impulsního filtru 2. Přímý výstup 1 014 prvního klopného obvodu 101 je připojen k součinnému hradlu 103.

Na obr. 3 je nakreslena vnitřní struktura impulsního filtru 2. Vstup 21 impulsního filtru 2 je připojen ke vstupu 2 051 monostabilního obvodu 205 a ke vstupu 2 041 invertujícího hradla 204, k němuž je připojen nastavovací vstup 2 061 třetího klopného obvodu 206, jehož signální vstup 2 062 je připojen k druhé svorce 99 elektrické země. Hodinová svorka 2 063 třetího klopného obvodu 206 je připojena k invertujícímu výstupu 2 052 monostabilního obvodu 205. Třetí klopný obvod 206 je připojen k výstupu 22 impulsního filtru 2. K monostabilnímu obvodu 205 je připojena kapacita 206 a odpor 207.

Funkce zapojení podle vynálezu je následující:

Na první vstup 11 obvodu 1 vyhodnocení časové odchylky je přiveden řídicí signál, na druhý vstup 12 obvodu 1 vyhodnocení časové odchylky je přiveden signál porovnávaný. Jestliže časová odchylka hran nepřekročí toleranční mez, je na vstup 21 impulsního filtru 2 vyslán signál shody. Obvod 1 vyhodnocení časové odchylky pracuje velmi rychle a oznámí signálem do vstupu 21 impulsního filtru 2 i náhodnou časovou shodu hran signálů na svém prvním vstupu 11 a druhém vstupu 12 před dosažením synchronismu. Signál shody je zpracován v impulsním filtru 2; impulsní filtr 2 potlačuje takové impulsy signálu shody, které jsou kratší než nastavená doba, potřebná k ustálení soustavy. Jestliže jsou impulsy signálu shody delší než nastavená doba potřebná k ustálení soustavy, objeví se na výstupu 51 neznázorněné řídicí jednotky signál "zavěšeno". Na vypadnutí signálu shody reaguje impulsní filtr 2 okamžitě a je v tomto smyslu zcela propustný. Funkci monostabilního obvodu 205 v impulsním filtru 2 vykonává například integrovaný obvod UCY 74 123 N. Funkci bloku 3 registrace chyby zavěšení vykonává například klopný obvod typu "D". Registruje ztrátu signálu "zavěšeno" pomocí svého nastavovacího vstupu 31 v době intervalu měření a vysílá signál "chyba zavěšení" do svého registračního vstupu 34. Interval měření začíná nulováním bloku 3 registrace chyby zavěšení z jeho hodinového vstupu 32.

Vynález může být využit v testerech s mikroprocesorem, kdy na desce zůstává v chodu volně běžící generátor hodin a kdy je nutno kontrolovat přesně koherentní vztah volně běžícího generátoru hodin na desce a kmitočtu testovacího zařízení.

Vynález může být využit i v časových ústřednách a ve zdrojích etalonových kmitočtů, u nichž má být zaručen konstantní fázový vztah.

PŘEDMĚT VYNÁLEZU

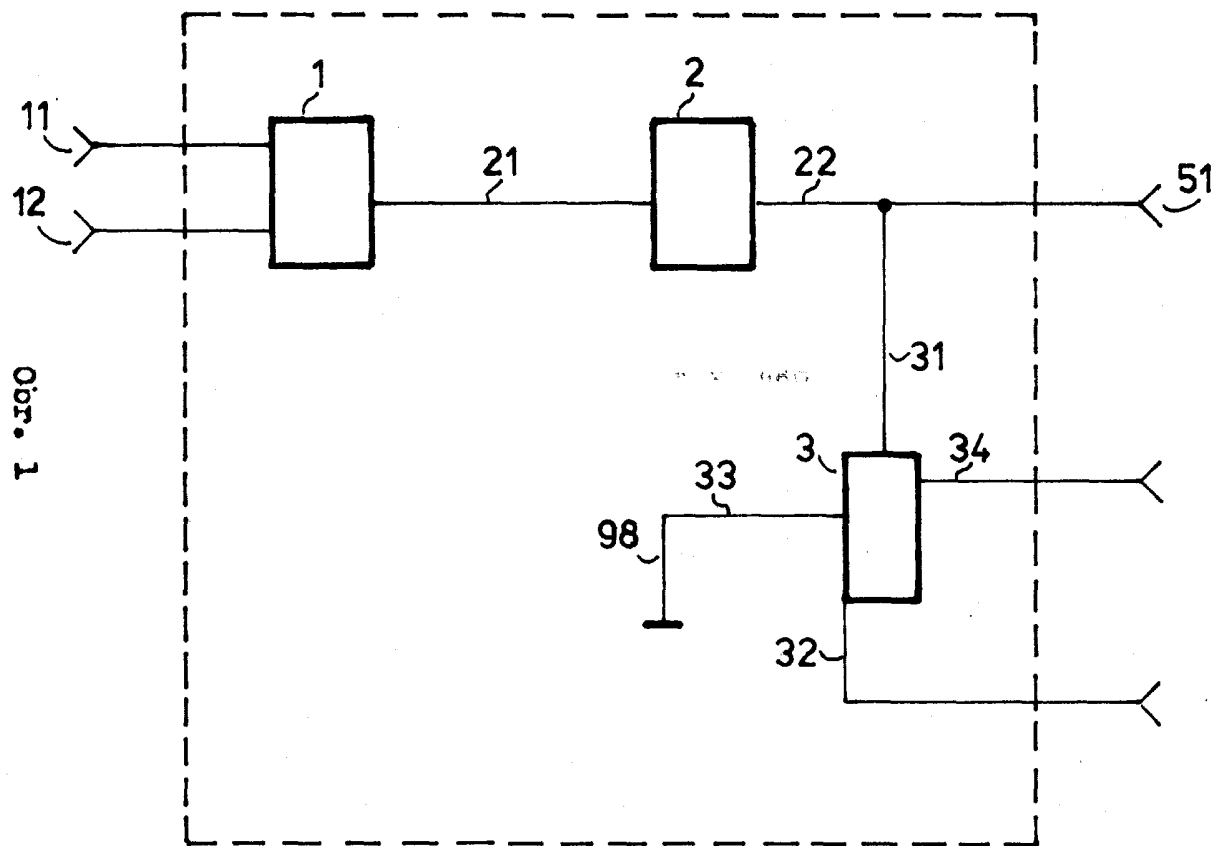
1. Zapojení pro kontrolu fázového nastavení, vyznačující se tím, že obvod (1) vyhodnocení časové odchylky je připojen ke vstupu (21) impulsního filtru (2), jehož výstup (22) je připojen k řídicí svorce (51) a k nastavovacímu vstupu (31) bloku (3) registrace chyby zavěšení s hodinovým vstupem (32) a s registračním vstupem (34), přičemž zemnicí vstup (33) bloku (3) registrace chyby zavěšení je připojen k první svorce (98) elektrické země.

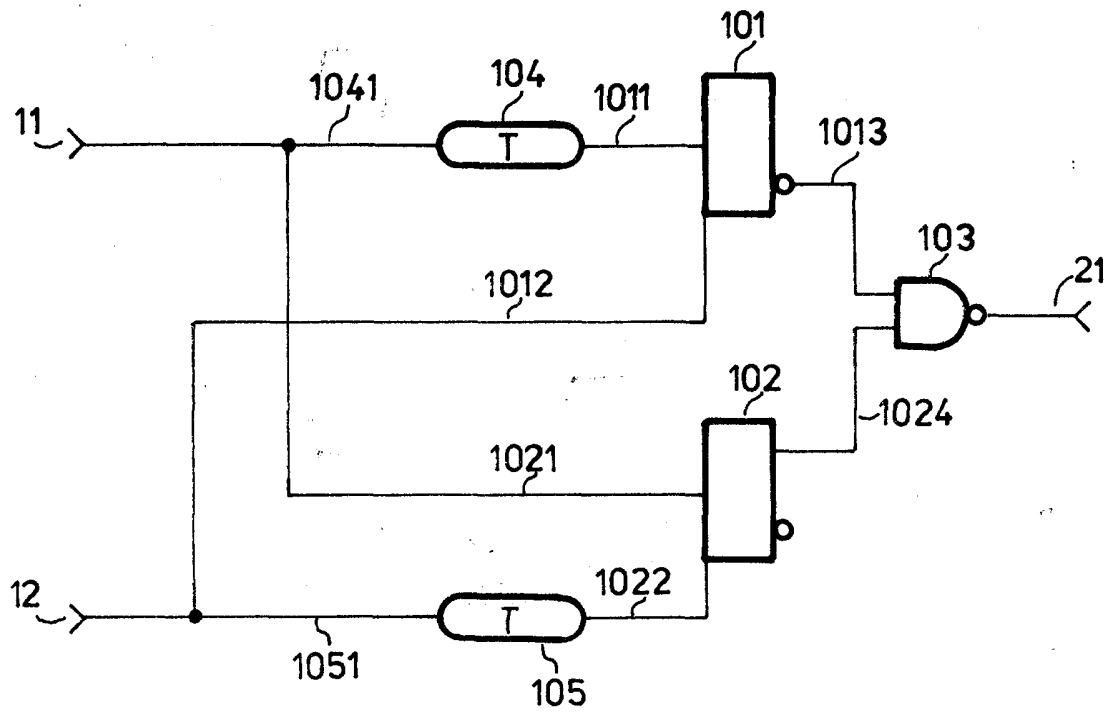
2. Zapojení podle bodu 1, vyznačující se tím, že obvod (1) vyhodnocení časové odchylky obsahuje první zpožďovací linku (104), jejíž vstup (1 041) je připojen k prvnímu vstupu (11) obvodu (1) vyhodnocení časové odchylky a k signálnímu vstupu (1 021) druhého klopného obvodu (102), jehož přímý výstup (1 024) je připojen k součinnému hradlu (103), jehož výstup je připojen ke vstupu (21) impulsního filtru (2), přičemž první zpožďovací linka (104) je připojena k signálnímu vstupu (1 011) prvního klopného obvodu (101), jehož invertovaný výstup (1 013) je připojen k součinnému hradlu (103), přičemž druhý vstup (12) obvodu (1) vyhodnocení časové odchylky je připojen k hodinovému vstupu (1 012) prvního klopného obvodu (101) a ke vstupu (1 051) druhé zpožďovací linky (105), k níž je připojen hodinový vstup (1 022) druhého klopného obvodu (102).

3. Zapojení podle bodu 1, vyznačující se tím, že první vstup (11) obvodu (1) vyhodnocení časové odchylky je připojen ke vstupu (1 041) první zpožďovací linky (104) a k hodinovému vstupu (1 022) druhého klopného obvodu (102), jehož invertovaný výstup (1 023) je připojen k součinnému hradlu (103), přičemž druhá zpožďovací linka (105) je připojena k signálnímu vstupu (1 021) druhého klopného obvodu (102), přičemž první zpožďovací linka (104) je připojena k signálnímu vstupu (1 011) prvního klopného obvodu (101), jehož invertovaný výstup (1 013) je připojen k součinnému hradlu (103), jehož výstup je připojen ke vstupu (21) impulsního filtru (2), přičemž druhý vstup (12) obvodu (1) vyhodnocení časové odchylky je připojen k hodinovému vstupu (1 012) prvního klopného obvodu (101) a ke vstupu (1 051) druhé zpožďovací linky (105), k níž je připojen signální vstup (1 021) druhého klopného obvodu (102).

4. Zapojení podle bodu 1, vyznačující se tím, že první vstup (11) obvodu (1) vyhodnocení časové odchylky je připojen k signálnímu vstupu (1 011) prvního klopného obvodu (101), jehož přímý výstup (1 014) je připojen k součinnému hradlu (103), přičemž druhý vstup (12) obvodu (1) vyhodnocení časové odchylky je připojen k druhé zpožďovací lince (105), jejíž výstup (1 052) je připojen k hodinovému vstupu (1 012) prvního klopného obvodu (101) a k hodinovému vstupu (1 022) druhého klopného obvodu (102), jehož invertovaný výstup (1 023) je připojen k součinnému hradlu (103), jehož výstup je připojen ke vstupu (21) impulsního filtru (2), přičemž první vstup (11) obvodu (1) vyhodnocení časové odchylky je připojen ke vstupu (1 041) první zpožďovací linky (104), k níž je připojen signální vstup (1 021) druhého klopného obvodu (102).

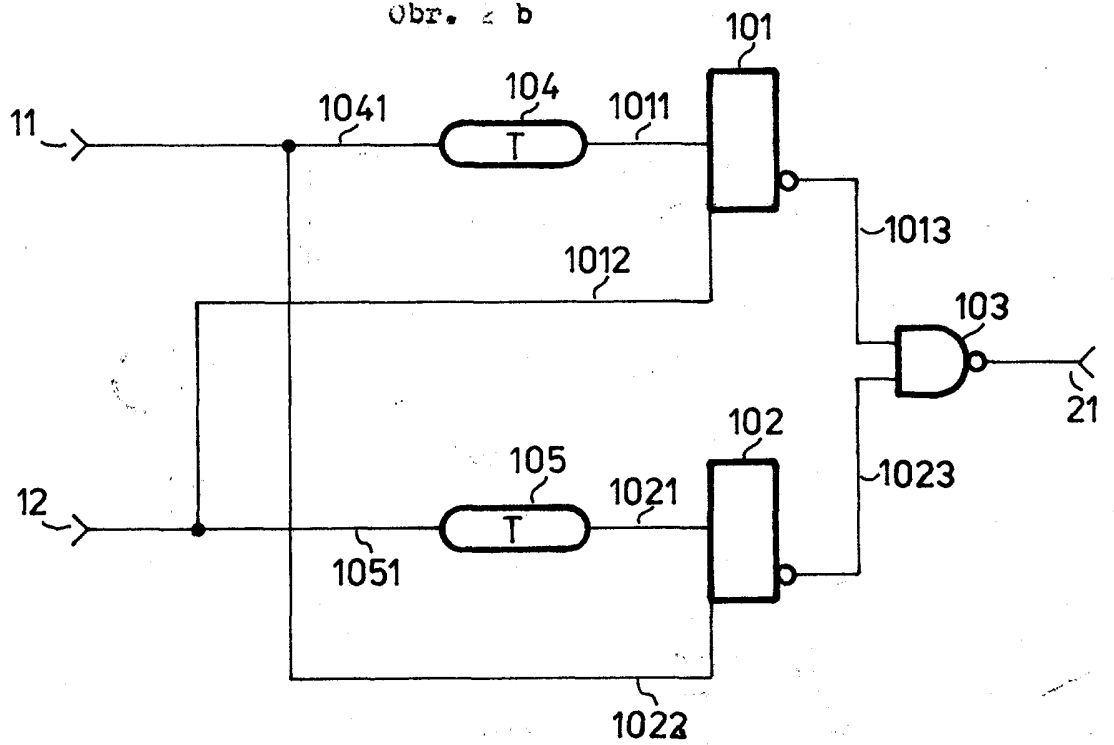
5. Zapojení podle bodu 1, vyznačující se tím, že první vstup (11) obvodu (1) vyhodnocení časové odchylky je připojen k první zpožďovací lince (104), jejíž výstup (1 042) je připojen k signálnímu vstupu (1 011) prvního klopného obvodu (101) a k signálnímu vstupu (1 021) druhého klopného obvodu (102), přičemž druhý vstup (12) obvodu (1) vyhodnocení časové odchylky je připojen k hodinovému vstupu (1 012) prvního klopného obvodu (101) a ke vstupu (1 051) druhé zpožďovací linky (105), k níž je připojen hodinový vstup (1 022) druhého klopného obvodu (102), jehož invertovaný výstup (1 023) je připojen k součinnému hradlu (103), jehož výstup je připojen ke vstupu (21) impulsního filtru (2), přičemž přímý výstup (1 014) prvního klopného obvodu (101) je připojen k součinnému hradlu (103).

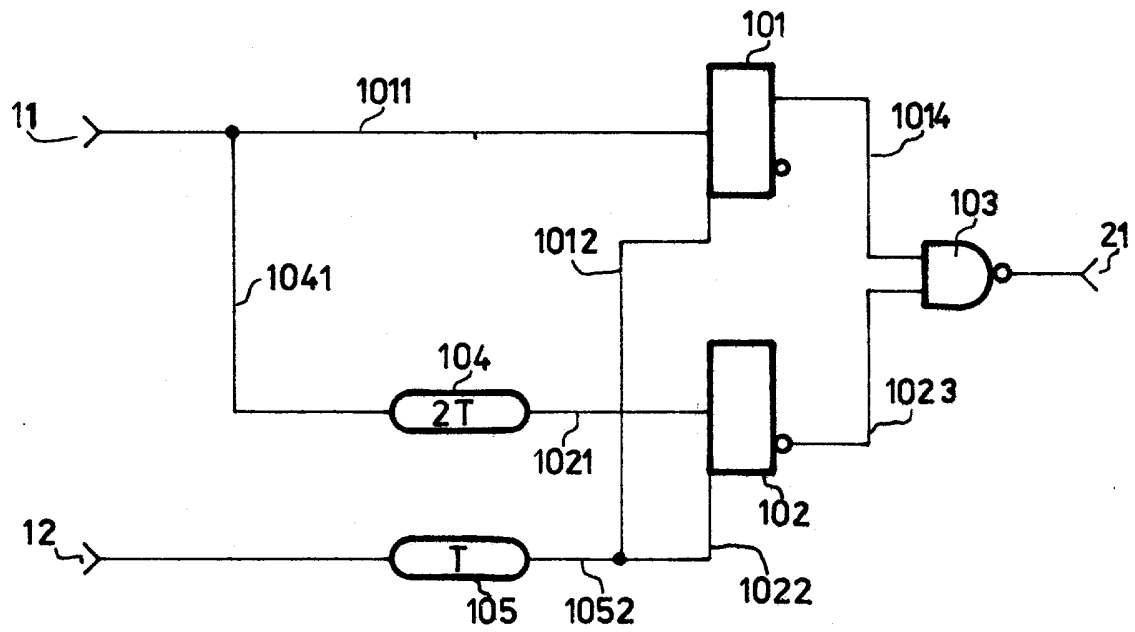




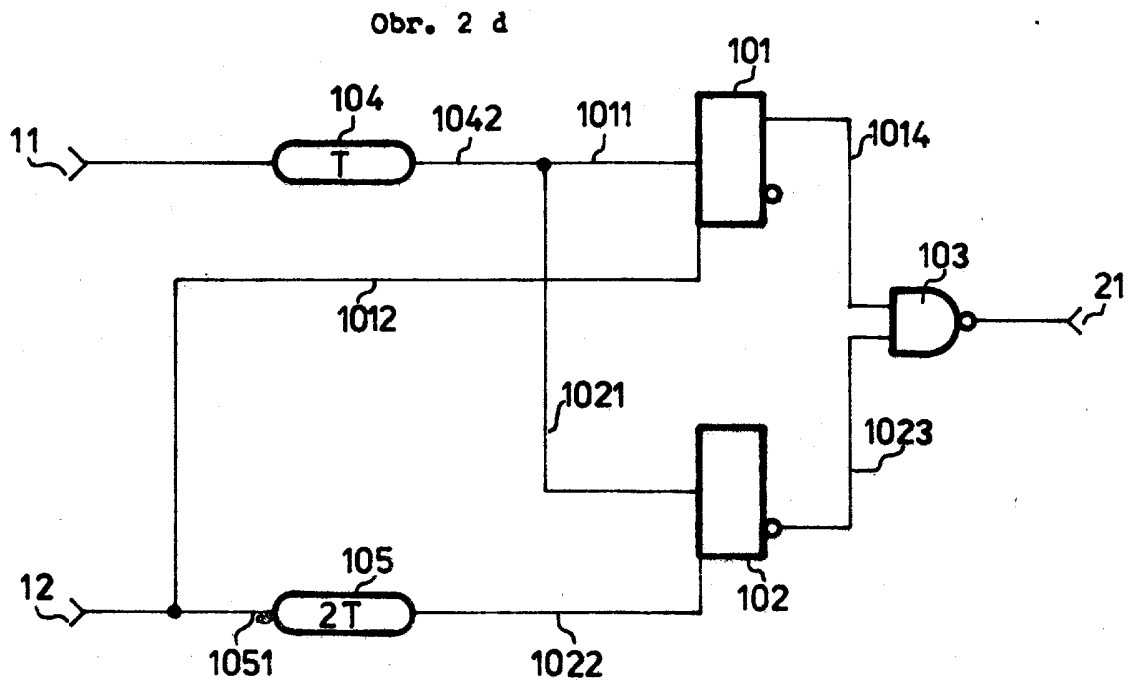
Obr. 2 a

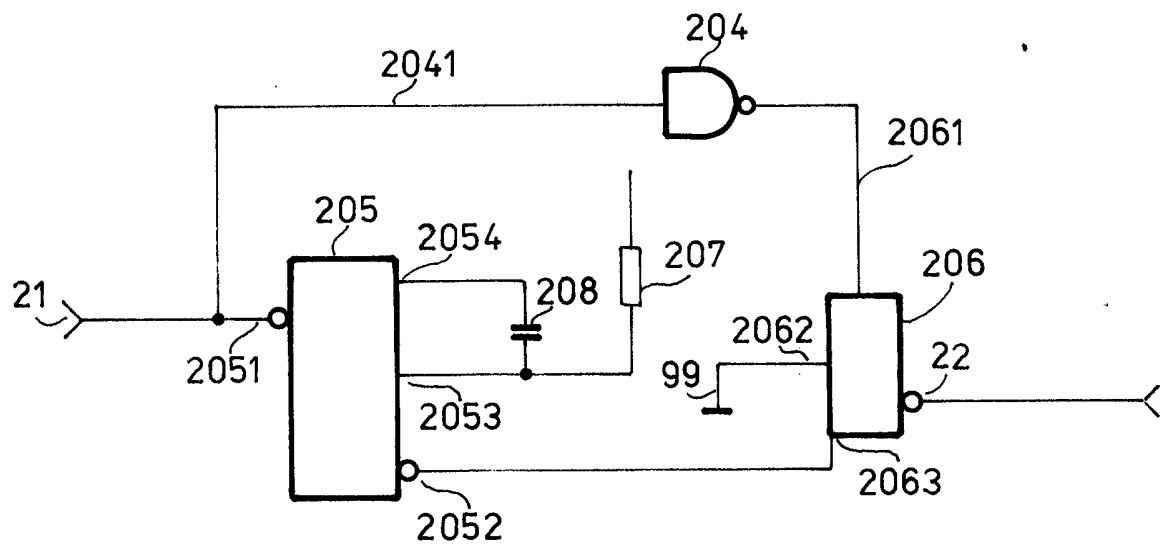
Obr. 2 b





Obr. 2 c





Обр. 3