

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年8月18日 (18.08.2005)

PCT

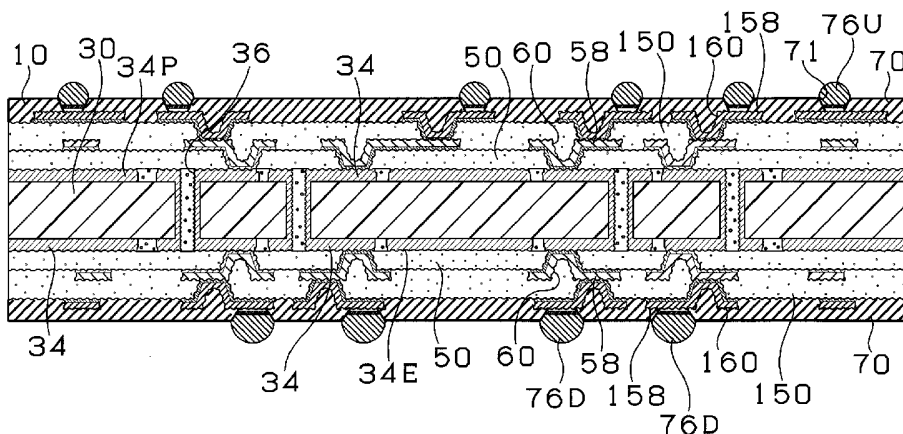
(10) 国際公開番号
WO 2005/076683 A1

- (51) 国際特許分類: H05K 3/46
- (21) 国際出願番号: PCT/JP2005/001611
- (22) 国際出願日: 2005年2月3日 (03.02.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 - 特願2004-028074 2004年2月4日 (04.02.2004) JP
 - 特願2004-029201 2004年2月5日 (05.02.2004) JP
 - 特願2004-043068 2004年2月19日 (19.02.2004) JP
 - 特願2004-043069 2004年2月19日 (19.02.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): イビデン株式会社 (IBIDEN CO.,LTD.) [JP/JP]; 〒5030917 岐阜県大垣市神田町2丁目1番地 Gifu (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 稲垣 靖 (INAGAKI, Yasushi) [JP/JP]; 〒5010695 岐阜県揖斐郡揖斐川町北方1丁目1番地 イビデン株式会社内 Gifu (JP). 佐野 克幸 (SANO, Katsuyuki) [JP/JP]; 〒5010695 岐阜県揖斐郡揖斐川町北方1丁目1番地 イビデン株式会社内 Gifu (JP).
- (74) 代理人: 田下 明人 (TASHITA, Akihito); 〒4600008 愛知県名古屋市中区栄1丁目2番6号 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: MULTILAYER PRINTED WIRING BOARD

(54) 発明の名称: 多層プリント配線板



(57) Abstract: Disclosed is a package board wherein a malfunction or error occurs even when a high-frequency IC chip, in particular an IC chip of more than 3 GHz is mounted. A conductor layer (34P) having a thickness of 30 μm is formed on a core substrate (30), and a conductor circuit (58) having a thickness of 15 μm is formed on an interlayer resin insulating layer (50). By forming the conductor layer (34P) thick, the volume of the conductor itself is increased, thereby reducing the resistance. In addition, the power supply capacity to the IC chip can be improved by using the conductor layer (34) as a power supply layer.

(57) 要約: 【課題】 高周波領域のICチップ、特に3GHzを越えても誤動作やエラーの発生しないパッケージ基板を提供する。【解決手段】 コア基板30上の導体層34Pを厚さ30μmに形成し、層間樹脂絶縁層50上の導体回路58を15μmに形成する。導体層34Pを厚くすることにより、導体自体の体積を増やし抵抗を低減することができる。更に、導体層34を電源層として用いることで、ICチップへの電源の供給能力を向上させることができる。



WO 2005/076683 A1



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

多層プリント配線板

技術分野

- [0001] この発明は、多層プリント配線板に係り、高周波のICチップ、特に3GHz以上の高周波領域でのICチップを実装したとしても誤作動やエラーなどが発生することなく、電気特性や信頼性を向上させることができる多層プリント配線板に関することを提案する。

背景技術

- [0002] ICチップ用のパッケージを構成するビルドアップ式の多層プリント配線板では、スルーホールが形成されたコア基板の両面もしくは片面に、層間絶縁樹脂を形成し、層間導通のためのバイアホールをレーザもしくはフォトエッチングにより開口させて、層間樹脂絶縁層を形成させる。そのバイアホール内壁と層間樹脂絶縁層上にめっきなどにより導体層を形成し、エッチングなどを経て、パターンを形成し、導体回路を作り出させる。さらに、層間絶縁層と導体層を繰り返し形成させることにより、ビルドアップ多層プリント配線板が得られる。必要に応じて、表層には半田バンプ、外部端子(PGA/BGAなど)を形成させることにより、ICチップを実装することができる基板やパッケージ基板となる。ICチップはC4(フリップチップ)実装を行うことにより、ICチップと基板との電氣的接続を行っている。

- [0003] ビルドアップ式の多層プリント配線板の従来技術としては、特開平6-260756号公報、特開平6-275959号公報などがある。ともに、スルーホールを充填樹脂で充填されたコア基板上に、ランドが形成されて、両面にバイアホールを有する層間絶縁層を施して、アディティブ法により導体層を施し、ランドと接続することにより、高密度化、微細配線を形成された多層プリント配線板を得られる。

- [0004] 特許文献1:特開平6-260756号公報
特許文献2:特開平6-275959号公報

発明の開示

発明が解決しようとする課題

- [0005] しかしながら、ICチップが高周波になるにつれて、誤動作やエラーの発生の頻度が高くなってきた。特に周波数が3GHzを越えたあたりから、その度合いが高くなってきている。5GHzを越えると全く動かなくなることもあった。そのために、該ICチップをCPUとして備えるコンピュータで、機能すべきはずの動作、例えば、画像の認識、スイッチの切り替え、外部へのデータの伝達などの所望の機能や動作を行えなくなってしまう。
- [0006] それらのICチップ、基板をそれぞれ非破壊検査や分解したところICチップ、基板自体には、短絡やオープンなどの問題は発生しておらず、周波数の小さい(特に1GHz未満)ICチップを実装した場合には、誤動作やエラーの発生はなかった。
- [0007] 本発明者らは、上述した課題を解決するために、特願2002-233775中に記載したようにコア基板上の導体厚の厚みを層間絶縁層上の導体層の厚みより厚くすることを提案した。しかしながら、上述した発明では、微細な配線パターンを有するコア基板を作製しようとすると配線パターン間の絶縁間隔が狭くなり、絶縁信頼性に劣るプリント配線板となってしまった。
- [0008] 本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、高周波領域のICチップ、特に3GHzを越えても誤動作やエラーの発生しないプリント基板もしくはパッケージ基板を構成し得る多層プリント配線板を提案することにある。

また、絶縁信頼性や接続信頼性の高い多層プリント配線板を提供することを目的とする。

課題を解決するための手段

- [0009] 発明者らは、上記目的の実現に向け鋭意研究した結果、以下に示す内容を要旨構成とする発明に想到した。すなわち、

本願の第一の発明は、コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して、電気的な接続を行われる多層プリント配線板において、コア基板の導体層の厚みは、層間絶縁層上の導体層の厚みよりも厚く、前記コア基板上の導体層の側面はテーパ状になっており、該導体層の側面の上端と下端とを結んだ直性とコア基板の水平面とがなす角度を Θ としたとき、前記 Θ が、 $2.8 < \tan \Theta < 55$ の関

係式を満足することを特徴とする多層プリント配線板にある。

本願の第二の発明は、コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して電気的な接続の行われる多層プリント配線板において、前記コア基板が、表裏に導体層と内層に厚い導体層を有する3層以上の多層コア基板であって、前記コア基板の内層の導体層と表裏の導体層の内、少なくとも1層が、電源層用の導体層又はアース用の導体層であることを特徴とする多層プリント配線板にある。

さらに、内層の導体層の側面の上端と下端とを結んだ直性とコア基板の水平面とがなす角度を Θ としたとき、前記 Θ が、 $2.8 < \tan \Theta < 55$ の関係式を満足してもよい。

[0010] 第1の効果として、コア基板の電源層の導体層を厚くすることにより、コア基板の強度が増す、それによりコア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

[0011] 第2の効果として、導体層を厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗を低減することができる。そのため流れる信号線などの電気的な伝達などを阻害しなくなる。従って、伝達される信号などに損失を起こさない。それは、コアとなる部分の基板だけを厚くすることにより、その効果を奏する。厚い導体層は、コア基板の内層に配設するのが好ましい。コア基板上に形成する層間絶縁層や層間絶縁層上の導体層が平坦になる。また、相互インダクタンスが減少する。

[0012] 第3の効果として、導体層を電源層として用いることで、ICチップへの電源の供給能力を向上させることができる。また、導体層をアース層として用いることで、ICチップへの信号、電源に重畳するノイズを低減させることができる。その根拠としては、第2の効果で述べた導体の抵抗の低減が、電源の供給も阻害しなくなる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップー基板ー電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。

第4の効果として、コア基板の導体層の側面がテーパ状であり、該導体層の側面の上端と下端とを結んだ直性とコア基板の水平面とがなす角度(以下、単に導体層

の側面の角度と言う場合がある)を Θ としたとき、前記 Θ が、 $2.8 < \tan \Theta < 55$ の関係式を満足するので、ファイン化と電源不足防止、高速伝送信号を同時に達成できる。 $\tan \Theta$ が2.8を越えているため、導体層の上端どうしを近接して配置しても、導体層の下端間の間隔を確保できる。そのため、高密度で絶縁信頼性が高いプリント配線板となる。また、電位が逆のスルーホールとコア基板の内層導体とを近接して配置できるためインダクタンスを減少させられる。そのため、電源不足を防止しやすい多層プリント配線板となる。両者を近接する方法としては、後述するダミーランドを有しないスルーホールとしてもよい。一方、 $\tan \Theta$ が55未満であるため、導体層の側壁が直角でない。そのため、インピーダンス整合するために、信号用スルーホール(ICの信号回路と電氣的に接続しているスルーホール)の導体厚や径を、薄くしたり小さくしたりする必要がない。その結果、信号用スルーホールの導体抵抗を低くすることが可能となるので、高速信号伝送に有利となる。また、導体層の側面がテーパ状であると、電源不足と信号劣化を同時に防止することも可能となる。テーパ状であるため、多層コアを貫通する信号用スルーホールにおいて、信号の減衰を小さくできるので、信号劣化が起りにくい。そして、導体層の側面の角度が所定の角度以上であるため、導体抵抗を低くできるので、電源不足を抑えることができる。さらに、多層コアの場合、表裏の導体層の側面の角度を $\Theta 1$ 、内層の導体層の側面の角度を $\Theta 2$ とした時、 $\Theta 1 > \Theta 2$ が望ましい。コア基板上には層間絶縁層と導体層からなるビルドアップ層が形成されるため、ビルドアップ層の信号線においてインピーダンス整合しやすいからである。 $\Theta 1$ が小さいテーパ上にビルドアップ層の信号線が形成された場合、該信号線下の層間絶縁層厚みが異なる領域が多くなるからである。また、スルーホールピッチを狭くできないので、インダクタンスを小さくできない。

[0013] 発明者らは、上記目的の実現に向け鋭意研究した結果、以下に示す内容を要旨構成とする発明に想到した。すなわち、

本願発明は、コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して、電氣的な接続を行われる多層プリント配線板において、コア基板の電源用もしくはアース用の導体層の厚みの和の少なくとも一方は、層間絶縁層上の導体層の厚みよりも厚いことを特徴とする多層プリント配線板にある。

[0014] すなわち、コア基板を多層コア基板とし、コア基板の表裏のみの導体層の厚みを厚くするのではなく、各導体層の和を厚くしたことにある。多層コア基板の場合、コア基板の表裏の導体層と内層の導体層をそれぞれ足した厚みが、ICへの電源供給やその安定化に寄与する厚みとなる。この場合、表層の導体層と内層の導体層とが電気的な接続があり、かつ、2箇所以上での電気的な接続があるものであるときに適用される。つまり、多層化して、多層コア基板の各導体層の厚みの和を厚くし、コアの導体層を電源用の導体層として用いることで、ICチップへの電源の供給能力が向上させることができる。また、コアの導体層をアース層として用いることで、ICチップへの信号、電源に重畳するノイズを低減させたり、ICに電源を安定的に供給することができる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップー基板ー電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。また、ノイズが低減されるため、誤動作やエラーを引き起こすことがない。

さらに、多層コア基板とすることで、多層コア基板の導体層の厚みの和を確保したまま、多層コア基板の各導体層の厚みを薄くすることができる。つまり、これにより、微細な配線パターンを形成しても、配線パターン間の絶縁間隔を確実に確保できるため、絶縁信頼性に高いプリント配線板を提供することも可能となる。

その他の効果として、コア基板の電源用もしくはアース用の導体層の厚みを厚くすることにより、コア基板の強度が増す、それによりコア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

[0015] また、ICチップー基板ーコンデンサもしくは電源層ー電源を経て、ICチップに電源を供給する場合にも、同様の効果を奏する。前述のループインダクタンスを低減することができる。それ故に、コンデンサもしくは誘電体層の電源の供給に損失を起こさない。そもそもICチップは、瞬時的に電力を消費して、複雑な演算処理や動作が行われる。電源層からのICチップへの電力供給により、高周波領域のICチップを実装したとしても、初期動作における電源不足(電圧降下の発生という状況)に対して、大

量のコンデンサを実装することなく、電源の供給をすることができる。そもそも高周波領域のICチップを用いるためには初期動作時の電源不足(電圧降下)が発生するが、従来のICチップでは供給されていたコンデンサもしくは誘電体層の容量で足りていた。

[0016] 特に、コア基板の電源層として用いられる導体層の厚みが、コア基板の片面もしくは両面上の層間絶縁層上に形成されている導体層の厚みより、厚いときに、上記の3つの効果を最大限にさせることができるのである。この場合の層間絶縁層上の導体層とは、所謂、ビルドアッププリント配線板のビルドアップ部における層間絶縁層上の導体層のことである(本願であれば、図27中の58、158)。

[0017] コア基板の電源層は、基板の表面、裏面、内層の内少なくとも1層、もしくは複数の層に配置させてもよい。内層の場合は、2層以上に渡り多層化してもよい。残りの層をアース層とするのがよい。基本的には、コア基板の電源層の和は層間絶縁層の導体層よりも厚くなっていれば、その効果を有するのである。電源用の導体層とアース用の導体層とが交互に配置することが電気特性を改善するために望ましい。

ただ、内層に形成することが望ましい。内層に形成されるとICチップと外部端もしくはコンデンサとの中間に電源層が配置される。そのため、双方の距離が均一であり、阻害原因が少なくなり、電源不足が抑えられるからである。

[0018] また、本発明では、コア基板上に、層間絶縁層と導体層が形成されて、ビアホールを介して、電気的な接続を行われる多層プリント配線板において、

コア基板上の導体層の厚みを $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることを特徴とする多層プリント配線板にある。

[0019] $\alpha 1 \leq \alpha 2$ の場合は、電源不足に対する効果が全くない。つまり、いいかえると初期動作時に発生する電圧降下に対して、その降下度を抑えるということが明確にならないということである。

$\alpha 1 > 40 \alpha 2$ を越えた場合についても検討を行ったところ、基板厚みが厚くなるため、配線長が長くなり、電圧降下量が大きくなった。つまり、本願の効果の臨界点であると理解できる。これ以上厚くしても、電気的な効果の向上は望めない。また、この厚みを越えると、コア基板の表層に導体層を形成した場合にコア基板と接続を行うラ

ンド等が形成するのに困難が生じてしまう。さらに上層の層間絶縁層を形成すると、凹凸が大きくなってしまい、層間絶縁層にうねりを生じてしまうために、インピーダンスを整合することが出来なくなってしまうことがある。しかしながら、その範囲($\alpha 1 > 40$ $\alpha 2$)でも問題がないときもある。

[0020] 導体層の厚み $\alpha 1$ は、 $1.2 \alpha 2 \leq \alpha 1 \leq 40 \alpha 2$ であることがさらに望ましい。その範囲であれば、電源不足(電圧降下)によるICチップの誤動作やエラーなどが発生しないことが確認されている。

[0021] この場合のコア基板とは、ガラスエポキシ樹脂などの芯材が含浸した樹脂基板、セラミック基板、金属基板、樹脂、セラミック、金属を複合して用いた複合コア基板、それらの基板の内層に導体層が設けられた基板、3層以上の多層化した導体層が形成された多層コア基板を用いたもの等を指す。

[0022] 電源層の導体の厚みを、厚くするために、金属を埋め込まれた基板の上に、めっき、スパッタなどの一般的に行われる導体層を形成するプリント配線板の方法で形成したものをを用いてもよい。

[0023] 多層コア基板の場合であれば、前記 $\alpha 1$ は、コア基板の表層の導体層と内層の導体層の内、電源用の導体層をそれぞれ足した厚みが、コア基板の電源用の導体層の厚みとなる。この場合、表層の導体層と内層の導体層とが電気的な接続があり、かつ、2箇所以上での電気的な接続があるものであるときに適用される。つまり、多層化しても、コア基板の導体層の厚みを厚くすることが本質であり、効果自体はなんら変わらないのである。また、パッド、ランド程度の面積であれば、その面積の導体層の厚みは、足した厚みとはならない。この場合は、3層(表層+内層)からなるコア基板でもよい。3層以上の多層コア基板でもよい。

必要に応じて、コア基板の内層にコンデンサや誘電体層、抵抗などの部品を埋め込み、形成させた電子部品収納コア基板を用いてもよい。

[0024] さらに、コア基板の内層の導体層を厚くしたとき、ICチップの直下に該当の導体層を配置したほうがよい。ICチップの直下に配設させることにより、ICチップと電源層との距離を最短にすることができ、そのために、よりループインダクタンスを低減することができるのである。そのためにより効率よく電源供給がなされることとなり、電圧不足が

解消されるのである。このときも、コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることが望ましい。

[0025] なお、同一厚みの材料で形成されたもので、積層された多層プリント配線板であるならば、プリント基板における導体層として電源層を有する層もしくは基板をコア基板として定義される。

[0026] 更に、多層コア基板は、内層に相対的に厚い導体層を、表層に相対的に薄い導体層を有し、内層の導体層が、主として電源層用の導体層又はアース用の導体層であることが好適である。(相対的に厚い、薄いとは、全ての導体層の厚みを比較して、その傾向がある場合、この場合は、内層は他の導体層と比較すると相対的に厚いということとなり、表層はその逆であると言うことを示している。)但し、表層の導体層を電源用、または、アース用の導体層として用いてもよいし、一面を電源用の導体層、他面をアース用の導体層として用いてもよい。

即ち、内層側に厚い導体層を配置させることにより、その厚みを任意に変更したとしても、その内層の導体層を覆うように、樹脂層を形成させることが可能となるため、コアとしての平坦性が得られる。そのため、層間絶縁層の導体層にうねりを生じさせることがない。多層コア基板の表層に薄い導体層を配置しても、内層の導体層と足した厚みでコアの導体層として十分な導体層の厚みを確保することができる。これらを、電源層用の導体層又はアース用の導体層として用いることで、多層プリント配線板の電気特性を改善することが可能になる。

[0027] コア基板の内層の導体層の厚みを、層間絶縁層上の導体層よりも厚くする。これにより、多層コア基板の表面に薄い導体層を配置しても、内層の厚い導体層と足すことで、コアの導体層として十分な厚みを確保できる。つまり、大容量の電源が供給されたとしても、問題なく、起動することができるため、誤作動や動作不良を引き起こさない。このときも、コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることが望ましい。

[0028] また、本発明では、コア基板上に層間絶縁層と導体層が形成されて、バイアホールを介して電氣的な接続が行われる多層プリント配線板において、多層コア基板のア

ース用の導体層の厚みの和を $\alpha 3$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ とした時、 $\alpha 3$ と $\alpha 2$ は、 $\alpha 2 < \alpha 3 \leq 40 \alpha 2$ であることを特徴とする多層プリント配線板にある。この範囲にすることで、ICチップへの信号電源に重畳するノイズを低減できる。また、ICへの電源供給を安定的に行うことが可能になる。さらに、 $1.2 \alpha 1 < \alpha 3 \leq 40 \alpha 2$ の範囲にするとその効果は増す。

[0029] 多層コア基板にしたとき、内層の導体層は、導体層の厚みを相対的に厚くし、かつ、電源層として用いて、表層の導体層は、内層の導体層を挟むようにし、形成され、かつ、信号線として用いられている場合であることも望ましい。この構造により、前述の電源強化を図ることができる。

[0030] さらに、コア基板内で導体層と導体層との間に信号線を配置することでマイクロストリップ構造を形成させることができるために、インダクタンスを低下させ、インピーダンス整合を取ることができるのである。そのために、電気特性も安定化することができるのである。また、表層の導体層を相対的に薄くすることがさらに望ましい構造となるのである。コア基板は、スルーホールピッチを $600 \mu\text{m}$ 以下にしてもよい。

[0031] 多層コア基板は、電氣的に隔絶された金属板の両面に、樹脂層を介在させて内層の導体層が、更に、当該内層の導体層の外側に樹脂層を介在させて表面の導体層が形成されて成ることが好適である。中央部に電氣的に隔絶された金属板を配置することで、十分な機械的強度を確保することができる。更に、金属板の両面に樹脂層を介在させて内層の導体層を、更に、当該内層の導体層の外側に樹脂層を介在させて表面の導体層を形成することで、金属板の両面で対称性を持たせ、ヒートサイクル等において、反り、うねりが発生することを防げる。

多層コア基板は、36合金や42合金等の低熱膨張係数の金属板の両面に、絶縁層を介在させて内層の導体層が、更に、当該内層の導体層の外側に絶縁層を介在させて表面の導体層が形成されても良い。中央部に電氣的に隔絶された金属板を配置することで、多層プリント配線板のX-Y方向の熱膨張係数をICの熱膨張係数に近づけることができ、ICと多層プリント配線板の接続部での樹脂層の局所ヒートサイクル性が向上する。更に、金属板の両面に絶縁層を介在させて内層の導体層を、更に、当該内層の導体層の外側に絶縁層を介在させて表面の導体層を形成することで、

金属板の両面で対称性を持たせ、ヒートサイクル等において、反り、うねりが発生することを防げる。

[0032] 図22は、縦軸にICチップの電圧、横軸には時間経過を示している。図22は、1GHz以上の高周波ICチップを実装した電源供給用のコンデンサを備えないプリント配線板をモデルにしたものである。線Aは、1GHzのICチップの電圧の経時変化を示したものであり、線Bは、3GHzのICチップの電圧の経時変化を示したものである。この図においては、同時スイッチングした時、複数回発生する電圧降下の内、3回目の電圧降下を示している。その経時変化は、ICチップが起動し始めたとき、瞬時に大量の電源が必要となる。その供給が不足していると電圧が降下する(X点、X'点)。その後、供給する電源が徐々に充足されるので、電圧降下は解消される。しかしながら、電圧が降下したときには、ICチップの誤作動やエラーを引き起こしやすくなる。つまり、電源の供給不足によるICチップの機能が十分に機能、起動しないがために起こる不具合である。この電源不足(電圧降下)はICチップの周波数は増えるにつれて、大きくなっていく。そのために、電圧降下を解消するためには、時間が掛かってしまい、所望の機能、起動を行うために、タイムラグが生じてしまう。

[0033] 前述の電源不足(電圧降下)を補うために、外部のコンデンサと接続させて、該コンデンサ内に蓄積された電源を放出することにより、電源不足もしくは電圧降下を小さくすることができる。

図23には、コンデンサを備えたプリント基板をモデルにしたものである。線Cは、小容量のコンデンサを実装して、1GHzのICチップにおける電圧の経時変化を示したものである。コンデンサを実装していない線Aに比べると電圧降下の度合いが小さくなってきている。さらに、線Dは、線Cで行ったものに比べて大容量のコンデンサを実装して、線C同様に経時変化を示したものである。さらに線Cと比較しても、電圧降下の度合いが小さくなってきている。それにより、所望のICチップも機能、起動を行うことができるのである。しかしながら、図22に示したように、ICチップがより高周波領域になると、より多くのコンデンサ容量が必要になってしまい、そのためにコンデンサの実装する領域を設定する必要となるため、電圧の確保が困難になってしまい、動作、機能を向上することができないし、高密度化という点でも難しくなってしまう。

[0034] コア基板の電源用の導体層の厚みの和を $\alpha 1$ 、層間絶縁層上の導体層の厚み $\alpha 2$ として、 $\alpha 1 / \alpha 2$ を変えたときの電圧降下の様子を図24中のグラフに示す。図24中に、線Cは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = \alpha 2$ における電圧の経時変化を示している。また、線Fは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = 1.5 \alpha 2$ における電圧の経時変化を示し、線Eは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = 2.0 \alpha 2$ における電圧の経時変化を示している。コアの導体層の厚みの和が厚くなるにつれて、電源不足もしくは電圧降下が小さくなってきている。そのために、ICチップの機能、動作の不具合の発生が少なくなるということがいえる。コア基板の電源用の導体層の厚みの和を厚くすることにより、導体層の体積が増すことになる。体積が増すと導体抵抗が低減させるので、伝達される電源における電圧、電流への損失がなくなる。そのために、ICチップ—電源間での伝達損失が小さくなり、電源の供給が行われるので、誤動作やエラーなどを引き起こさない。この場合は、特に電源用の導体層の厚みの和による要因が大きく、コア基板における電源用の導体層の厚みの和を層間絶縁層上の導体層の厚みよりも厚くすることにより、その効果を奏する。

[0035] また、コア基板の片面もしくは両面の表層に形成された電源用の導体層を厚くした場合だけでなく、内層に導体層を形成した3層以上のコア基板にした場合でも同様の効果を奏することがわかった。つまり、電源不足もしくは電圧降下を小さくする効果があるのである。なお、多層コア基板の場合は、コア基板のすべての層の電源用の導体層の厚みが、層間絶縁層上の導体層の厚みよりも厚いときでも、コア基板のすべての層の電源用の導体層の厚みが、層間絶縁層上の導体層の厚みと同等もしくはそれ以下のときでも、全ての層の電源用の導体層の厚みを足した厚みの総和が、層間絶縁層上の導体層の厚みより、厚くなったときに、その効果を奏する。この場合は、それぞれの導体層の面積の差がない。つまり、ほぼ同一な面積比である場合に、その効果を奏する。例えば、2層の導体層において、片方がベタ層の大面积であるのに対して、もう一方は、バイアホール及びそのランド程度である場合には、もう一方の層の導体層の効果は相殺されてしまう。

[0036] さらに、コア基板内にコンデンサや誘電体層、抵抗などの電子部品を内蔵した基板

であっても、その効果は顕著に表れる。内蔵させることにより、ICチップとコンデンサもしくは誘電体層との距離を短くすることができる。そのために、ループインダクタンスを低減することができる。電源不足もしくは電圧降下を小さくすることができる。例えば、コンデンサや誘電体層を内蔵したコア基板においても、コアの基板の電源用の導体層の厚みを層間絶縁層上の導体層の厚みよりも厚くすることにより、メインの電源と内蔵されたコンデンサや誘電体層の電源との双方の導体抵抗を減らすことができるので、伝達損失を低減することができ、コンデンサを内蔵した基板の効果をいっそう発揮されるようになる。

- [0037] コア基板の材料は、樹脂基板で検証を行ったが、セラミック、金属コア基板でも同様の効果を奏することがわかった。また、導体層の材質も銅からなる金属で行ったが、その他の金属でも、効果が相殺されて、誤動作やエラーが発生が増加するということは確認されていないことから、コア基板の材料の相違もしくは導体層を形成する材質の相違には、その効果の影響はないものと思われる。より望ましいのは、コア基板の導体層と層間絶縁層の導体層とは、同一金属で形成されることである。電気特性、熱膨張係数などの特性や物性が変わらないことから、本願の効果を奏される。

発明の効果

- [0038] 本願発明により、ICチップー基板ー電源の導体における抵抗を低減させることができ、伝達損失が低減される。そのために、伝達される信号や電源が所望の能力が発揮される。そのために、ICチップの機能、動作などが正常に作動するために、誤作動やエラーを発生することがない。ICチップー基板ーアースの導体における抵抗を低減させることができ、信号線、電源線でのノイズの重畳を軽減し、誤作動やエラーを防ぐことができる。

また、本願発明により、ICチップの初期起動時に発生する電源不足(電圧降下)の度合いを小さくなることもわかり、高周波領域のICチップ、特に3GHz以上のICチップを実装したとしても、問題なく起動することができることが分かった。そのため、電気的な特性や電気接続性をも向上させることができるのである。

そして、コア基板を多層化して、導体層の厚みの和を厚くすることで、絶縁信頼性にも優れたプリント配線板とすることができる。

さらに、プリント基板の回路内での抵抗を従来のプリント基板に比べても、小さくすることができる。そのために、バイアスを付加して、高温高湿下で行う信頼性試験(高温高湿バイアス試験)を行っても、破壊する時間も長くなるので、信頼性も向上することができる。

また、電源用の導体層の抵抗が低くなるため、多量の電気が流れても発熱を抑えられる。アース層も同様である。この点でも、誤動作が発生しにくし、IC実装後のプリント配線板の信頼性が高くなる。

[0039] 更に、コア基板の導体層の側面はテーパ状(図27(B)に示す直線状のテーパ、又は、図27(C)に示すR面状のテーパ)になっており、該導体層の側面の上端と下端とを結んだ直性とコア基板の水平面とがなす角度を Θ としたとき、図27(A)に示す多層コア基板を用いる多層プリント配線板を例にとると、図27(B)、図27(C)に示すように、コア基板の内層の導体層16Eの側面の上端と下端とを結んだ直性とコア基板とがなす角度を Θ としたとき、

Θ が $2.8 < \tan \Theta < 55$ の関係式を満足することが望ましい。16Pも同様である。このように導体層を形成することで、厚みの厚い導体層を形成しても信頼性を低下させることがなくなる。また、信号遅延や信号強度不足等によるICの誤動作も起こり難い。 $\tan \Theta$ が小さくなると導体層の体積が減少するため、ICへの電源供給に遅延が生じやすい。一方、 $\tan \Theta$ が大きくなると信号強度がスルーホールにおいて劣化しやすい。信号強度劣化の理由を、内層の導体層が厚い4層コアを例にとって説明する。多層コアを貫通する信号用スルーホール(ICの信号回路と電氣的に接続しているスルーホール)に注目する。図31に示すように、信号用スルーホールは、上から絶縁層1、グランド層、絶縁層2、電源層、絶縁層3を貫通する。信号配線は、その周囲にグランドや電源の有無などによりインピーダンスが変化するため、絶縁層1とグランド層との界面X1を境にしてインピーダンスの値が異なる。そのため、その界面において信号の反射が起こる。同様なことがX2、X3、X4でも起こる。このようなインピーダンスの変化量は、信号用スルーホールとグランド層、電源層との距離が近いほど、グランド層、電源層の厚みが厚いほど大きくなる。それ故、本願発明の厚い導体層を内層に有する多層コアではスルーホールにおいて信号劣化が発生しやすいのである。それを防

止するため、 $\tan \Theta$ の値を小さくするのが好ましいのである。 $\tan \Theta$ の値を小さくすることにより、信号用スルーホールと内層の導体層との最小間隔を同一にしても、つまり同密度であっても、信号用スルーホールと内層の導体層との間隔が断面方向で徐々に広がるので、インピーダンスの変化量が小さくなる。より駆動周波数の大きいICを実装するとこの問題は発生しやすいので、 $\tan \Theta$ は11.4以下、さらには、5.7以下が好ましい。

発明を実施するための最良の形態

[0040] [第1実施例]ガラスエポキシ樹脂基板]

先ず、本発明の第1実施例に係る多層プリント配線板10の構成について、図1～図7を参照して説明する。図6は、該多層プリント配線板10の断面図を、図7は、図6に示す多層プリント配線板10にICチップ90を取り付け、ドータボード94へ載置した状態を示している。図6に示すように、多層プリント配線板10では、コア基板30の表面に導体回路34、導体層34P、裏面に導体回路34、導体層34Eが形成されている。上側の導体層34Pは、電源用のプレーン層として形成され、下側の導体層34Eは、アース用のプレーン層として形成されている。コア基板30の表面と裏面とはスルーホール36を介して接続されている。更に、該導体層34P、34Eの上にビアホール60及び導体回路58の形成された層間樹脂絶縁層50と、ビアホール160及び導体回路158の形成された層間樹脂絶縁層150とが配設されている。該ビアホール160及び導体回路158の上層には溶剤レジスト層70が形成されており、該溶剤レジスト層70の開口部71を介して、ビアホール160及び導体回路158にバンプ76U、76Dが形成されている。

[0041] 図7中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側のハンダバンプ76Dは、ドータボード94のランド96へ接続されている。

[0042] ここで、コア基板30上の導体層34P、34Eは、厚さ5～250 μm に形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158は5～25 μm (望ましい範囲10～20 μm)に形成されている。

[0043] 第1実施例の多層プリント配線板では、コア基板30の電源層(導体層)34P、導体

層34Eが厚くなることにより、コア基板の強度が増す、それによりコア基板自体の厚みを薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

[0044] また、導体層34P、34Eを厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗が低減することができる。

[0045] 更に、導体層34Pを電源層として用いることで、ICチップ90への電源の供給能力が向上させることができる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップー基板ー電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。更に、導体層34Eをアース層として用いることで、ICチップの信号、電力供給にノイズが重畳しなくなり、誤動作やエラーを防ぐことができる。

[0046] 引き続き、図6を参照して上述した多層プリント配線板10の製造方法について図1ー図5を参照して説明する。

(第1実施例ー1)

A. 層間樹脂絶縁層の樹脂フィルムの作製ビスフェノールA型エポキシ樹脂(エポキシ当量455、油化シェルエポキシ社製エピコート1001)29重量部、クレゾールノボラック型エポキシ樹脂(エポキシ当量215、大日本インキ化学工業社製 エピクロンNー673)39重量部、トリアジン構造含有フェノールノボラック樹脂(フェノール性水酸基当量120、大日本インキ化学工業社製 フェノライトKAー7052)30重量部をエチルジグリコールアセテート20重量部、ソルベントナフサ20重量部に攪拌しながら加熱溶解させ、そこへ末端エポキシ化ポリブタジエンゴム(ナガセ化成工業社製 デナレックスRー45EPT)15重量部と2ーフェニルー4、5ービス(ヒドロキシメチル)イミダゾール粉砕品1.5重量部、微粉砕シリカ2.5重量部、シリコン系消泡剤0.5重量部を添加しエポキシ樹脂組成物を調製した。

得られたエポキシ樹脂組成物を厚さ38 μ mのPETフィルム上に乾燥後の厚さが50 μ mとなるようにロールコーターを用いて塗布した後、80ー120°Cで10分間乾燥させることにより、層間樹脂絶縁層用樹脂フィルムを作製した。

[0047] B. 樹脂充填材の調製

ビスフェノールF型エポキシモノマー(油化シェル社製、分子量:310、YL983U)100重量部、表面にシランカップリング剤がコーティングされた平均粒径が $1.6\mu\text{m}$ で、最大粒子の直径が $15\mu\text{m}$ 以下の SiO_2 球状粒子(アドテック社製、CRS 1101-C E)170重量部およびレベリング剤(サンプロコ社製 ペレノールS4)1.5重量部を容器にとり、攪拌混合することにより、その粘度が $23\pm 1^\circ\text{C}$ で $44\sim 49\text{Pa}\cdot\text{s}$ の樹脂充填材を調製した。なお、硬化剤として、イミダゾール硬化剤(四国化成社製、2E4MZ-CN)6.5重量部を用いた。充填材用樹脂としては、他のエポキシ樹脂(例えば、ビスフェノールA型、ノボラック型など)、ポリイミド樹脂、フェノール樹脂などの熱硬化性樹脂を用いてもよい。

[0048] C. 多層プリント配線板の製造

(1)厚さ $0.2\sim 0.8\text{mm}$ のガラスエポキシ樹脂またはBT(ビスマレイミドトリアジン)樹脂からなる絶縁性基板30の両面に $5\sim 250\mu\text{m}$ の銅箔32がラミネートされている銅張積層板30Aを出発材料とした(図1(A))。まず、この銅張積層板をドリル削孔し、無電解めっき処理および電解めっき処理を施し、パターン状にエッチングすることにより、基板の両面に導体回路34、導体層34P、34Eとスルーホール36を形成した(図1(B))。

[0049] (2)スルーホール36および下層導体回路34を形成した基板30を水洗いし、乾燥した後、 NaOH ($10\text{g}/\text{l}$)、 NaClO_2 ($40\text{g}/\text{l}$)、 Na_3PO_4 ($6\text{g}/\text{l}$)を含む水溶液を黒化浴(酸化浴)とする黒化处理、および、 NaOH ($10\text{g}/\text{l}$)、 NaBH_4 ($6\text{g}/\text{l}$)を含む水溶液を還元浴とする還元処理を行い、そのスルーホール36内に粗化面 36α を形成すると共に、導体回路34、導体層34P、34Eの全表面に粗化面 34α を形成した(図1(C))。

[0050] (3)上記Bに記載した樹脂充填材を調製した後、下記の方法により調製後24時間以内に、スルーホール36内、および、基板の導体回路非形成部に樹脂充填材40の層を形成した(図1(D))。

即ち、スルーホールおよび導体回路非形成部に相当する部分が開口した版を有する樹脂充填用マスクを基板上に載置し、スキージを用いてスルーホール内、凹部とな

っている下層導体回路非形成部、および、下層導体回路の外縁部に樹脂充填材を充填し、100℃/20分の条件で乾燥させた。

[0051] (4) 上記(3)の処理を終えた基板の片面を、#600のベルト研磨紙(三共理化学製)を用いたベルトサンダー研磨により、導体層34P、34Eの外縁部やスルーホール36のランドの外縁部に樹脂充填材40が残らないように研磨し、次いで、上記ベルトサンダー研磨による傷を取り除くため、導体層34P、34Eの全表面(スルーホールのランド表面を含む)にバフ研磨を行った。このような一連の研磨を基板の他方の面についても同様に行った。次いで、100℃で1時間、150℃で1時間の加熱処理を行って樹脂充填材40を硬化した(図2(A))。

[0052] このようにして、スルーホール36や導体回路非形成部に形成された樹脂充填材40の表層部および導体層34P、34Eの表面を平坦化し、樹脂充填材40と導体層34P、34Eの側面とが粗化面を介して強固に密着し、またスルーホール36の内壁面と樹脂充填材とが粗化面を介して強固に密着した基板を得た。即ち、この工程により、樹脂充填材の表面と下層導体回路の表面とが略同一平面となる。

コア基板の導体層の厚みはコア基板の導体層の厚みは1~250 μ mの間で形成されて、コア基板上に形成された電源層の導体層の厚みは、1~250 μ mの間で形成された。このとき、実施例1-1では、銅箔の厚み40 μ mのものを用いて、コア基板の導体層の厚みは30 μ m、コア基板上に形成された電源層の導体層の厚みは30 μ mであった。しかしながら、導体層の厚みは上記厚みの範囲を超えてもよい。

[0053] (5) 上記基板を水洗、酸性脱脂した後、ソフトエッチングし、次いで、エッチング液を基板の両面にスプレーで吹きつけて、導体回路34、導体層34P、34Eの表面とスルーホール36のランド表面とをエッチングすることにより、導体回路の全表面に粗化面36 β を形成した(図2(B))。エッチング液としては、イミダゾール銅(II)錯体10重量部、グリコール酸7.3重量部、塩化カリウム5重量部からなるエッチング液(メック社製、メックエッチボンド)を使用した。

[0054] (6) 基板の両面に、Aで作製した基板より少し大きめの層間樹脂絶縁層用樹脂フィルム50 γ を基板上に載置し、圧力0.45MPa、温度80℃、圧着時間10秒の条件で仮圧着して裁断した後、さらに、以下の方法により真空ラミネーター装置を用いて貼り

付けることにより層間樹脂絶縁層を形成した(図2(C))。すなわち、層間樹脂絶縁層用樹脂フィルムを基板上に、真空度67Pa、圧力0.47MPa、温度85°C、圧着時間60秒の条件で本圧着し、その後、170°Cで40分間熱硬化させた。

[0055] (7)次に、波長10.4 μm のCO₂ガスレーザにて、ビーム径4.0mm、トップハットモード、パルス幅3.0~8.1 μs 、マスクの貫通孔の径1.0~5.0mm、1~3ショットの条件で層間樹脂絶縁層に、直径60~100 μm の間でのバイアホール用開口50aを形成した(図2(D))。今回は直径60 μm と75 μm で形成した。

[0056] (8)バイアホール用開口50aを形成した基板を、60g/lの過マンガン酸を含む80°Cの溶液に10分間浸漬し、層間樹脂絶縁層2の表面に存在するエポキシ樹脂粒子を溶解除去することにより、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50の表面に粗化面50 α を形成した(図2(E))。

[0057] (9)次に、上記処理を終えた基板を、中和溶液(シプレイ社製)に浸漬してから水洗いした。

さらに、粗面化処理(粗化深さ3 μm)した該基板の表面に、パラジウム触媒を付与することにより、層間樹脂絶縁層の表面およびバイアホール用開口の内壁面に触媒核を付着させた。すなわち、上記基板を塩化パラジウム(PdCl₂)と塩化第一スズ(SnCl₂)とを含む触媒液中に浸漬し、パラジウム金属を析出させることにより触媒を付与した。

[0058] (10)次に、以下の組成の無電解銅めっき水溶液中に、触媒を付与した基板を浸漬して、粗面全体に厚さ0.3~3.0 μm の無電解銅めっき膜を形成し、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50の表面に無電解銅めっき膜52が形成された基板を得た(図3(A))。

[無電解めっき水溶液]

NiSO ₄	0.003 mol/l
酒石酸	0.200 mol/l
硫酸銅	0.032 mol/l
HCHO	0.050 mol/l
NaOH	0.100 mol/l

α 、 α' -ビピリジル 100 mg/l
ポリエチレングリコール(PEG) 0.10 g/l

[無電解めっき条件]

34°Cの液温度で45分

[0059] (11) 無電解銅めっき膜52が形成された基板に市販の感光性ドライフィルムを張り付け、マスクを載置して、 $110\text{mJ}/\text{cm}^2$ で露光し、0.8%炭酸ナトリウム水溶液で現像処理することにより、厚さ $25\mu\text{m}$ のめっきレジスト54を設けた(図3(B))。

[0060] (12) ついで、基板を50°Cの水で洗浄して脱脂し、25°Cの水で水洗後、さらに硫酸で洗浄してから、以下の条件で電解めっきを施し、めっきレジスト54非形成部に、電解銅めっき膜56を形成した(図3(C))。

[電解めっき液]

硫酸 2.24 mol/l

硫酸銅 0.26 mol/l

添加剤 19.5 ml/l

(アテックジャパン社製、カパラシドGL)

[電解めっき条件]

電流密度 1 A/dm²

時間 65 分

温度 22 ± 2 °C

[0061] (13) さらに、めっきレジスト3を5%KOHで剥離除去した後、そのめっきレジスト下の無電解めっき膜を硫酸と過酸化水素との混合液でエッチング処理して溶解除去し、独立の導体回路58及びバイアホール60とした(図3(D))。

[0062] (14) ついで、上記(5)と同様の処理を行い、導体回路58及びバイアホール60の表面に粗化面 58α 、 60α を形成した。上層の導体回路58の厚みは $15\mu\text{m}$ の厚みであった(図4(A))。ただし、上層の導体回路の厚みは、 $5\sim 25\mu\text{m}$ の間で形成してもよい。

[0063] (15) 上記(6)～(14)の工程を繰り返すことにより、さらに上層の導体回路を形成し、多層配線板を得た(図4(B))。

[0064] (16)次に、ジエチレングリコールジメチルエーテル(DMDG)に60重量%の濃度になるように溶解させた、クレゾールノボラック型エポキシ樹脂(日本化薬社製)のエポキシ基50%をアクリル化した感光性付与のオリゴマー(分子量:4000)45.67重量部、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂(油化シェル社製、商品名:エピコート1001)16.0重量部、イミダゾール硬化剤(四国化成社製、商品名:2E4MZ-CN)1.6重量部、感光性モノマーである2官能アクリルモノマー(日本化薬社製、商品名:R604)4.5重量部、同じく多価アクリルモノマー(共栄化学社製、商品名:DPE6A)1.5重量部、分散系消泡剤(サンプロコ社製、S-65)0.71重量部を容器にとり、攪拌、混合して混合組成物を調製し、この混合組成物に対して光重合開始剤としてベンゾフェノン(関東化学社製)1.8重量部、光増感剤としてのミヒラーケトン(関東化学社製)0.2重量部、を加えることにより、粘度を25°Cで2.0Pa・sに調整したソルダーレジスト組成物を得た。

なお、粘度測定は、B型粘度計(東京計器社製、DVL-B型)で60min⁻¹の場合はローターNo. 4、6min⁻¹の場合はローターNo. 3によった。

[0065] (17)次に、多層配線基板の両面に、上記ソルダーレジスト組成物70を20μmの厚さで塗布し、70°Cで20分間、70°Cで30分間の条件で乾燥処理を行った後(図4(C))、ソルダーレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをソルダーレジスト層70に密着させて1000mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、200μmの直径の開口71を形成した(図5(A))。

そして、さらに、80°Cで1時間、100°Cで1時間、120°Cで1時間、150°Cで3時間の条件でそれぞれ加熱処理を行ってソルダーレジスト層を硬化させ、開口を有し、その厚さが15~25μmのソルダーレジストパターン層を形成した。上記ソルダーレジスト組成物としては、市販のソルダーレジスト組成物を使用することもできる。

[0066] (18)次に、ソルダーレジスト層70を形成した基板を、塩化ニッケル(2.3×10⁻¹mol/l)、次亜リン酸ナトリウム(2.8×10⁻¹mol/l)、クエン酸ナトリウム(1.6×10⁻¹mol/l)を含むpH=4.5の無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ5μmのニッケルめっき層72を形成した。さらに、その基板をシアン化金カリウム(7.6×10⁻³mol/l)、塩化アンモニウム(1.9×10⁻¹mol/l)、クエン酸ナトリウム(1.2

$\times 10^{-1}$ mol/l)、次亜リン酸ナトリウム(1.7×10^{-1} mol/l)を含む無電解金めっき液に80°Cの条件で7.5分間浸漬して、ニッケルめっき層72上に、厚さ0.03 μ mの金めっき層74を形成した(図5(B))。ニッケル-金層以外にも、スズ、貴金属層(金、銀、パラジウム、白金など)の単層を形成してもよい。

[0067] (19)この後、基板のICチップを載置する面のソルダーレジスト層70の開口71に、スズ-鉛を含有するはんだペーストを印刷し、さらに他方の面のソルダーレジスト層の開口にスズ-アンチモンを含有するはんだペーストを印刷した後、200°Cでリフローすることによりはんだバンプ(はんだ体)を形成し、はんだバンプ76U、76Dを有する多層プリント配線板を製造した(図6)。

[0068] 半田バンプ76Uを介してICチップ90を取り付け、チップコンデンサ98を実装する。そして、半田バンプ76Dを介してデータボード94へ取り付ける(図7)。

[0069] (第1実施例-2)

図6を参照して上述した第1実施例-1と同様であるが以下の様に製造した。

コア基板の導体層の厚み:55 μ m コア基板の電源層の厚み:55 μ m

層間絶縁層の導体層の厚み:15 μ m

[0070] (第1実施例-3)

第1実施例-1と同様であるが、以下のように製造した。

コア基板の導体層の厚み:75 μ m コア基板の電源層の厚み:75 μ m

層間絶縁層の導体層の厚み:15 μ m

[0071] (第1実施例-4)

第1実施例と同様であるが、以下のように製造した。

コア基板の導体層の厚み:180 μ m コア基板の電源層の厚み:180 μ m

層間絶縁層の導体層の厚み:6 μ m

[0072] (第1実施例-5)

第1実施例と同様であるが、以下のように製造した。

コア基板の導体層の厚み:18 μ m コア基板の電源層の厚み:18 μ m

層間絶縁層の導体層の厚み:15 μ m

[0073] なお、第1実施例において、 $1 <$ (コア基板の電源層の導体層の厚み/層間絶縁

層の導体層の厚み) ≤ 40 のものを適合例として、(コア基板の電源層の導体層の厚み/層間絶縁層の導体層の厚み) ≤ 1 を比較例とした。また、(コア基板の電源層の導体層の厚み/層間絶縁層の導体層の厚み) > 40 のものを参考例とした。

- [0074] 図8(A)は第1実施例の改変例を示している。、コア基板30の導体層34P、34Eの側面はテーパ状(図10(B)に示す直線状のテーパ、又は、図10(C)に示すR面状のテーパ)になっており、該導体層34P、34Eの側面の上端と下端とを結んだ直性とコア基板の水平面とがなす角度を Θ としたとき、コア基板の内層の導体層34P、34Eの側面の上端と下端とを結んだ直性とコア基板とがなす角度を Θ としたとき、 Θ が $2.8 < \tan \Theta < 55$ の関係式を満足するように構成されている。

第1実施例1-1～第1実施例1-5に対応して、コア基板30の導体層34P、34Eの側面を、上述した関係式を満足するR面状のテーパとした第1実施例-6～10を製作した。尚、テーパ状とするエッチング方法は後述する。

- [0075] [第2実施例]セラミック基板

第2実施例に係る多層プリント配線板について説明する。

図6を参照して上述した第1実施例では、コア基板が絶縁樹脂で形成されていた。これに対して、第2実施例では、コア基板がセラミック、ガラス、ALN、ムライトなどからなる無機系硬質基板であるが、他の構成は図6を参照して上述した第1実施例と同様であるため、図示及び説明は省略する。

- [0076] 第2実施例の多層プリント配線板においても、コア基板30上の導体層34P、34E、34は、銅、タングステムなどの金属で形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158は銅で形成されている。この第2実施例においても第1実施例と同様な効果を得ている。このとき、コア基板の導体層の厚み、コア基板の電源層の厚み、層間絶縁層の厚みも第1実施例と同様に形成された。また、第2実施例において、 $1 < (\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 40$ のものを適合例として、(コア基板の電源層の導体層の厚み/層間絶縁層の導体層の厚み) ≤ 1 を比較例とした。また、(コア基板の電源層の導体層の厚み/層間絶縁層の導体層の厚み) > 40 のものを参考例とした。

- [0077] (第2実施例-1)

上述した第2実施例と同様であるが以下の様に製造した。

コア基板の導体層の厚み: $30\ \mu\text{m}$ コア基板の電源層の厚み: $30\ \mu\text{m}$
層間絶縁層の導体層の厚み: $15\ \mu\text{m}$

[0078] (第2実施例-2)

上述した第2実施例と同様であるが以下の様に製造した。

コア基板の導体層の厚み: $50\ \mu\text{m}$ コア基板の電源層の厚み: $50\ \mu\text{m}$
層間絶縁層の導体層の厚み: $15\ \mu\text{m}$

[0079] (第2実施例-3)

上述した第2実施例と同様であるが以下の様に製造した。

コア基板の導体層の厚み: $75\ \mu\text{m}$ コア基板の電源層の厚み: $75\ \mu\text{m}$
層間絶縁層の導体層の厚み: $15\ \mu\text{m}$

[0080] (第2実施例-4)

上述した第2実施例と同様であるが以下の様に製造した。

コア基板の導体層の厚み: $180\ \mu\text{m}$ コア基板の電源層の厚み: $180\ \mu\text{m}$
層間絶縁層の導体層の厚み: $6\ \mu\text{m}$

[0081] [第3実施例]金属コア基板

図9及び図10を参照して第3実施例に係る多層プリント配線板について説明する。

図6を参照して上述した第1実施例では、コア基板が樹脂板で形成されていた。これに対して、第3実施例では、コア基板が金属板から成る。

[0082] 図9は、第3実施例に係る多層プリント配線板10の断面図を、図10は、図9に示す多層プリント配線板10にICチップ90を取り付け、ドータボード94へ載置した状態を示している。図9に示すように、多層プリント配線板10では、コア基板30は金属板からなり、電源層として用いられる。コア基板30の両面には、バイアホール60及び導体回路58が配置された層間樹脂絶縁層50が形成され、層間樹脂絶縁層50の上には、バイアホール160及び導体回路158が配置された層間樹脂絶縁層150が形成されている。コア基板30の通孔33内には、スルーホール36が形成され、バイアホールの両端には蓋めっき層37が配置されている。該バイアホール160及び導体回路158の上層には溶剤レジスト層70が形成されており、該溶剤レジスト層70の開孔

部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形成されている。

[0083] 図10中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側のハンダバンプ76Dは、ドータボード94のランド96へ接続されている。

[0084] ここで、コア基板30は、200～600 μm に形成されている。金属板の厚みは、15～300 μm の間で形成された。層間絶縁層の導体層の厚みは、5～25 μm の間で形成してもよい。しかしながら、金属層の厚みは上述の範囲を超えてもよい。この第3実施例においても、第1実施例と同様な効果を得ている。

[0085] (第3実施例-1)

図9を参照して上述した第3実施例と同様であるが以下のように設定した。

コア基板の厚み:550 μm コア基板の電源層の厚み:35 μm

層間絶縁層の導体層の厚み:15 μm

[0086] (第3実施例-2)

第3実施例と同様であるが以下のように設定した。

コア基板の厚み:600 μm コア基板の電源層の厚み:55 μm

層間絶縁層の導体層の厚み:15 μm

[0087] (第3実施例-3)

第3実施例と同様であるが以下のように設定した。

コア基板の厚み:550 μm コア基板の電源層の厚み:100 μm

層間絶縁層の導体層の厚み:10 μm

[0088] (第3実施例-4)

第3実施例と同様であるが以下のように設定した。

コア基板の厚み:550 μm コア基板の電源層の厚み:180 μm

層間絶縁層の導体層の厚み:6 μm

[0089] (第3実施例-5)

第3実施例と同様であるが以下のように設定した。

コア基板の厚み:550 μm コア基板の電源層の厚み:240 μm

層間絶縁層の導体層の厚み: $6 \mu\text{m}$

[0090] なお、第3実施例において、 $1 < (\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 40$ のものを適合例として、 $(\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 1$ を比較例とした。また、 $(\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) > 40$ のものを参考例とした。

[0091] [第4実施例]3層コア基板

図11及び図12を参照して第4実施例に係る多層プリント配線板について説明する。

図6を参照して上述した第1実施例では、コア基板が単板で形成されていた。これに対して、第4実施例では、コア基板が積層板からなり、積層板内に導体層が設けられている。

[0092] 図11は、第4実施例に係る多層プリント配線板10の断面図を、図12は、図11に示す多層プリント配線板10にICチップ90を取り付け、ドータボード94へ載置した状態を示している。図11に示すように、多層プリント配線板10では、コア基板30の表面及び裏面に導体回路34、導体層34Pが形成され、コア基板30内に導体層24が形成されている。導体層34P及び導体層24は、電源用のプレーン層として形成されている。導体層34Pと導体層24とは導電ポスト26により接続されている。(この場合の導電ポストとは、スルーホール、非貫通孔などのバイアホール(含むブラインドスルーホール、ブラインドバイアホール)スルーホールもしくはバイアホール導電性材料で充填したものを意味する。)更に、該導体層34Pの上にバイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び導体回路158の形成された層間樹脂絶縁層150とが配置されている。該バイアホール160及び導体回路158の上層には溶剤レジスト層70が形成されており、該溶剤レジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形成されている。

[0093] 図12中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側のハンダバンプ76Dは、ドータボード94のランド96へ接続されている。

[0094] ここで、コア基板30上の導体回路34、導体層34P、34P及びコア基板内の導体層24が形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158が形成されている。コア基板の導体層34Pおよび導体層24の厚みはコア基板の導体層の厚みは1〜250 μm の間で形成されて、コア基板上に形成された電源層としての役目を果たす導体層の厚みは、1〜250 μm の間で形成された。この場合の導体層の厚みは、コア基板の電源層の厚みの総和である。内層である導体層34、表層である導体層24、その双方を足したものであるという意味である。信号線の役目を果たしているものとを足すことではない。この第4実施例においても、3層の導体層34P、34P、24の厚みを合わせることで、第1実施例と同様な効果を得ている。電源層の厚みは上述の範囲を超えてもよい。

なお、第4実施例において、 $1 < (\text{コア基板の電源層の導体層の厚みの総和} / \text{層間絶縁層の導体層の厚み}) \leq 40$ のものを適合例として、 $(\text{コア基板の電源層の導体層の厚みの総和} / \text{層間絶縁層の導体層の厚み}) \leq 1$ を比較例とした。 $(\text{コア基板の電源層の導体層の厚みの総和} / \text{層間絶縁層の導体層の厚み}) > 40$ のものを参考例とした。

[0095] (第4実施例-1)

図11を参照して上述した第4実施例と同様であるが以下のように設定した。

コア基板の導体層(電源層)の厚み: 15 μm

中間導体層(電源層)の厚み: 20 μm

コア基板の電源層の厚みの和: 50 μm

層間絶縁層の導体層の厚み: 15 μm

[0096] (第4実施例-2)

第4実施例と同様であるが、以下のように製造した。

コア基板の導体層(電源層)の厚み: 20 μm

中間導体層(電源層)の厚み: 20 μm

コア基板の電源層の厚みの和: 60 μm

層間絶縁層の導体層の厚み: 15 μm

[0097] (第4実施例-3)

第4実施例と同様であるが、以下のように製造した。

コア基板の導体層(電源層)の厚み: $25 \mu\text{m}$

中間導体層(電源層)の厚み: $25 \mu\text{m}$

コア基板の電源層の厚みの和: $75 \mu\text{m}$

層間絶縁層の導体層の厚み: $15 \mu\text{m}$

[0098] (第4実施例-4)

第4実施例と同様であるが、以下のように製造した。

コア基板の導体層(電源層)の厚み: $50 \mu\text{m}$

中間導体層(電源層)の厚み: $100 \mu\text{m}$

コア基板の電源層の厚みの和: $200 \mu\text{m}$

層間絶縁層の導体層の厚み: $10 \mu\text{m}$

[0099] (第4実施例-5)

第4実施例と同様であるが、以下のように製造した。

コア基板の導体層(電源層)の厚み: $55 \mu\text{m}$

中間導体層(電源層)の厚み: $250 \mu\text{m}$

コア基板の電源層の厚みの和: $360 \mu\text{m}$

層間絶縁層の導体層の厚み: $12 \mu\text{m}$

[0100] (第4実施例-6)

第4実施例と同様であるが、以下のように製造した。

コア基板の導体層(電源層)の厚み: $55 \mu\text{m}$

中間導体層(電源層)の厚み: $250 \mu\text{m}$

コア基板の電源層の厚みの和: $360 \mu\text{m}$

層間絶縁層の導体層の厚み: $9 \mu\text{m}$

[0101] [第5実施例] 多層コア基板

図13～図18を参照して本発明の第5実施例に係る多層プリント配線板について説明する。

先ず、第5実施例に係る多層プリント配線板10の構成について、図17、図18を参照して説明する。図17は、該多層プリント配線板10の断面図を、図18は、図17に示

す多層プリント配線板10にICチップ90を取り付け、ドータボード94へ載置した状態を示している。図17に示すように、多層プリント配線板10では多層コア基板30を用いている。多層コア基板30の表面側に導体回路34、導体層34P、裏面に導体回路34、導体層34Eが形成されている。上側の導体層34Pは、電源用のプレーン層として形成され、下側の導体層34Eは、アース用のプレーン層として形成されている。更に、多層コア基板30の内部の表面側に、内層の導体回路16、導体層16E、裏面に導体回路16、導体層16Pが形成されている。上側の導体層16Eは、アース用のプレーン層として形成され、下側の導体層16Pは、電源用のプレーン層として形成されている。電源用のプレーン層間の接続は、スルーホールやバイアホールにより行われる。プレーン層は、片側だけの単層であっても、2層以上に配置したものでもよい。2層〜4層で形成されることが望ましい。5層以上では電気的な特性の向上が確認されていないことからそれ以上多層にしてもその効果は4層と同等程度である。特に、2層で形成されることが、多層コア基板の剛性整合という点において基板の伸び率が揃えられるので反りが出にくいからである。また、コア基板の厚みを薄くできるため、スルーホール配線長を短く出来る。多層コア基板30の中央には、電氣的に隔離された金属板12が收容されている。(該金属板12は、心材としての役目も果たしているが、スルーホールやバイアホールなどとの電気な接続がされていない。主として、基板の反りに対する剛性を向上させているのである。)該金属板12に、絶縁樹脂層14を介して表面側に、内層の導体回路16、導体層16E、裏面に導体回路16、導体層16Pが、更に、絶縁樹脂層18を介して表面側に導体回路34、導体層34Pが、裏面に導体回路34、導体層34Eが形成されている。多層コア基板30は、スルーホール36を介して内層及び表面側と裏面側との接続が取られている。

[0102] 多層コア基板30の表面の導体層34P、34Eの上には、バイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び導体回路158の形成された層間樹脂絶縁層150とが配設されている。該バイアホール160及び導体回路158の上層には溶剤レジスト層70が形成されており、該溶剤レジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形成されている。

- [0103] 図18中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側の外部端子76Dは、ドータボード94のランド96へ接続されている。この場合における外部端子とは、PGA、BGA、半田バンプ等を指している。
- [0104] ここで、コア基板30表層の導体層34P、34Eは、厚さ10〜60 μ mに形成され、内層の導体層16P、16Eは、厚さ10〜250 μ mに形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158は5〜25 μ mに形成されている。
- [0105] 第5実施例の多層プリント配線板では、コア基板30の表層の電源層(導体層)34P、導体層34、内層の電源層(導体層)16P、導体層16Eおよび金属板12を厚くすることにより、コア基板の強度が増す。それによりコア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。
- [0106] また、導体層34P、34E、導体層16P、16Eを厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗を低減することができる。
- [0107] 更に、導体層34P、16Pを電源層として用いることで、ICチップ90への電源の供給能力が向上させることができる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップー基板ー電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。更に、導体層34E、16Eをアース層として用いることで、ICチップの信号、電力供給にノイズが重畳しなくなり、誤動作やエラーを防ぐことができる。コンデンサを実装することにより、コンデンサ内の蓄積されている電源を補助的に用いることができるので、電源不足を起しにくくなる。特に、ICチップの直下に配設させることにより、その効果(電源不足を起しにくくする)は顕著によくなる。その理由として、ICチップの直下であれば、多層プリント配線板での配線長を短くすることができるからである。
- [0108] 第5実施例では、多層コア基板30は、内層に厚い導体層16P、16Eを、表面に薄

い導体層34P、34Eを有し、内層の導体層16P、16Eと表面の導体層34P、34Eとを電源層用の導体層、アース用の導体層として用いる。即ち、内層側に厚い導体層16P、16Eを配置しても、導体層を覆う樹脂層が形成されている。そのために、導体層が起因となって凹凸を相殺させることで多層コア基板30の表面を平坦にすることができる。このため、層間絶縁層50、150の導体層58、158にうねりを生じせしめないように、多層コア基板30の表面に薄い導体層34P、34Eを配置しても、内層の導体層16P、16Eと足した厚みでコアの導体層として十分な厚みを確保することができる。うねりが生じないために、層間絶縁層上の導体層のインピーダンスに不具合が起きない。導体層16P、34Pを電源層用の導体層として、導体層16E、34Eをアース用の導体層として用いることで、多層プリント配線板の電気特性を改善することが可能になる。

- [0109] 更に、コア基板内で導体層34Pと導体層16Pとの間の信号線16(導体層16Eと同層)を配置することでマイクロストリップ構造を形成させることができる。同様に、導体層16Eと導体層34Eとの間の信号線16(導体層16Pと同層)を配置することでマイクロストリップ構造を形成させることができる。マイクロストリップ構造を形成させることにより、インダクタンスも低下し、インピーダンス整合を取ることができるのである。そのために、電気特性も安定化することができる。
- [0110] 即ち、コア基板の内層の導体層16P、16Eの厚みを、層間絶縁層50、150上の導体層58、158よりも厚くする。これにより、多層コア基板30の表面に薄い導体層34E、34Pを配置しても、内層の厚い導体層16P、16Eと足すことで、コアの導体層として十分な厚みを確保できる。その比率は、 $1 < (\text{コアの内層の導体層} / \text{層間絶縁層の導体層}) \leq 40$ であることが望ましい。1. $2 \leq (\text{コアの内層の導体層} / \text{層間絶縁層の導体層}) \leq 30$ であることがさらに望ましい。
- [0111] 多層コア基板30は、電氣的に隔絶された金属板12の両面に、樹脂層14を介在させて内層の導体層16P、16Eが、更に、当該内層の導体層16P、16Eの外側に樹脂層18を介在させて表面の導体層34P、34Eが形成されて成る。中央部に電氣的に隔絶された金属板12を配置することで、十分な機械的強度を確保することができる。更に、金属板12の両面に樹脂層14を介在させて内層の導体層16P、16Eを、

更に、当該内層の導体層16P、16Eの外側に樹脂層18を介在させて表面の導体層34P、34Eを形成することで、金属板12の両面で対称性を持たせ、ヒートサイクル等において、反り、うねりが発生することを防げる。

[0112] 図19は、第5実施例の改変例を示している。この改変例では、ICチップ90の直下にコンデンサ98を配置してある。このため、ICチップ90とコンデンサ98との距離が近く、ICチップ90へ供給する電源の電圧降下を防ぐことができる。

[0113] 引き続き、図17に示す多層プリント配線板10の製造方法について図13～図18を参照して説明する。

[0114] (1) <金属層の形成工程>

図13(A)に示す厚さ20～400 μm の間の内層金属層(金属板)12に、表裏を貫通する開口12aを設ける(図13(B))。第5実施例では、20 μm の金属板を用いた。金属層の材質としては、銅、ニッケル、亜鉛、アルミニウム、鉄などの金属が配合されているものを用いることができる。ここで、低熱膨張係数の36合金や42合金を用いるとコア基板の熱膨張係数をICの熱膨張係数に近づけることが可能となるので、熱ストレスを低減できる。開口12aは、パンチング、エッチング、ドリリング、レーザなどによって穿設する。場合によっては、開口12aを形成した金属層12の全面に電解めっき、無電解めっき、置換めっき、スパッタによって、金属膜13を被覆してもよい(図13(C))。なお、金属板12は、単層でも、2層以上の複数層でもよい。また、金属膜13は、開口12aの角部において、曲面を形成するほうが望ましい。それにより、応力の集中するポイントがなくなり、その周辺でのクラックなどの不具合が引き起こしにくい。なお、金属板12はコア基板内に内蔵しなくてもよい。

[0115] (2) <内層絶縁層及び導体層の形成工程>

金属層12の全体を覆い、開口12a内を充填するために、絶縁樹脂を用いる。形成方法としては、例えば、厚み30～200 μm 程度のBステージ状の樹脂フィルムで金属板12で挟んで(図13(D))、さらに、その外側に12～275 μm の銅箔を積層してから、熱圧着して硬化させ絶縁樹脂層14及び導体層16を形成することができる(図13(E))。場合によっては、塗布、塗布とフィルム圧着の混合、もしくは開口部分だけを塗布して、その後、フィルムで形成してもよい。

材料としては、ポリイミド樹脂、エポキシ樹脂、フェノール樹脂、BT樹脂等の熱硬化性樹脂をガラスクロス、アラミド不織布等の心材に含浸させたプリプレグを用いることが望ましい。それ以外にも樹脂を用いてもよい。第5実施例では、 $50\mu\text{m}$ のプリプレグを用いた。

導体層16を形成する方法は、金属箔上に、めっきなどで形成してもよい。

[0116] (3) <内層金属層の回路形成工程>

2層以上にしてもよい。アディティブ法により金属層を形成してもよい。

テンディング法、エッチング工程等を経て、内層金属層16から内層導体層16、16P、16Eを形成させた(図13(F))。このときの内層導体層の厚みは、 $10\sim 250\mu\text{m}$ で形成させた。しかしながら、上述の範囲を超えてもよい。なお、第5実施例では、内層の電源用の導体層の厚みは、 $25\mu\text{m}$ 厚である。この回路形成工程において、コア基板の絶縁信頼性を評価できるよう、テストパターン(コア基板の絶縁抵抗評価用パターン)として、導体幅/導体間の間隔= $150\mu\text{m}/150\mu\text{m}$ の絶縁抵抗測定用の櫛歯パターンを形成した。この時、図17に示すように、ICの電源と電氣的に接続している電源用スルーホール36PTHが内層回路のグランド層16Eを貫通する際、電源用スルーホールから延出する配線パターンを有しなくてもよい。以下、このようなスルーホールを、ダミーランドを有しない電源用スルーホールと言う。同様に、ICのグランドと電氣的に接続しているグランド用スルーホール36ETHも、内層回路の電源層16Pを貫通する際、グランド用スルーホールから延出する配線パターンを有しなくてもよい。以下、このようなスルーホールを、ダミーランドを有しないグランド用スルーホールと言う。また、両者を合わせて単にダミーランドを有しないスルーホールという。このような構造にすることで、スルーホールピッチを狭くできる。また、スルーホールと内層回路間の間隔が狭ピッチとなるため、相互インダクタンスが減少する。ここで、ダミーランドを有しないスルーホールの場合のX3-X3部の横断面を図38(A)に示す。参考にダミーランドを有する場合のX3-X3部の横断面を図38(B)に示す。ダミーランドを有しないスルーホールとすることでスルーホールピッチやスルーホール36PTHとグランド層16E間の間隔が狭くなるのが分かる。また、グランド層16Eの形成領域が増すことも分かる。ここで、35は、スルーホール36PTHとグランド層16Eとの絶縁を確

保するためのスペースであり、36Lはスルーホールランド(ダミーランド)である。

[0117] (4) <外層絶縁層及び導体層の形成工程>

内層導体層16、16P、16Eの全体を覆い、およびその回路間の隙間を充填するために、絶縁樹脂を用いる。形成方法としては、(3)までで形成した途中基板の両面に、例えば、厚み30〜400 μ m程度のBステージ状の樹脂フィルム(図14(A))、厚み10〜275 μ mの金属箔の順で積層した後、熱圧着してから硬化させ、コア基板の外層絶縁樹脂層18及びコア基板最外導体層34 α を形成させる(図14(B))。場合によっては、塗布、塗布とフィルム圧着の混合、もしくは開口部分だけを塗布して、その後、フィルムで形成してもよい。加圧することで表面を平坦にすることができる。また、ガラスクロス、アラミド不織布を心材とするBステージのプリプレグを用いてもよい。第5実施例では、200 μ m厚のプリプレグを用いた。金属箔を形成させる以外の方法として、片面銅張積層板を積層させる。金属箔上に、めっきなどで2層以上にしてもよい。アディティブ法により金属層を形成してもよい。

[0118] (5) <スルーホールの形成工程>

基板の表裏を貫通する開口径50〜400 μ mのスルーホール用通孔36 α を形成する(図14(C))。形成方法としては、ドリル、レーザもしくはレーザとドリルの複合により形成させる(最外層の絶縁層の開口をレーザで行い、場合によっては、そのレーザでの開口をターゲットマークとして用いて、その後、ドリルで開口して貫通させる)。形状としては、直線状の側壁を有するものであることが望ましい。場合によっては、テーパ状であってもよい。

[0119] スルーホールの導電性を確保するために、スルーホール用通孔36 α 内にめっき膜22を形成し、表面を粗化した後(図14(D))、充填樹脂23を充填することが望ましい(図14(E))。充填樹脂としては、電氣的な絶縁されている樹脂材料、(例えば樹脂成分、硬化剤、粒子等が含有されているもの)、金属粒子による電氣的な接続を行っている導電性材料(例えば、金、銅などの金属粒子、樹脂材料、硬化剤などが含有されているもの。)のいずれかを用いることができる。充填後、仮乾燥して、基板表面の電解銅めっき膜22上に付着した余分な充填樹脂を研磨で除去し、150°Cで1時間乾燥し、完全硬化した。

めっきとしては、電解めっき、無電解めっき、パネルめっき(無電解めっきと電解めっき)などを用いることができる。金属としては、銅、ニッケル、コバルト、リン、等が含有しても形成されるのである。めっき金属の厚みとしては、5〜30 μm の間で形成されることが望ましい。

[0120] スルーホール用通孔36 α 内に充填する充填樹脂23は、樹脂材料、硬化剤、粒子などからなるものを絶縁材料を用いることが望ましい。粒子としては、シリカ、アルミナなどの無機粒子、金、銀、銅などの金属粒子、樹脂粒子などの単独もしくは複合で配合させる。粒径が0.1〜5 μm のものを同一径もしくは、複合径のもの混ぜたものを用いることができる。樹脂材料としては、エポキシ樹脂(例えば、ビスフェノール型エポキシ樹脂、ノボラック型エポキシ樹脂など)、フェノール樹脂などの熱硬化性樹脂、感光性を有する紫外線硬化樹脂、熱可塑性樹脂などが単一もしくは混合したものを用いることができる。硬化剤としては、イミダゾール系硬化剤、アミン系硬化剤などを用いることができる。それ以外にも、硬化安定剤、反応安定剤、粒子等を含まれていてもよい。導電性材料を用いてもよい。この場合は、金属粒子、樹脂成分、硬化剤などからなるものが導電性材料である導電性ペーストとなる。場合によっては、半田、絶縁樹脂などの絶縁材料の表層に導電性を有する金属膜を形成したものなどを用いてもよい。めっきでスルーホール用通孔36 α 内を充填することも可能である。導電性ペーストは硬化収縮がなされるので、表層に凹部を形成してしまうことがあるからである。

[0121] (6) <最外層の導体回路の形成工程>

全体にめっき膜を被覆することで、スルーホール36の直上に蓋めっき25を形成してもよい(図15(A))。その後、テンディング法、エッチング工程等を経て、外層の導体回路34、34P、34Eを形成する(図15(B))。これにより、多層コア基板30を完成する。なお、第5実施例では、多層コア基板の表面の電源用の導体層の厚みは、15 μm 厚である。

このとき、図示されていないが多層コア基板の内層の導体層16等との電気接続を、バイアホールやブラインドスルーホール、ブラインドバイアホールにより行ってもよい。

[0122] (7) 導体回路34を形成した多層コア基板30を黒化处理、および、還元処理を行い、

導体回路34、導体層34P、34Eの全表面に粗化面34βを形成する(図15(C))。

[0123] (8) 多層コア基板30の導体回路非形成部に樹脂充填材40の層を形成する(図16(A))。

[0124] (9) 上記処理を終えた基板の片面を、ベルトサンダー等の研磨により、導体層34P、34Eの外縁部に樹脂充填材40が残らないように研磨し、次いで、上記研磨による傷を取り除くため、導体層34P、34Eの全表面(スルーホール36のランド表面を含む)にバフ等でさらに研磨を行った。このような一連の研磨を基板の他方の面についても同様に行った。次いで、100°Cで1時間、150°Cで1時間の加熱処理を行って樹脂充填材40を硬化した(図16(B))。これにより、4層の多層コア基板が完成した。

また、導体回路間の樹脂充填を行わなくてもよい。この場合は、層間絶縁層などの樹脂層で絶縁層の形成と導体回路間の充填を行う。

[0125] (10) 上記多層コア基板30に、エッチング液を基板の両面にスプレーで吹きつけて、導体回路34、導体層34P、34Eの表面とスルーホール36のランド表面をエッチング等により、導体回路の全表面に粗化面36βを形成した(図16(C))。以降の工程は、図3〜図7を参照して上述した第1実施例と同様であるため説明を省略する。なお、図3(B)において、層間絶縁層(50)上の一部に、多層コア基板の導体厚により発生する層間絶縁層のうねりの影響を評価するために、めっき形成後の配線パターン(最小線間、線幅形成能力評価パターン)が導体幅/導体間隔=5/5μm、7.5/7.5μm、10/10μm、12.5/12.5μm、15/15となるようにめっきレジスト(54)を形成した。めっきレジストの厚みは、10〜30μmの間を用いた。

[0126] また、第5実施例において、 $1 < (\text{コア基板の電源用導体層の厚みの和} / \text{層間絶縁層の導体層の厚み}) \leq 40$ のものを適合例として、 $(\text{コア基板の電源用導体層の厚みの和} / \text{層間絶縁層の導体層の厚み}) \leq 1$ を比較例とした。 $(\text{コア基板の電源用導体層の厚みの和} / \text{層間絶縁層の導体層の厚み}) > 40$ のものを参考例とした。

[0127] (第5実施例-1)

図17を参照して上述した第5実施例と同様であるが以下のように設定した。

コア基板の内層の導体層の厚み: 50μm 表層の導体層の厚み: 20μm

コア基板の導体回路の厚みの和: 100μm

層間絶縁層の導体層の厚み: $15 \mu\text{m}$

図17ではコア基板の導体層を電源層とグランド層を交互に配置したが、第5実施例-1は、内層の導体層と表層の導体層で、電源層の役目を果たした。しかしながら、表層の導体層の面積は、ランド程度のものであったので、内層の導体層と比較すると面積が小さかったので、電源電圧を回復させる効果は相殺されてしまった。そのために、コア基板の導体層の厚みの和は、内層の2層の導体層を足したものである。

[0128] (第5実施例-2)

内層の導体層と表層の導体層で、電源層の役目を果たした。表層、内層の各一層ずつでのスルーホールにより、電気的な接続がなされた。

コア基板の内層の導体層の厚み: $60 \mu\text{m}$ 外層の導体層の厚み: $20 \mu\text{m}$

コア基板の導体回路の厚みの和: $80 \mu\text{m}$

層間絶縁層の導体層の厚み: $15 \mu\text{m}$

内層の導体層と表層の導体層で、各1層ずつ電源層の役目を果たした。表層の導体層の面積は、内層の導体層の面積と同じであった。電源電圧を回復させる効果を有する。そのために、コア基板の導体層の厚みの和は、内層の導体層と表層の導体層を足したものである。

[0129] (第5実施例-3)

内層の導体層と表層の導体層で、電源層の役目を果たした。表層、内層の各一層ずつでのスルーホールにより、電気的な接続がなされた。

コア基板の内層の導体層の厚み: $150 \mu\text{m}$ 外層の導体層の厚み: $20 \mu\text{m}$

コア基板の導体回路の厚みの和: $150 \mu\text{m}$

層間絶縁層の導体層の厚み: $15 \mu\text{m}$

内層の導体層と表層の導体層で、電源層の役目を果たした。しかしながら、表層の導体層の面積は、ランド程度のものであったので、内層の導体層と比較すると面積が小さかったので、電源電圧を回復させる効果は相殺されてしまった。そのために、コア基板の導体層の厚みの和は、内層1層の導体層の厚みである。

[0130] (第5実施例-4)

第5実施例-1と同様であるが、以下のように製造した。

コア基板の内層の導体層(電源層)の厚み:100 μ m

表層の導体層(電源層)の厚み:20 μ m

コア基板の導体回路の厚みの和:200 μ m

層間絶縁層の導体層の厚み:10 μ m

コア基板の導体回路の厚みの和は、内層の層の導体層を足したものである。

[0131] (第5実施例-5)

第5実施例-1と同様であるが、以下のように製造した。

コア基板の内層の導体層(電源層)の厚み:120 μ m

表層の導体層(電源層)の厚み:20 μ m

コア基板の導体回路の厚みの和:240 μ m

層間絶縁層の導体層の厚み:8 μ m

コア基板の導体回路の厚みの和は、内層の層の導体層を足したものである。

[0132] (第5実施例-6)

第5実施例-2と同様であるが、以下のように製造した。

コア基板の内層の導体層(電源層)の厚み:250 μ m

表層の導体層(電源層)の厚み:50 μ m

コア基板の導体回路の厚みの和:300 μ m

層間絶縁層の導体層の厚み:7.5 μ m

[0133] [第6実施例]コンデンサ内蔵コア基板

図20及び図21を参照して第6実施例に係る多層プリント配線板について説明する。
。

第6実施例の多層プリント配線板では、コア基板30にチップコンデンサ20が内蔵されている。

[0134] 図20は、第6実施例に係る多層プリント配線板10の断面図を、図21は、図20に示す多層プリント配線板10にICチップ90を取り付けた状態を示している。図20に示すように、多層プリント配線板10では、コア基板30が樹脂基板30A及び樹脂層30Bからなる。樹脂基板30Aにはコンデンサ20を収容するための開口31aが設けられている。コンデンサ20の電極は、樹脂層30Bに設けられたビアホール33により接続が

取られている。コア基板30の上面には、導体回路34及び電源層を形成する導体層34Pが形成され、また、コア基板30の両面には、バイアホール60及び導体回路58が配置された層間樹脂絶縁層50が形成されている。コア基板30には、スルーホール36が形成されている。層間樹脂絶縁層50の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール60及び導体回路58にバンプ76U、76Dが形成されている。

[0135] 図21中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側のハンダバンプへの接続用の導電性接続ピン99が取り付けられている。

[0136] ここで、導体層34Eは、 $30\mu\text{m}$ に形成されている。この第6実施例においては、コア基板30内にコンデンサ20を内蔵するため、第1実施例を上回る効果が得られる。

[0137] (第6実施例-1)

図20を参照して上述した第6実施例と同様であるが以下のように設定した。

コア基板の導体層の厚み: $30\mu\text{m}$ コア基板の電源層の厚み: $30\mu\text{m}$

層間絶縁層の導体層の厚み: $15\mu\text{m}$

[0138] (第6実施例-2)

第6実施例と同様であるが以下のように設定した。

コア基板の導体層の厚み: $55\mu\text{m}$ コア基板の電源層の厚み: $55\mu\text{m}$

層間絶縁層の導体層の厚み: $15\mu\text{m}$

[0139] (第6実施例-3)

コア基板の導体層の厚み: $75\mu\text{m}$ コア基板の電源層の厚み: $75\mu\text{m}$

層間絶縁層の導体層の厚み: $15\mu\text{m}$

[0140] (第6実施例-4)

第6実施例-1と同様であるが以下のように設定した。

コア基板の導体層(電源層)の厚み: $180\mu\text{m}$

層間絶縁層の導体層の厚み: $6.0\mu\text{m}$

[0141] (比較例)

第1実施例～第5実施例において、(コア基板の電源用の導体層の厚みの和/層

間絶縁層の導体層の厚み) ≤ 1 を第1比較例～第5比較例とした。その実例として、コア基板の電源用の導体層の厚みの和: $15 \mu\text{m}$ 、層間絶縁層の導体層の厚み: $15 \mu\text{m}$ に設定した。

[0142] (参考例)

第1実施例～第5実施例において、(コア基板の電源用の導体層の厚みの和/層間絶縁層の導体層の厚み) > 40 を第1参考例～第5参考例とした。その実例として、コア基板の電源用の導体層の厚みの和: $415 \mu\text{m}$ 、層間絶縁層の導体層の厚み: $10 \mu\text{m}$ に設定した。

[0143] それぞれの実施例と比較例と参考例の基板に周波数3.1GHzのICチップを実装して、同じ量の電源を供給して、起動させたときの電圧の低下した量を測定した。このときの電圧低下の値を示した。電源電圧1.0Vのときの変動した電圧低下量の値である。ICチップの電圧は、該電圧を測定できる回路をプリント配線板に形成し行なった。

また、それぞれの実施例と比較例と参考例のバイアス高温高湿条件(温度 130°C 、湿度85%、2V印加)下における信頼性試験を行った。試験時間は、100hr、300hr、500hr、1000hrで行い、ICの誤動作の有無、コアの導体層のビア接続オープンの有無についてそれぞれの実施例および比較例について検証をした。この結果を図25、図26中図表に表す。尚、電源電圧1.0Vのとき、変動許容範囲が $\pm 10\%$ (3回目の電圧低下量)であれば、電圧の挙動が安定していることになり、ICチップの誤動作などを引き起こさない。つまり、この場合、電圧低下量が0.1V以内であれば、電圧低下によるICチップへの誤動作等を引き起こさないことになる。

[0144] 図25、図26より、適合例で作成したものはICチップの誤動作やオープンなどなりにくい。つまり、電気接続性と信頼性が確保される。

比較例では、ICチップの誤動作を引き起こしてしまうため、電気接続性に問題があるし、導体の厚みが薄いため、信頼性試験下で発生した応力を緩衝できず、ビア接続部での剥がれが生じてしまった。そのために、信頼性が低下してしまった。しかしながら、コア基板の電源層の厚みの和/層間絶縁層の導体層の厚みの比1.2を越えると、その効果が現れてくる。

コア基板の電源層の厚みの和／層間絶縁層の導体層の厚み比40を越えると(参考例)、上層の導体回路における不具合(例えば、上層の導体回路への応力の発生やうねりによる密着性の低下を引き起こしてしまう等)のため、信頼性が低下してしまった。

試験の結果からも、電気特性と信頼性の要因を満たすのは、 $1 < (\text{コア基板の導体層の厚みの和} / \text{層間絶縁層の導体層の厚み}) \leq 40$ ということになる。

第1実施例-6-10に関する結果が図25、26にないが第1実験例-1-5と同じであった。

[0145] [第7実施例]

図27に第7実施例に係る多層プリント配線板の断面図を示す。第7実施例では、第5実施例における図13(F)において、コア基板の内層導体層16E、16Pを形成する際に、スプレー圧、エッチング時間等のエッチング条件を変化させたり、スプレー式エッチング装置で下面のみを使ってエッチングする等により、導体層16E、16Pの側面を直線状のテーパまたはR面状のテーパとし、導体層の側面上端と下端とを結んだ直線とコア基板との成す角度 Θ (図27(A)中に示す導体層16の円b部の拡大である図27(B):直線状のテーパ、図27(C):R面状のテーパ、参照)を以下の第7実施例-1-第7実施例-9のように調整した。なお、第7実施例-1-第7実施例-6のそれぞれの断面の Θ 及びその形状(直線状のテーパまたはR面状のテーパ)は、内層導体の縦断面が観察できるよう研磨し、 $\times 100$ - $\times 1000$ の顕微鏡で断面観察した実測値である。

[0146] [第7実施例-1]

$\tan \Theta$ を2に、形状をR面状のテーパに調整した。

[0147] [第7実施例-2]

$\tan \Theta$ を2.8に、形状をR面状のテーパに調整した。

[0148] [第7実施例-3]

$\tan \Theta$ を3.5に、形状をR面状のテーパに調整した。

[0149] [第7実施例-4]

$\tan \Theta$ を53に、形状をR面状のテーパに調整した。

[0150] [第7実施例-5]

$\tan \Theta$ を55に、形状をR面状のテーパーに調整した。

[0151] [第7実施例-6]

$\tan \Theta$ を57に、形状をR面状のテーパーに調整した。

[0152] [第7実施例-7]

$\tan \Theta$ を2.8に、形状を直線状のテーパーに調整した。

[0153] [第7実施例-8]

$\tan \Theta$ を53に、形状を直線状のテーパーに調整した。

[0154] [第7実施例-9]

$\tan \Theta$ を57に、形状を直線状のテーパーに調整した。

[0155] そして、第7実施例-1～第7実施例-6の多層プリント配線板に対して下記の条件の時間(回数)のHAST試験とヒートサイクル試験を行った。第7実施例-7、8、9の多層プリント配線板に対してはヒートサイクル試験のみを行った。この結果を図28中の図表に示す。また、横軸に $\tan \Theta$ 、縦軸に絶縁抵抗及び抵抗率変化を取ったグラフを図29中に示す。

[0156] HAST試験の条件及び時間

条件:85°C×85%×3.3V

時間:115hr

試験後の絶縁抵抗が $10^7 \Omega$ 以上のものを合格とした。

[0157] ヒートサイクル試験

条件:-55°C×5分⇔125°C×5分

回数:1000回

試験後の抵抗率変化が±10%以内のものを合格とした。尚、測定は、後述する第8実施例と同様である。

[0158] 図28及び図29の結果から、 Θ が $2.8 < \tan \Theta < 55$ の関係式を満足するとき、絶縁信頼性と接続信頼性を共に満足することが分かる。

HAST試験後の第7実施例-1の多層プリント配線板とヒートサイクル試験後の第7実施例-6の多層プリント配線板を解析した。

[0159] 第7実施例-6においては、多層コア基板の内層の導体層の側壁と絶縁樹脂との界面を起点としてクラックや、その界面で剥離が原因となって、抵抗上昇が起こっていた事が分かった。

[0160] 第7実施例-1においては、多層コア基板の内層の導体層のボトムにおける導体層間(絶縁層上)にエッチング残りした銅が点在することが原因となって、絶縁抵抗の低下が起こっていた事が分かった。 Θ が $2.8 < \tan \Theta < 55$ を満足すると、絶縁信頼性や接続信頼性も向上することが分かる。

[0161] また、図28の第7実施例-2、4、6(図27(C):R面状のテーパー)と第7実施例-7～第7実施例-9(図27(B):直線状のテーパー)との比較により、導体層の側面の形状は直線状のテーパーよりR面状のテーパーの方が接続信頼性に優れていることが分かる。これはR面状とした方が、導体層の側面と絶縁樹脂との密着強度が増すこと、応力が分散するため、クラックや剥離がより発生し難いからと推察している。

[0162] [第8実施例]

第8実施例は、第5実施例に準じ、図13(F)において、コア基板の内層導体層16E、16Pの回路形成を以下のようにして行なった。所謂テンテイング法であって、エッチング液の主成分を第2塩化銅とし、コンベアでエッチングゾーンに搬送されてきた基板に、該エッチング液をノズル(基板から一定距離離して上下に設置)よりスプレー噴射して行った。エッチング方法やエッチング条件を変えたり、主成分に抑制剤を添加して、テーパーの形状や導体層の側面の角度を以下の第8実施例-1～第8実施例-30のように調整した。なお、第8実施例-1～第8実施例-30のそれぞれの Θ 及びその形状(直線状のテーパー又はR面状のテーパー)は、内層導体の縦断面が観察できるよう研磨し、 $\times 100$ ～ $\times 1000$ の目盛り付き顕微鏡で断面観察した実測値である。尚、断面観察は、製品とは別に同条件で作成した導体層の側面形状観察用基板にて行った。測定数は1製品を4分割し、それぞれからランダムに2点ずつ測定した(合計で8データ)。

また、それぞれの実施例において、多層コア作製時の図13(E)において、銅箔の厚みを変えて内層導体層の厚みを変えた。

[0163] 上述した抑制剤とは、銅に吸着して銅が基板と水平方向にエッチング(サイドエッチ

ング)されることを抑制する添加剤であり、上述した Θ を大きくすることが可能となる。該抑制剤としては、ベンゾトリアゾール等があり、その濃度によりサイドエッチングを抑制する度合いを制御できる。ベンゾトリアゾールを高濃度に添加するには、界面活性剤(両性界面活性剤:アルキルジメチルアミノ酢酸ベタイン及び非イオン性界面活性剤:ポリオキシエチレンアルキルエーテル)を同時に添加することで可能となり、導体層の側面がより垂直に近い形状となる。

[0164] 「第8実施例-1」

内層導体層の厚み: $30 \mu\text{m}$

図15(B)の34、34P、34Eの導体厚み: $20 \mu\text{m}$ とした。

エッチング液への抑制剤の添加

抑制剤: 添加無

エッチング方法

用いたノズル: フルコーンノズル(放射状にスプレー噴射するノズル)

ノズルの揺動(首振り): 有り

使用したノズル: 下面のみ

第8実施例-1では、無添加材のエッチング液を、フルコーンノズルで放射状に首振りしてスプレーしたので、導体層の側面は、R面のテーパー状となり、 $\tan\Theta$ は1.6〜2.5であった(8データ中の最小値〜最大値)。

[0165] 「第8実施例-2」

第8実施例-1において、内層導体厚みを $30 \mu\text{m}$ から $45 \mu\text{m}$ に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状: R面

$\tan\Theta$: 1.4〜2.1(8データ中の最小値〜最大値)

[0166] 「第8実施例-3」

第8実施例-1において、内層導体厚みを $30 \mu\text{m}$ から $60 \mu\text{m}$ に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan\Theta$:1.4~2.1(8データ中の最小値~最大値)

[0167] 「第8実施例-4」

第8実施例-1において、内層導体厚みを $30\mu\text{m}$ から $100\mu\text{m}$ に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan\Theta$:1.3~1.9(8データ中の最小値~最大値)

[0168] 「第8実施例-5」

第8実施例-1において、内層導体厚みを $30\mu\text{m}$ から $125\mu\text{m}$ に変更し、図14(A)のプリプレグの厚みを $225\mu\text{m}$ とした。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan\Theta$:1.3~1.9(8データ中の最小値~最大値)

[0169] 「第8実施例-6」

第8実施例-1において、内層導体厚みを $30\mu\text{m}$ から $150\mu\text{m}$ に変更し、図14(A)のプリプレグの厚みを $250\mu\text{m}$ とした。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan\Theta$:1.2~1.7(8データ中の最小値~最大値)

[0170] 「第8実施例-7」

内層導体層の厚み: $30\mu\text{m}$

図15(B)の34、34P、34Eの導体厚み: $20\mu\text{m}$ とした。

エッチング液への抑制剤の添加

抑制剤:ベンゾトリアゾール(BTA)を1200ppm、界面活性剤を450ppm添加した。

エッチング方法

用いたノズル:スリットノズル(直線状にスプレー噴射するノズル)

ノズルの揺動(首振り):無し

使用したノズル:上面のみ

第8実施例-7では、エッチング液に抑制剤を添加し、スリットノズルで直線状にスプレーしたので、 $\tan \Theta$ は第8実施例-1〜第8実施例-6に比して大きくなった。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan \Theta$:3.0〜10.8(8データ中の最小値〜最大値)

[0171] 「第8実施例-8」

第8実施例-7において、内層導体厚みを $30 \mu\text{m}$ から $45 \mu\text{m}$ に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan \Theta$:3.0〜11.0(8データ中の最小値〜最大値)

[0172] 「第8実施例-9」

第8実施例-7において、内層導体厚みを $30 \mu\text{m}$ から $60 \mu\text{m}$ に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan \Theta$:3.0〜11.2(8データ中の最小値〜最大値)

[0173] 「第8実施例-10」

第8実施例-7において、内層導体厚みを $30 \mu\text{m}$ から $100 \mu\text{m}$ に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan \Theta$:2.8〜11.2(8データ中の最小値〜最大値)

[0174] 「第8実施例-11」

第8実施例-7において、内層導体厚みを $30 \mu\text{m}$ から $125 \mu\text{m}$ に変更し、図14(A)のプリプレグの厚みを $225 \mu\text{m}$ とした。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan\Theta$:2.7~11.0(8データ中の最小値~最大値)

[0175] 「第8実施例-12」

第8実施例-7において、内層導体厚みを $30\mu\text{m}$ から $150\mu\text{m}$ に変更し、図14(A)のプリプレグの厚みを $250\mu\text{m}$ とした。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan\Theta$:2.7~11.4(8データ中の最小値~最大値)

[0176] 「第8実施例-13」

内層導体層の厚み: $30\mu\text{m}$

図15(B)の34、34P、34Eの導体厚み: $20\mu\text{m}$ とした。

エッチング液への抑制剤の添加

抑制剤:ベンゾトリアゾール(BTA)を1000ppm、界面活性剤を450ppm添加した。

エッチング方法

用いたノズル:スリットノズル(直線状にスプレー噴射するノズル)

ノズルの揺動(首振り):無し

使用したノズル:下面のみ

第8実施例-13では、エッチング液に抑制剤を添加する量を第8実施例-7より少なくし、下面のみのスリットノズルでスプレーしたので、第8実施例-7と比較すると、 $\tan\Theta$ は、下の値は同等でその範囲が小さくなった。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan\Theta$:3.0~5.3(8データ中の最小値~最大値)

[0177] 「第8実施例-14」

第8実施例-13において、内層導体厚みを $30\mu\text{m}$ から $45\mu\text{m}$ に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan\Theta$:3.1~5.4(8データ中の最小値~最大値)

[0178] 「第8実施例-15」

第8実施例-13において、内層導体厚みを30 μm から60 μm に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan\Theta$:3.1~5.4(8データ中の最小値~最大値)

[0179] 「第8実施例-16」

第8実施例-13において、内層導体厚みを30 μm から100 μm に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan\Theta$:2.7~5.5(8データ中の最小値~最大値)

[0180] 「第8実施例-17」

第8実施例-13において、内層導体厚みを30 μm から125 μm に変更し、図14(A)のプリプレグの厚みを225 μm とした。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan\Theta$:2.9~5.7(8データ中の最小値~最大値)

[0181] 「第8実施例-18」

第8実施例-13において、内層導体厚みを30 μm から150 μm に変更し、図14(A)のプリプレグの厚みを250 μm とした。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan\Theta$:2.7~5.7(8データ中の最小値~最大値)

[0182] 「第8実施例-19」

第8実施例-7において、下面のみのスリットノズルによりエッチングした。その結果、第8実施例-7に対して $\tan \Theta$ の範囲が小さくなった。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan \Theta$:4.2~10.8(8データ中の最小値~最大値)

[0183] 「第8実施例-20」

第8実施例-19において、内層導体厚みを $30 \mu\text{m}$ から $45 \mu\text{m}$ に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan \Theta$:4.0~11.0(8データ中の最小値~最大値)

[0184] 「第8実施例-21」

第8実施例-19において、内層導体厚みを $30 \mu\text{m}$ から $60 \mu\text{m}$ に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan \Theta$:3.8~11.0(8データ中の最小値~最大値)

[0185] 「第8実施例-22」

第8実施例-19において、内層導体厚みを $30 \mu\text{m}$ から $100 \mu\text{m}$ に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan \Theta$:3.7~11.2(8データ中の最小値~最大値)

[0186] 「第8実施例-23」

第8実施例-19において、内層導体厚みを $30 \mu\text{m}$ から $125 \mu\text{m}$ に変更し、図14(A)のプリプレグの厚みを $225 \mu\text{m}$ とした。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan\Theta$:3.7~11.4(8データ中の最小値~最大値)

[0187] 「第8実施例-24」

第8実施例-19において、内層導体厚みを30 μm から150 μm に変更し、図14(A)のプリプレグの厚みを250 μm とした。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:R面

$\tan\Theta$:3.7~11.3(8データ中の最小値~最大値)

[0188] 「第8実施例-25」

第8実施例-19において、ベンゾトリアゾールの濃度を1800ppmとした。その結果、導体層の側面形状が直線状のテーパとなった。

導体層の側面形状と Θ の測定結果

テーパの形状:直線

$\tan\Theta$:4.0~10.8(8データ中の最小値~最大値)

[0189] 「第8実施例-26」

第8実施例-25において、内層導体厚みを30 μm から45 μm に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:直線

$\tan\Theta$:4.0~10.8(8データ中の最小値~最大値)

[0190] 「第8実施例-27」

第8実施例-25において、内層導体厚みを30 μm から60 μm に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:直線

$\tan\Theta$:4.0~11.0(8データ中の最小値~最大値)

[0191] 「第8実施例-28」

第8実施例-25において、内層導体厚みを30 μm から100 μm に変更した。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:直線

$\tan \Theta$:3.7~11.2(8データ中の最小値~最大値)

[0192] 「第8実施例-29」

第8実施例-25において、内層導体厚みを $30 \mu\text{m}$ から $125 \mu\text{m}$ に変更し、図14(A)のプリプレグの厚みを $225 \mu\text{m}$ とした。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:直線

$\tan \Theta$:3.8~11.4(8データ中の最小値~最大値)

[0193] 「第8実施例-30」

第8実施例-25において、内層導体厚みを $30 \mu\text{m}$ から $150 \mu\text{m}$ に変更し、図14(A)のプリプレグの厚みを $250 \mu\text{m}$ とした。それ以外は同様である。

導体層の側面形状と Θ の測定結果

テーパの形状:直線

$\tan \Theta$:3.7~11.4(8データ中の最小値~最大値)

[0194] (第8比較例-1)

第8実施例-1において、図13(E)の銅箔の厚みを $7.5 \mu\text{m}$ 、図15(B)の34、34P、34Eの導体厚みを $7.5 \mu\text{m}$ とした。つまり、コア基板の電源用導体層の厚みの和と層間絶縁層上の導体回路58が等しい場合である。

[0195] (第8比較例-2)

第8実施例-7において、図13(E)の銅箔の厚みを $7.5 \mu\text{m}$ 、図15(B)の34、34P、34Eの導体厚みを $7.5 \mu\text{m}$ とした。つまり、コア基板の電源用導体層の厚みの和と層間絶縁層上の導体回路58が等しい場合である。

[0196] (第8比較例-3)

第8実施例-13において、図13(E)の銅箔の厚みを $7.5 \mu\text{m}$ 、図15(B)の34、34P、34Eの導体厚みを $7.5 \mu\text{m}$ とした。つまり、コア基板の電源用導体層の厚みの和と層間絶縁層上の導体回路58が等しい場合である。

[0197] (第8比較例-4)

第8実施例-19において、図13(E)の銅箔の厚みを $7.5\mu\text{m}$ 、図15(B)の34、34P、34Eの導体厚みを $7.5\mu\text{m}$ とした。つまり、コア基板の電源用導体層の厚みの和と層間絶縁層上の導体回路58が等しい場合である。

[0198] 第8実施例、第8比較例のそれぞれの多層プリント配線板のテーパの形状と $\tan\Theta$ を図30に示す。また、第8実施例と第8比較例の多層プリント配線板について、以下に説明するような方法によって、搭載したICチップに誤動作があるかどうかを確認した。

ICチップとしては、以下のNo.1-4から選ばれるいずれか1のICチップを各多層プリント配線板に実装し、同時スイッチングを100回行って誤動作の有無を評価した。

それぞれの多層プリント配線板及び同時スイッチング試験の結果を図30に示す。

No.1:駆動周波数:3.06GHz、バスクロック(FSB):533MHz

No.2:駆動周波数:3.2GHz、バスクロック(FSB):800MHz

No.3:駆動周波数:3.4GHz、バスクロック(FSB):800MHz

No.4:駆動周波数:3.46GHz、バスクロック(FSB):1066MHz

[0199] また、第7実施例と同様なヒートサイクル試験を、ICを実装した第8実施例19-30の多層プリント配線板に対して1000回、2000回行い、接続抵抗を評価した。接続抵抗は、多層プリント配線板の裏面の測定用端子1からICを介して、多層プリント配線板の裏面の測定用端子2と繋がっている閉回路の接続抵抗を測定した。(ヒートサイクル後の接続抵抗-初期値の接続抵抗) / 初期値の接続抵抗 $\times 100$ が、 $\pm 10\%$ 以内なら○、それ以外は×である)

[0200] No.1のICチップを実装した結果より、本願発明の多層プリント配線板によれば誤動作が発生しないことがわかる。また、No.2のICチップを実装した第8実施例-1と第8実施例-7、13、19、25の比較から、コア基板の導体層の厚みが層間絶縁層上の導体回路の厚みより厚く、 $\tan\theta$ の値が2.7以上であれば誤動作が発生し難いことがわかる。第8実施例-1は、内層の導体層の導体体積が小さいため、電源層の抵抗が高くなるので、電源供給に遅延が生じて誤動作が発生したものと推察している。また、No.3のICチップを実装した多層プリント配線板によれば、内層導体層の厚みが60-100 μm であれば誤動作が無いが、 $\tan\Theta$ の値が小さい第8実施例-1、2と $\tan\Theta$ の

範囲が大きな第8実施例-11、12で誤動作が発生している。第8実施例-11、12で誤動作が発生したのは、多層コアを貫通する信号用スルーホールインピーダンスが各スルーホールで差が大きくなり信号到達に差が生じたためと推察している。No.4のICチップを実装した第8実施例-19-24と第8実施例-25-30の多層プリント配線板を比較するとテーパの形状がR面であると誤動作が発生しにくいことが分る。これは、内層導体層の側面形状が直線状となると、R面の多層プリント配線板に比べて、信号用スルーホールが感じるインピーダンス差(図31参照)が大きくなるため信号の反射がより多いためか、導体層側面と絶縁層との密着が影響しているものと推察している。

また、第8実施例-13-24より、 $\tan \theta$ が2.7-5.7または3.7-11.4であって、内層導体の厚みが、45-150 μm が好ましい事が分る。

[0201] 第8実施例-14-18、20-24の多層プリント配線板を高温・高湿(85度・85%)に100時間放置し、No.4のICチップを実装した後、同時スイッチングを行なった。内層導体層の厚みが60-150 μm の第8実施例-15-18、21-24は誤動作が発生しなかったが、第8実施例-14、20では誤動作が観察された。これは、高温・高湿試験により、導体の抵抗値が上昇したためと推察している。この結果から、 $\tan \theta$ が2.7-5.7または3.7-11.4であって、内層の導体厚みとしては、さらに、60-150 μm が好ましい事が分る。

[0202] 「第9実施例」

第9実施例-1-第9実施例-28と第9比較例1-第9比較例3の多層プリント配線板を上述した第5実施例に準じて作製した。但し、それぞれの実施例、比較例において、コア基板の導体層の厚み、コア基板の導体層の層数、ダミーランドを有しないスルーホール数、ダミーランドを有しない領域、層間絶縁層上の導体層の厚みを変えた。内層の導体層の厚みを変更する場合は、図13(E)において、銅箔の厚みを変更した。コア基板の表裏の導体層の厚みを変える場合は、図14(B)における銅箔の厚み、図14(D)、図15(A)におけるめっき厚みを変更した。コア基板の導体層の層数を変更する場合は、図14(B)の工程後に、回路形成、回路表面の粗化、プリプレグと銅箔の積層を所定回数繰り返すことで行った。ダミーランドを有しないスルーホー

ル数やダミーランドを有しない領域を変更する場合は、図13(F)の回路形成(テンテイング法)時において、銅箔をエッチングするためのエッチングレジスト形成時の露光マスクを変更することで行った。層間絶縁層上の導体層の厚みを変更する場合は、図3(C)において、めっき厚みを変更することで行った。

以下に、各実施例と比較例のコアの層数、電源用導体層の厚み、層間絶縁層上の導体層の厚み、ダミーランドを有しないスルーホール数、その領域等を示す。

[0203] (第9実施例-1)

4層コア基板の内層の電源用導体層の厚み: $25 \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $15 \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $40 \mu\text{m}$

層間絶縁層上の導体層の厚み: $20 \mu\text{m}$

[0204] (第9実施例-2)

4層コア基板の内層の電源用導体層の厚み: $15 \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $9 \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $24 \mu\text{m}$

層間絶縁層上の導体層の厚み: $20 \mu\text{m}$

[0205] (第9実施例-3)

4層コア基板の内層の電源用導体層の厚み: $45 \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $15 \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $60 \mu\text{m}$

層間絶縁層上の導体層の厚み: $20 \mu\text{m}$

[0206] (第9実施例-4)

4層コア基板の内層の電源用導体層の厚み: $60 \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $15 \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $75 \mu\text{m}$

層間絶縁層上の導体層の厚み: $20 \mu\text{m}$

[0207] (第9実施例-5)

14層コア基板の各内層の電源用導体層の厚み: $100 \mu\text{m}$

14層コア基板表層の電源用導体層の厚み:15 μ m
コア基板の電源用の導体層の厚みの和:615 μ m
層間絶縁層上の導体層の厚み:20 μ m

[0208] (第9実施例-6)

18層コア基板の各内層の電源用導体層の厚み:100 μ m
18層コア基板表層の電源用導体層の厚み:15 μ m
コア基板の電源用の導体層の厚みの和:815 μ m
層間絶縁層上の導体層の厚み:20 μ m

[0209] (第9実施例-7)

4層コア基板の内層の電源用導体層の厚み:15 μ m
4層コア基板表層の電源用導体層の厚み:45 μ m
コア基板の電源用の導体層の厚みの和:60 μ m
層間絶縁層上の導体層の厚み:20 μ m

[0210] (第9実施例-8)

4層コア基板の内層の電源用導体層の厚み:15 μ m
4層コア基板表層の電源用導体層の厚み:60 μ m
コア基板の電源用の導体層の厚みの和:75 μ m
層間絶縁層上の導体層の厚み:20 μ m

[0211] (第9実施例-9)

4層コア基板の内層の電源用導体層の厚み:50 μ m
4層コア基板表層の電源用導体層の厚み:15 μ m
コア基板の電源用の導体層の厚みの和:65 μ m
層間絶縁層上の導体層の厚み:20 μ m

[0212] (第9実施例-10)

4層コア基板の内層の電源用導体層の厚み:150 μ m
4層コア基板表層の電源用導体層の厚み:15 μ m
コア基板の電源用の導体層の厚みの和:165 μ m
層間絶縁層上の導体層の厚み:20 μ m

尚、上述した第5実施例の(4)〈外層絶縁層及び導体層の形成〉工程において、300 μm 厚のプリプレグを用いた。

[0213] (第9実施例-11)

4層コア基板の内層の電源用導体層の厚み:175 μm

4層コア基板表層の電源用導体層の厚み:15 μm

コア基板の電源用の導体層の厚みの和:190 μm

層間絶縁層上の導体層の厚み:20 μm

尚、上述した第5実施例の(4)〈外層絶縁層及び導体層の形成〉工程において、300 μm 厚のプリプレグを用いた。

[0214] (第9実施例-12)

4層コア基板の内層の電源用導体層の厚み:200 μm

4層コア基板表層の電源用導体層の厚み:15 μm

コア基板の電源用の導体層の厚みの和:215 μm

層間絶縁層上の導体層の厚み:20 μm

尚、上述した第5実施例の(4)〈外層絶縁層及び導体層の形成〉工程において、300 μm 厚のプリプレグを用いた。

[0215] (第9実施例-13)

第9実施例-3において、電源用スルーホールとグランド用スルーホールの一部を、上述した第5実施例の(5)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0216] (第9実施例-14)

第9実施例-3において、IC直下部の全電源用スルーホールと全グランド用スルーホールを、上述した第5実施例の(5)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。

[0217] (第9実施例-15)

第9実施例-9において、電源用スルーホールとグランド用スルーホールの一部を、

上述した第5実施例の(5)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0218] (第9実施例-16)

第9実施例-9において、IC直下部の全電源用スルーホールと全グランド用スルーホールを、上述した第5実施例の(5)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。

[0219] (第9実施例-17)

第9実施例-4において、電源用スルーホールとグランド用スルーホールの一部を、上述した第5実施例の(5)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0220] (第9実施例-18)

第9実施例-4において、IC直下部の全電源用スルーホールと全グランド用スルーホールを、上述した第5実施例の(5)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。

[0221] (第9実施例-19)

第9実施例-10において、電源用スルーホールとグランド用スルーホールの一部を、上述した第5実施例の(5)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0222] (第9実施例-20)

第9実施例-10において、IC直下部の全電源用スルーホールと全グランド用スルーホールを、上述した第5実施例の(5)〈内層金属層の回路形成工程〉中で示した

ダミーランドを有しないスルーホールとした。

[0223] (第9実施例-21)

第9実施例-11において、電源用スルーホールとグランド用スルーホールの一部を、上述した第5実施例の(5) <内層金属層の回路形成工程> 中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0224] (第9実施例-22)

第9実施例-11において、IC直下部の全電源用スルーホールと全グランド用スルーホールを、上述した第5実施例の(5) <内層金属層の回路形成工程> 中で示したダミーランドを有しないスルーホールとした。

[0225] (第9実施例-23)

第9実施例-12において、電源用スルーホールとグランド用スルーホールの一部を、上述した第5実施例の(5) <内層金属層の回路形成工程> 中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0226] (第9実施例-24)

第9実施例-12において、IC直下部の全電源用スルーホールと全グランド用スルーホールを、上述した第5実施例の(5) <内層金属層の回路形成工程> 中で示したダミーランドを有しないスルーホールとした。

[0227] (第9実施例-25)

第9実施例-7において、電源用スルーホールとグランド用スルーホールの一部を、上述した第5実施例の(5) <内層金属層の回路形成工程> 中で示したダミーランドを有しないスルーホールとした。その領域はIC直下部であり、ダミーランドを有しない電源用スルーホール数は、全電源用スルーホールに対して50%、ダミーランドを有

しないグランド用スルーホール数は、全グランド用スルーホールに対して50%とした。

[0228] (第9実施例-26)

第9実施例-7において、IC直下部の全電源用スルーホールと全グランド用スルーホールを、上述した第5実施例の(5)〈内層金属層の回路形成工程〉中で示したダミーランドを有しないスルーホールとした。

[0229] (第9実施例-27)

6層コア基板の各内層の電源用導体層の厚み: $32.5 \mu\text{m}$

6層コア基板表層の電源用導体層の厚み: $15 \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $80 \mu\text{m}$

層間絶縁層上の導体層の厚み: $20 \mu\text{m}$

[0230] (第9実施例-28)

4層コア基板の内層の電源用導体層の厚み: $125 \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $15 \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $140 \mu\text{m}$

層間絶縁層上の導体層の厚み: $20 \mu\text{m}$

[0231] (第9比較例-1)

4層コア基板の内層の電源用導体層の厚み: $10 \mu\text{m}$

4層コア基板表層の電源用導体層の厚み: $10 \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $20 \mu\text{m}$

層間絶縁層上の導体層の厚み: $20 \mu\text{m}$

[0232] (第9比較例-2)

18層コア基板の各内層の電源用導体層の厚み: $100 \mu\text{m}$

18層コア基板表層の電源用導体層の厚み: $40 \mu\text{m}$

コア基板の電源用の導体層の厚みの和: $840 \mu\text{m}$

層間絶縁層上の導体層の厚み: $20 \mu\text{m}$

[0233] (第9比較例-3)

22層コア基板の各内層の電源用導体層の厚み: $100 \mu\text{m}$

22層コア基板表層の電源用導体層の厚み: $15 \mu\text{m}$

コア基板の電源用の導体層の厚みの和:1015 μ m

層間絶縁層上の導体層の厚み:20 μ m

[0234] 尚、第9実施例、第9比較例の多層プリント配線板において、ダミーランドに関する記述がないものは、全てのスルーホールがダミーランドを有している。

第9実施例-1〜第9実施例-12、第9実施例-27、28と第9比較例-1〜第9比較例-3の多層プリント配線板に周波数3.1GHzのICチップを実装して、同じ量の電源を供給して、起動させたときの電圧の降下した量(複数発生する電圧降下のうち3回目に相当する降下量)を測定した。なお、ICにおいてICの電圧を直接測定することは出来ないので、プリント配線板上に測定可能な回路を形成して、ICの電圧を測定した。このときの電圧降下量の値、図32、図33に示した。電源電圧1.0Vのときの変動した電圧降下量の値である。

また、第9実施例-1〜第9実施例-12、第9実施例-28と第9比較例-1〜第9比較例-3のプリント配線板に、HAST試験(85°C、湿度85%、3、3V印加)を行った。なお、被評価パターンは、コア基板に形成した絶縁抵抗評価用テストパターンである。その結果を図32に示す。試験時間は、115hrで、合格は、115時間後の絶縁抵抗値が $10^7 \Omega$ 以上であり、それを下回ると不良である。

また、第9実施例-3、4、7、8は、プリント配線板作成中において、最小線間、線幅形成能力評価パターン(第5実施例の(10)工程参照)の評価を行った。この結果を、形成能力として図34中に示す。図中で○はショートなし、×は隣り合う配線でショートがあったことを表している。

[0235] 様々な $\alpha 1 / \alpha 2$ に対して、電圧降下量とHAST後の絶縁抵抗の結果を図32、図33に示す。HAST試験後の結果は、合格が○、不良は×で記載した。また、様々な $\alpha 1 / \alpha 2$ に対しての電圧降下量をグラフ化したものを図35に示す。

[0236] 図32、図33の結果において、電源電圧1.0Vのとき、変動許容範囲が $\pm 10\%$ (3回目の電圧降下量)であれば、電圧の挙動が安定していることになり、ICチップの誤動作などを引き起こさない。つまり、この場合、電圧降下量が0.1V以内であれば、電圧降下によるICチップへの誤動作等を引き起こさないことになる。従って、0.09V以下であれば、安定性が増すことになる。それ故に、(多層コア基板の電源用の導体

層の厚みの和/層間絶縁層上の導体層の厚み)の比が1.0を越えるのが良いのである。さらに、 $1.2 \leq (\text{多層コア基板の電源用の導体層の厚みの和/層間絶縁層上の導体層の厚み}) \leq 40$ の範囲であれば、変動許容範囲内である。

[0237] しかしながら、その値が8.25を越えると上昇し始め、40を越えると、電圧降下量が0.1Vを越えてしまう。これは、多層コア基板の導体層が厚くなったり、内層の層数が増えたりして、スルーホール長が長くなりICへの電源供給に時間を要するようになるためと推察している。

[0238] しかしながら、(多層コア基板の電源用の導体層の厚みの和/層間絶縁層上の導体層の厚み)が上述の範囲であっても、1層のみの導体層を厚くした第9実施例-11, 12は、コア基板の絶縁信頼性がその他の実施例よりも劣っていて不良であった(図32参照)。このことから、1層のみを厚くするのではなく、コアを多層化して電源用の導体層の厚みの和を上述の範囲にすることで、高周波のICを搭載しても誤動作が発生せず、絶縁信頼性に優れたプリント配線板とすることができることがわかる。

[0239] なお、第9実施例-11, 12のコア基板の絶縁性評価用テストパターンを解析したところ、線間の間隔が狭くなっていた。これが原因で絶縁抵抗は規格を下回ったと推察している。また、図34の第9実施例-3, 4と第9実施例-7, 8の比較により多層コア基板の表裏の導体層の厚みが内層の導体層の厚みより薄い方がよいこともわかる。これは、表裏に厚い導体層を形成すると、その影響で層間剤がうねってしまうため、層間絶縁層上に微細な配線を形成できないからである。

[0240] 第9実施例-1-12, 27, 28, 第9比較例1-3にしたがって製造した多層プリント配線板について、以下に説明するような方法によって、搭載したICチップに誤動作があるかどうかを確認した。

ICチップとしては、以下のNo.1-3から選ばれるいずれか1のICチップを各多層プリント配線板に実装し、同時スイッチングを100回行って誤動作の有無を評価した。

それらの結果を図33に示す。

No.1:駆動周波数:3.06GHz、バスクロック(FSB):533MHz

No.2:駆動周波数:3.2GHz、バスクロック(FSB):800MHz

No.3:駆動周波数:3.46GHz、バスクロック(FSB):1066MHz

[0241] No.1のICチップを実装した結果より、 $\alpha 1 / \alpha 2$ の比率が1.0を越え、40以内であれば、ICに誤動作が観察されないことが分かる。これは、電源層の導体抵抗が低いため、ICへの電源供給が瞬時に行われているからと推察している。No.2のICチップを実装した結果より、ICの駆動周波数がより高速になると、より短時間にICへ電源供給する必要があるので、より好適な範囲が存在することがわかる。多層コアにおける内層の導体層が厚い第9実施例-11、12や内層の層数が多い第9実施例-5、6において誤動作が発生した理由としては、コア基板が厚くなることによる電源供給に時間を要する以外に、信号が信号用スルーホール(ICの信号回路と電氣的に接続しているスルーホール)を伝達する際に劣化している可能性もあると推察している。信号用スルーホールが4層コアを貫通する場合、該スルーホールは、上から絶縁層(図18における表層の電源層と内層のグランド層の間の絶縁層)、グランド層、絶縁層(図18における内層のグランド層と内層の電源層の間の絶縁層)、電源層、絶縁層(図18における内層の電源層と裏面のグランド層の間の絶縁層)を貫通する。信号配線は、周囲のグランドや電源の有無などによりインピーダンスが変化するため、例えば、表層の電源層とグランド層の間の絶縁層とグランド層との界面を境にしてインピーダンスの値が異なる。そのため、その界面において信号の反射が起こる。同様なことが他の界面でも起こる。このようなインピーダンスの変化量は、信号用スルーホールとグランド層、電源層との距離が近いほど、グランド層、電源層の厚みが厚いほど、界面の数が多くなるから第9実施例-5、6、11、12では誤動作が発生したと推察している。また、第9実施例-1、2においては、電源層の厚みの和が少ないためと推察している。

[0242] また、No.3のICを実装した結果より、さらにICが高速化すると、 $\alpha 1 / \alpha 2$ が3-7である4層コアにすることが効果的であることがわかる。これは、短時間での電源供給と信号劣化の防止を同時に達成できるからと推察している。また、第9実施例-3、4と第9実施例-7、8の比較から、電氣的にも内層に厚い導体層を配設することが有利である事が分る。これは、内層に厚い導体層を有するため、電源用スルーホールと内層のグランド層間及びグランド用スルーホールと内層の電源層間における相互作用によりインダクタンスが小さくなるためと推察している。

[0243] 第9実施例-13~26にしたがって製造した多層プリント配線板について、以下に説明するような方法によって、搭載したICチップに誤動作があるかどうかを確認した。

ICチップとしては、以下のNo.1~3から選ばれるいずれか1のICチップを各多層プリント配線板に実装し、同時スイッチングを100回行って誤動作の有無を評価した。

それらの結果を図36に示す。図中で用いているTHはスルーホールの略である。

No.1:駆動周波数:3.06GHz、バスクロック(FSB):533MHz

No.2:駆動周波数:3.2GHz、バスクロック(FSB):800MHz

No.3:駆動周波数:3.46GHz、バスクロック(FSB):1066MHz

第9実施例-10と第9実施例-19, 20を比較すると、ダミーランドを有しないスルーホールとすることでICの誤動作が発生し難くなっていることが分かる。これは、ダミーランドを有しない分、電位が逆のスルーホールと内層の導体層が近接したため、相互インダクタンスが減少したためと推察している。あるいは、電気は導体の表面を流れやすいため、ダミーランドがない分、電気の流れにおける配線長が短くなったためと推察している。

[0244] 第9実施例-3, 4, 13, 14, 17, 18, 28のプリント配線板を、高温・高湿(85度・85%)環境下に100時間放置した。その後、それぞれのプリント配線板に上述したNo.3のICチップを実装し、同時スイッチングを行ない誤動作の有無を確認した。第9実施例-3以外は誤動作しなかった。高温・高湿試験により、導体層の抵抗が大きくなったため、第9実施例-3では、誤動作が発生したと推察している。その他の実施例も同様に、抵抗は上昇するが、第9実施例-3に対して、その他は導体層の厚みが厚い、もしくは、ダミーランドを有しないスルーホールとなっているため、第9実施例-3よりインダクタンスが低いから誤動作が発生しなかったと推察している。従って、内層の導体層の厚みは、さらに、60 μ m~125 μ mが好ましいと思われる。以上より、多層コアとすると、内層の導体厚みとダミーランドを有しないスルーホールとすることは相互に影響し合っていると推察できる。

[0245] (第10実施例)

第8実施例-14~18, 20~24の多層プリント配線板において、図13(F)の工程で、IC直下の電源用スルーホールとグラウンド用スルーホールを、ダミーランドを有しない

スルーホールとした。その数は、両者とも全電源用スルーホール、全グランド用スルーホールに対して、50、100%の2水準作製した。それらを第10実施例-1-20とした。第10実施例-1-20のプリント配線板を、高温・高湿(85度・85%)に100時間放置した。その後、第8実施例の評価試験で用いたNo.4のICチップを実装し、同時スイッチングを行なった。その結果を図37に示す。この結果より、スルーホールを、ダミーランドを有しないスルーホールとし、導体層の側壁をテーパにすることで、さらに結果が良好となることが分る。

- [0246] 尚、実施例7-10の内層のグランド層の導体厚みは、内層の電源層の導体厚みと同じであり、コア基板の裏面のグランド層の導体厚みは、表面の電源層の導体厚みと同じである。このため、グランド層の導体厚みの和も電源層と同様厚いため、ノイズを低減できるので誤動作が発生しにくい。

図面の簡単な説明

- [0247] [図1]本発明の第1実施例の多層プリント配線板を製造方法を示す工程図である。
[図2]第1実施例の多層プリント配線板を製造方法を示す工程図である。
[図3]第1実施例の多層プリント配線板を製造方法を示す工程図である。
[図4]第1実施例の多層プリント配線板を製造方法を示す工程図である。
[図5]第1実施例の多層プリント配線板を製造方法を示す工程図である。
[図6]第1実施例に係る多層プリント配線板の断面図である。
[図7]第1実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。
[図8]図8(A)は第1実施例の改変例に係る多層プリント配線板の断面図であり、図8(B)、図8(C)は、円bで囲んだ導体層を拡大して示す説明図である。
[図9]第3実施例に係る多層プリント配線板の断面図である。
[図10]第3実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。
[図11]第4実施例に係る多層プリント配線板の断面図である。
[図12]第4実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

- [図13]本発明の第5実施例の多層プリント配線板を製造方法を示す工程図である。
- [図14]第5実施例の多層プリント配線板を製造方法を示す工程図である。
- [図15]第5実施例の多層プリント配線板を製造方法を示す工程図である。
- [図16]第5実施例の多層プリント配線板を製造方法を示す工程図である。
- [図17]第5実施例に係る多層プリント配線板の断面図である。
- [図18]第5実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。
- [図19]第5実施例の変形例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。
- [図20]第6実施例に係る多層プリント配線板の断面図である。
- [図21]第6実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。
- [図22]ICチップの動作中における電圧変化を示したグラフである。
- [図23]ICチップの動作中における電圧変化を示したグラフである。
- [図24]ICチップの動作中における電圧変化を示したグラフである。
- [図25]実施例の試験結果を示す図表である。
- [図26]実施例と比較例との試験結果を示す図表である。
- [図27]図27(A)は、第7実施例に係る多層プリント配線板の断面図であり、図27(B)、図27(C)は、円bで囲んだ導体層を拡大して示す説明図である。
- [図28]第7実施例の試験結果を示す図表である。
- [図29]導体層の上端と下端とを結ぶ直線とコア基板の水平面とのなす角度を Θ としたとき、 $\tan \Theta$ に対する絶縁抵抗及び抵抗率変化を示すグラフである。
- [図30]第8実施例の試験結果を示す図表である。
- [図31]多層コアを貫通する信号用スルーホールの様式図である。
- [図32]第9実施例の試験結果を示す図表である。
- [図33]第9実施例の試験結果を示す図表である。
- [図34]第9実施例の試験結果を示す図表である。
- [図35] $\alpha 1 / \alpha 2$ に対する電圧降下量を示すグラフである。

[図36]第9実施例の試験結果を示す図表である。

[図37]第10実施例の試験結果を示す図表である。

[図38]図38(A)は、多層コア基板の内層の横断面であって、ダミーランドを有しない場合を示し、図38(B)は、多層コア基板の内層の横断面であって、ダミーランドを有する場合を示している。

符号の説明

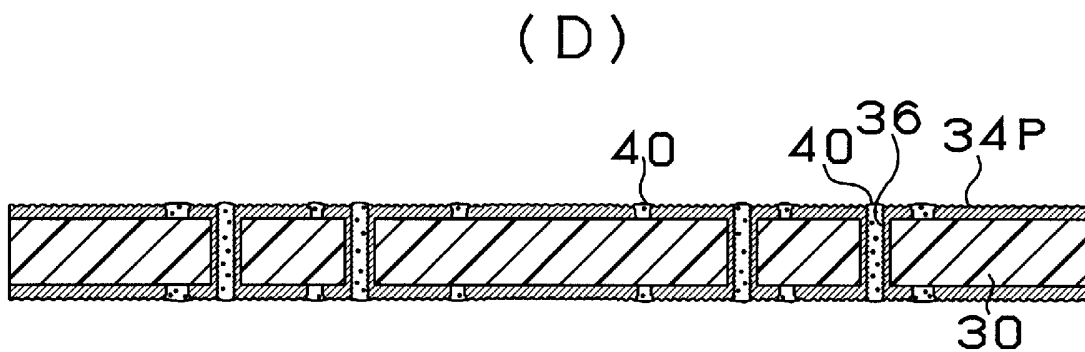
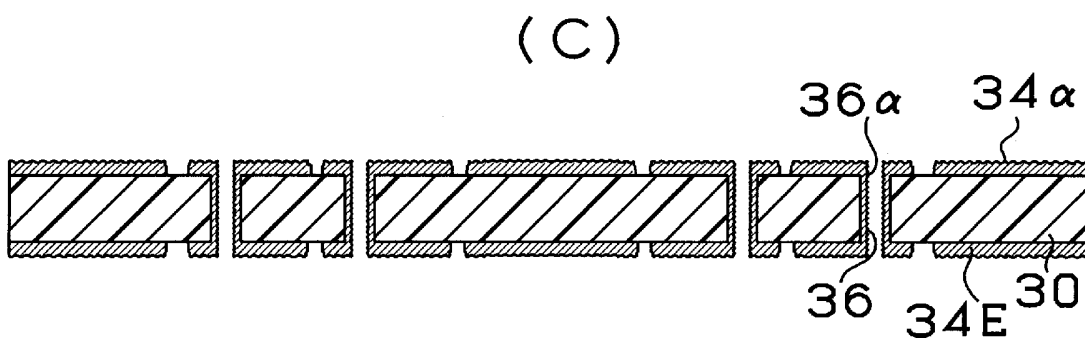
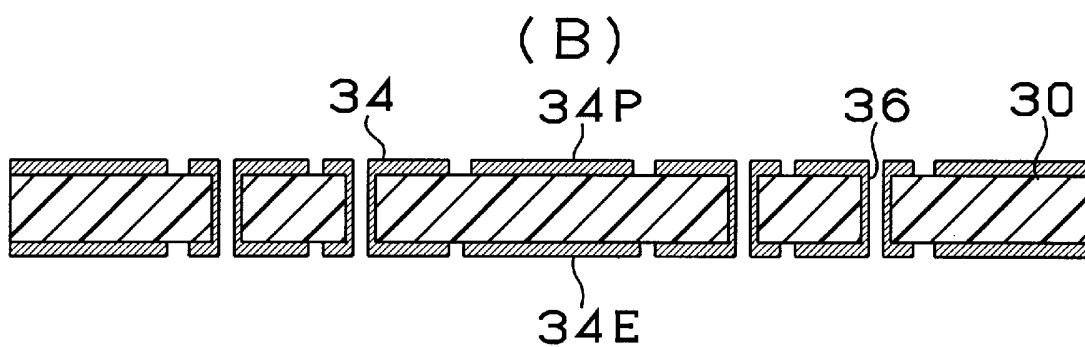
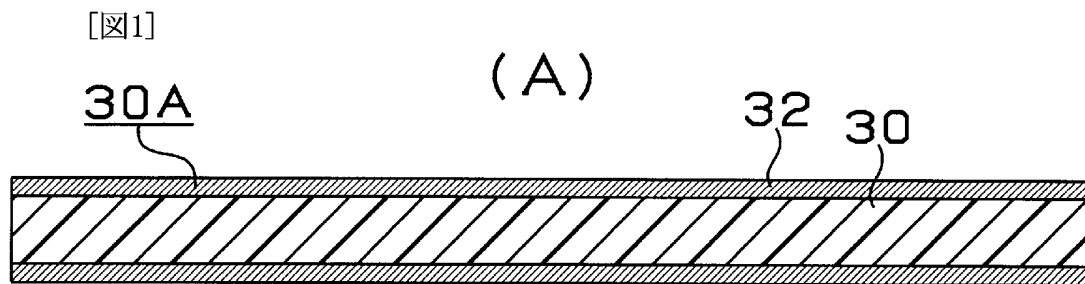
- [0248] 12 金属層(金属板)
- 14 樹脂層
- 16 導体回路
- 16P 導体層
- 16E 導体層
- 18 樹脂層
- 30 基板
- 32 銅箔
- 34 導体回路
- 34P 導体層
- 34E 導体層
- 36 スルーホール
- 40 樹脂充填層
- 50 層間樹脂絶縁層
- 58 導体回路
- 60 バイアホール
- 70 ソルダーレジスト層
- 71 開口
- 76U、76D 半田バンプ
- 90 ICチップ
- 94 ドータボード
- 98 チップコンデンサ

請求の範囲

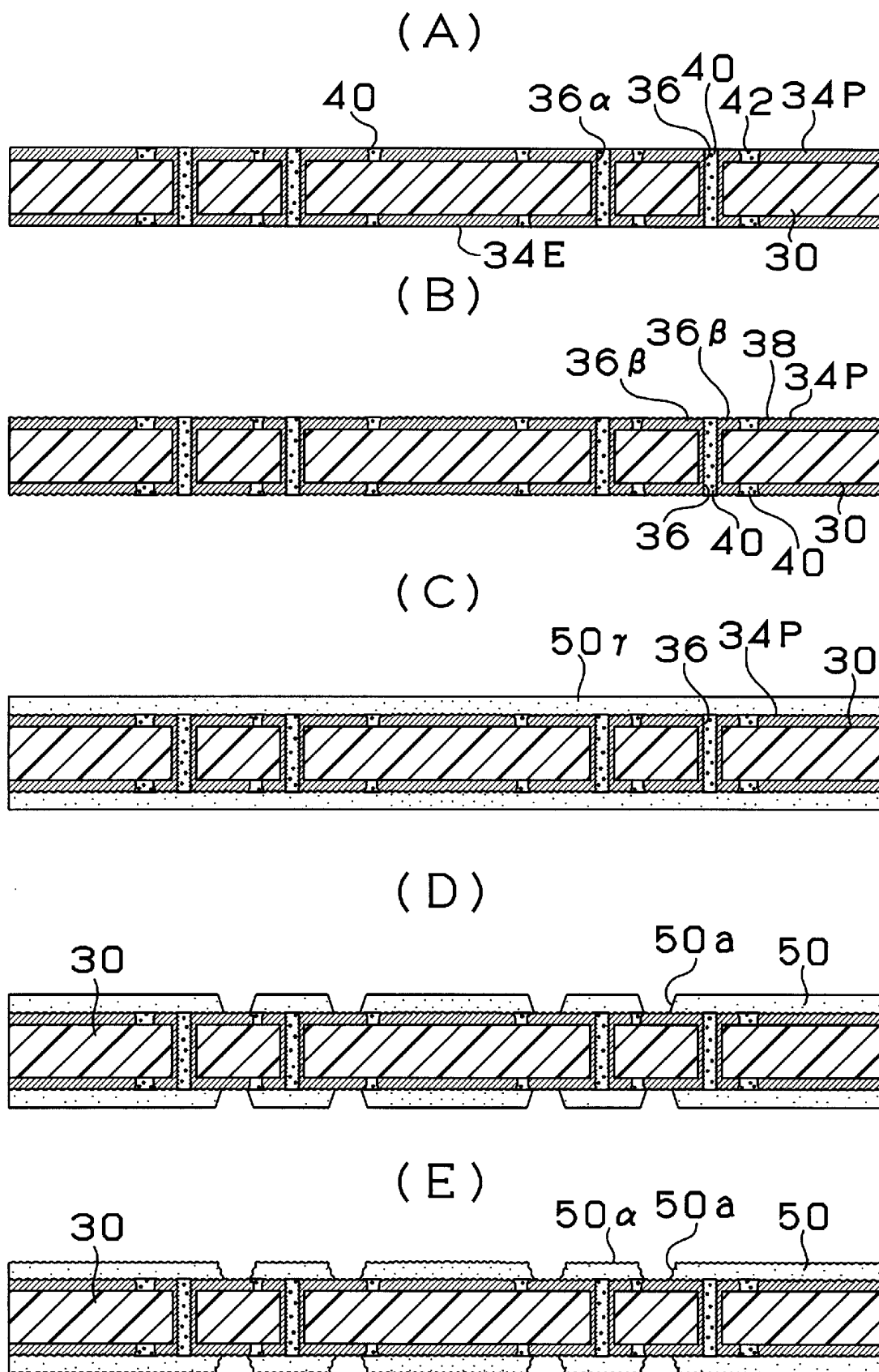
- [1] コア基板上に、層間絶縁層と導体層が形成されて、ビアホールを介して電氣的な接続の行われる多層プリント配線板において、
- 前記コア基板上の導体層の厚みは、層間絶縁層上の導体層の厚みよりも厚く、
- 前記コア基板上の導体層の側面はテーパ状になっており、該導体層の側面の上端と下端とを結んだ直性とコア基板の水平面とがなす角度を Θ としたとき、
- 前記 Θ が、 $2.8 < \tan \Theta < 55$ の関係式を満足することを特徴とする多層プリント配線板。
- [2] 前記コア基板上の導体層の厚みを $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることを特徴とする請求項1に記載の多層プリント配線板。
- [3] 前記 $\alpha 1$ は、 $1.2 \alpha 2 \leq \alpha 1 \leq 40 \alpha 2$ であることを特徴とする請求項1に記載の多層プリント配線板。
- [4] 前記コア基板の表面及び裏面の導体層は、それぞれ電源層用の導体層又はアース用の導体層である請求項1～請求項3のいずれか1に記載の多層プリント配線板。
- [5] コンデンサが表面に実装されていることを特徴とする請求項1～請求項4のいずれか1に記載の多層プリント配線板。
- [6] コア基板上に、層間絶縁層と導体層が形成されて、ビアホールを介して電氣的な接続の行われる多層プリント配線板において、
- 前記コア基板が、表裏に導体層と内層に厚い導体層を有する3層以上の多層コア基板であって、
- 前記コア基板の内層の導体層と表裏の導体層の内、少なくとも1層が、電源層用の導体層又はアース用の導体層であることを特徴とする多層プリント配線板。
- [7] コア基板上に、層間絶縁層と導体層が形成されて、ビアホールを介して電氣的な接続の行われる多層プリント配線板において、
- 前記コア基板が、表裏に導体層と内層に厚い導体層を有する3層以上の多層コア基板であって、
- 前記コア基板の内層の導体層の内、少なくとも1層は、電源層用の導体層又はアース用の導体層であることを特徴とする多層プリント配線板。

- ス用の導体層であり、表裏の内の少なくとも1層の導体層は信号線からなることを特徴とする多層プリント配線板。
- [8] 前記コア基板の内層の導体層の厚みは、層間絶縁層上の導体層よりも厚いことを特徴とする請求項6または7に記載の多層プリント配線板。
- [9] 前記コア基板の内層の導体層は、2層以上である請求項6～請求項8のいずれか1に記載の多層プリント配線板。
- [10] 前記コア基板は、電氣的に隔絶された金属板の両面に、樹脂層を介在させて前記内層の導体層が、更に、当該内層の導体層の外側に樹脂層を介在させて前記表裏の導体層が形成されて成ることを特徴とする請求項6～請求項9のいずれか1に記載の多層プリント配線板。
- [11] 前記コア基板は、内層に厚みの厚い導体層、表層に厚みの薄い導体層を備えることを特徴とする請求項6～10のいずれか1に記載の多層プリント配線板。
- [12] 前記コア基板の内層の各導体層が、電源用の導体層又はアース用の導体層のいずれかである請求項6～請求項11のいずれか1に記載の多層プリント配線板。
- [13] 前記コア基板の表面の導体層は電源用の導体層又はアース用の導体層であり、裏面の導体層は電源用の導体層又はアース用の導体層である請求項6、請求項8～請求項12のいずれか1に記載の多層プリント配線板。
- [14] 前記電源用の導体層と前記アース用の導体層とが交互に配置されている請求項6～請求項13のいずれか1に記載の多層プリント配線板。
- [15] 前記コア基板の内層の導体層の側面、または／および、表面の導体層の側面はテーパ状になっており、該導体層の側面の上端と下端とを結んだ直性とコア基板の水平面とがなす角度を Θ としたとき、
前記 Θ が、 $2.8 < \tan \Theta < 55$ の関係式を満足することを特徴とする請求項6～請求項14のいずれか1に記載の多層プリント配線板。
- [16] 前記コア基板の表層の電源用の導体層の厚みと内層の電源用の導体層の厚みを合わせた厚みを $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることを特徴とする請求項6～請求項15のいずれか1に記載の多層プリント配線板。

- [17] 前記コア基板の表層のアース用の導体層の厚みと内層のアース用の導体層の厚みを合わせた厚みを $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることを特徴とする請求項6～請求項15のいずれか1に記載の多層プリント配線板。
- [18] 前記コア基板の表層の電源用の導体層の厚みと内層の電源用の導体層の厚みを合わせた厚みを $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であり、
前記コア基板の表層のアース用の導体層の厚みと内層のアース用の導体層の厚みを合わせた厚みを $\alpha 3$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 3 \leq 40 \alpha 2$ であることを特徴とする請求項6～請求項15のいずれか1に記載の多層プリント配線板。

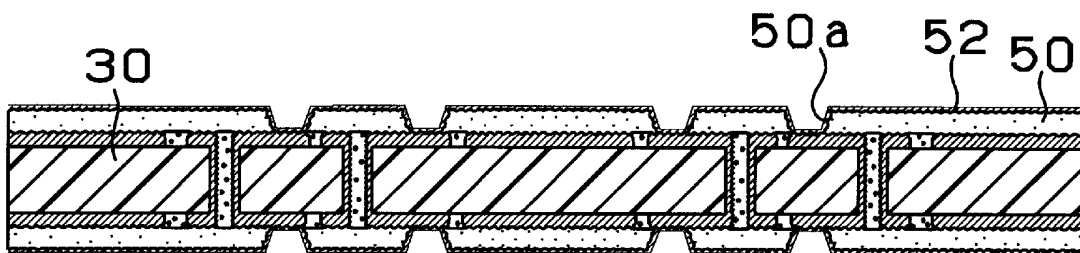


[図2]

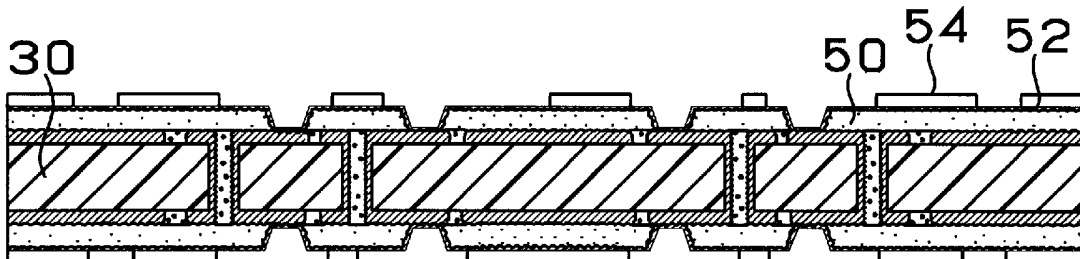


[図3]

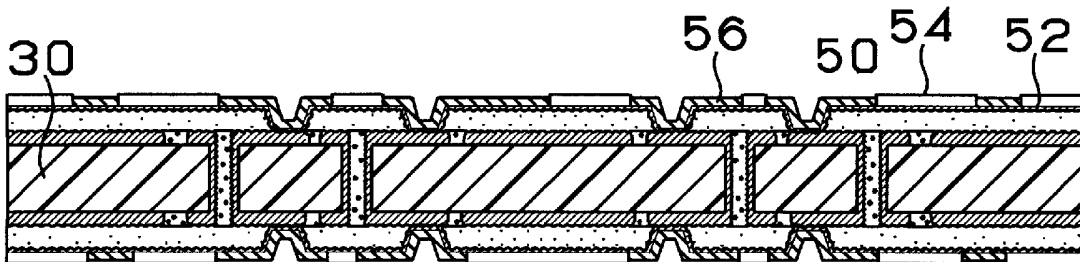
(A)



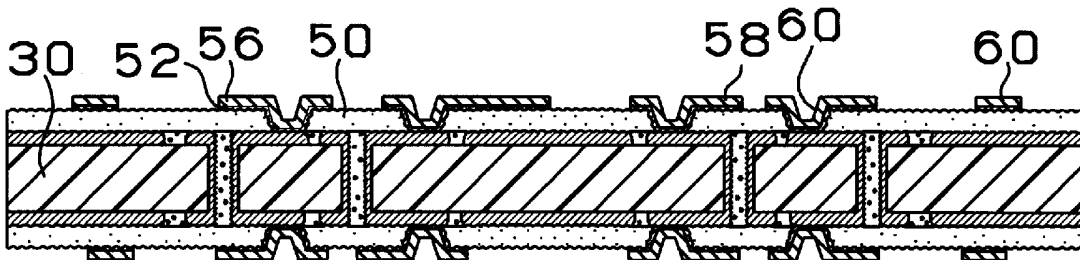
(B)



(C)

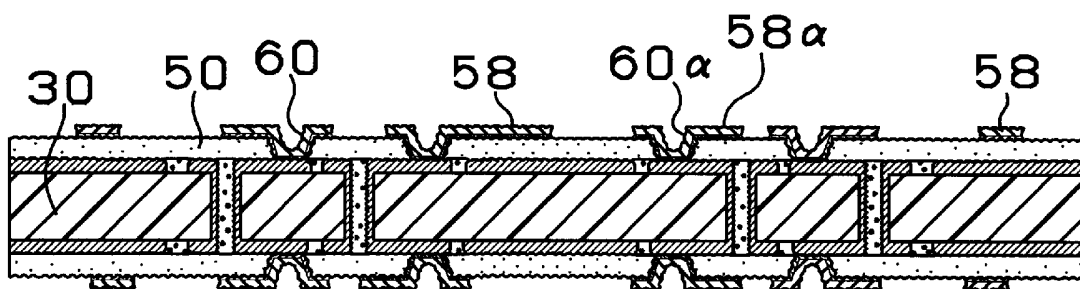


(D)

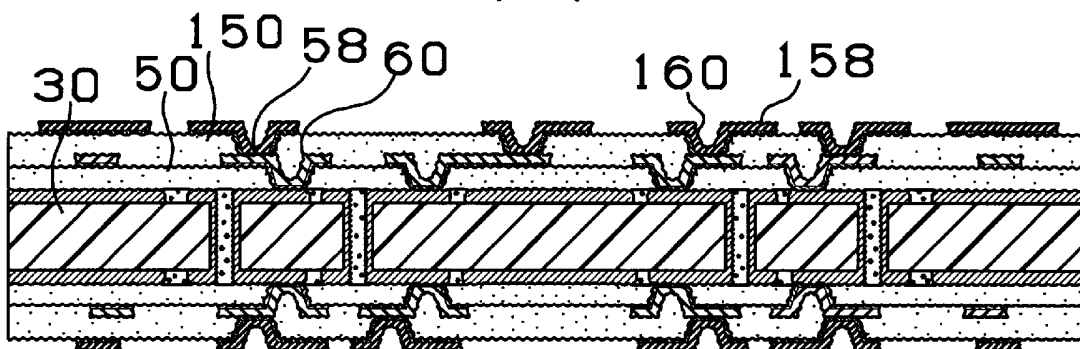


[図4]

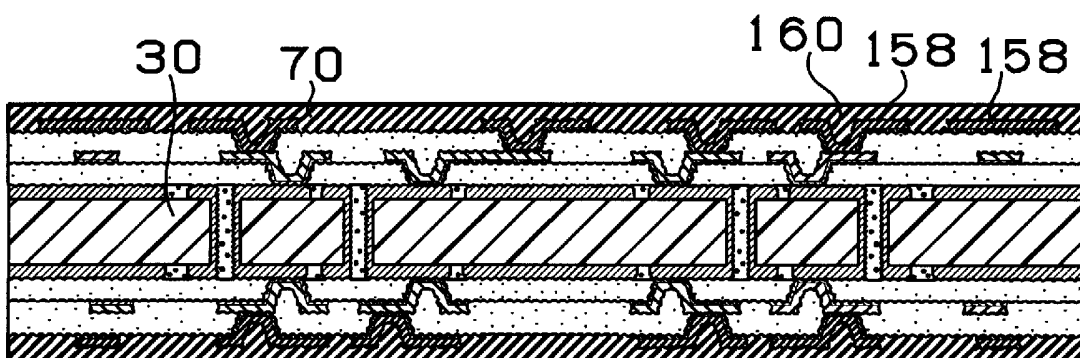
(A)



(B)

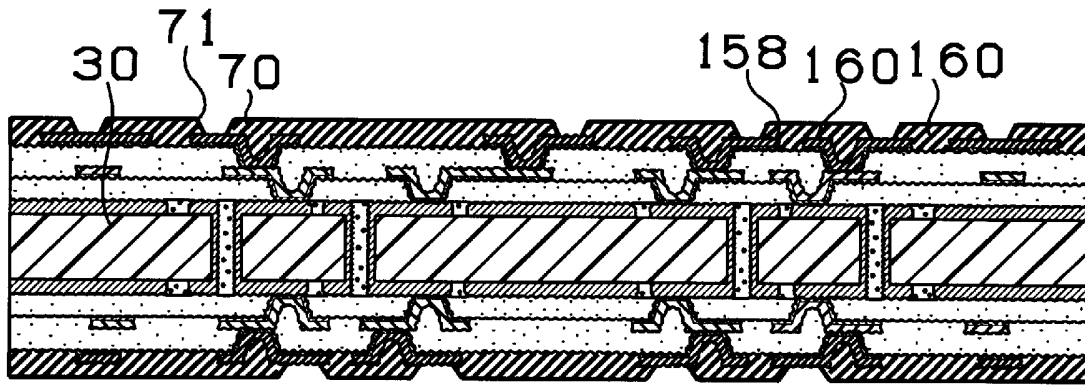


(C)

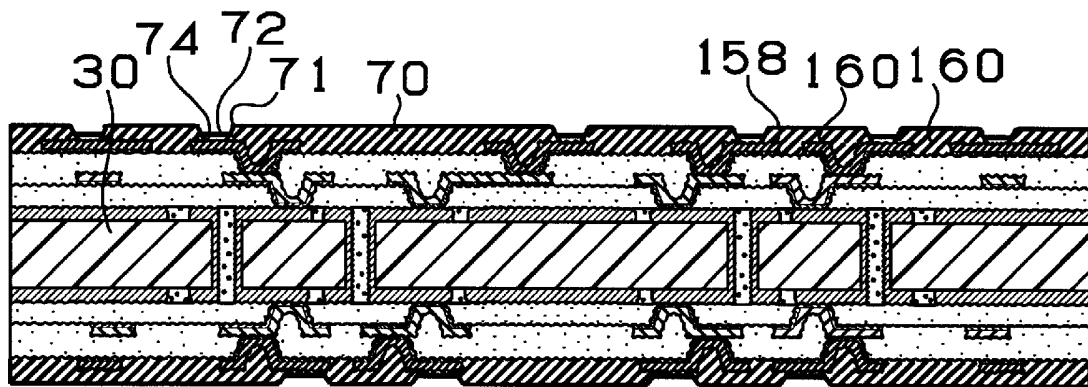


[図5]

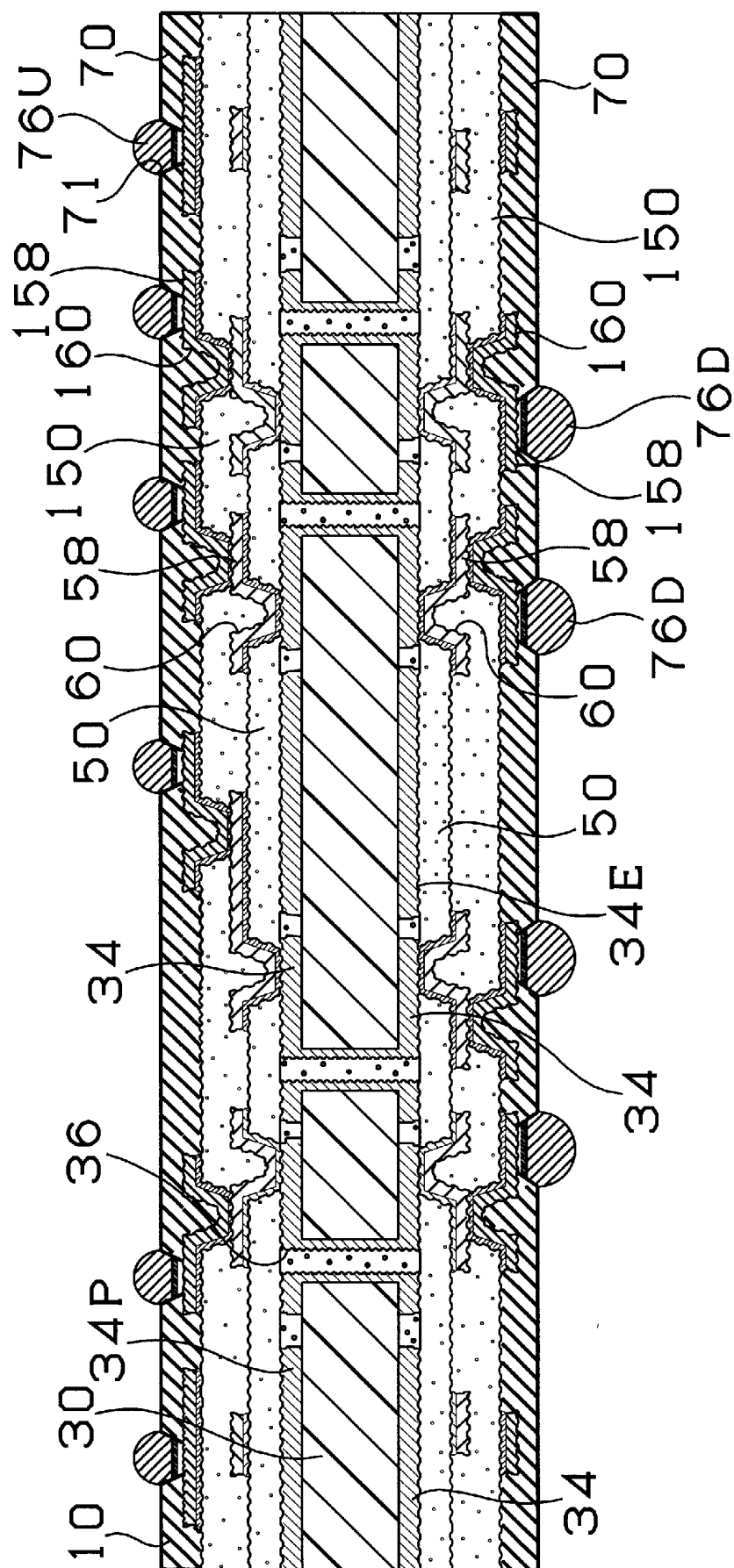
(A)



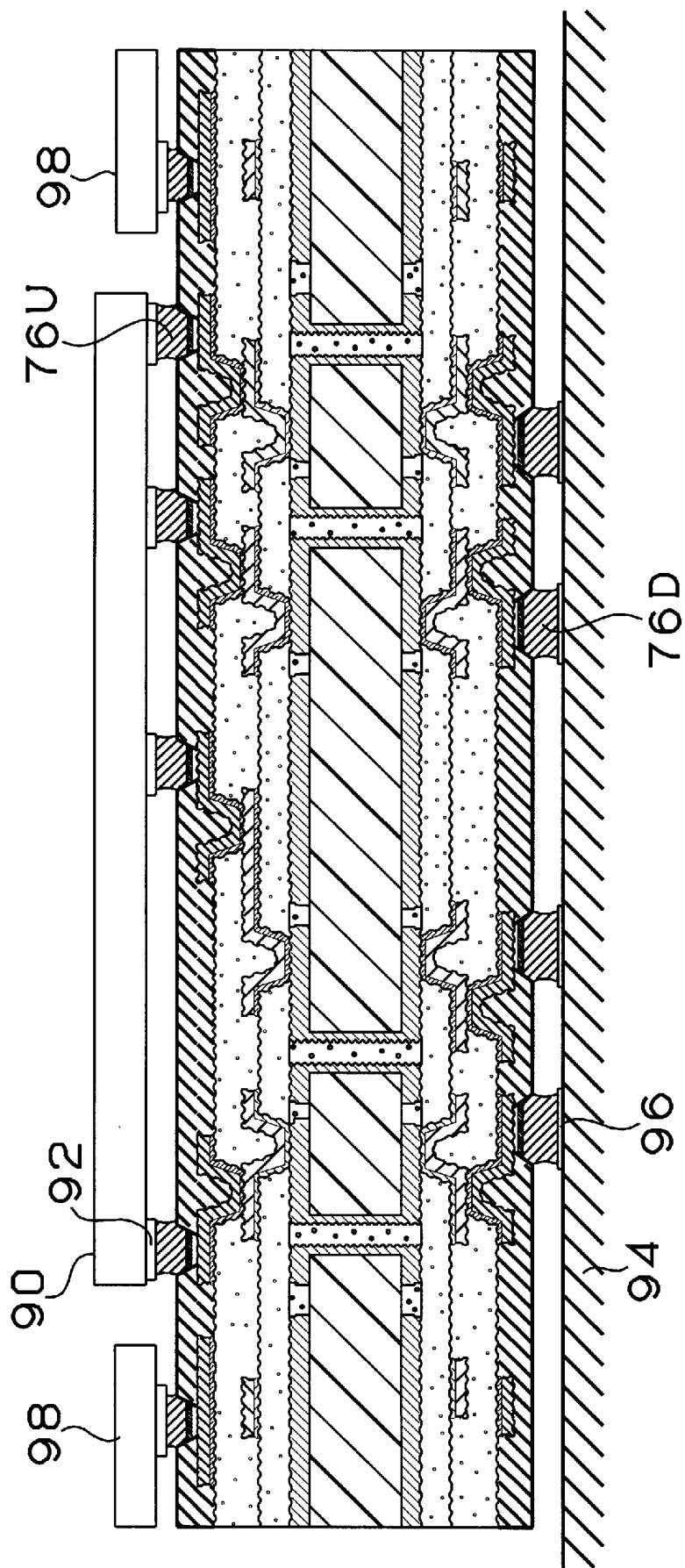
(B)



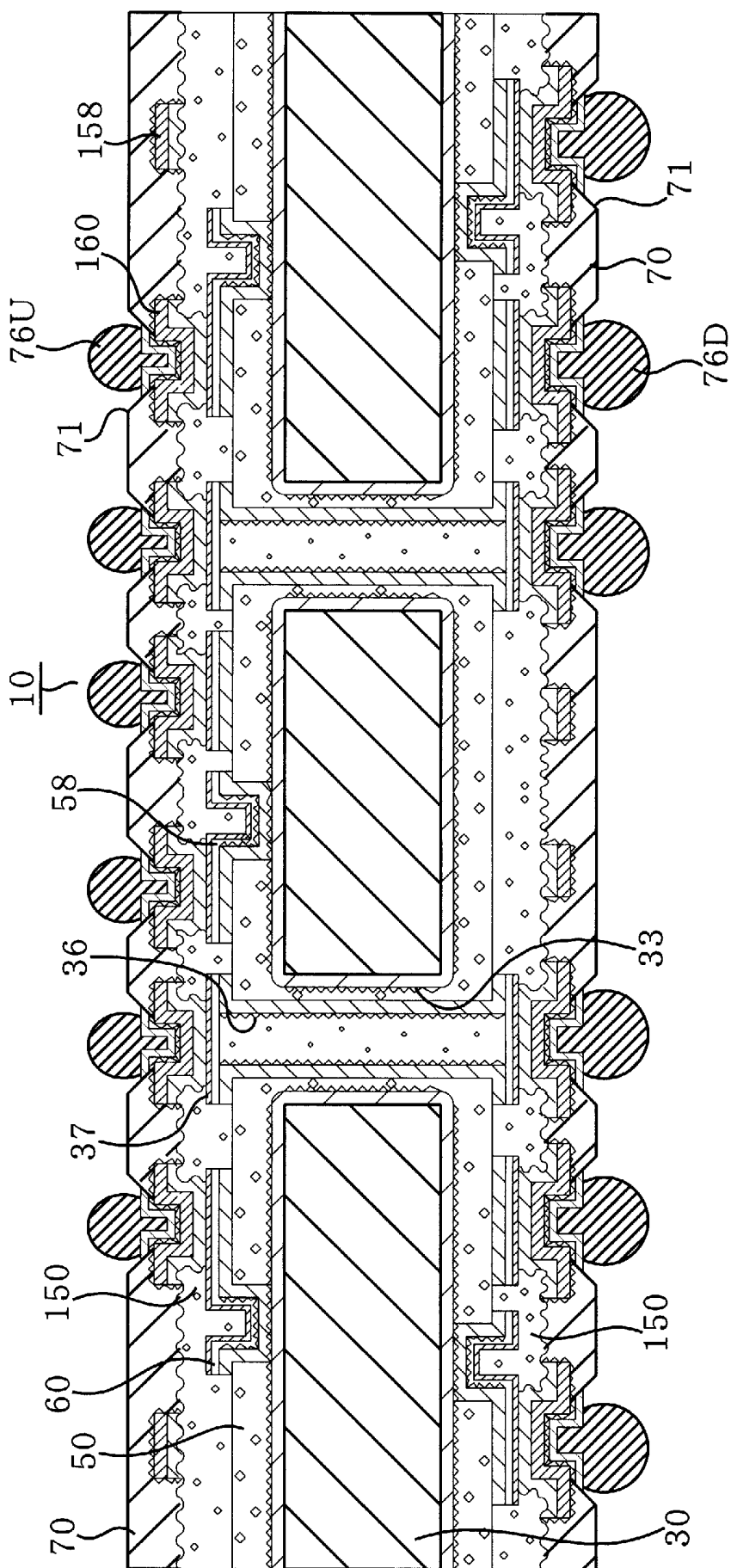
[図6]



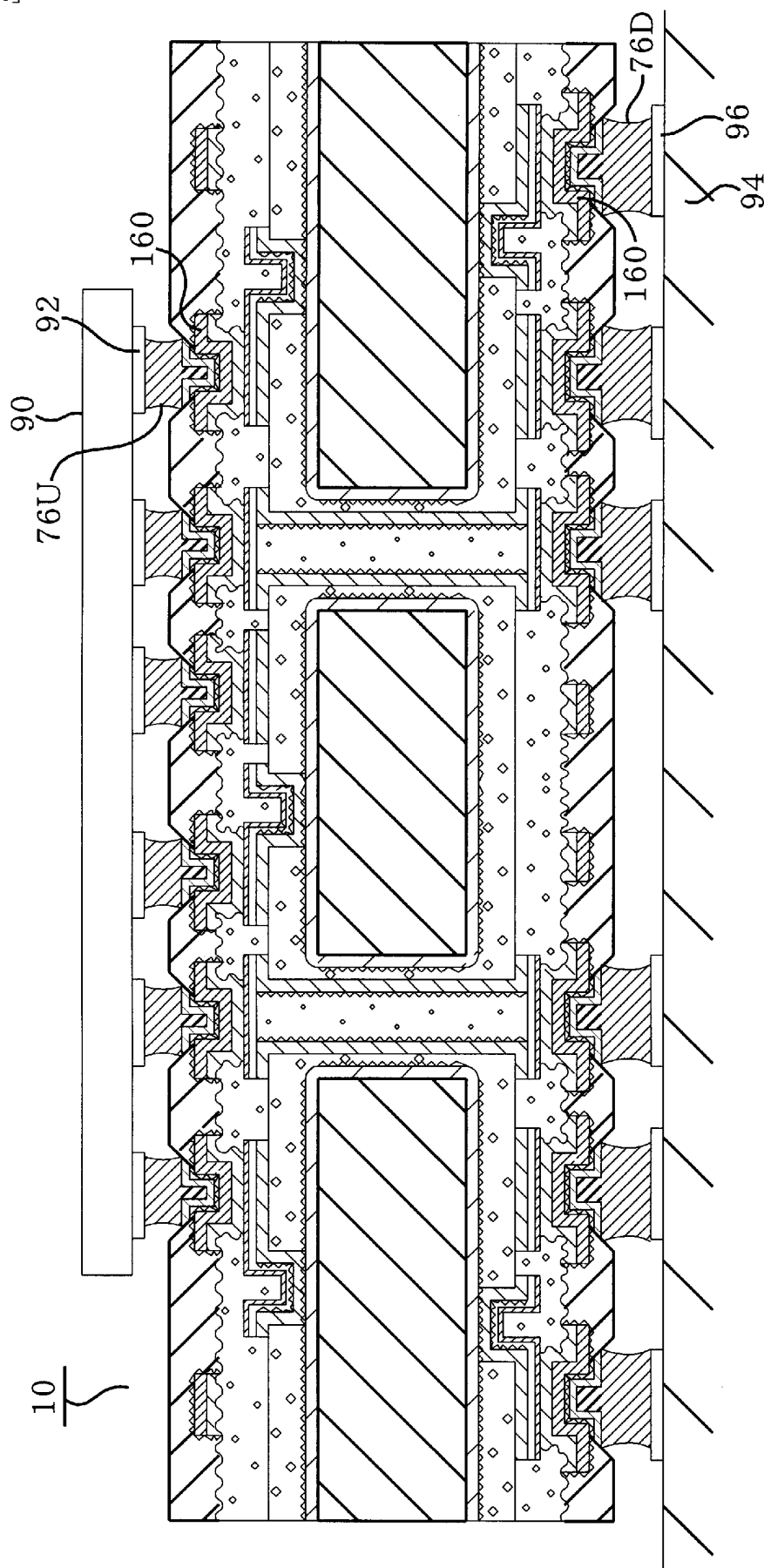
[図7]



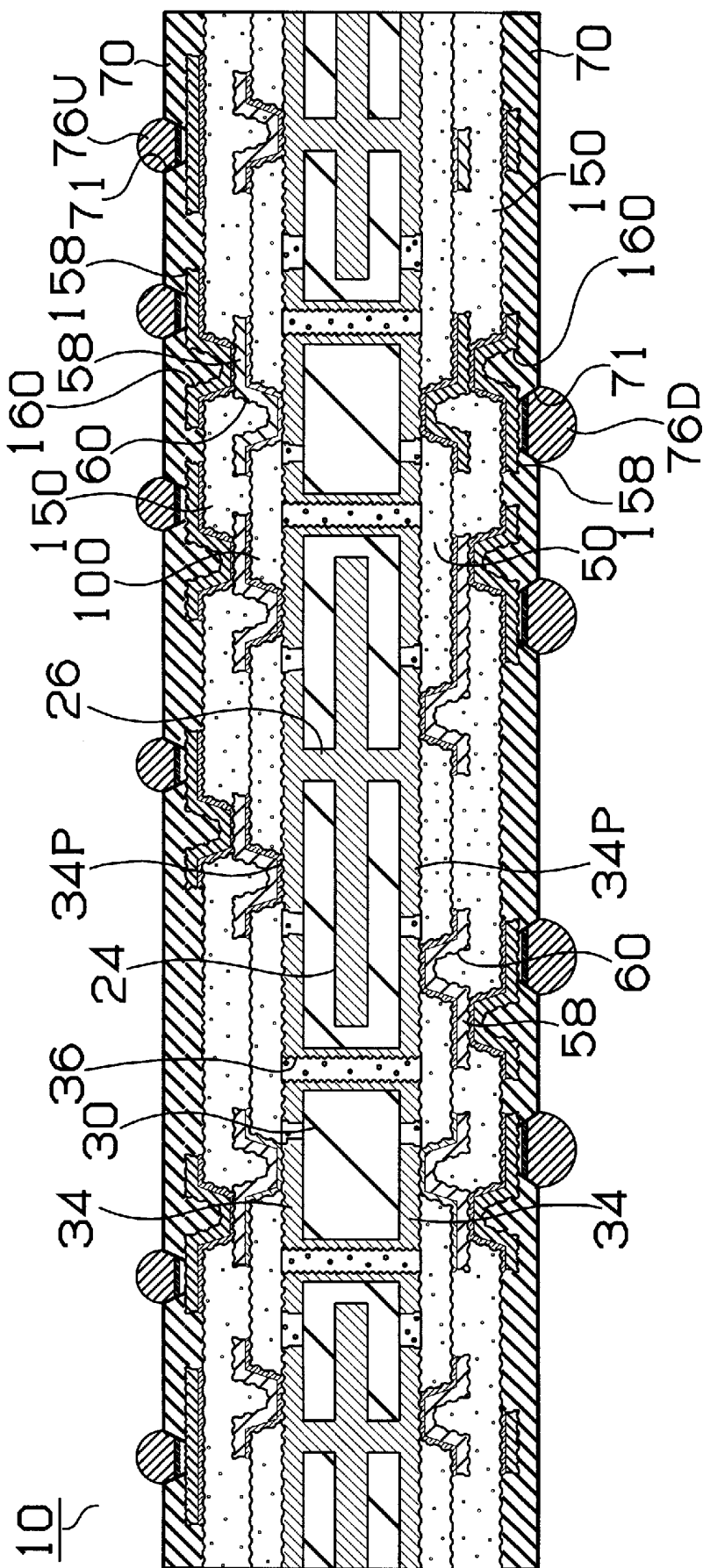
[図9]



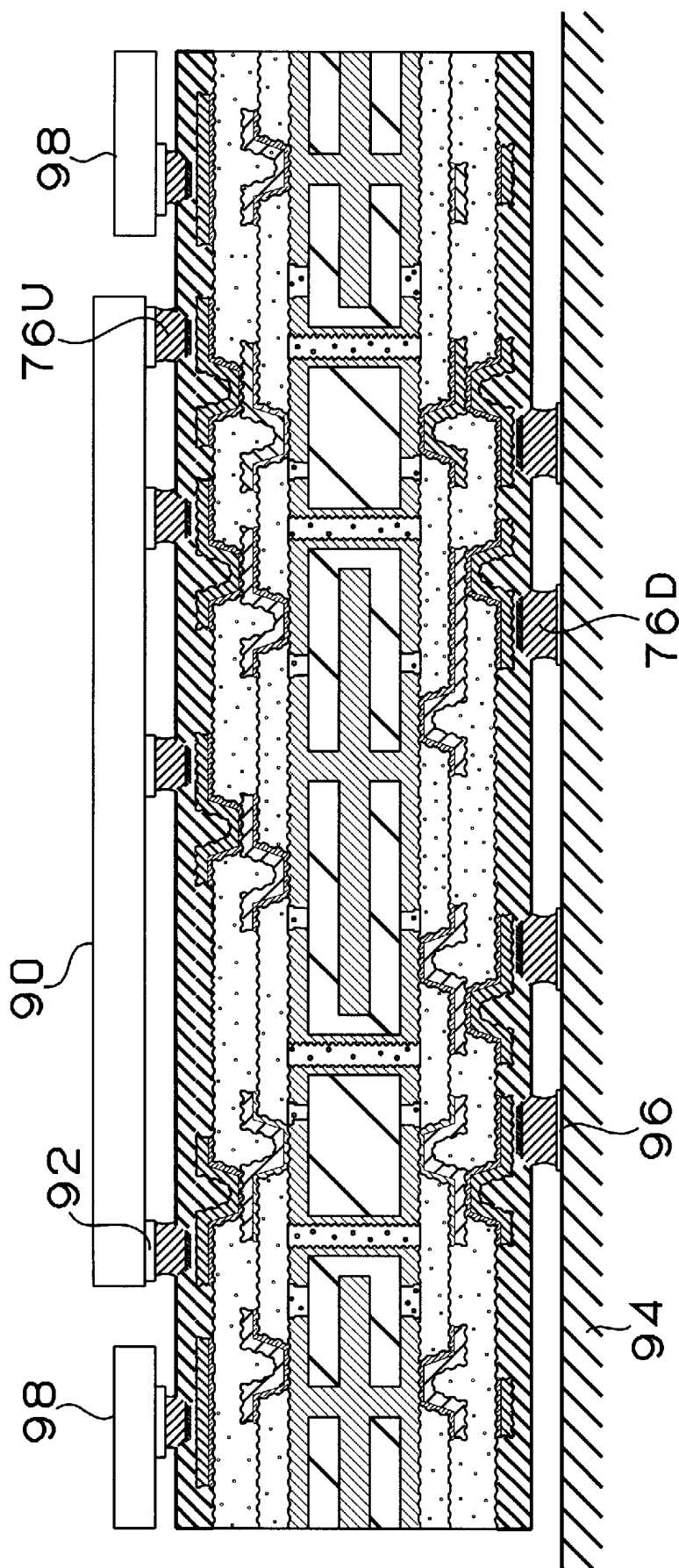
[図10]



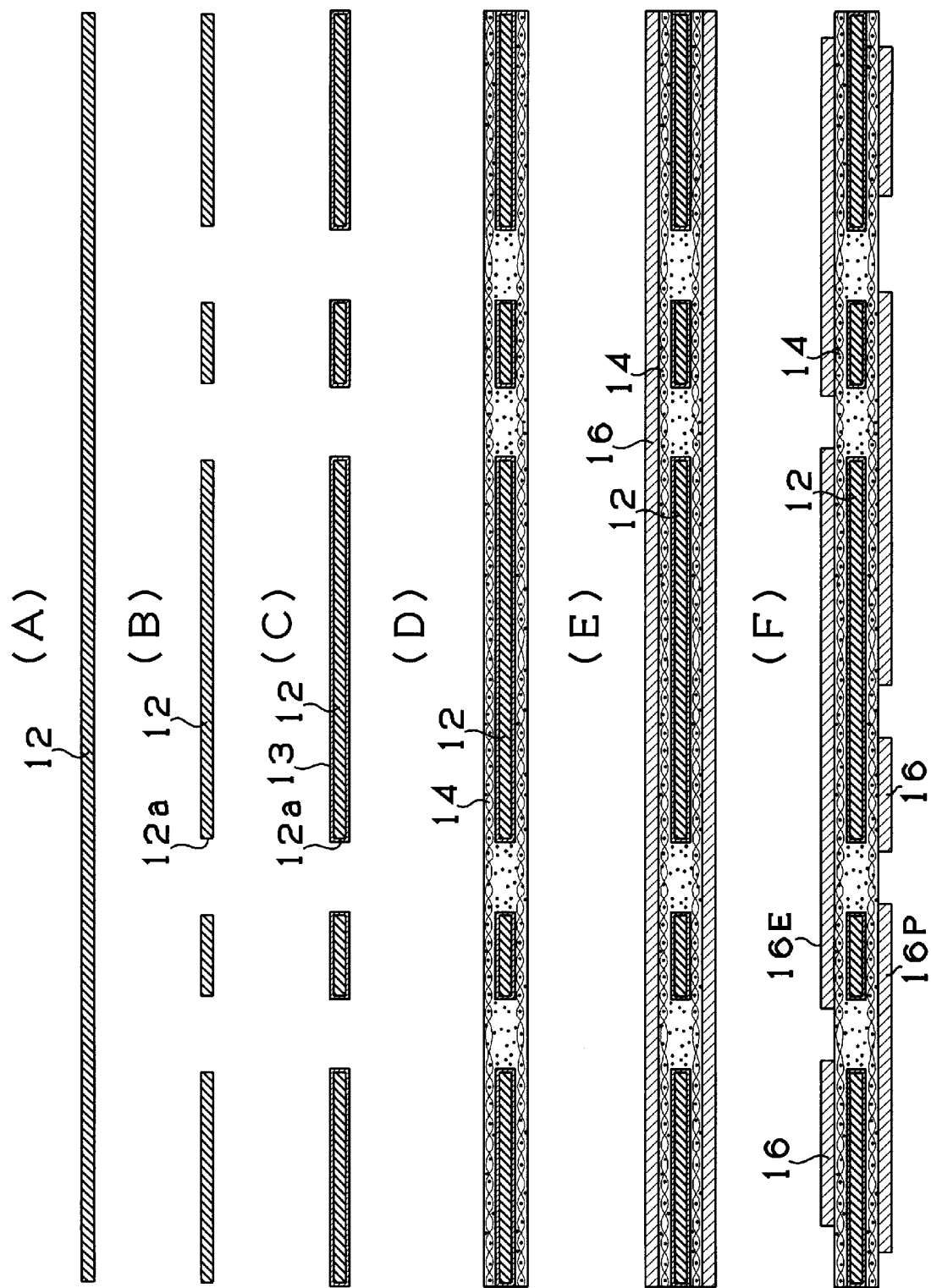
[図11]



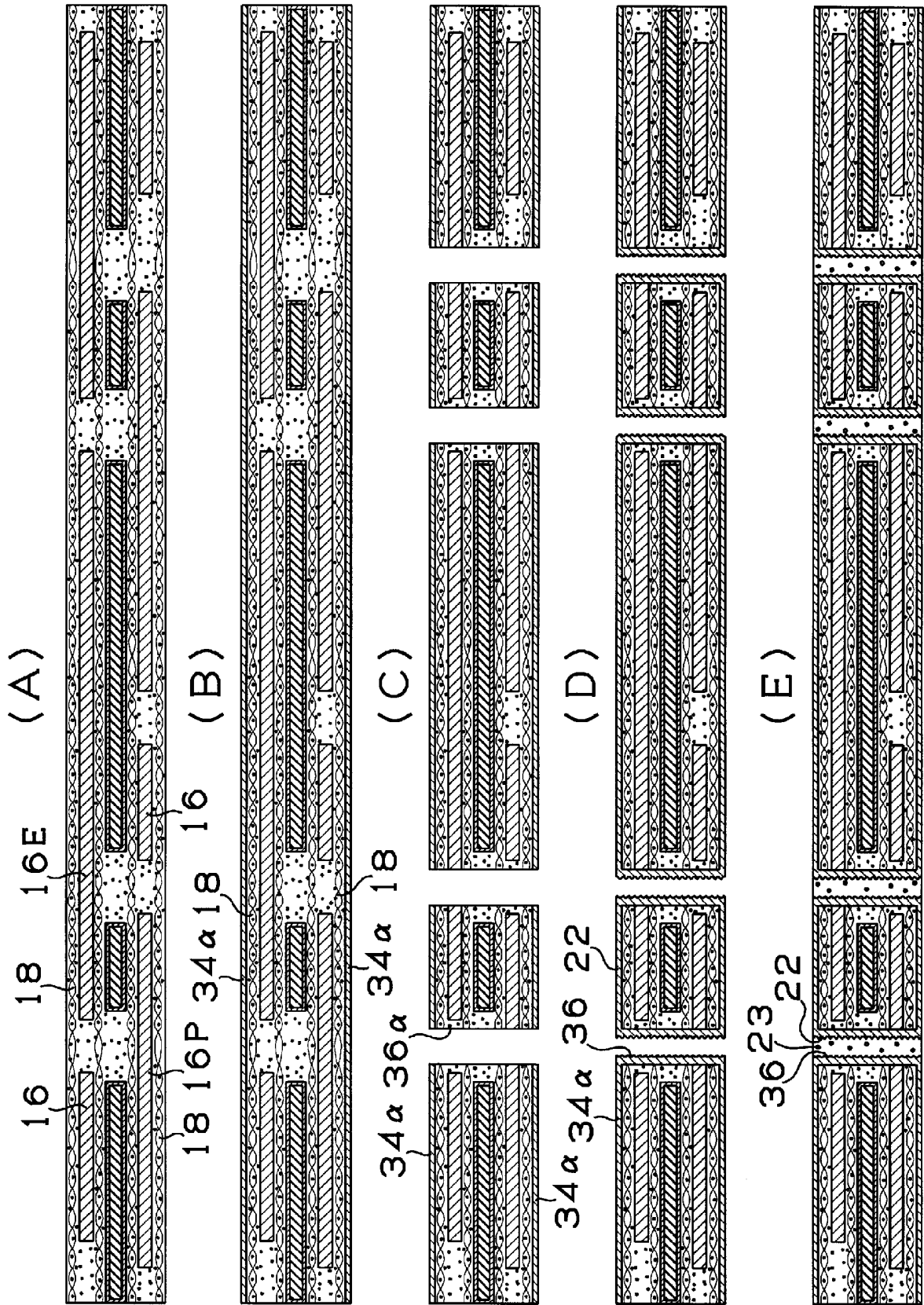
[図12]



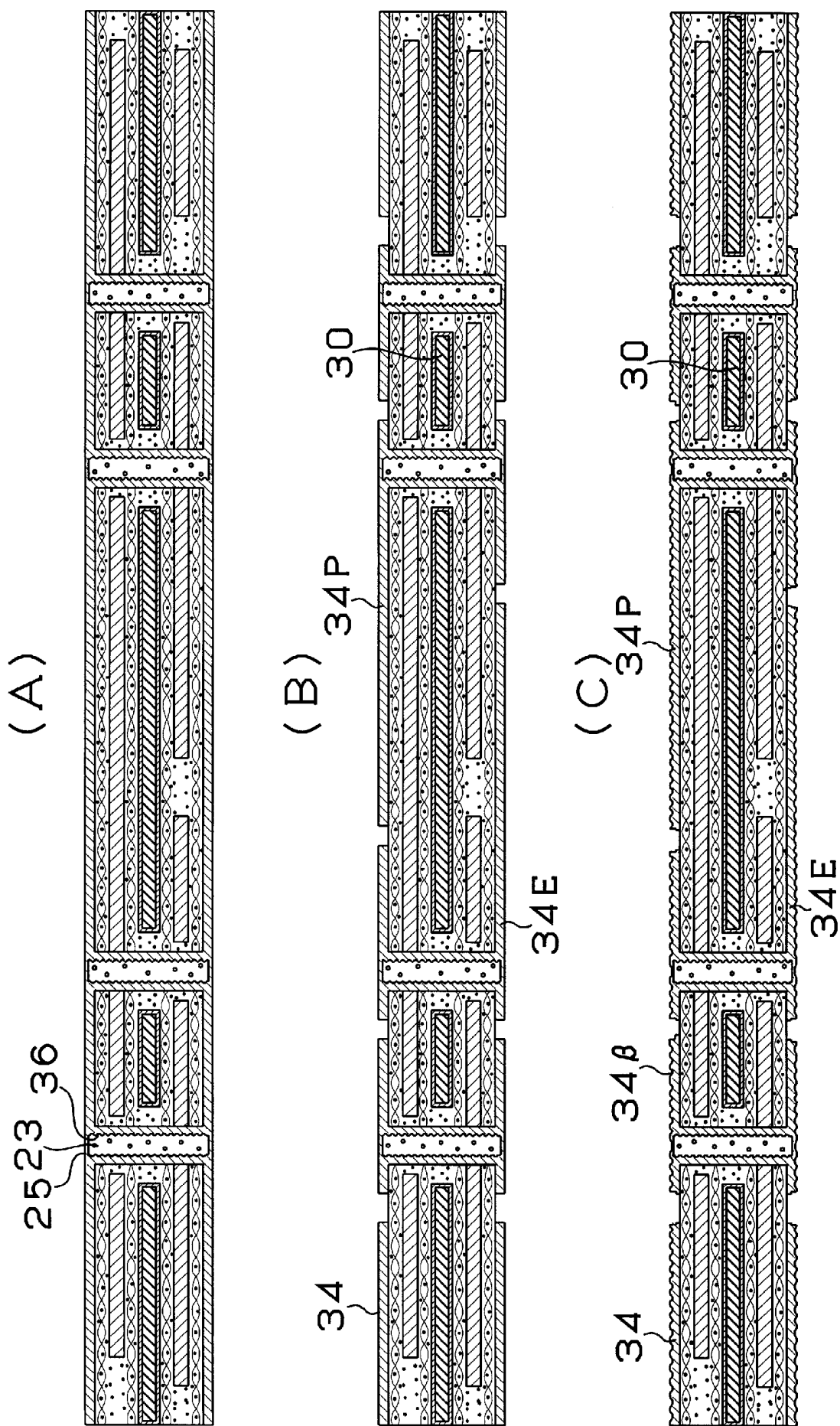
[図13]



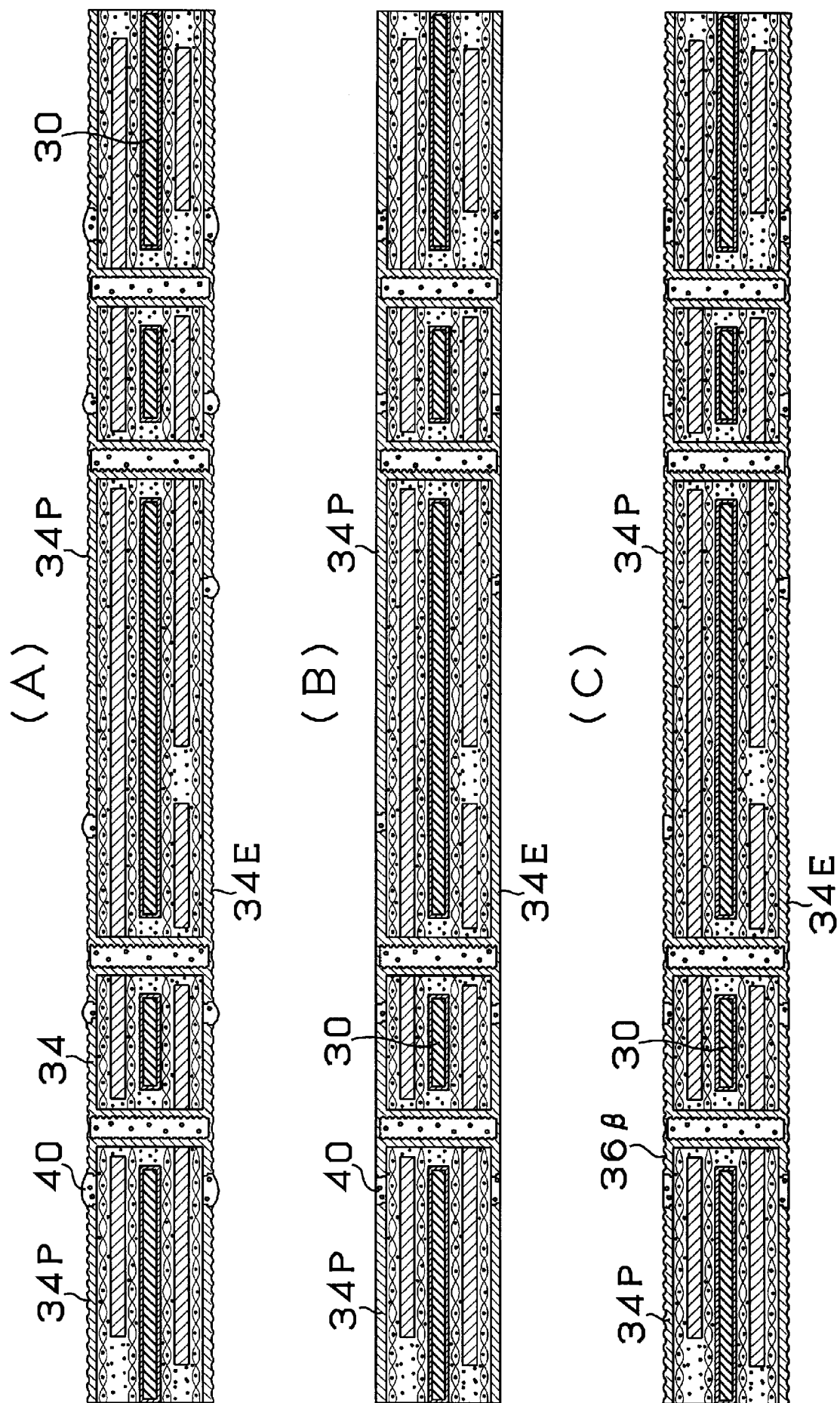
[図14]



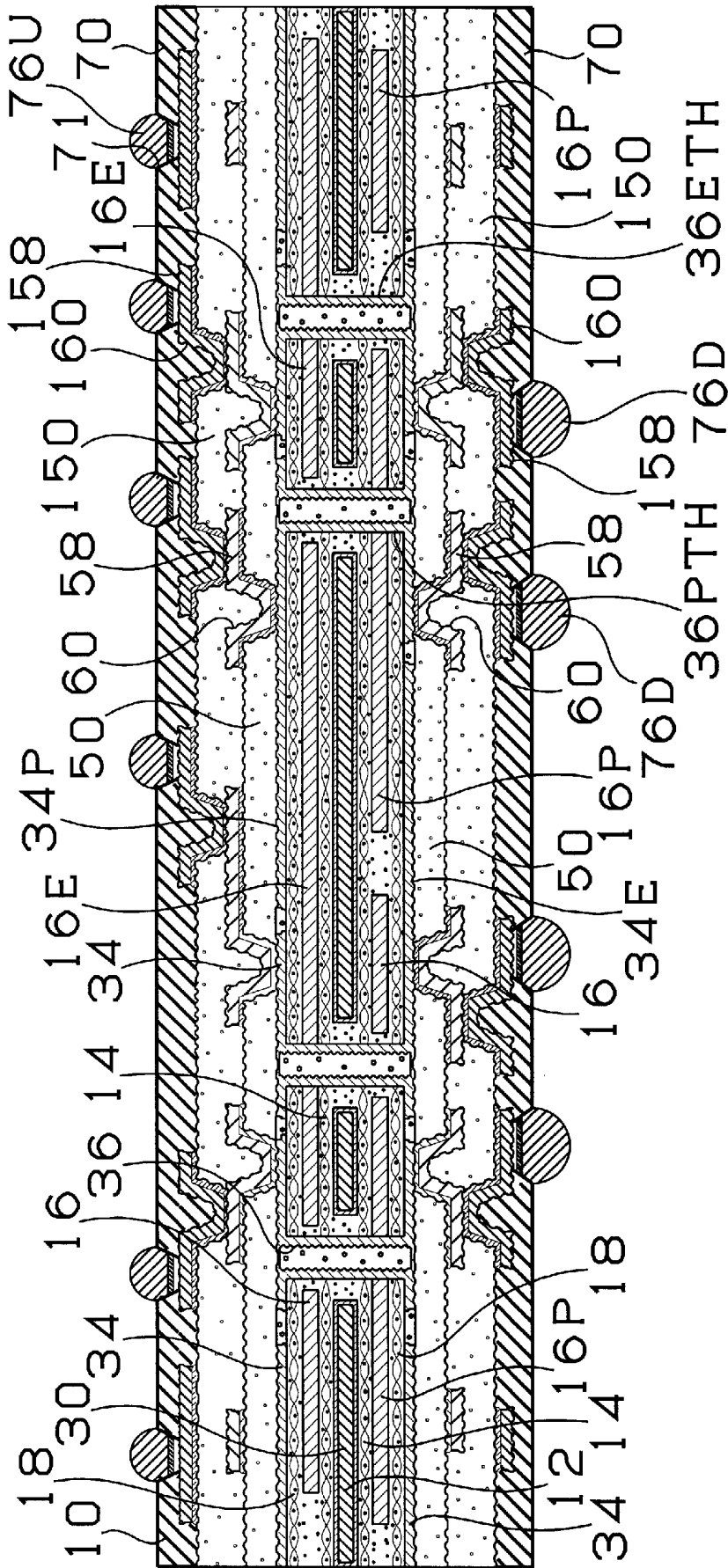
[図15]



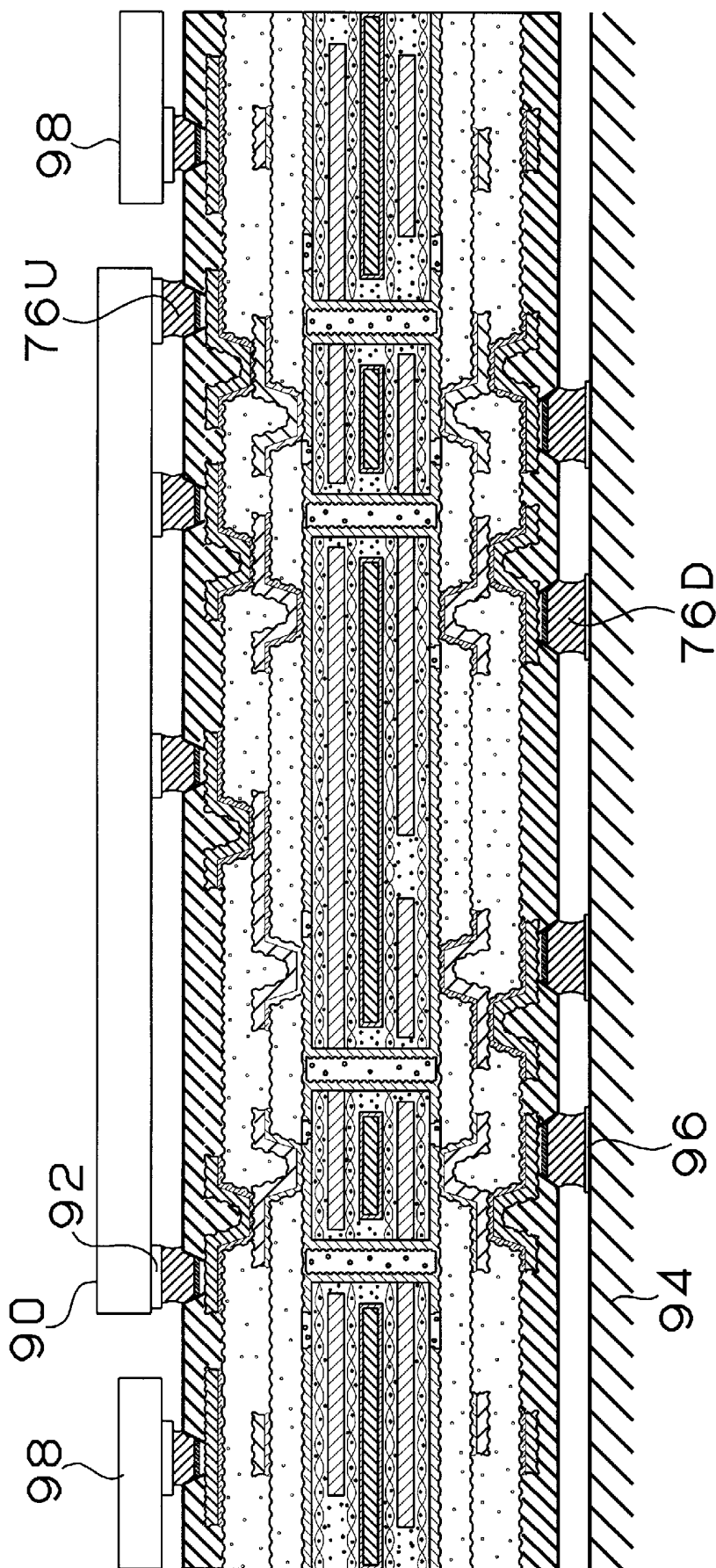
[図16]



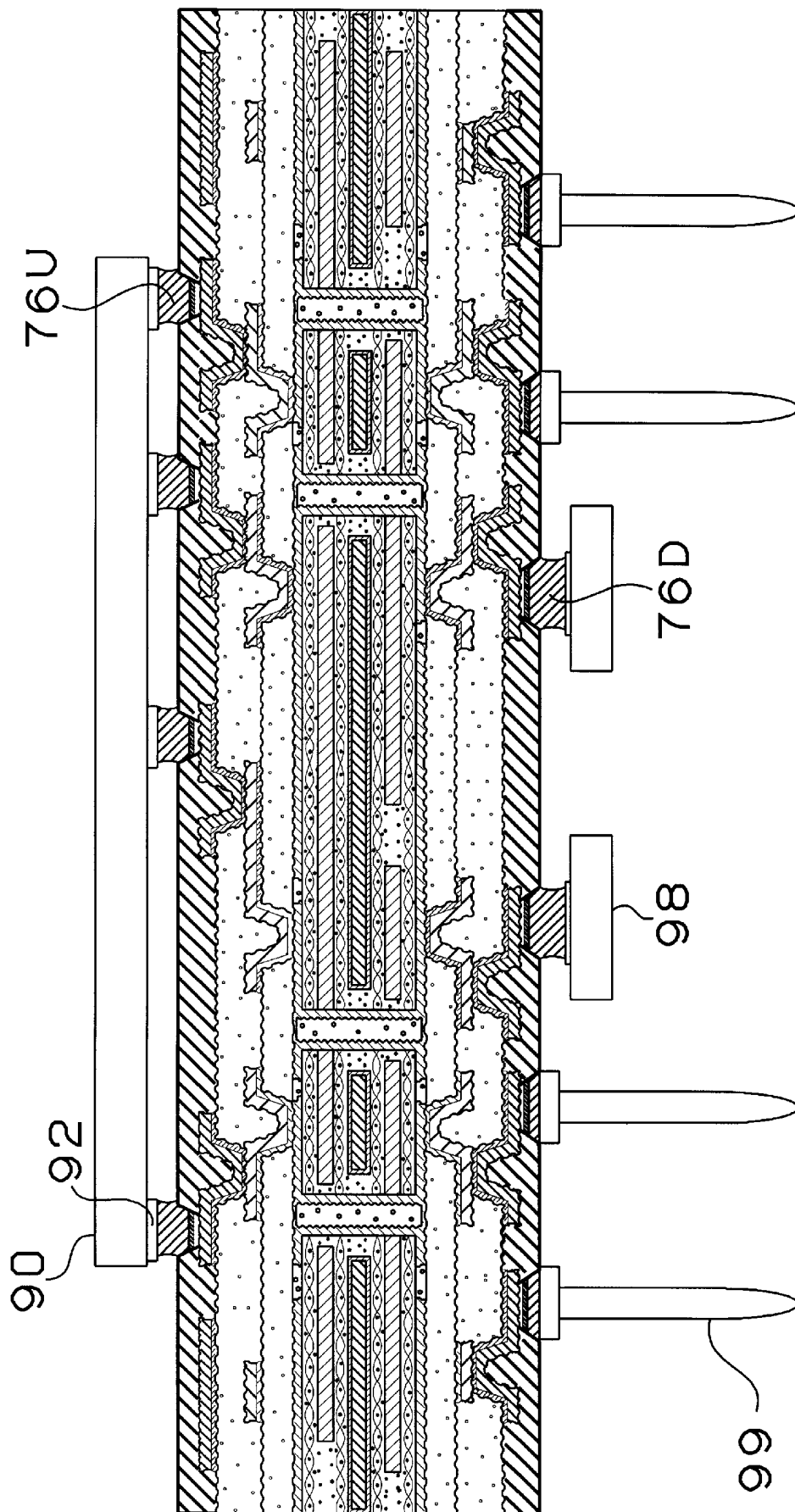
[図17]



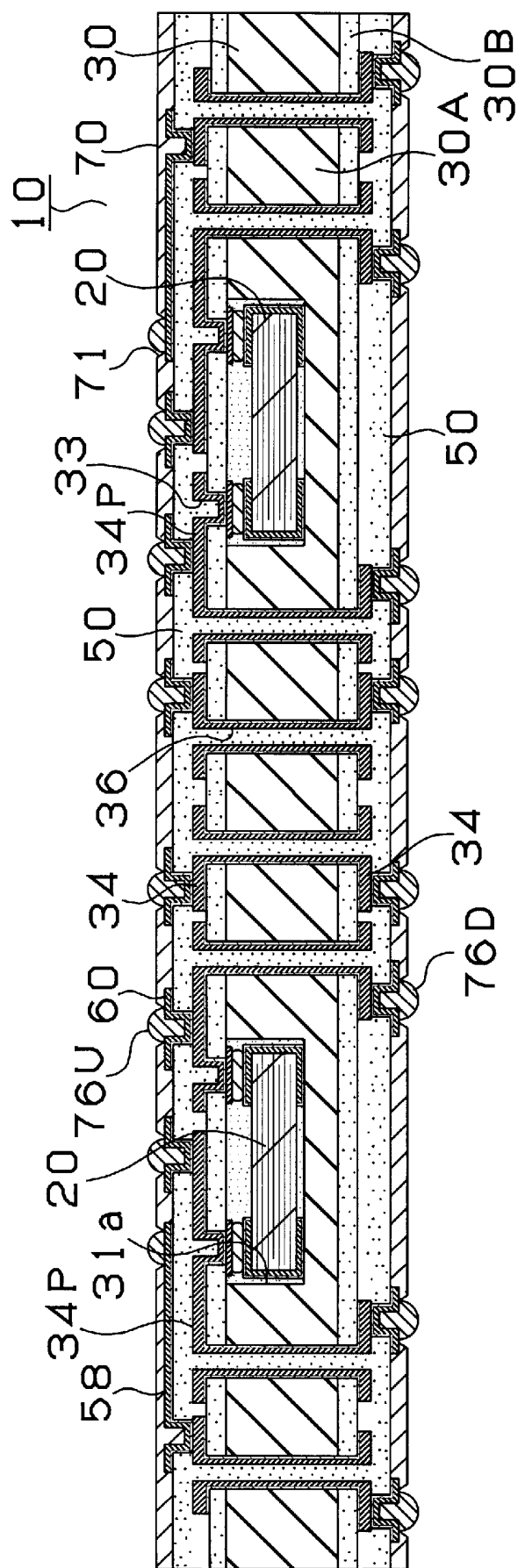
[図18]



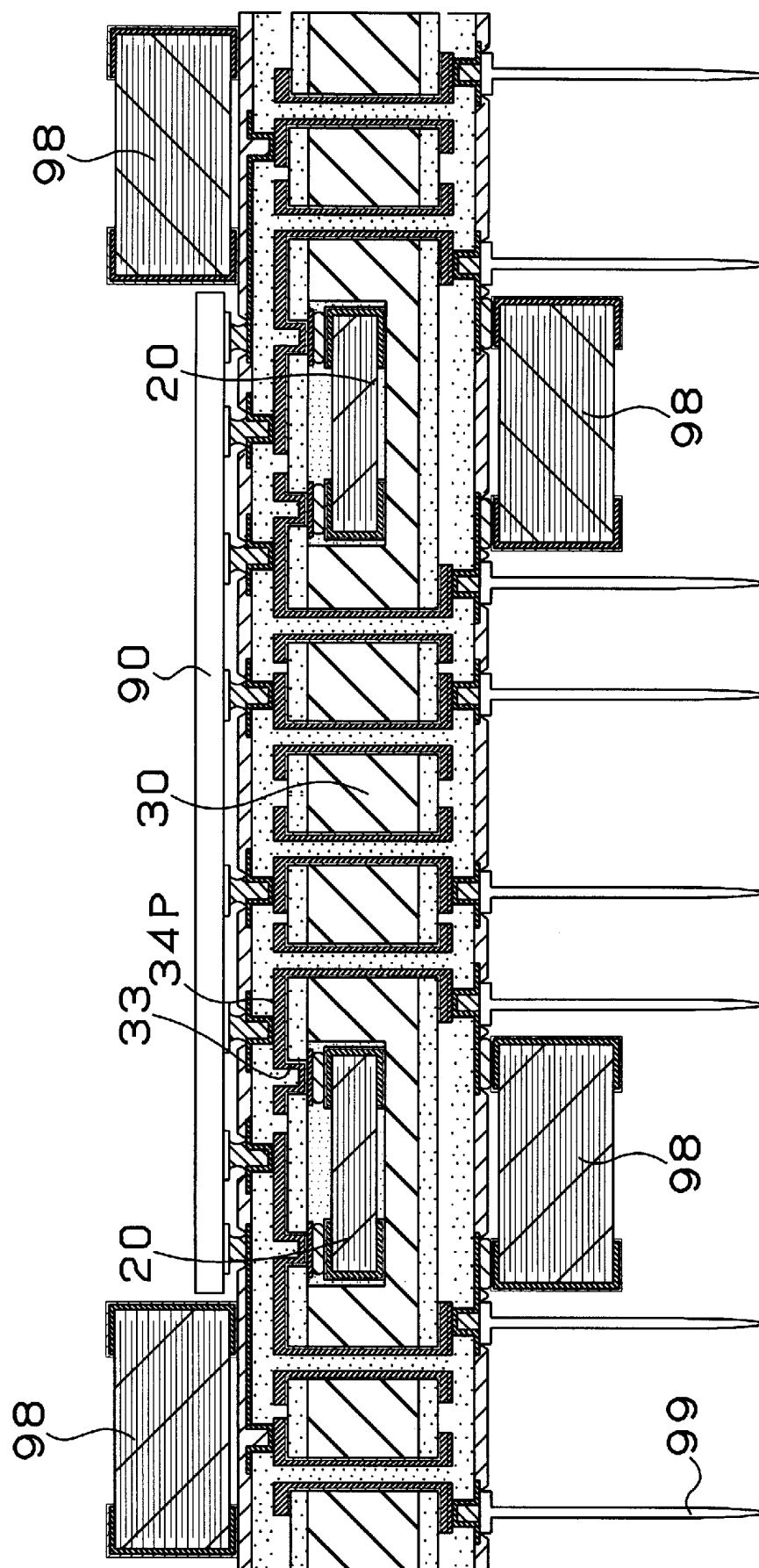
[図19]



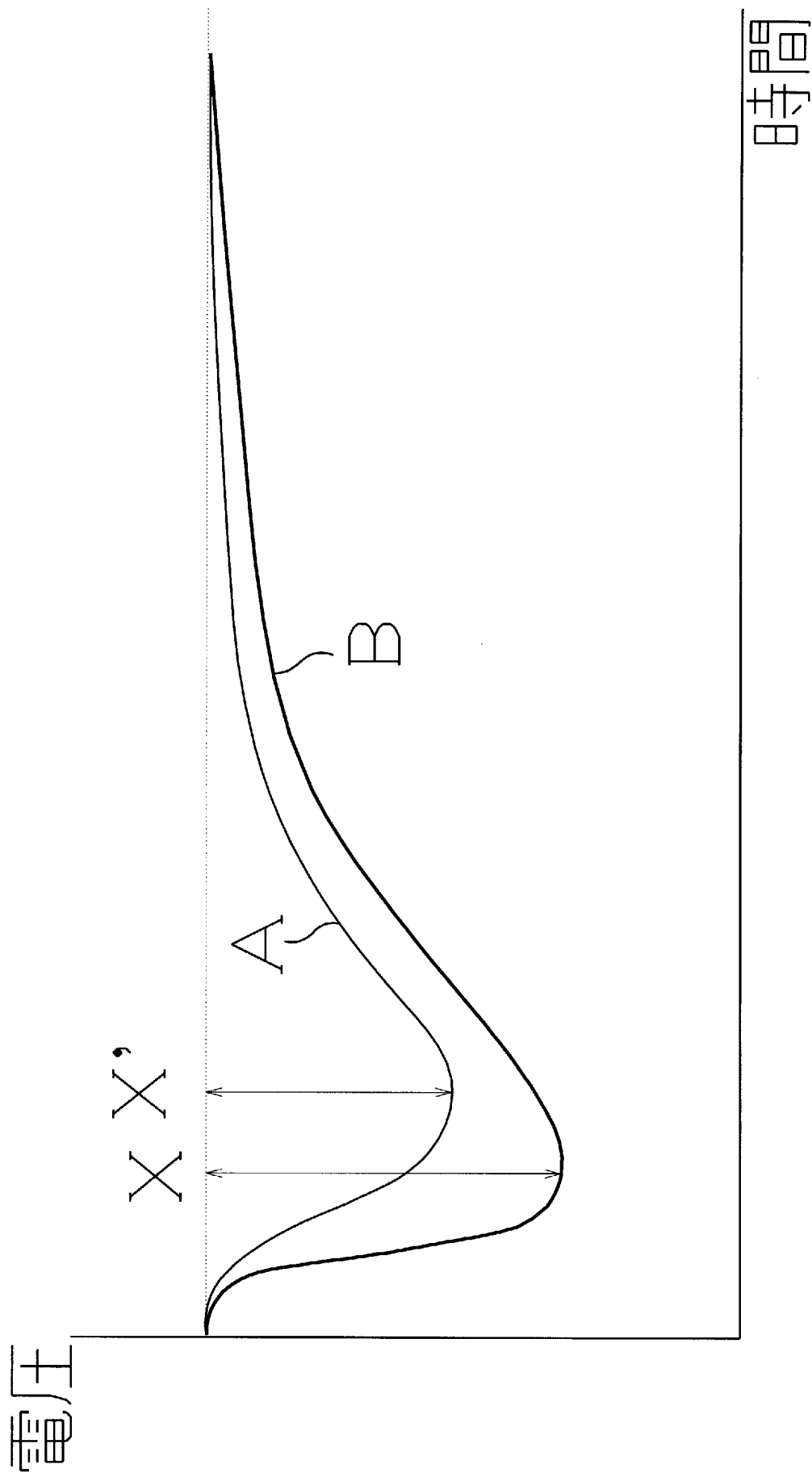
[図20]



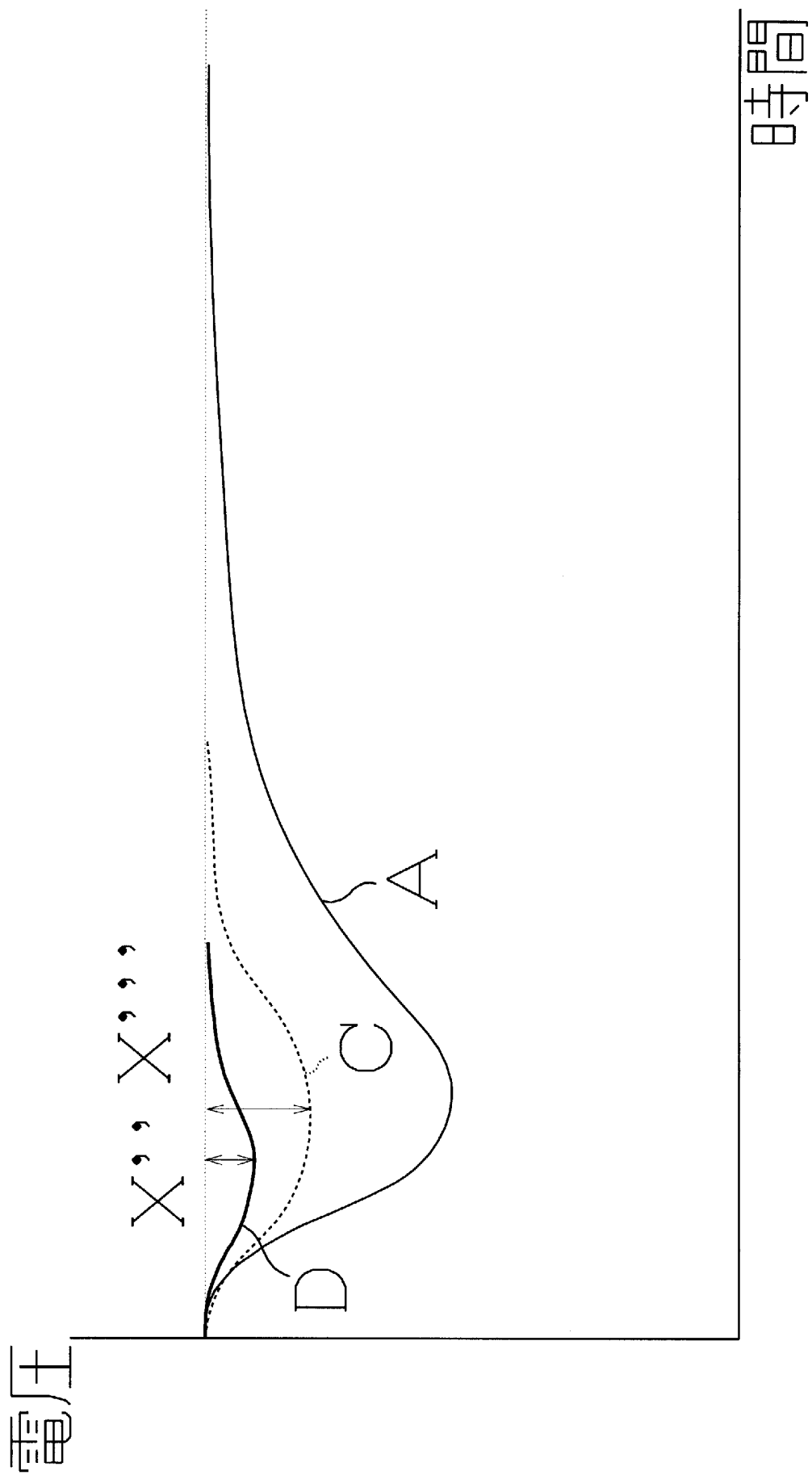
[図21]



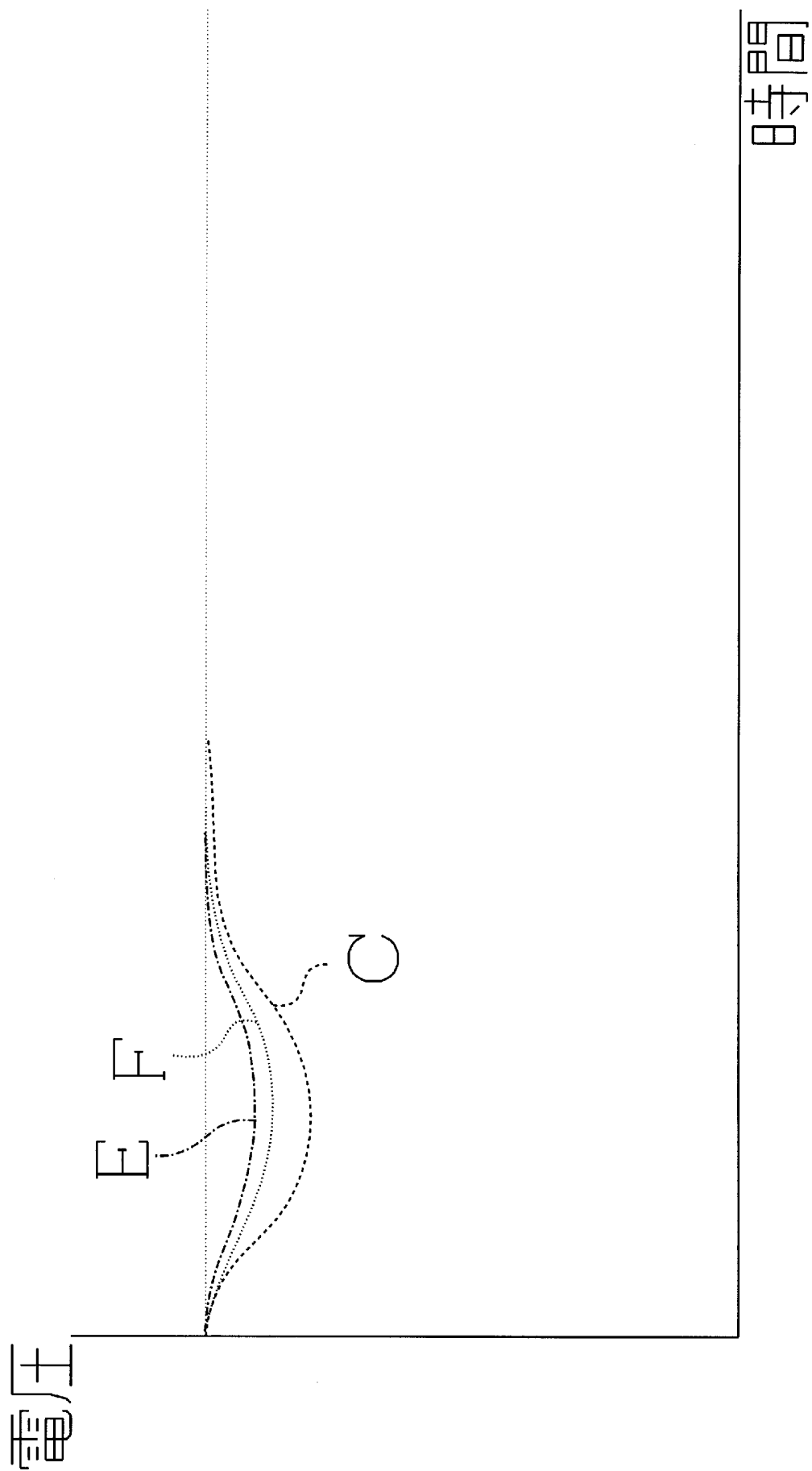
[図22]



[図23]



[図24]

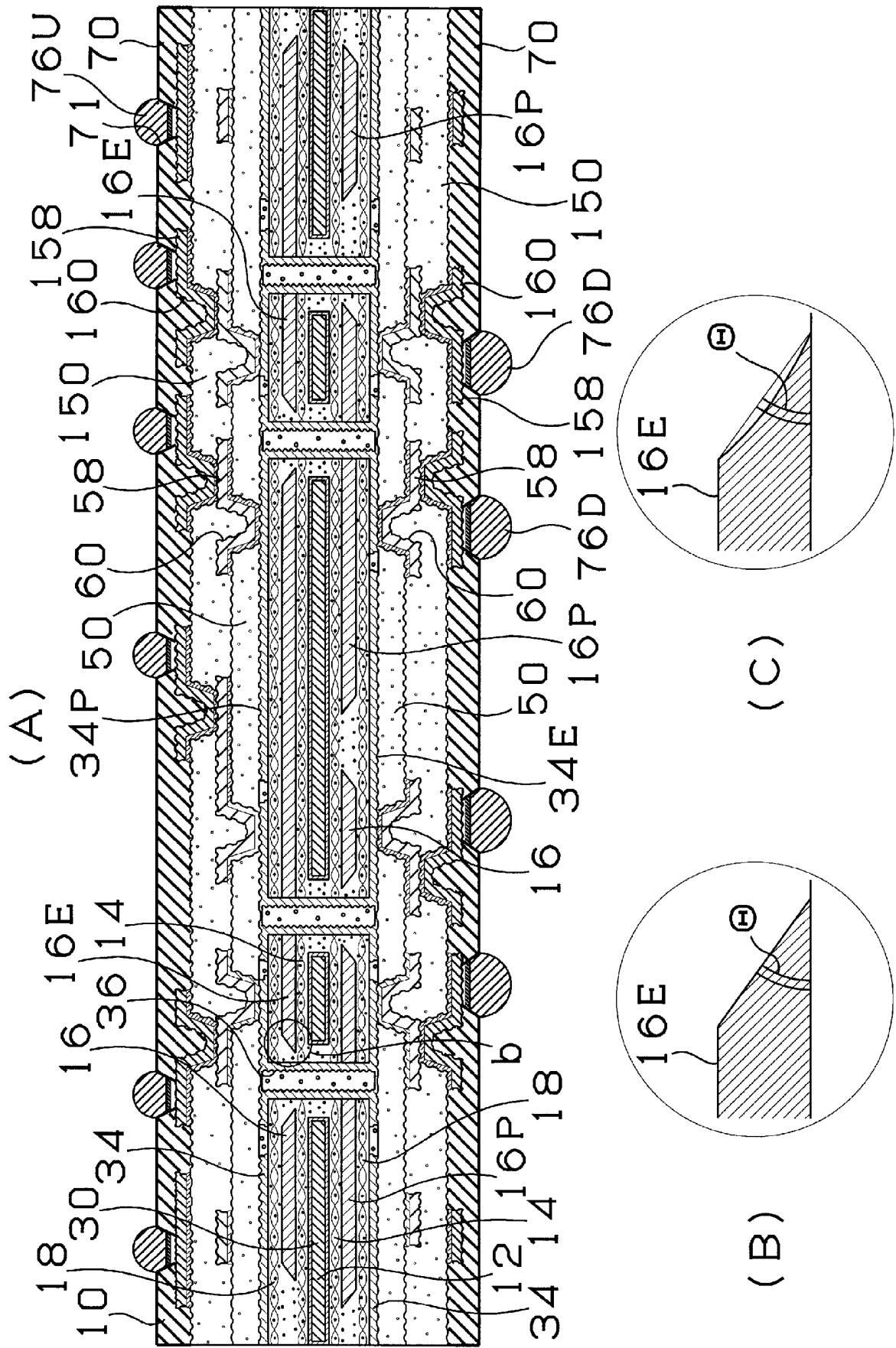


[図26]

	導体回路の厚み $\alpha 1 / \alpha 2$	100 hr		300 hr		500 hr		1000 hr		電圧降下量 電圧 (V)
		IC誤動作の有無	オープンの有無	IC誤動作の有無	オープンの有無	IC誤動作の有無	オープンの有無	IC誤動作の有無	オープンの有無	
第5実施例-1	6.7	○	○	○	○	○	○	○	○	0.084
第5実施例-2	5.3	○	○	○	○	○	○	○	○	0.085
第5実施例-3	10.0	○	○	○	○	○	○	○	○	0.090
第5実施例-4	20.0	○	○	○	○	○	○	○	○	0.094
第5実施例-5	30.0	○	○	○	○	○	○	○	○	0.095
第5実施例-6	40.0	○	○	○	○	○	○	○	○	0.097
第6実施例-1	2.0	○	○	○	○	○	○	○	○	0.091
第6実施例-2	3.7	○	○	○	○	○	○	○	○	0.085
第6実施例-3	5.0	○	○	○	○	○	○	○	○	0.085
第6実施例-4	30.0	○	○	○	○	○	○	○	○	0.095
第1比較例	1.0	×	○	×	○	×	×	×	×	0.108
第2比較例	1.0	×	○	×	○	×	×	×	×	0.108
第3比較例	1.0	×	○	×	○	×	×	×	×	0.108
第4比較例	1.0	×	○	×	○	×	×	×	×	0.108
第5比較例	1.0	×	○	×	○	×	×	×	×	0.108
第1参考例	41.5	×	○	×	○	×	○	×	×	0.103
第2参考例	41.5	×	○	×	○	×	○	×	×	0.103
第3参考例	41.5	×	○	×	○	×	○	×	×	0.103
第4参考例	41.5	×	○	×	○	×	○	×	×	0.103
第5参考例	41.5	×	○	×	○	×	○	×	×	0.103

ICチップの誤動作の有無 (○: 誤動作なし ×: 誤動作あり) オープンの有無 (○: オープンなし ×: オープンあり)

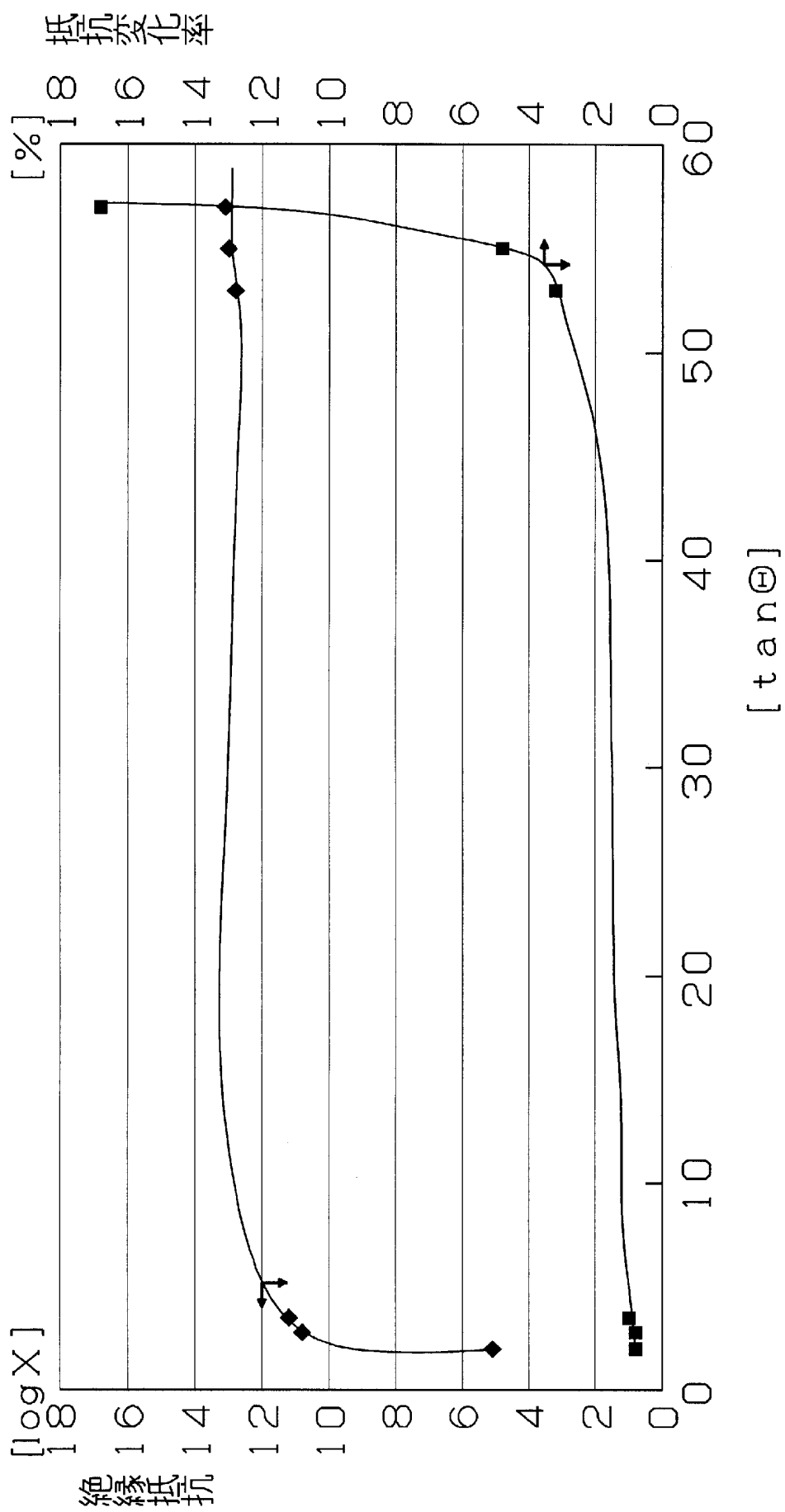
[図27]



[図28]

#	$\tan \theta$	HAST(log X)	抵抗変化率(%)	形状
第7実施例-1	2	5.1	0.8	R面
第7実施例-2	2.8	10.8	0.8	R面
第7実施例-3	3.5	11.2	1.0	R面
第7実施例-4	53	12.8	3.2	R面
第7実施例-5	55	13.0	4.8	R面
第7実施例-6	57	13.1	16.8	R面
第7実施例-7	2.8	—	3.4	直線
第7実施例-8	53	—	5.8	直線
第7実施例-9	57	—	34.2	直線

[図29]

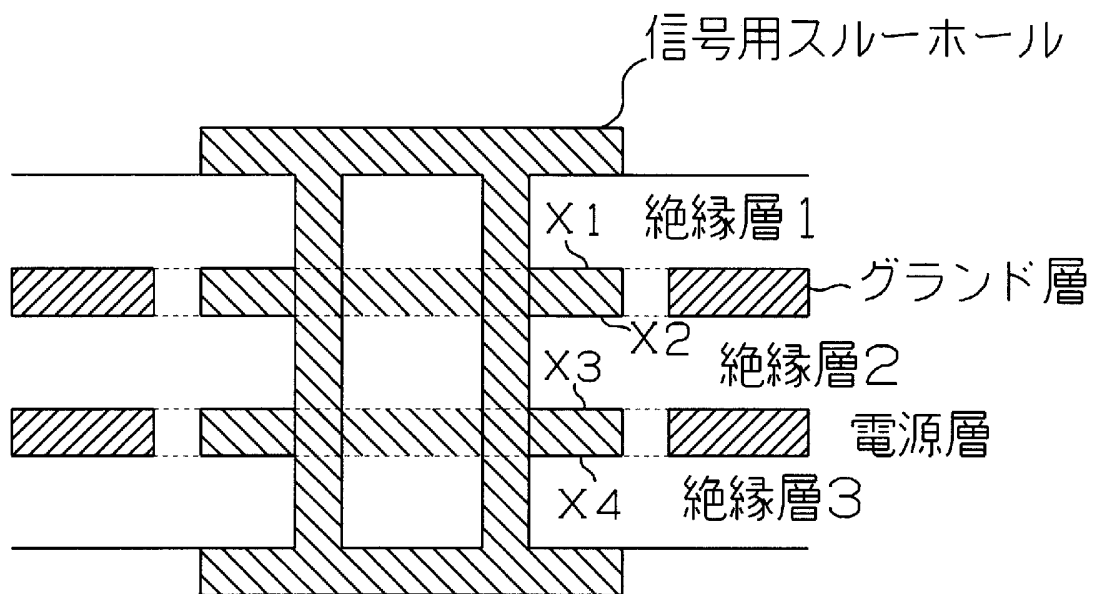


[図30]

実施例	内層導体層の厚み	テーパの形状	tan θ	誤動作の有無				ヒートサイクル試験	
				No.1	No.2	No.3	No.4	1000回	2000回
第8実施例-1	30	R面	1.6~2.5	無	有り	有り	—	—	—
第8実施例-2	45	R面	1.4~2.1	無	無	有り	—	—	—
第8実施例-3	60	R面	1.4~2.1	無	無	無	—	—	—
第8実施例-4	100	R面	1.3~1.9	無	無	無	—	—	—
第8実施例-5	125	R面	1.3~1.9	無	無	無	—	—	—
第8実施例-6	150	R面	1.2~1.7	無	無	無	—	—	—
第8実施例-7	30	R面	3.0~10.8	無	無	無	有り	—	—
第8実施例-8	45	R面	3.0~11.0	無	無	無	有り	—	—
第8実施例-9	60	R面	3.0~11.2	無	無	無	有り	—	—
第8実施例-10	100	R面	2.8~11.2	無	無	無	有り	—	—
第8実施例-11	125	R面	2.7~11.0	無	無	有り	有り	—	—
第8実施例-12	150	R面	2.7~11.4	無	無	有り	有り	—	—
第8実施例-13	30	R面	3.0~5.3	無	無	無	有り	—	—
第8実施例-14	45	R面	3.1~5.4	無	無	無	無	—	—
第8実施例-15	60	R面	3.1~5.4	無	無	無	無	—	—
第8実施例-16	100	R面	2.7~5.5	無	無	無	無	—	—
第8実施例-17	125	R面	2.9~5.7	無	無	無	無	—	—
第8実施例-18	150	R面	2.7~5.7	無	無	無	無	—	—
第8実施例-19	30	R面	4.2~10.8	無	無	無	有り	○	○
第8実施例-20	45	R面	4.0~11.0	無	無	無	無	○	○
第8実施例-21	60	R面	3.8~11.0	無	無	無	無	○	○
第8実施例-22	100	R面	3.7~11.2	無	無	無	無	○	○
第8実施例-23	125	R面	3.7~11.4	無	無	無	無	○	○
第8実施例-24	150	R面	3.7~11.3	無	無	無	無	○	○
第8実施例-25	30	直線	4.0~10.8	無	無	無	有り	○	×
第8実施例-26	45	直線	4.0~10.8	無	無	無	有り	○	×
第8実施例-27	60	直線	4.0~11.0	無	無	無	有り	○	×
第8実施例-28	100	直線	3.7~11.2	無	無	無	有り	○	×
第8実施例-29	125	直線	3.8~11.4	無	無	無	有り	○	×
第8実施例-30	150	直線	3.7~11.4	無	無	無	有り	○	×
第8比較例-1	15*	R面	1.6~2.5	有り	有り	有り	有り	—	—
第8比較例-2	15*	R面	3.0~10.8	有り	有り	有り	有り	—	—
第8比較例-3	15*	R面	3.0~5.3	有り	有り	有り	有り	—	—
第8比較例-4	15*	R面	4.2~10.8	有り	有り	有り	有り	—	—

* 第8比較例の内層導体の厚みの欄に記載した値は、コア基板の電源層の和である。

[図31]



[図32]

#	$\alpha 1 /$ $\alpha 2$	内層 の 層数	層間絶縁層 上の 導体層の厚み (μm)	コア基板 の表層の厚み 電源層の厚み (μm)	コア基板 の内層の厚み 電源層の厚み (μm)	コアの 電源層の 厚みの和 (μm)	電圧 降下量 (V)	HAST試験後 の結果
第9実施例-1	2	2	20	15	25	40	0.091	○
第9実施例-2	1.2	2	20	9	15	24	0.093	○
第9実施例-3	3	2	20	15	45	60	0.085	○
第9実施例-4	3.75	2	20	15	60	75	0.085	○
第9実施例-5	30.75	12	20	15	100	615	0.095	○
第9実施例-6	40.75	16	20	15	100	815	0.097	○
第9実施例-7	3	2	20	45	15	60	0.087	○
第9実施例-8	3.75	2	20	60	15	75	0.086	○
第9実施例-9	3.25	2	20	15	50	65	0.084	○
第9実施例-10	8.25	2	20	15	150	165	0.083	○
第9実施例-11	9.5	2	20	15	175	190	0.09	×
第9実施例-12	10.75	2	20	15	200	215	0.093	×
第9実施例-28	7	2	20	15	125	140	0.084	○
第9比較例-1	1	2	20	10	10	20	0.108	○
第9比較例-2	42	16	20	40	100	840	0.103	○
第9比較例-3	50.75	20	20	15	100	1015	0.123	○

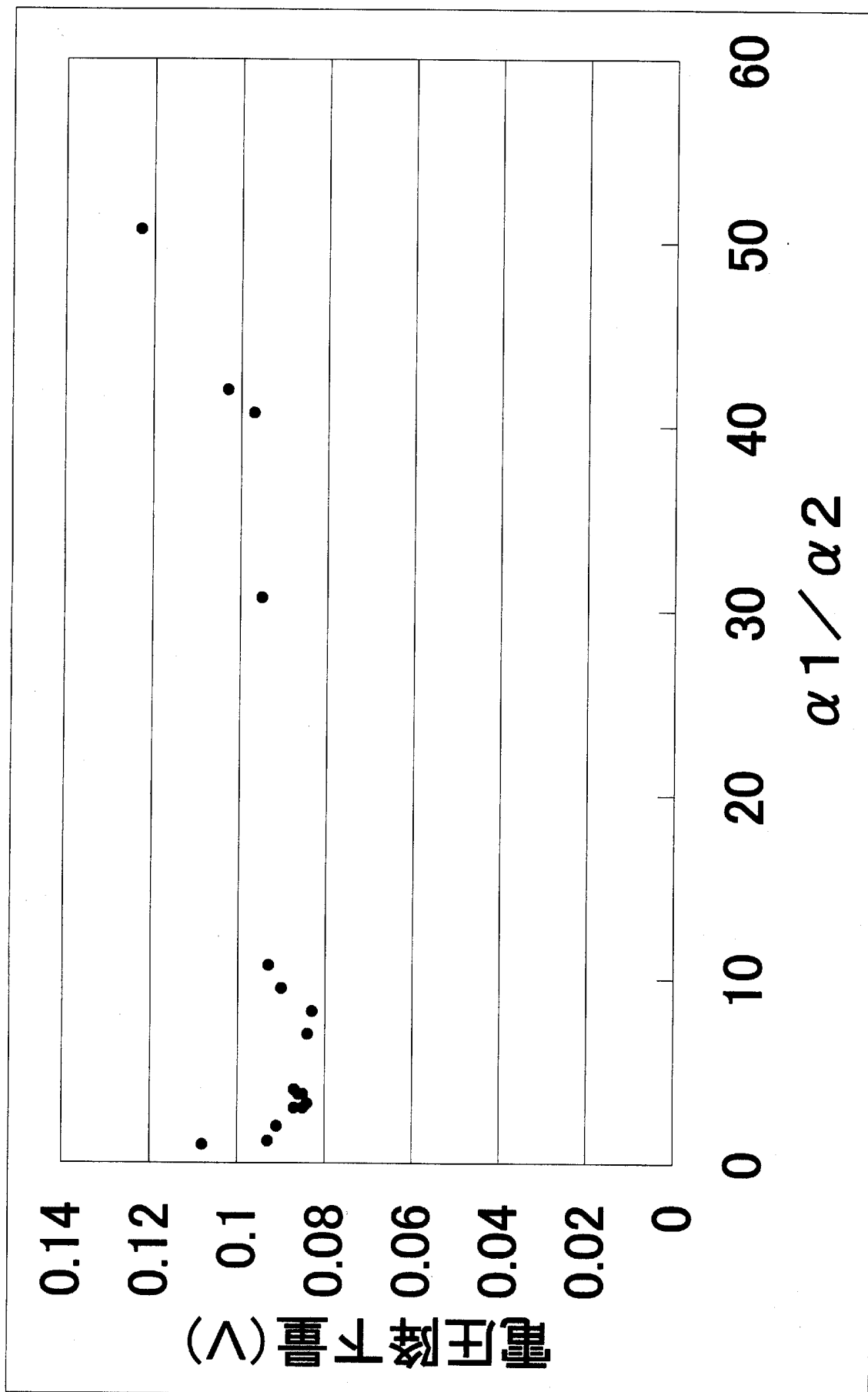
[図33]

#	$\alpha 1 / \alpha 2$	内層の層数	層間絶縁層上の導体層の厚み (μm)	コア基板の表層の電源層の厚み (μm)	コア基板の内層の電源層の厚み (μm)	コアの電源層の厚みの和 (μm)	電圧降下量 (V)	誤動作の有無		
								No.1のICを実装	No.2のICを実装	No.3のICを実装
第9実施例-1	2	2	20	15	25	40	0.091	無	あり	あり
第9実施例-2	1.2	2	20	9	15	24	0.093	無	あり	あり
第9実施例-3	3	2	20	15	45	60	0.085	無	無	無
第9実施例-4	3.75	2	20	15	60	75	0.085	無	無	無
第9実施例-5	30.75	12	20	15	100	615	0.095	無	あり	あり
第9実施例-6	40.75	16	20	15	100	815	0.097	無	あり	あり
第9実施例-7	3	2	20	45	15	60	0.087	無	無	あり
第9実施例-8	3.75	2	20	60	15	75	0.086	無	無	あり
第9実施例-9	3.25	2	20	15	50	65	0.084	無	無	無
第9実施例-10	8.25	2	20	15	150	165	0.083	無	無	あり
第9実施例-11	9.5	2	20	15	175	190	0.09	無	あり	あり
第9実施例-12	10.75	2	20	15	200	215	0.093	無	あり	あり
第9実施例-27	4	4	20	15	32.5	80	0.087	無	無	あり
第9実施例-28	7	2	20	15	125	140	0.084	無	無	無
第9比較例-1	1	2	20	10	10	20	0.108	あり	あり	あり
第9比較例-2	42	16	20	40	100	840	0.103	あり	あり	あり
第9比較例-3	50.75	20	20	15	100	1015	0.123	あり	あり	あり

[図34]

#	導体幅／導体間の間隔(μm)				
	5/5	7.5/7.5	10/10	12.5/12.5	15/15
第9実施例-3	○	○	○	○	○
第9実施例-4	○	○	○	○	○
第9実施例-7	×	×	○	○	○
第9実施例-8	×	×	○	○	○

[図35]



[図36]

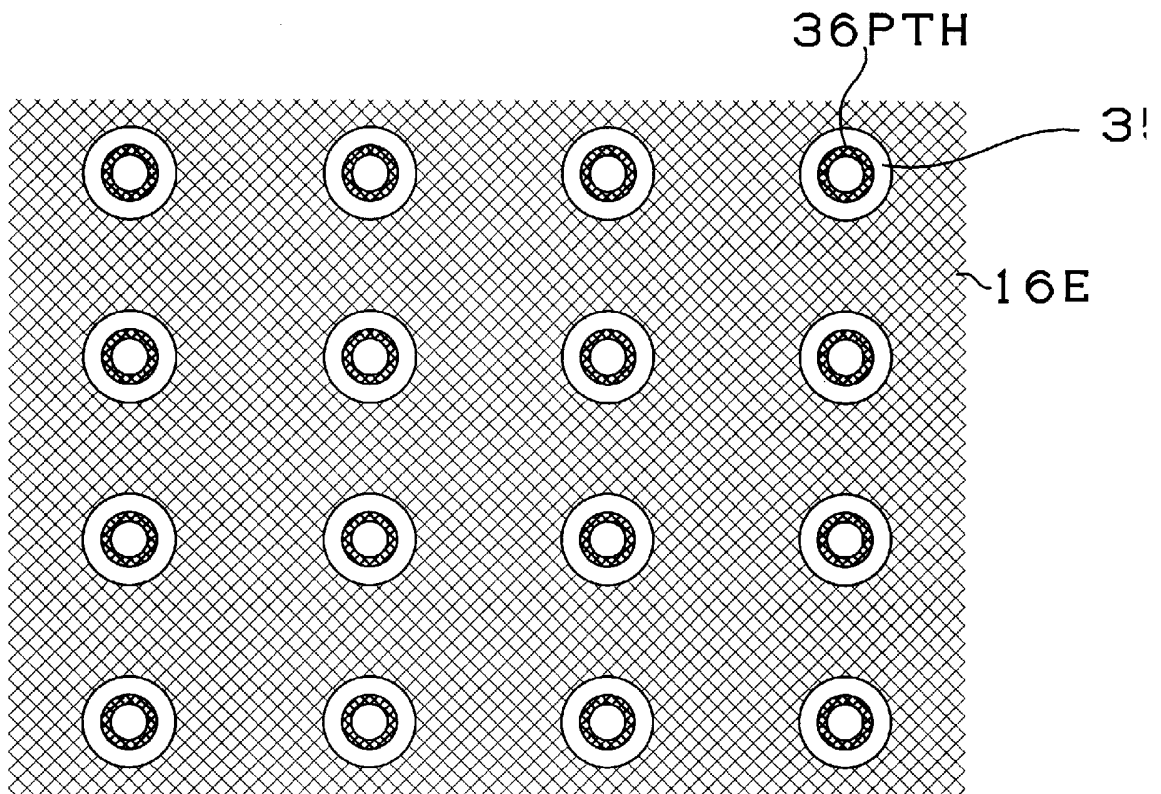
#	$\alpha 1$ / $\alpha 2$	ダミーランドを有しないTH%	内層の層数	層間絶縁層上の導体層の厚み (μm)	コア基板の表層の電源層の厚み (μm)	コア基板の内層の電源層の厚み (μm)	コアの電源層の厚みの和 (μm)	誤動作の有無		
								No.1のICを実装	No.2のICを実装	No.3のICを実装
第9実施例-13	3	50	2	20	15	45	60	無	無	無
第9実施例-14	3	100	2	20	15	45	60	無	無	無
第9実施例-15	3.25	50	2	20	15	50	65	無	無	無
第9実施例-16	3.25	100	2	20	15	50	65	無	無	無
第9実施例-17	3.75	50	2	20	15	60	75	無	無	無
第9実施例-18	3.75	100	2	20	15	60	75	無	無	無
第9実施例-19	8.25	50	2	20	15	150	165	無	無	無
第9実施例-20	8.25	100	2	20	15	150	165	無	無	無
第9実施例-21	9.5	50	2	20	15	175	190	無	無	あり
第9実施例-22	9.5	100	2	20	15	175	190	無	無	あり
第9実施例-23	10.75	50	2	20	15	200	215	無	無	あり
第9実施例-24	10.75	100	2	20	15	200	215	無	無	あり
第9実施例-25	3	50	2	20	45	15	60	無	無	あり
第9実施例-26	3	100	2	20	45	15	60	無	無	あり

[図37]

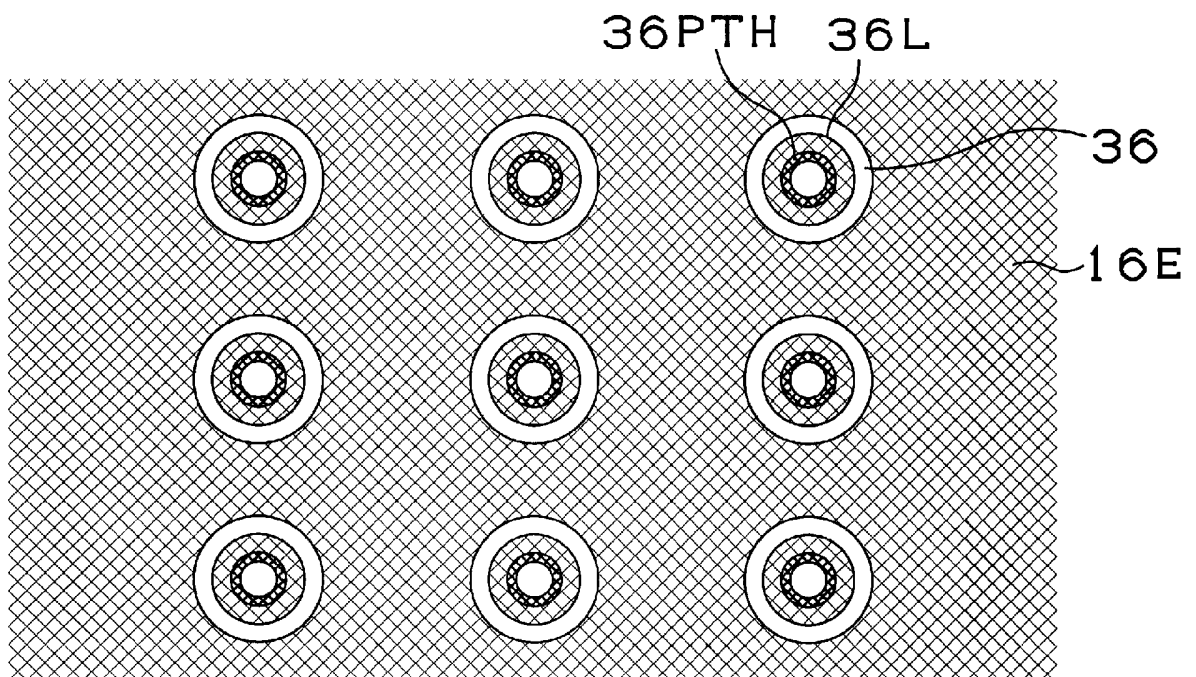
実施例	内層導体層の厚み	テーパの形状	$\tan \theta$	ダミーランドを有しないTH%	誤動作の有無 No.4
第10実施例-1	45	R面	3.1~5.4	50	無
第10実施例-2	60	R面	3.1~5.4	50	無
第10実施例-3	100	R面	2.7~5.5	50	無
第10実施例-4	125	R面	2.7~5.7	50	無
第10実施例-5	150	R面	2.9~5.7	50	無
第10実施例-6	45	R面	3.1~5.4	100	無
第10実施例-7	60	R面	3.1~5.4	100	無
第10実施例-8	100	R面	2.7~5.5	100	無
第10実施例-9	125	R面	2.7~5.7	100	無
第10実施例-10	150	R面	2.9~5.7	100	無
第10実施例-11	45	R面	4.0~11.0	50	無
第10実施例-12	60	R面	3.8~11.0	50	無
第10実施例-13	100	R面	3.7~11.2	50	無
第10実施例-14	125	R面	3.7~11.4	50	無
第10実施例-15	150	R面	3.7~11.3	50	無
第10実施例-16	45	R面	4.0~11.0	100	無
第10実施例-17	60	R面	3.8~11.0	100	無
第10実施例-18	100	R面	3.7~11.2	100	無
第10実施例-19	125	R面	3.7~11.4	100	無
第10実施例-20	150	R面	3.7~11.3	100	無

[図38]

(A)



(B)



INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2005/001611
--

A. CLASSIFICATION OF SUBJECT MATTER
Int .Cl⁷ H05K3/46

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int .Cl⁷ H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Jitsuyo Shinan Toroku Koho	1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-64272 A (Ibiden Co., Ltd.), 28 February, 2002 (28.02.02), Par. No. [0036] (Family: none)	1-5, 8, 11, 16-18
Y	JP 8-46306 A (Oki Electric Industry Co., Ltd.), 16 February, 1996 (16.02.96), (Family: none)	1-5, 15
Y	JP 2001-156408 A (Fujitsu Ltd.), 08 June, 2001 (08.06.01), & US 2002/27021 A1	1-5, 15
Y	JP 2003-324263 A (NGK Spark Plug Co., Ltd.), 14 November, 2003 (14.11.03), Par. No. [0008] (Family: none)	4

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 28 April, 2005 (28.04.05)	Date of mailing of the international search report 24 May, 2005 (24.05.05)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001611

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-271034 A (Ibiden Co., Ltd.), 20 September, 2002 (20.09.02), Claim 7 (Family: none)	5
X Y	JP 2002-151847 A (NGK Spark Plug Co., Ltd.), 24 May, 2002 (24.05.02), (Family: none)	6, 7, 9, 12, 14 8, 10, 11, 15-18
X Y	JP 2003-31944 A (Hitachi AIC Inc.), 31 January, 2003 (31.01.03), (Family: none)	6, 7, 9, 13 8, 10, 11, 15-18
Y	JP 64-80100 A (Hitachi, Ltd.), 24 March, 1989 (24.03.89), (Family: none)	10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001611

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claims 1-18 include independent claims 1 and 6.

The technical features of a multilayer printed wiring board of claim 1 are the relationship between the thickness of a conductive layer on a core substrate and the thickness of a conductor layer on an interlayer insulating layer formed on the core substrate, and the lateral shape of the conductor layer on the core substrate. Meanwhile, the technical feature of a multilayer printed wiring board of claim 6 is the uses (namely, use for power supply and use for grounding) of conductor layers in a core substrate having three or more conductor layers of different thicknesses including the front, back and inner layers. (Continued to extra sheet)

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001611

Continuation of Box No.III of continuation of first sheet (2)

Consequently, there is no technical relationship between independent claim 1 and independent claim 6 involving the same or corresponding special technical features within the meaning of PCT Rule 13.2.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H05K 3/46

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H05K 3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国登録実用新案公報	1994-2005年
日本国実用新案登録公報	1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-64272 A (イビデン株式会社) 28.02.2002【0036】 (ファミリーなし)	1-5, 8, 11, 16-18
Y	JP 8-46306 A (沖電気工業株式会社) 16.02.1996 (ファミリーなし)	1-5, 15
Y	JP 2001-156408 A (富士通株式会社) 08.06.2001 & US 2002/27021 A1	1-5, 15

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 28.04.2005

国際調査報告の発送日 24.5.2005

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 黒石 孝志	3S	9527
電話番号 03-3581-1101	内線	3389

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-324263 A (日本特殊陶業株式会社) 14. 11. 2003 【0008】 (ファミリーなし)	4
Y	JP 2002-271034 A (イビデン株式会社) 20. 09. 2002 【請求項7】 (ファミリーなし)	5
X Y	JP 2002-151847 A (日本特殊陶業株式会社) 24. 05. 2002 (ファミリーなし)	6, 7, 9, 12, 14 8, 10, 11, 15-18
X Y	JP 2003-31944 A (日立エーアイシー株式会社) 31. 01. 2003 (ファミリーなし)	6, 7, 9, 13 8, 10, 11, 15-18
Y	JP 64-80100 A (株式会社日立製作所) 24. 03. 1989 (ファミリーなし)	10

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲1-18における独立請求の範囲は、請求の範囲1と請求の範囲6である。
請求の範囲1は、多層プリント配線板において、コア基板上の導体層の厚みとコア基板上に形成された層間絶縁層上の導体層の厚みの関係、及び、コア基板上の導体層の側面形状を技術的特徴としている。また、請求の範囲6は、多層プリント配線板において、表裏と内層で厚さの異なる導体層を3層以上有するコア基板における各導体層の用途(電源層用またはアース用)を技術的特徴としている。

したがって、独立請求の範囲である請求の範囲1と請求の範囲6の間にPCT規則13.2における同一または対応する技術的特徴はない。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料の納付と共に出願人から異議申立てがあった。
 追加調査手数料の納付と共に出願人から異議申立てがなかった。