发明名称
数字视讯编码与译码的方法与系统

摘要
本发明提供多阶段数字视讯(DV)编码与译码的方法与系统。当共享资源如DRAM不足，或是检测到某些特殊情况下，由微处理器或由DRAM控制器通过实体链路发布略过指令。当接收到略过指令时，DV编码或译码因此省略某些编码或译码阶段，以节省系统资源。本发明也提供实施编码与译码方法的编码与译码系统。
1. 一种数字视讯编码的方法，其特征在于，包括：
取得数字视讯数据以执行多阶段编码；以及
当接收到一略过指令时，将下一阶段的编码步骤省略。

2. 如权利要求1所述的数字视讯编码的方法，其特征在于，所述多阶段编码
为三阶段可变长度编码，包括：第一阶段编码、第二阶段编码、以及第三阶段编码。

3. 如权利要求1所述的数字视讯编码的方法，其特征在于，更包括当接收到
所述略过指令时，将所述多阶段编码中剩下未执行的编码阶段都省略掉。

4. 如权利要求1所述的数字视讯编码的方法，其特征在于，所述略过指令是
由一微处理器发出的。

5. 如权利要求4所述的数字视讯编码的方法，其特征在于，所包括利用所述
微处理器监视一共享资源的状态，而当该共享资源的使用率超过一预设限制标
准时，所述微处理器即发出一略过指令。

6. 如权利要求5所述的数字视讯编码的方法，其特征在于，所述共享资源为
动态随机存取内存的频宽。

7. 如权利要求6所述的数字视讯编码的方法，其特征在于，所述略过指令是
由一动态随机存取内存控制器通过一实体链路所发布的。

8. 如权利要求7所述的数字视讯编码的方法，其特征在于，所述略过指令的
发布时机为所述动态随机存取内存频宽使用率高过预设限制标准时。

9. 如权利要求1所述的数字视讯编码的方法，其特征在于，所述略过指令的
发布时机为检测到一快速播放或快速倒带的操作。

10. 如权利要求1所述的数字视讯编码的方法，其特征在于，所述略过指令的
发布时机为检测到编码数据将输出到一易出错的环境。

11. 如权利要求10所述的数字视讯编码的方法，其特征在于，所述数字视讯
数据将被编码成网络视讯流，而所述略过指令的发布时机为一信道错误率高过
一特定比例时。

12. 一种数字视讯编码的系统，包括：
一缓冲器，用来暂时储存数字视讯编码所需的数字视讯数据；
一可变长度编码装置，从缓冲器取得数字视讯数据，并为该数字视讯数据执行多阶段编码；以及
一控制机制，当接收到略过指令时，命可变长度编码装置省略下一阶段编码步骤，并命令缓冲器提供下一个视讯片段给可变长度编码装置。

13. 如权利要求12所述的数字视讯编码的系统，其特征在于，所述可变长度编码装置执行的多阶段编码，包括：第一阶段编码、第二阶段编码、以及第三阶段编码的三阶段编码。

14. 如权利要求12所述的数字视讯编码的系统，其特征在于，所述控制机制在接收到略过指令时，命可变长度编码装置省略多阶段编码中剩下的编码阶段。

15. 如权利要求12所述的数字视讯编码的系统，其特征在于，更包括一微处理器，用来发布略过指令给控制机制。

16. 如权利要求15所述的数字视讯编码的系统，其特征在于，更包括一共享装置，其中微处理器监视该共享装置的状态，并且当该共享装置的使用率超过一预设限制标准时，发布略过指令。

17. 如权利要求16所述的数字视讯编码的系统，其特征在于，所述共享装置包括一动态随机存取内存与一动态随机存取内存控制器，并且当该动态随机存取内存控制器检测到该动态随机存取内存频宽的使用率超过预设限制标准时，微处理器发布略过指令。

18. 如权利要求12所述的数字视讯编码的系统，其特征在于，更包括一共享装置，其中略过指令是由该共享装置通过一实体链路所发布的。

19. 如权利要求18所述的数字视讯编码的系统，其特征在于，所述共享装置于该共享装置的资源使用率超过一预设限制标准时发布一略过指令。

20. 如权利要求19所述的数字视讯编码的系统，其特征在于，所述共享装置
包括一动态随机存取内存与一动态随机存取内存控制器，当该动态随机存取内存控制器检测该动态随机存取内存频宽使用率超过预设限制标准时，发布一略过指令。

21. 如权利要求12所述的数字视讯编码的系统，其特征在于，所述略过指令的发布时机为检测到一快退播放或快速倒带操作时。

22. 如权利要求12所述的数字视讯编码的系统，其特征在于，所述略过指令的发布时间为检测到编码数据将输出到一易出错的环境。

23. 如权利要求22所述的数字视讯编码的系统，其特征在于，所述数字视讯数据将被编码成网络视讯流，而略过指令的发布时机为一信道错误率高过一特定比例时。

24. 如权利要求12所述的数字视讯编码的系统，其特征在于，更包括：
一转换装置，利用一离散余弦转换演算法分析数字视讯数据；
一量化装置，将转换装置的输出做权值与量化的处理；
一扫描装置，扫描量化装置的输出；以及
一连串长度编码装置，将该扫描装置的输出以连串长度编码，并将该连串长度编码数据提供给可变长度编码装置。

25. 一种数字视讯译码的方法，其特征在于，包括：
取得数字视讯数据以执行多阶段译码；以及
当接收到一略过指令时，将下一阶段的译码步骤省略。

26. 如权利要求25所述的数字视讯译码的方法，其特征在于，所述多阶段译码为三阶段可变长度译码，包括：第一阶段译码、第二阶段译码、以及第三阶段译码。

27. 如权利要求25所述的数字视讯译码的方法，其特征在于，更包括当接收到略过指令时，将多阶段译码中剩下未执行的译码阶段都省略掉。

28. 如权利要求25所述的数字视讯译码的方法，其特征在于，所述略过指令是由一微处理器发出的。
29. 如权利要求28所述的数字视讯译码的方法，其特征在于，更包括利用微处理器监视一共享资源的状态，而当该共享资源的使用率超过一预设限制标准时，微处理器就发出一略过指令。

30. 如权利要求29所述的数字视讯译码的方法，其特征在于，所述共享资源为动态随机存取内存的频宽。

31. 如权利要求30所述的数字视讯译码的方法，其特征在于，所述略过指令是由一动态随机存取内存控制器通过一实体链路所发布的。

32. 如权利要求31所述的数字视讯译码的方法，其特征在于，所述略过指令的发布时机为动态随机存取内存频宽使用率高过预设限制标准时。

33. 如权利要求25所述的数字视讯译码的方法，其特征在于，所述略过指令的发布时机为检测到一快速播放或快速倒带的操作。

34. 如权利要求25所述的数字视讯译码的方法，其特征在于，所述略过指令的发布时机为检测到译码数据的来源为一易出错的环境。

35. 如权利要求34所述的数字视讯译码的方法，其特征在于，所述数字视讯数据是通过网络视讯流传递的，而略过指令的发布时机为一信道错误率高过一特定比例时。

36. 一种数字视讯译码的系统，其特征在于，包括：
一储存媒体，储存数字视讯译码所需的数字视讯数据；
一可变长度译码装置，从储存媒体取得数字视讯数据，并为该数字视讯数据执行多阶段译码；以及
一控制机制，当接收到一略过指令时，命可变长度译码装置略下一阶段译码步骤，并命令储存媒体提供下一个视讯片段给可变长度译码装置。

37. 如权利要求36所述的数字视讯译码的系统，其特征在于，所述可变长度译码装置执行的多阶段译码，包括：第一阶段译码、第二阶段译码、以及第三阶段译码的三阶段译码。

38. 如权利要求36所述的数字视讯译码的系统，其特征在于，所述控制机制
在接收到略过指令时，命可变长度译码装置省略多阶段译码中剩下的译码阶段。

39. 如权利要求36所述的数字视讯译码的系统，其特征在于，更包括一微处理器，用来发布略过指令给控制机制。

40. 如权利要求39所述的数字视讯译码的系统，其特征在于，更包括一共享装置，其中微处理器监视该共享装置的状态，并且当该共享装置的使用率超过一预设限制标准时，发布略过指令。

41. 如权利要求40所述的数字视讯译码的系统，其特征在于，所述共享装置包括一动态随机存取内存与一动态随机存取内存控制器，并且当该动态随机存取内存控制器检测到该动态随机存取内存频宽的使用率超过预设限制标准时，微处理器发布略过指令。

42. 如权利要求36所述的数字视讯译码的系统，其特征在于，更包括一共享装置，其中略过指令是由该共享装置通过一实体链路所发布的。

43. 如权利要求42所述的数字视讯译码的系统，其特征在于，所述共享装置于该共享装置的资源使用率超过一预设限制标准时发布一略过指令。

44. 如权利要求43所述的数字视讯译码的系统，其特征在于，所述共享装置包括一动态随机存取内存与一动态随机存取内存控制器，当该动态随机存取内存控制器检测该动态随机存取内存频宽使用率超过预设限制标准时，发布一略过指令。

45. 如权利要求36所述的数字视讯译码的系统，其特征在于，所述略过指令的发布时机为检测到一快速播放或快速倒带操作时。

46. 如权利要求36所述的数字视讯译码的系统，其特征在于，所述略过指令的发布时间为检测到译码数据的来源为一易出错的环境。

47. 如权利要求46所述的数字视讯译码的系统，其特征在于，所述数字视讯数据是以网络视讯流传送，而略过指令的发布时机为一信道错误率高过一特定比例时。

48. 如权利要求36所述的数字视讯译码的系统，其特征在于，更包括：
一连串长度编码装置，为可变长度译码装置的输出执行连续长度编码译码；
一反扫描装置，将连续长度编码装置的输出反扫描；
一反量化装置，将反扫描装置的输出做反权重与反量化的处理；以及
一反转换装置，利用一反离散余弦变换演算法分析反量化装置的输出。
说明书

数字视讯编码与译码的方法与系统

技术领域

本发明的技术是有关于数字视讯(Digital Video; DV)，特别是有关将 DV 数据编码与译码的方法与系统。

背景技术

数字视讯(DV)为一种越来越普遍且愈渐成熟的技术，而随着科技的进步，相关产品的售价也逐渐能够被一般的消费者所接受。由于近几年来 DV 市场快速的成长，数字照相机或数字摄影机等 DV 相关产品已为非常热门的商品。数字照相机或数字摄影机必须能够将代表所录的数字影像的大量视讯数据(Video Data)，转换成适当的计算机系统数据格式，让计算机的使用者可以操控、转换、或是储存这些数字影像。将视讯数据转换成数字格式的程序通常被称为编码(Encoding)，而这些编码成数字格式的数据可以在网络上上传或写入磁片上储存，而相对将数字格式数据转换成视讯数据的程序则被称为译码-Decoding)。精密的编码技术可以将数字数据给予编码并压缩使数据量缩小。现有的数字影像编码技术包括 JPEG、MPEG、以及 DV 编码技术等。DV 编码使用可变长度编码(Variable Length Coding; VLC)的技术，将大量的数据以其一般统计的特性编码到少量的资源中，是相当有效率的编码方法之一。

可变长度编码(VLC)产生的数据被分配在一个固定编码数据结构中。在 DV 规格书中，PAL 系统使用包括 1620 个大区块(Macro Block)的视讯框(Video Frame)，而 NTSC 系统的每一个视讯框则是包括 1350 个大区块。每一个大区块都包括四个亮度 (Luminance) Y 的离散余弦转换(Discrete Cosine Transformation; DCT) 区块，以及两个彩度(Chrominance)Cr 与 Cb 的 DCT 区块。
视讯框中全部画面在PAL系统中被分成60个超区块(Super Block)，而在NTSC系统中则是被分成50个超区块。每一个超区块包括27个大区块。一个视讯片段数据(Video Segment)包含了一个视讯框里从各范围搜集来的5个大区块。视讯框中的大区块通过组合成视讯片段数据而重新排序。平均每一个大区块可以从中384位压缩成77位。这样的重排动作可以平衡数据的频率特性，因此降低压缩的困难度。

三种公知的DV格式包括MiniDV、DVCAM、以及DVCPro，这三种格式都是使用DV编码(或DV压缩)的技术，其压缩比例为五比一，而数据速率固定为25Mbps，这样的固定速率造成DV压缩结果的一致性，因此档案在被记录或是播放时档案大小都不会改变。DV压缩技术是利用框内(Intraframe)离散余弦转换(Discrete Cosine Transform; DCT)压缩来减少录制的档案大小。每个框的视讯信息与其它数据都不依赖接接框而个别被压缩。图1描述DV编码系统的一种简化系统方块图。从储存模快12取得的DV数据先被DCT演算模快13分析，并转换成频域系数。转换后的数据于是提供到下一个方块做权重(Weighting)的调整14，其中直流(DC)部分会稍微的被移动，由于人眼对于高频的部分不是那么敏锐，因此此时可将高频部分按比例降低。做完权重调整之后，数据会被提供做量化(Quantization; Q)15以及扫描(scanning)16的处理。被量化的高频区域包含了一大段连续的零，而扫描模快16利用一种特定顺序读取被量化的数据。接着，数据会被传送到连串长度编码(Run-length Coding; RLC)模块17、与可变长度编码(Variable Length Coding; VLC)模块18执行编码。VLC模块18是一个多阶段(Multi-Stage)的编码系统。

图2为描述当可变长度编码数据以固定大小以及预设数据型态，由三阶段或是3-PassVLC编码转换成视讯片段数据的一个流程图。如先前所述，各个视讯片段数据包括五个大区块(Macro Block)，每一个大区块又包括了六个DCT区块(四个亮度区块，以及两个彩度区块)。如图3a所示，在第一阶段的编码中，
数据会被输入大区块 31 中各个对应的 DCT 区块 311～316，图中较为深色的地方表示各 DCT 区块 311～316 中的数据量。例如 DCT 区块 311 有超额的数据，而 DCT 区块 314、315、及 316 都还没有被填满。超额的数据会先暂时储存在暂存内存（图 1 中暂存内存标号为 11）里，这个暂存内存通常由静止随机存取内存（Static Random Access Memory; SRAM）所构成。在第二个阶段编码中，DCT 区块的多余数据可以被放置在同一个大区块中任何一个还没有填满的 DCT 区块中。如图 3b 所示，DCT 区块 311 的超额数据可以被存进 DCT 区块 314 中。在第三阶段编码中，任何在第二阶段时没有于同一个大区块中找到空位存入的超额的数据，可以在同一个视讯片段数据的其它大区块中找空位存入。如图 3c 所示，视讯片段数据 3 包含五个大区块 31～35，因此允许大区块 33 的超额数据在第三阶段编码时存入大区块 31 中。

图 4 为一种 DV 译码的简易方块图。DV 译码系统会执行 DV 编码的反向动作，也就是从储存媒体 41 取得的编码 DV 数据会先提供给可变长度译码（Variable Length Decoding; VLD）模块 42、以及连串长度译码（Run-length Decoding; RLD）模块 43 作译码。译码数据于是会被传送到反扫描（Inverse Scan; ISCAN）模块 44、反量化（Inverse Quantization; IQ）模块 45、反权重（Inverse Weighting; IW）模块 46、以及反 DCT（IDCT）模块 47，以将原本的数据解回来。

VLD 模块 42 所执行的 VLD 译码程序显示在第 5 图的流程途中。VLD 模块 42 可以处理三阶段译码程序，与之前叙述的 VLC 三阶段编码程序类似。编码过的 DV 数据可以藉由依序执行第一、第二、与第三阶段译码，从各个片段被正确的译码出来。

发明内容

本发明所要解决的技术问题是提供一种数字视讯编码与译码的方法与系统。
本发明的实施例里，DV编/译码器的编/译码方法包括取得数据后，视情况将下一个或是剩下的编/译码阶段省略。在一个三阶段（或是3-Pass）的编/译码程序中，共用的DRAM频宽被密切的监视，并且可以由微处理器（Microprocessor）、或由DRAM控制器通过实体链路，发布一个略过指令来适时的省略后续的编/译码步骤。在模式0下，当共享资源不够时，通知DV编/译码器的工作是通过DRAM控制器监视并告知微处理器，当系统使用DRAM的频宽超过一个关键值时，微处理器就会被提醒而发布一个略过指令。在模式1下，DRAM控制器与DV编/译码器中间有一个实体链路（Physical Link），传送略过指令以直接回报DRAM频宽状态给DV编/译码器，如此一来，就可以将微处理器的工作量减轻。微处理器在检测到经由1394端口连接至系统的外部DV装置正在使用快速播放或是快速倒带模式，也会发布略过指令，因为此时并不需要有最高的视讯品质。如果要将DV数据编码成网络视讯流（Internet Streaming），当预期的信道错误率高过一个默认值时，就可以发布一个略过指令给DV编/译码器，因为在错误率极高的情况下，较多阶段的编/译码并不一定能提高最后的视讯品质，适当的降低编/译码品质以节省资源。

在本发明的一个实施例中，编码系统包括DV编码器、微处理器、DRAM、以及DRAM控制器。DV编码器包括暂存内存、可变长度编码（VLC）装置、以及控制机制。暂存内存暂存将DV数据储存，VLC装置于是从暂存内存取得DV数据执行多阶段编码。控制机制在接收到略过指令时，会命令VLC装置将一个或是剩下的编/译码阶段予以省略，一旦省略则命令暂存内存直接提供下一个视讯片段至VLC装置。DV编码器可以利用模式0或模式1执行编码，也就是当DRAM的资源不够用时，略过指令可以由微处理器（模式0）或由DRAM控制器（模式1）通过实体链路发出的。如果DV数据将被传送到一易出错(error-prone)的环境里，例如网际网络，当检测到信道错误率高过某一特定值时，微处理器也可以发布略过指令给DV编码器。DV编码器更包括以DCT算法分析数据的转换装置、将转换装置的输出加权及量化的量化装置、扫描量化装置输出的扫描装置，以及执行RLC编码的RLC
装置，最后再将RLC编码数据提供至VLC编码装置。

根据本发明一个实施例的DV译码器所对应的译码方法包括，取得DV数据执行多阶段译码，并且当接收到略过指令时略过下一个或剩下的译码阶段。在一个实施例中，DV译码器执行的多阶段译码配合先前所述的DV编码器，因此为三阶段译码。与编码方法类似，假设DRAM频宽为关键的共享资源时，略过指令可以由微处理器、或由DRAM控制器通过实体链路发布。在模式0下，DRAM控制器会监视并回报微处理器，而微处理器会于DRAM的系统资源不足时发布略过指令。模式1则是由DRAM控制器通过实体链路直接传送略过指令给DV译码器，因此可以减轻微处理器的工作量。微处理器在检测到经由1394端口连接至系统的外部DV装置正在使用快速播放或是快速倒带模式，也会发布略过指令。如果DV数据是来自易出错的环境，例如从网络视讯流传来的，且当预期的误道错误率高过一个默认值时，就可以发布一个略过指令给DV译码器，以节省系统资源。

对应的译码系统包括DV译码器、微处理器、DRAM、以及DRAM控制器。DV译码器包括储存媒体、可变长度译码(VLD)装置、以及控制机制。储存媒体为DV译码储存数据，而VLD装置则从储存媒体取得数据以执行多阶段译码。控制机制在接收到略过指令时，会命令VLD装置将下一个或是剩下阶段的译码步骤省略，并且命令储存媒体提供下一个视讯片段至VLD装置，以实时将下一个视讯片段译码。DV译码器可以利用模式0或是模式1执行译码，也就是当DRAM的资源不够用时，略过指令可以由微处理器、或由DRAM控制器通过实体链路发出的。微处理器可以于检测到外部DV装置处于快速播放或是快速倒带时发布略过指令。如果DV数据是由易出错的环境传来的，例如网际网络，且当信道错误率高过特定值时，微处理器也可以因此发布略过指令给DV译码器，以达到节省资源的效果。DV译码器更包括为VLD装置的输出执行RLD编码的RLD装置、反扫描装置、反量化装置、以及反变换装置。各个装置分别对应DV编码器中的一个装置，用来执行DV编码每个步骤的相反动作。
附图说明

图 1 显示 DV 编码器的方块图。

图 2 显示可变长度编码 (VLC) 的 DV 编码流程图。

图 3a ~ 3c 显示一个视讯片段执行三阶段编码的步骤。

图 4 显示 DV 译码器的方块图。

图 5 显示可变长度译码 (VLD) 的 DV 译码流程图。

图 6 显示本发明一个实施例的 VLC 编码流程图。

图 7 为本发明一个实施例中 DV 编码器的范例方块图。

图 8 为根据本发明实施例的 DV 编码系统的范例。

图 9 为本发明一个实施例中 VLD 译码流程图。

图 10 为本发明一个实施例中 DV 译码器的范例方块图。

图 11 为根据本发明实施例的 DV 译码系统的范例。

3 视讯片段

7 DV 编码器

10 DV 译码器

11, 71 暂存内存

12, 41, 72, 101 储存模块

13, 73 DCT 演算模块

14, 74 权重 (W) 模块

15, 75 量化 (Q) 模块

16, 76 扫描 (SCAN) 模块

17, 43, 77, 103 RLC 模块

18, 42, 78, 102 VLC 模块

31 大区块

25 44, 104 反扫描 (ISCAN) 模块
45. 105 反量化 (IQ) 模块
46. 106 反权重 (IW) 模块
47. 107 反 DCT 演算 (IDCT) 模块
79. 108 控制机制

81. 111 DRAM
82. 112 DRAM 控制器
83. 113 DRAM 数据总线
84. 114 外围接口
85. 115 视讯处理单元

86. 116 语音处理单元
87. 117 微处理器
88. 118 1394实体层
89. 119 微处理器总线
311-316 DCT区块

821. 1121 实体链路

具体实施方式

系统单芯片 (System on Chip; SoC) 设计，将许多功能方块共享一些储存与运算资源，这些共享资源包括像是动态随机存取内存 (Dynamic Random Access Memory; DRAM)、或中央处理单元 (Central Processing Unit; CPU) 等等。如果功能方块中的操作必须要用到共享资源，共享资源的资源不足将会导致不正常的输出，因而无法满足原本的设计需求。本发明提供的方法与系统，可降低因共享资源不够而发生错误的机率。

如图 2、5 所示，DV 编码或译码算法皆为三阶段 (或是 3-Pass) 编码或译码。如果视讯片段中的标头 (header) 能正确的保留，即使将视讯片段中三阶段编码
或译码产生的其它 VLC 数据截去，仍然能够产生有效的编码或译码比特流。也就是说在 VLC 编码或 VLD 译码中，如果任一或是更多编码或译码阶段被省略，DV 数据仍为有效的。就算所有三阶段编码或译码（第一阶段、第二阶段、与第三阶段）都不执行，只要视讯片段的标头还能正确的被保留下来，DV 数据仍为有效的数据。本发明提出的 DV 编码与译码方法利用 DV 数据这种特性，适时的减轻共享资源负荷过重而造成的问题，例如 DRAM 频宽不足时遇到的种种问题。

图 6 显示一种 VLC 编码实施例的流程图。与图 2 流程图相较，图 6 的每一个编码阶段之前都有一个新增的决策步骤询问是否省略下一阶段编码步骤。视讯片段的编码程序会因为任何一个新增决策的答案为“是”而被中断，若答案为“是”即表示 DV 编码器接收到一个略过指令，如此一来，接下来的编码步骤就会被省略不做。例如，当执行第二阶段编码时接收到一个略过指令，第三阶段编码就会被省略不做，而如果略过指令是当执行第一阶段编码时就接收到的，第二与第三阶段编码就都会被省略不做。如果在执行第一阶段编码之前就已接收到略过指令，所有的编码阶段都会被省略而直接处理下一笔数据。在正常情况之下，即没有收到任何略过指令时，编码的顺序是按照：‘第一阶段、第二阶段、第三阶段’、‘第一阶段、第二阶段、第三阶段’这样进行的。可是当略过指令可能出现时，某笔数据编码的顺序就有可能为：完整的编码，即‘第一阶段、第二阶段、第三阶段’，或是不完整的编码，例如‘第一阶段、第二阶段’，直接接续下一个视讯片段的‘第一阶段’，或‘不做任何阶段的编码，只处理标头’。

图 7 为描述 DV 编码器 7 实施例的方块图。控制机制 79 根据特定系统信息控制 VLC 装置 78 以及暂存内存 71。储存装置 72、DCT 装置 73、权重装置 74、量化装置 75、扫描装置 76、以及 RLC 装置 77 都跟图 1 对应的装置相同。当控制机制 79 接收到特定系统信息时，会发布一个略过指令给 VLC 装置 78，并要求暂存内存 71 提供下一个视讯片段给 VLC 装置 79 做编码。使控制机制 79 发布略
过指令的特定系统信息可能包括错误发生率较高的环境，或是系统资源（例如共享装置的运算能力或频宽资源）不足。

图 8 描述 DV 编码系统包括本发明实施例的 DV 编码器 7。DV 编码系统更包括一个 DRAM 81、DRAM 控制器 82、外围接口 84、视讯处理单元 85、语音处理单元 86、微处理器 87，以及 1394 实体层 88。DRAM 数据总线 83 建立 DRAM 控制器 82 与其它功能方块之间的通讯信道，同样的，微处理器总线 89 建立微处理器 87 与其它功能方块之间的通讯信道。DRAM 为编码系统中重要的一种共享资源，因此系统设计者会特别注意 DRAM 的频宽，因为 DRAM 频宽不足可能会造成不正常的编码结果。DV 编码器 7 可以降低 DRAM 频宽不足所造成问题的机率，这是因为某些特定情况下，多阶段编码中一或多个编码阶段可以省略不做。在模式 0 中，DRAM 控制器 82 监视 DRAM 81 的状态并回报微处理器 87。如果 DRAM 81 频宽不够时，微处理器 87 就发布略过指令要求 DV 编码器 7 省略一些编码阶段以减少 DRAM 频宽的使用量。模式 1 中，DRAM 控制器 82 与 DV 编码器 7 中间会有一条实体链路 821，这条实体链路 821 可以减轻微处理器的工作负担。DRAM 控制器通过这条链路 821 直接告知 DV 编码器 7 有关 DRAM 81 的状态，使 DV 编码器 7 依照回报的状态改变编码步骤的组合。

本发明也提出一种 DV 译码器，与之前叙述的 DV 编码器 7 有类似的技术特征。图 9 描述 DV 译码器执行的 VLD 译码实施例的流程图。在 VLD 程序中，各视讯片段的标头会先被译码，然后剩下的数据会通过第一阶段、第二阶段、以及第三阶段的译码。如果第一阶段到第三阶段的译码都不做，视讯片段的影像仍然是可分辨的，不过执行的译码阶段越多，所得到的影像会越清楚，并且可以看到更多影像细节。与图 9 的编码程序类似，当 DV 译码器接收到略过指令后，会省略剩下的译码步骤不做。

图 10 描述 DV 译码器 10 的方块图。DV 译码器 10 的组件 101 ~ 107 与图 4 的组件 41 ~ 47 相同。新增的控制机制 108 在接收到代表特定情况的系统信息时，
通知 VLD 裝置 102 將剩下的译碼階段省略。這些特定情況包括系統資源不足、
DV 數据快速播放或快速倒帶、或是如果 DV 數据是由易出错的環境傳來的等等。

圖 11 描述一個包括 DV 译碼器 10 的 DV 译碼系統。DV 译碼系統與圖 8 的
DV 编码系统一样，包括 DRAM 111、DRAM 控制器 112、外圍接口 114、視訊処理
单元 115、語音處理单元 116、微处理器 117、以及 1394 穿体层 118。DRAM 數
总线 113 爲 DRAM 控制器 112 為其它功能方塊建立一条通讯信道，而微处理器总
线 119 為微处理器 117 為其它功能方塊建立一条通讯信道。如果 DRAM 頻寬不足
時，译碼系统可以为两种模式之一，令 DV 译碼器 10 略過一或多个译碼步驟。
在模式 0 之下，微处理器 117 監视 DRAM 控制器 112 的状态，并且当 DRAM 頻寬
不够时发布略過指令。在模式 1 之下，當 DRAM 頻寬不够時，DRAM 控制器 112 可
以通过实体链路 1121 告知 DV 译碼器 10。如果连接 1394 端口的外部装置正在快
速播放或是快速倒帶 DV 數据，DV 译碼器 10 从微处理器 117 接收略過指令。在
圖 11 的实施方案中，1394 穿体层 118 告知微处理器 117，外部装置正在快速播放
或快速倒帶。DV 译碼器 13 也可以在系統检测到 DV 數据的来源错误率很高時，
接收略過指令而省略接下来的译碼階段。

上述具体实施方案是说明本发明，而非限定本发明。
图2
图 4
图 5
图 6