

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2015-114199
(P2015-114199A)

(43) 公開日 平成27年6月22日 (2015.6.22)

(51) Int.Cl.

F I

テーマコード (参考)

GO 1 R 31/28 (2006.01) GO 1 R 31/28 H 2 G 0 0 3

GO 1 R 31/26 (2014.01) GO 1 R 31/26 H 2 G 1 3 2

審査請求 未請求 請求項の数 15 O L (全 20 頁)

(21) 出願番号	特願2013-256180 (P2013-256180)	(71) 出願人	000002037
(22) 出願日	平成25年12月11日 (2013.12.11)		新電元工業株式会社
			東京都千代田区大手町2丁目2番1号
		(74) 代理人	100137523
			弁理士 出口 智也
		(74) 代理人	100117787
			弁理士 勝沼 宏仁
		(72) 発明者	佐藤 喜市
			秋田県由利本荘市土谷字前田39番1号
			株式会社秋田新電元飛鳥工場内
		Fターム(参考)	2G003 AC08 AE09 AF06 AH01 AH05
			2G132 AB09 AB12 AC03 AD01 AD10
			AE08 AE11 AE14 AE23 AG09
			AH01 AH02 AL11

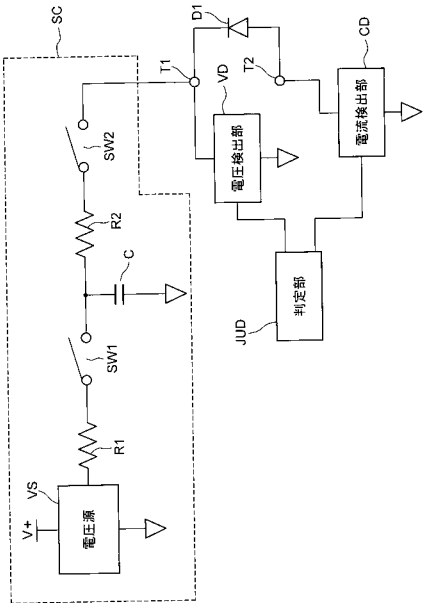
(54) 【発明の名称】 サージ試験装置、サージ試験方法及び電子部品

(57) 【要約】

【課題】 規定のサージ電力が検査対象素子に印加されたことを確実に検出する。

【解決手段】 サージ電圧を印加するサージ電圧発生回路SCと、サージ電圧発生回路SCの出力に接続された第1の検査用端子T1と、接地された第2の検査用端子T2と、第1の検査用端子T1と第2の検査用端子T2との間に逆バイアスとなるように接続されたアバランシェ特性を有する検査対象素子にサージ電圧発生回路SCが印加したサージ電圧を検出する電圧検出部VDと、サージ電圧発生回路SCがサージ電圧を印加することで検査対象素子に流れるサージ電流を検出する電流検出部CDと、電圧検出部VDが検出した検出電圧と電流検出部CDが検出した検出電流に基づいて、検査対象素子に規定の電力以上の電力が印加されたか否かを判定する判定部JUDと、を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

サージ電圧を印加するサージ電圧発生回路と、
前記サージ電圧発生回路の出力に接続された第 1 の検査用端子と、
接地された第 2 の検査用端子と、
前記第 1 の検査用端子と前記第 2 の検査用端子との間に逆バイアスとなるように接続されたアバランシェ特性を有する検査対象素子に前記サージ電圧発生回路が印加したサージ電圧を検出する電圧検出部と、
前記サージ電圧発生回路が前記サージ電圧を印加することで前記検査対象素子に流れるサージ電流を検出する電流検出部と、
前記電圧検出部が検出した検出電圧と前記電流検出部が検出した検出電流に基づいて、前記検査対象素子に規定の電力以上の電力が印加されたか否かを判定する判定部と、
を備えるサージ試験装置。

10

【請求項 2】

前記電圧検出部は、前記第 1 の検査用端子と前記接地との間に接続された第 1 の検出抵抗を有し、該第 1 の検出抵抗の電圧降下に基づいて前記検出電圧を検出し、
前記電流検出部は、前記第 2 の検査用端子と前記接地との間に接続された第 2 の検出抵抗を有し、該第 2 の検出抵抗の電圧降下に基づいて前記検出電流を検出し、
前記電圧検出部の前記第 1 の検出抵抗の値は、前記電流検出部の前記第 2 の検出抵抗の値よりも大きい請求項 1 に記載のサージ試験装置。

20

【請求項 3】

前記判定部は、
前記電圧検出部が検出した検出電圧と前記電流検出部が検出した検出電流に基づいて、前記検査対象素子に印加された電力に対応する電力信号を生成する電力信号生成部と、
前記電力信号生成部が生成した電力信号が示す電圧が、予め設定された上限値と下限値で規定される規定の範囲内にあるか否かを判定する比較検出部と、
前記比較検出部が規定の範囲内であると判定した場合に、前記検査対象素子に規定の電力以上の電力が印加されたと判定する制御部と、
を備える請求項 1 または 2 に記載のサージ試験装置。

【請求項 4】

前記比較検出部は、
第 1 の入力に前記電力信号生成部が生成した電力信号が入力され、第 2 の入力に第 1 の基準電圧が入力され、第 1 のコンパレータの出力が前記制御部と接続された第 1 のコンパレータと、
第 1 の入力に前記電力信号生成部が生成した電力信号が入力され、第 2 の入力に第 2 の基準電圧が入力され、出力が前記制御部と接続された第 2 のコンパレータと、
を備え、
前記制御部は、前記第 1 のコンパレータの出力と前記第 2 のコンパレータの出力に基づいて、前記検査対象素子に規定の電力以上の電力が印加されたか否かを判定し、
前記第 1 の基準電圧は前記上限値で前記第 2 の基準電圧は前記下限値である
請求項 3 に記載のサージ試験装置。

30

40

【請求項 5】

前記判定部は、
前記電圧検出部が検出した検出電圧が、規定の範囲内にあるか否かを判定する電圧比較検出部と、
前記電流検出部が検出した検出電流が、規定の範囲内にあるか否かを判定する電流比較検出部と、
を更に備え、
前記制御部は、前記比較検出部が規定の範囲内であると判定し、かつ前記電圧比較検出部が規定の範囲内であると判定し、かつ前記電流比較検出部が規定の範囲内であると判定

50

した場合、前記検査対象素子に規定のサージ電圧が印加されたと判定する
請求項 3 または 4 に記載のサージ試験装置。

【請求項 6】

前記判定部は、

前記電圧検出部が検出した検出電圧と前記電流検出部が検出した検出電流に基づいて、
前記検査対象素子に印加された電力に対応する電力信号を生成する電力信号生成部と、
前記電力信号生成部が生成した電力信号のピークを検出する電力ピークホールド部と、
前記電力ピークホールド部が検出した電力のピーク値に基づいて、前記検査対象素子に
規定の電力以上の電力が印加されたか否かを判定する制御部と、
を備える請求項 1 または 2 に記載のサージ試験装置。

10

【請求項 7】

前記電力ピークホールド部は、

一端が定電流回路の出力に接続されるスイッチと、

一端が前記スイッチの他端に接続され、他端が接地されているコンデンサと、

第 1 の入力が入力前記スイッチの他端と前記コンデンサの一端とに接続され、出力が第 2 の
入力に接続されたオペアンプと、

前記電力信号生成部が生成した電力信号と前記オペアンプの出力とを比較し、この比較
結果に基づいて前記スイッチを制御するコンパレータと、

を備える請求項 6 に記載のサージ試験装置。

20

【請求項 8】

前記コンパレータは、前記電力信号が前記オペアンプの出力以上の場合、前記スイッチ
に前記コンデンサの一端と前記定電流回路の出力とを導通させるよう制御し、前記電力信
号が前記オペアンプの出力未満の場合、前記スイッチに前記コンデンサの一端と前記定電
流回路の出力とを非導通にさせるよう制御する

請求項 7 に記載のサージ試験装置。

【請求項 9】

前記判定部は、前記電圧検出部が検出した検出電圧のピーク値を検出する電圧ピークホ
ールド部と、前記電流検出部が検出した検出電流のピーク値を検出する電流ピークホー
ルド部と、

を更に備え、

30

前記制御部は、前記電力ピークホールド部が検出した電力のピーク値、前記電圧ピーク
ホールド部が検出した検出電圧のピーク値及び前記電流ピークホールド部が検出した検
出電流のピーク値に基づいて、前記検査対象素子に規定のサージ電圧が印加されたか否かを判
定する

請求項 6 から 8 のいずれか一項に記載のサージ試験装置。

【請求項 10】

前記電圧検出部は、前記検査対象素子に係る電圧を、所定の分圧比で分圧して検出し、

前記判定部は、前記電圧検出部が分圧して検出した電圧と前記電流検出部が検出した検
出電流に基づいて、前記検査対象素子に規定の電力以上の電力が印加されたか否かを判定
する

40

請求項 1 から 9 に記載のサージ試験装置。

【請求項 11】

前記電圧検出部は、前記電力信号生成部に接続された出力端子と、一端が前記第 1 の検
査用端子に接続され、他端が前記出力端子に接続された第 1 の分圧抵抗と、

一端が前記出力端子に接続され、他端が接地された第 2 の分圧抵抗と、

一端が前記第 1 の分圧抵抗の一端に接続され、他端が前記第 1 の分圧抵抗の他端に接続
された第 1 のコンデンサと、

一端が前記第 2 の分圧抵抗の一端に接続され、他端が前記第 2 の分圧抵抗の他端に接続
された第 2 のコンデンサと、

を備え、

50

前記第 1 の分圧抵抗の抵抗値に対する前記第 2 の分圧抵抗の抵抗値の比は、前記所定の分圧比である

請求項 10 に記載のサージ試験装置。

【請求項 12】

前記第 1 の分圧抵抗の抵抗値と前記第 1 のコンデンサの容量との積が、前記第 2 の分圧抵抗の抵抗値と前記第 2 のコンデンサの容量との積と等しい

請求項 11 に記載のサージ試験装置。

【請求項 13】

前記検査対象素子は、カソードが前記第 1 の検査用端子に接続され、アノードが前記第 2 の検査用端子に接続されたダイオードである

10

請求項 1 から 12 のいずれか一項に記載のサージ試験装置。

【請求項 14】

サージ電圧を印加するサージ電圧発生回路と、前記サージ電圧発生回路の出力に接続された第 1 の検査用端子と、接地された第 2 の検査用端子と、を備えるサージ試験装置が実行するサージ試験方法であって、

電圧検出部が、前記第 1 の検査用端子と前記第 2 の検査用端子との間に逆バイアスとなるように接続されたアバランシェ特性を有する検査対象素子に前記サージ電圧発生回路が印加したサージ電圧を検出するステップと、

電流検出部が、前記サージ電圧発生回路が前記サージ電圧を印加することで前記検査対象素子に流れるサージ電流を検出するステップと、

20

判定部が、前記電圧検出部が検出した検出電圧と前記電流検出部が検出した検出電流に基づいて、前記検査対象素子に規定の電力以上の電力が印加されたか否かを判定するステップと、

を有するサージ試験方法。

【請求項 15】

アバランシェ特性を有する電子部品であって、

サージ電圧を印加するサージ電圧発生回路と、

前記サージ電圧発生回路の出力に接続された第 1 の検査用端子と、

接地された第 2 の検査用端子と、

前記第 1 の検査用端子と前記第 2 の検査用端子との間に逆バイアスとなるように接続された当該電子部品に前記サージ電圧発生回路が印加したサージ電圧を検出する電圧検出部と、

30

前記サージ電圧発生回路が前記サージ電圧を印加することで当該電子部品に流れるサージ電流を検出する電流検出部と、

前記電圧検出部が検出した検出電圧と前記電流検出部が検出した検出電流に基づいて、当該電子部品に規定の電力以上の電力が印加されたか否かを判定する判定部と、

を備えるサージ試験装置によって試験された電子部品。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は、サージ試験装置、サージ試験方法及び電子部品に関する。

【背景技術】

【0002】

従来、アバランシェ特性を有する検査対象素子に対してサージ耐量試験を行うサージ試験装置がある。このサージ試験装置は、検査対象素子のクランプ電圧の範囲を予め想定しておき、その検査対象素子に流れる電流を検出する。これにより、規定のサージ電力がその検査対象素子に印加されたかどうかの判定を行っていた。

【先行技術文献】

【特許文献】

【0003】

50

【特許文献１】特開昭５８－１７０３８２号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

しかし、クランプ電圧の範囲は想定であるため、実際のクランプ電圧が上記範囲の下限值より低い場合に、規定のサージ電力が検査対象素子に印加されないことがある。これにより、規定のサージ電力が検査対象素子に印加されたことを確実に検出するには限界がある。一方、広範なクランプ電圧範囲を持つ検査対象素子に規定のサージ電力が確実に印加するために、必要以上のサージ電力を印加することが行われている場合がある。その場合、必要以上のサージ電力を検査対象素子に印加することで、検査対象素子の動作が不安定になり、検査対象素子が不良品でないにも関わらず不良品と誤判定する可能性がある。

10

【０００５】

そこで、本発明は上記問題に鑑みてなされたものであり、規定のサージ電力が検査対象素子に印加されたことを確実に検出することを可能とするサージ試験装置、サージ試験方法および電子部品を提供することを目的とする。

【課題を解決するための手段】

【０００６】

本発明の一態様に係るサージ試験装置は、
サージ電圧を印加するサージ電圧発生回路と、
前記サージ電圧発生回路の出力に接続された第１の検査用端子と、
接地された第２の検査用端子と、
前記第１の検査用端子と前記第２の検査用端子との間に逆バイアスとなるように接続されたアバランシェ特性を有する検査対象素子に前記サージ電圧発生回路が印加したサージ電圧を検出する電圧検出部と、
前記サージ電圧発生回路が前記サージ電圧を印加することで前記検査対象素子に流れるサージ電流を検出する電流検出部と、
前記電圧検出部が検出した検出電圧と前記電流検出部が検出した検出電流に基づいて、前記検査対象素子に規定の電力以上の電力が印加されたか否かを判定する判定部と、
を備える。

20

【０００７】

本発明の一態様は、前記サージ試験装置において、
前記電圧検出部は、前記第１の検査用端子と前記接地との間に接続された第１の検出抵抗を有し、該第１の検出抵抗の電圧降下に基づいて前記検出電圧を検出し、
前記電流検出部は、前記第２の検査用端子と前記接地との間に接続された第２の検出抵抗を有し、該第２の検出抵抗の電圧降下に基づいて前記検出電流を検出し、
前記電圧検出部の前記第１の検出抵抗の値は、前記電流検出部の前記第２の検出抵抗の値よりも大きい。

30

【０００８】

本発明の一態様は、前記サージ試験装置において、
前記判定部は、
前記電圧検出部が検出した検出電圧と前記電流検出部が検出した検出電流に基づいて、前記検査対象素子に印加された電力に対応する電力信号を生成する電力信号生成部と、
前記電力信号生成部が生成した電力信号が示す電圧が、予め設定された上限値と下限値で規定される規定の範囲内にあるか否かを判定する比較検出部と、
前記比較検出部が規定の範囲内であると判定した場合に、前記検査対象素子に規定の電力以上の電力が印加されたと判定する制御部と、
を備える。

40

【０００９】

本発明の一態様は、前記サージ試験装置において、
前記比較検出部は、

50

第 1 の入力に前記電力信号生成部が生成した電力信号が入力され、第 2 の入力に第 1 の基準電圧が入力され、第 1 のコンパレータの出力が前記制御部と接続された第 1 のコンパレータと、

第 1 の入力に前記電力信号生成部が生成した電力信号が入力され、第 2 の入力に第 2 の基準電圧が入力され、出力が前記制御部と接続された第 2 のコンパレータと、

を備え、

前記制御部は、前記第 1 のコンパレータの出力と前記第 2 のコンパレータの出力に基づいて、前記検査対象素子に規定の電力以上の電力が印加されたか否か判定し、

前記第 1 の基準電圧は前記上限値で前記第 2 の基準電圧は前記下限値である。

【 0 0 1 0 】

10

本発明の一態様は、前記サージ試験装置において、

前記判定部は、

前記電圧検出部が検出した検出電圧が、規定の範囲内にあるか否か判定する電圧比較検出部と、

前記電流検出部が検出した検出電流が、規定の範囲内にあるか否か判定する電流比較検出部と、

を更に備え、

前記制御部は、前記比較検出部が規定の範囲内であると判定し、かつ前記電圧比較検出部が規定の範囲内であると判定し、かつ前記電流比較検出部が規定の範囲内であると判定した場合、前記検査対象素子に規定のサージ電圧が印加されたと判定する。

20

【 0 0 1 1 】

本発明の一態様は、前記サージ試験装置において、

前記判定部は、

前記電圧検出部が検出した検出電圧と前記電流検出部が検出した検出電流に基づいて、前記検査対象素子に印加された電力に対応する電力信号を生成する電力信号生成部と、

前記電力信号生成部が生成した電力信号のピークを検出する電力ピークホールド部と、

前記電力ピークホールド部が検出した電力のピーク値に基づいて、前記検査対象素子に規定の電力以上の電力が印加されたか否か判定する制御部と、

を備える。

【 0 0 1 2 】

30

本発明の一態様は、前記サージ試験装置において、

前記ピーク検出部は、

一端が定電流回路の出力に接続されるスイッチと、

一端が前記スイッチの他端に接続され、他端が接地されているコンデンサと、

第 1 の入力が入力された前記スイッチの他端と前記コンデンサの一端とに接続され、出力が第 2 の入力に接続されたオペアンプと、

前記電力信号生成部が生成した電力信号と前記オペアンプの出力とを比較し、この比較結果に基づいて前記スイッチを制御するコンパレータと、

を備える。

【 0 0 1 3 】

40

本発明の一態様は、前記サージ試験装置において、

前記コンパレータは、前記電力信号が前記オペアンプの出力以上の場合、前記スイッチに前記コンデンサの一端と前記定電流回路の出力とを導通させるよう制御し、前記電力信号が前記オペアンプの出力未満の場合、前記スイッチに前記コンデンサの一端と前記定電流回路の出力とを非導通にさせるよう制御する。

【 0 0 1 4 】

本発明の一態様は、前記サージ試験装置において、

前記判定部は、前記電圧検出部が検出した検出電圧のピーク値を検出する電圧ピークホールド部と、前記電流検出部が検出した検出電流のピーク値を検出する電流ピークホールド部と、

50

を更に備え、

前記制御部は、前記電力ピークホールド部が検出した電力のピーク値、前記電圧ピークホールド部が検出した検出電圧のピーク値及び前記電流ピークホールド部が検出した検出電流のピーク値に基づいて、前記検査対象素子に規定のサージ電圧が印加されたか否かを判定する。

【0015】

本発明の一態様は、前記サージ試験装置において、

前記電圧検出部は、前記検査対象素子に係る電圧を、所定の分圧比で分圧して検出し、

前記判定部は、前記電圧検出部が分圧して検出した電圧と前記電流検出部が検出した検出電流に基づいて、前記検査対象素子に規定の電力以上の電力が印加されたか否かを判定する。

10

【0016】

本発明の一態様は、前記サージ試験装置において、

前記電圧検出部は、前記電力信号生成部に接続された出力端子と、一端が前記第1の検査用端子に接続され、他端が前記出力端子に接続された第1の分圧抵抗と、

一端が前記出力端子に接続され、他端が接地された第2の分圧抵抗と、

一端が前記第1の分圧抵抗の一端に接続され、他端が前記第1の分圧抵抗の他端に接続された第1のコンデンサと、

一端が前記第2の分圧抵抗の一端に接続され、他端が前記第2の分圧抵抗の他端に接続された第2のコンデンサと、

20

を備え、

前記第1の分圧抵抗の抵抗値に対する前記第2の分圧抵抗の抵抗値の比は、前記所定の分圧比である。

【0017】

本発明の一態様は、前記サージ試験装置において、

前記第1の分圧抵抗の抵抗値と前記第1のコンデンサの容量との積が、前記第2の分圧抵抗の抵抗値と前記第2のコンデンサの容量との積と等しい。

【0018】

本発明の一態様は、前記サージ試験装置において、

前記検査対象素子は、カソードが前記第1の検査用端子に接続され、アノードが前記第2の検査用端子に接続されたダイオードである。

30

【0019】

本発明の一態様に係るサージ試験方法は、

サージ電圧を印加するサージ電圧発生回路と、前記サージ電圧発生回路の出力に接続された第1の検査用端子と、接地された第2の検査用端子と、を備えるサージ試験装置が実行するサージ試験方法であって、

電圧検出部が、前記第1の検査用端子と前記第2の検査用端子との間に逆バイアスとなるように接続されたアバランシェ特性を有する検査対象素子に前記サージ電圧発生回路が印加したサージ電圧を検出するステップと、

電流検出部が、前記サージ電圧発生回路が前記サージ電圧を印加することで前記検査対象素子に流れるサージ電流を検出するステップと、

40

判定部が、前記電圧検出部が検出した検出電圧と前記電流検出部が検出した検出電流に基づいて、前記検査対象素子に規定の電力以上の電力が印加されたか否かを判定するステップと、

を有する。

【0020】

本発明の一態様に係る電子部品は、

アバランシェ特性を有する電子部品であって、

サージ電圧を印加するサージ電圧発生回路と、

前記サージ電圧発生回路の出力に接続された第1の検査用端子と、

50

接地された第２の検査用端子と、

前記第１の検査用端子と前記第２の検査用端子との間に逆バイアスとなるように接続された当該電子部品に前記サージ電圧発生回路が印加したサージ電圧を検出する電圧検出部と、

前記サージ電圧発生回路が前記サージ電圧を印加することで当該電子部品に流れるサージ電流を検出する電流検出部と、

前記電圧検出部が検出した検出電圧と前記電流検出部が検出した検出電流に基づいて、当該電子部品に規定の電力以上の電力が印加されたか否かを判定する判定部と、

を備えるサージ試験装置によって試験された電子部品である。

【発明の効果】

10

【００２１】

したがって、本発明の一態様に係るサージ試験装置は、検査対象素子のクランプ電圧にばらつきがあったとしても、そのばらつきに応じて得られる検出電圧と検出電流に基づいて検査対象素子に規定の電力以上の電力が印加されたか否かを判定することができるので、規定のサージ電力が検査対象素子に印加されたことを確実に検出することができる。

【００２２】

さらに、本発明の一態様に係るサージ試験方法は、検査対象素子のクランプ電圧にばらつきがあったとしても、そのばらつきに応じて得られる検出電圧と検出電流に基づいて検査対象素子に規定の電力以上の電力が印加されたか否かを判定することができるので、規定のサージ電力が検査対象素子に印加されたことを確実に検出することができる。

20

【図面の簡単な説明】

【００２３】

【図１】図１は、本発明の一態様である第１の実施形態に係るサージ試験装置１の構成の一例を示す図である。

【図２】図２は、第１の実施形態に係る判定部ＪＵＤの構成の一例を示す図である。

【図３】図３は、電圧検出部ＶＤ及び電流検出部ＣＤの回路構成の一例である。

【図４】図４は、第２のコンデンサＣ２と第３のコンデンサＣ３とを備えない場合のサージ電圧波形Ｗ１と備える場合のサージ電圧波形Ｗ２の一例を示す図である。

【図５】図５は、第１の実施形態に係る電力比較検出部ＰＣＭＰの回路構成の一例である。

30

【図６】図６は、第２の実施形態に係る判定部ＪＵＤの構成の一例を示す図である。

【図７】図７は、第２の実施形態に係る電力ピークホールド部ＰＰＨの回路構成の一例である。

【図８】図８は、第２の実施形態に係る電力ピークホールド部ＰＰＨの入力電圧と出力電圧の波形の一例である。

【図９】図９は、第２の実施形態に係る電力ピークホールド部ＰＰＨの回路構成の別の例である。

【図１０】図１０は、比較例に係るサージ試験装置１００の構成の一例を示す図である。

【発明を実施するための形態】

【００２４】

40

< 比較例 >

図１０に示すように、比較例に係るサージ試験装置１００は、一端が電源Ｖ＋に接続され、他端が接地された電圧源ＶＳと、一端が電源ＶＳの出力に接続された第１の抵抗Ｒ１とを備える。サージ試験装置１００は、更に、一端が第１の抵抗Ｒ１の他端に接続された第１のスイッチＳＷ１と、一端が第１のスイッチＳＷ１の他端に接続され、他端が接地されたコンデンサＣとを備える。サージ試験装置１００は、更に、一端が第１のスイッチＳＷ１の他端とコンデンサＣの一端に接続された第２の抵抗Ｒ２と、一端が第２の抵抗Ｒ２の他端に接続された第２のスイッチＳＷ２とを備える。

【００２５】

サージ試験装置１００は、更に、一端が第２のスイッチＳＷ２の他端に接続された第１

50

の検査用端子 T 1 と、第 2 の検査用端子 T 2 とを備える。この比較例において、サージ試験装置 1 0 0 が行うサージ耐量試験の対象になる検査対象素子は、ダイオード D 1 である。ダイオード D 1 は、カソードが第 1 の検査用端子 T 1 に接続され、アノードが第 2 の検査用端子 T 2 に接続されている。

【 0 0 2 6 】

サージ試験装置 1 0 0 は、更に、一端が第 2 の検査用端子 T 2 に接続され、他端が接地に接続された電流検出部 C D と、一端が電流検出部 C D の出力に接続された比較検出部 C M P と、比較検出部 C M P に接続された制御部 C O N とを備える。

【 0 0 2 7 】

まず、第 2 のスイッチ S W が開いた状態で、第 1 のスイッチ S W 1 が閉じたときに、第 1 のコンデンサ C 1 に電圧源 V S から供給された電荷が蓄積される。第 1 のスイッチ S W 1 が開き、第 2 のスイッチ S W 2 が閉じたときに、第 1 のコンデンサ C 1 に充電された電荷がダイオード D 1 のカソードに供給される。これにより、アバランシェ特性（クランプ特性）を有する検査対象素子の一つであるダイオード D 1 のカソードにサージ電圧がかかる。

【 0 0 2 8 】

電流検出部 C D は、ダイオード D 1 のカソードにサージ電圧がかかった際に、ダイオード D 1 に流れる電流を検出し、検出した電流に応じた電圧を示す電流信号を比較検出部 C M P へ出力する。

【 0 0 2 9 】

比較検出部 C M D は、電流検出部 C D から入力された電流信号と、規定の電圧とを比較し、この比較結果を制御部 C O N へ出力する。

【 0 0 3 0 】

制御部 C O N は、比較検出部 C M P から入力された比較結果に基づいて、規定以上のサージ電力がダイオード D 1 にかかったか否かを判定する。具体的には、例えば、制御部 C O N は、この比較結果が上記電流信号が規定の電圧以上の場合、規定以上の電流信号がダイオード D 1 にかかったと判定する。一方、制御部 C O N は、この比較結果が上記電流信号が規定の電圧未満の場合、規定以上の電流信号がダイオード D 1 にかからなかったと判定する。

【 0 0 3 1 】

この比較例において、ダイオード D 1 のクランプ電圧の変動などによって、ダイオード D 1 のクランプ電圧の範囲は想定であるため、実際のクランプ電圧が上記範囲の下限值より低い場合に、規定のサージ電力がダイオード D 1 に印加されない場合があり、規定のサージ電力がダイオード D 1 に印加されたことを確実に検出するには限界がある。一方、ダイオード D 1 に規定のサージ電力が確実に印加するために、必要以上のサージ電力を印加することが行われている場合がある。その場合、必要以上のサージ電力を検査対象素子に印加することで、ダイオード D 1 の動作が不安定になり、ダイオード D 1 が不良品でないにも関わらず不良品と誤判定してしまう場合がある。

【 0 0 3 2 】

そこで、以下では、規定のサージ電力が検査対象素子に印加されたことを確実に検出することを可能とする実施形態に係るサージ試験装置、サージ試験方法およびサージ試験装置により試験された電子部品について説明する。以下、本発明に係る各実施形態について図面に基いて説明する。

【 0 0 3 3 】

< 第 1 の実施形態 >

本発明の一態様である第 1 の実施形態について説明する。図 1 に示すように、本発明の一態様である第 1 の実施形態に係るサージ試験装置 1 は、サージ電圧発生回路 S C と、サージ電圧発生回路 S C の出力に接続された第 1 の検査用端子 T 1 と、一端が第 1 の検査用端子 T 1 に接続され、他端が接地された電圧検出部 V D を備える。サージ試験装置 1 は、更に、第 2 の検査用端子 T 2 と、一端が第 2 の検査用端子 T 2 に接続され、他端が接地さ

10

20

30

40

50

れた電流検出部 C D とを備える。このように、第 2 の検査用端子 T 2 は電流検出部 C D を介して接地されている。

【 0 0 3 4 】

サージ試験装置 1 が行うサージ耐量試験の対象になる検査対象素子は、アバランシェ特性（クランプ特性）を有する電子部品である。サージ耐量試験は P N 接合に逆バイアスをかける試験であるので、検査対象素子は、例えば、ダイオードまたは M O S トランジスタなどである。

各実施形態において、一例として、検査対象素子は、カソードが第 1 の検査用端子 T 1 に接続され、アノードが第 2 の検査用端子 T 2 に接続されたダイオード D 1 である。

【 0 0 3 5 】

サージ試験装置 1 は、更に、電圧検出部 V D の出力及び電流検出部 C D の出力に接続された判定部 J U D を備える。

【 0 0 3 6 】

サージ電圧発生回路 S C は、サージ電圧を印加する。なお、サージ電圧発生回路 S C は比較例と同様に、一端に電源電圧 V + が供給され他端が接地された電源 V S と、一端が電源 V S に接続された第 1 の抵抗 R 1 と、一端が第 1 の抵抗 R 1 の他端に接続された第 1 のスイッチ S W 1 とを備える。サージ電圧発生回路 S C は更に、一端が第 1 のスイッチ S W 1 の他端に接続され、他端が接地されたコンデンサ C と、一端が第 1 のスイッチ S W 1 の他端とコンデンサ C の一端に接続された第 2 の抵抗 R 2 とを備える。サージ電圧発生回路 S C は更に、一端が第 2 の抵抗 R 2 の他端に接続され、他端が第 1 の検査用端子 T 1 に接続された第 2 のスイッチ S W を備える。サージ電圧発生回路 S C の動作は比較例のサージ電圧発生回路 S C の動作と同じであるので、その説明を省略する。

【 0 0 3 7 】

電圧検出部 V D は、第 1 の検査用端子 T 1 と第 2 の検査用端子 T 2 との間に逆バイアスとなるように接続されたアバランシェ特性を有する検査対象素子（ここでは、一例としてダイオード D 1 ）にサージ電圧発生回路 S C が印加したサージ電圧を検出する。電圧検出部 V D は、例えば、検出したサージ電圧に応じた電圧を示す電圧信号を判定部 J U D の後述する電流比較検出部 C C M P と電力信号生成部 M P へ出力する。

【 0 0 3 8 】

電流検出部 C D は、サージ電圧発生回路 S C がサージ電圧を印加することで検査対象素子（ここでは、一例としてダイオード D 1 ）に流れるサージ電流を検出する。電流検出部 C D は、例えば、検出したサージ電流に応じた電圧を示す電流信号を判定部 J U D の後述する電流比較検出部 C C M P と電力信号生成部 M P へ出力する。

【 0 0 3 9 】

電圧検出部 V D は、第 1 の検査用端子 T 1 と接地との間に接続された第 1 の検出抵抗を有し、この第 1 の検出抵抗の電圧降下に基づいて検出電圧を検出する。電流検出部 C D は、第 2 の検査用端子 T 2 と接地との間に接続された第 2 の検出抵抗を有し、この第 2 の検出抵抗の電圧降下に基づいて検出電流を検出する。ここで、電圧検出部 V D の第 1 の検出抵抗の値は、電流検出部 C D の第 2 の検出抵抗の値よりも大きい。これにより、検査対象素子（ここでは、一例としてダイオード D 1 ）に流れる電流に対して、電圧検出部 V D に流れる電流を無視できるほど小さくできるので、検出される電流に影響を与えないようにすることができる。

【 0 0 4 0 】

なお、電圧検出部 V D は、一例として、検査対象素子（ここでは、一例としてダイオード D 1 ）に係る電圧を、所定の分圧比（例えば、100 分の 1 ）で分圧して検出する。

【 0 0 4 1 】

判定部 J U D は、電圧検出部 V D が検出した検出電圧と電流検出部 C D が検出した検出電流に基づいて、検査対象素子（ここでは、一例としてダイオード D 1 ）に規定の電力以上の電力が印加されたか否かを判定する。具体的には、例えば、判定部 J U D は、電圧検出部 V D が分圧して検出した電圧と電流検出部 C D が検出した検出電流に基づいて、検査

10

20

30

40

50

対象素子（ここでは、一例としてダイオード D 1）に規定の電力以上の電力が印加されたか否かを判定する。

【 0 0 4 2 】

ここで、例えば図 2 に示すように判定部 J U D は、入力が電圧検出部 V D に接続された電圧比較検出部 V C M P と、入力が電流検出部 C D に接続された電流比較検出部 C C M P とを備える。判定部 J U D は、更に、第 1 入力電圧検出部の出力に接続され、第 2 入力電流検出部 C D の出力に接続された電力信号生成部 M P と、電力信号生成部 M P の出力に接続された電力比較検出部 P C M P とを備える。判定部 J U D は、更に、第 1 入力電圧比較検出部 V C M P の出力に接続され、第 2 入力電力比較検出部 P C M P の出力に接続され、第 3 入力電流比較検出部 C C M P の出力に接続された制御部 C O N を備える。

10

【 0 0 4 3 】

電力信号生成部 M P は、電圧検出部 V D が検出した検出電圧と電流検出部 C D が検出した検出電流に基づいて、検査対象素子（ここでは、一例としてダイオード D 1）に印加された電力に対応する電力信号を生成する。電力信号生成部 M P は、一例として、乗算器である。具体的には、例えば、電力信号生成部 M P は、電圧検出部 V D が検出した検出電圧と電流検出部 C D が検出した検出電流とを乗算した電力信号を生成する。電力信号生成部 M P は、生成した電力信号を電力比較検出部 P C M P へ出力する。

【 0 0 4 4 】

電力比較検出部 P C M P は、電力信号生成部 M P が生成した電力信号が示す電圧が、予め設定された上限値と下限値で規定される規定の範囲内にあるか否かを判定する。電力比較検出部 P C M P は、判定結果を制御部 C O N へ出力する。

20

【 0 0 4 5 】

電圧比較検出部 V C M P は、電圧検出部 V D が検出した検出電圧が、規定の範囲内にあるか否かを判定する。電圧比較検出部 V C M P は、判定結果を制御部 C O N へ出力する。

電流比較検出部 C C M P は、電流検出部 C D が検出した検出電流が、規定の範囲内にあるか否かを判定する。電流比較検出部 C C M P は、判定結果を制御部 C O N へ出力する。

【 0 0 4 6 】

制御部 C O N は、電力比較検出部 P C M P が規定の範囲内であると判定した場合に、検査対象素子に規定の電力以上の電力が印加されたと判定する。一方、制御部 C O N は、電力比較検出部 P C M P が規定の範囲内でないと判定した場合に、検査対象素子に規定の電力以上の電力が印加されなかったと判定する。

30

【 0 0 4 7 】

なお、制御部 C O N は、電力比較検出部 P C M P が規定の範囲内であると判定し、かつ電圧比較検出部 V C M P が規定の範囲内であると判定し、かつ電流比較検出部 C C M P が規定の範囲内であると判定した場合、検査対象素子に規定のサージ電圧が印加されたと判定してもよい。一方、制御部 C O N は、それ以外の場合、検査対象素子に規定のサージ電圧が印加されなかったと判定してもよい。

【 0 0 4 8 】

また、図 3 に示すように、電圧検出部 V D は、電力信号生成部 M P に接続された出力端子 T O U T と、一端が第 1 の検査用端子 T 1 に接続され、他端が出力端子 T O U T に接続された第 1 の分圧抵抗 R 3 と、を備える。電圧検出部 V D は、更に、一端が出力端子 T O U T に接続され、他端が接地に接続された第 2 の分圧抵抗 R 4 と、を備える。ここで、第 1 の分圧抵抗 R 3 と第 2 の分圧抵抗 R 4 との合成抵抗が上述した第 1 の検出抵抗である。また、第 1 の分圧抵抗 R 3 の抵抗値に対する第 2 の分圧抵抗 R 4 の抵抗値の比は、上述した所定の分圧比である。

40

【 0 0 4 9 】

電圧検出部 V D は、一端が第 1 の分圧抵抗 R 3 の一端に接続され、他端が第 1 の分圧抵抗 R 3 の他端に接続された第 1 のコンデンサ C 1 と、一端が第 2 の分圧抵抗 R 4 の一端に接続され、他端が第 2 の分圧抵抗 R 4 の他端に接続された第 2 のコンデンサ C 2 と、を更に備える。また、一例として、第 1 の分圧抵抗 R 3 の抵抗値と第 1 のコンデンサ C 1 の容

50

量との積が、第 2 の分圧抵抗 R_4 の抵抗値と第 2 のコンデンサ C_2 の容量との積と等しい。

【0050】

ここで図 4 の波形 W_1 に示すように、第 1 のコンデンサ C_1 と第 2 のコンデンサ C_2 とを備えない場合、サージ電圧の立ち上がり時の電圧変化が、所望のサージ電圧の立ち上がり時の電圧変化よりも急峻になる。それに対し、第 1 のコンデンサ C_1 と第 2 のコンデンサ C_2 とを備えることで、図 4 の波形 W_2 に示すように、サージ電圧の立ち上がり時の急峻な電圧変化をなくすことができ、所望のサージ電圧変化を得ることができる。

【0051】

電流検出部 CD は、一端が第 2 の検査用端子 T_2 に接続され他端が接地された第 5 の抵抗 R_5 を備える。電流検出部 CD は、第 5 の抵抗 R_5 の両端の電圧を示す電流信号を電力比較検出部 $PCMP$ へ出力する。

10

【0052】

例えば図 5 に示すように、電力比較検出部 $PCMP$ は、第 1 の入力（反転入力端子）に電力信号生成部 MP が生成した電力信号が入力され、第 2 の入力（非反転入力端子）に第 1 の基準電圧が入力され、第 1 のコンパレータ CMP_1 の出力が制御部 CON と接続された第 1 のコンパレータ CMP_1 を備える。ここで、一例として、第 1 のコンパレータ CMP_1 の第 2 の入力、両端の電圧がこの第 1 の基準電圧でありかつ陰極が接地された第 1 の基準電圧源 V_{ref1} の陽極に接続されている。

【0053】

20

電力比較検出部 $PCMP$ は、更に、第 1 の入力（反転入力端子）に電力信号生成部が生成した電力信号が入力され、第 2 の入力（非反転入力端子）に第 2 の基準電圧が入力され、出力が制御部 CON と接続された第 2 のコンパレータ CMP_2 を備える。ここで、一例として、第 2 のコンパレータ CMP_2 の第 2 の入力、両端の電圧がこの第 2 の基準電圧でありかつ陰極が接地された第 2 の基準電圧源 V_{ref2} の陽極に接続されている。

【0054】

第 1 のコンパレータ CMP_1 は、電力信号生成部 MP が生成した電力信号が第 1 の基準電圧以上の場合、ハイレベルの信号を第 1 のコンパレータ CMP_1 の出力として制御部 CON へ出力する。一方、第 1 のコンパレータ CMP_1 は、電力信号生成部 MP が生成した電力信号が第 1 の基準電圧未満の場合、ローレベルの信号を第 1 のコンパレータ CMP_1 の出力として制御部 CON へ出力する。

30

【0055】

第 2 のコンパレータ CMP_2 は、電力信号生成部 MP が生成した電力信号が第 2 の基準電圧以上の場合、ハイレベルの信号を第 2 のコンパレータ CMP_2 の出力として制御部 CON へ出力する。一方、第 2 のコンパレータ CMP_2 は、電力信号生成部 MP が生成した電力信号が第 2 の基準電圧未満の場合、ローレベルの信号を第 2 のコンパレータ CMP_2 の出力として制御部 CON へ出力する。

【0056】

制御部 CON は、第 1 のコンパレータ CMP_1 の出力と第 2 のコンパレータ CMP_2 の出力に基づいて、検査対象素子（ここでは、一例としてダイオード D_1 ）に規定の電力以上の電力が印加されたか否か判定する。ここで、第 1 の基準電圧は上述した上限値で第 2 の基準電圧は上述した下限値である。

40

【0057】

具体的には例えば、制御部 CON は、第 1 のコンパレータ CMP_1 の出力がハイレベルで、かつ第 2 のコンパレータ CMP_2 の出力がローレベルの場合、検査対象素子（ここでは、一例としてダイオード D_1 ）に規定の電力以上の電力が印加されたと判定する。一方、第 1 のコンパレータ CMP_1 の出力がローレベルまたは第 2 のコンパレータ CMP_2 の出力がハイレベルの少なくともいずれかに該当する場合、制御部 CON は、検査対象素子（ここでは、一例としてダイオード D_1 ）に規定の電力以上の電力が印加されていないと判定する。

50

【 0 0 5 8 】

電圧比較検出部 V C M P 及び電流比較検出部 C C M P も、電力比較検出部 P C M P と同様の回路構成で実現できる。

【 0 0 5 9 】

以上、第 1 の実施形態におけるサージ試験装置 1 は、サージ電圧を印加するサージ電圧発生回路 S C と、サージ電圧発生回路 S C の出力に接続された第 1 の検査用端子 T 1 と、接地された第 2 の検査用端子 T 2 と、第 1 の検査用端子 T 1 と第 2 の検査用端子 T 2 との間に逆バイアスとなるように接続されたアバランシェ特性を有する検査対象素子にサージ電圧発生回路 S C が印加したサージ電圧を検出する電圧検出部 V D と、サージ電圧発生回路 S C がサージ電圧を印加することで検査対象素子に流れるサージ電流を検出する電流検出部 C D と、電圧検出部 V D が検出した検出電圧と電流検出部 C D が検出した検出電流に基づいて、検査対象素子に規定の電力以上の電力が印加されたか否かを判定する判定部 J U D と、を備える。

10

【 0 0 6 0 】

これにより、サージ試験装置 1 は、検査対象素子のクランプ電圧にばらつきがあったとしても、そのばらつきに応じて得られる検出電圧と検出電流に基づいて検査対象素子に規定の電力以上の電力が印加されたか否かを判定することができる。このため規定のサージ電力が検査対象素子に印加されたことを確実に検出することができる。

【 0 0 6 1 】

また、第 1 の実施形態のサージ試験装置 1 において、電力信号生成部 M P は、電圧検出部 V D が検出した検出電圧と電流検出部 C D が検出した検出電流とを乗算した電力信号を生成する。これにより、電力信号生成部 M P は、サージ電圧を印加後、直ちに印加されたサージ電力を検出することができる。そして、電力比較検出部 P C M P は、電力信号生成部 M P が生成した電力信号が示す電圧が、予め設定された上限値と下限値で規定される規定の範囲内にあるか否かを判定する。これにより、電力比較検出部 P C M P は、印加されたサージ電力が規定の値以上であるかを検出することができる。

20

【 0 0 6 2 】

< 第 2 の実施形態 >

続いて、第 2 の実施形態について説明する。第 1 の実施形態のサージ試験装置 1 は、サージ電力が規定の値以上であるかを検出する比較検出部 P C M P を有した。それに対し、第 2 の実施形態のサージ試験装置 1 は、サージ電力のピーク値を保持するピーク検出部を有し、サージ電力のピーク値を A D 変換した後に規定の値以上であるかを検出する。

30

【 0 0 6 3 】

第 2 の実施形態のサージ試験装置 1 は、第 1 の実施形態と比べて、判定部 J U D の構成のみが異なっている。

【 0 0 6 4 】

図 6 に示すように、判定部 J U D は、第 1 の入力電圧検出部 V D に接続され第 2 の入力電流検出部 C D に接続された電力信号生成部 M P と、第 1 の入力電圧検出部 V D に接続され第 2 の入力制御部 C O N の第 1 の入力に接続された電圧ピークホールド部 V P H と、第 1 の入力電力信号生成部 M P の出力に接続され第 2 の入力制御部 C O N の第 2 の出力に接続された電力ピークホールド部 P P H と、を備える。判定部 J U D は、更に、第 1 の入力電流検出部 C D に接続され第 2 の入力制御部 C O N の第 3 の出力に接続された電流ピークホールド部 C P H と、第 1 の入力電圧ピークホールド部 V P H に接続され、第 2 の入力電力ピークホールド部 P P H に接続され、第 3 の入力電流ピークホールド部 C P H に接続された切替部 S L とを備える。判定部 J U D は、更に、入力切替部 S L の出力に接続された A D コンバータ A D C と入力 A D コンバータ A D C の出力に接続された制御部 C O N とを備える。

40

【 0 0 6 5 】

電力信号生成部 M P は、電圧検出部 V D が検出した検出電圧と電流検出部 C D が検出した検出電流に基づいて、検査対象素子（ここでは、一例としてダイオード D 1 ）に印加さ

50

れた電力に対応する電力信号を生成する。電力信号生成部 M P は、一例として、乗算器である。具体的には、例えば、電力信号生成部 M P は、電圧検出部 V D が検出した検出電圧と電流検出部 C D が検出した検出電流とを乗算した電力信号を生成する。電力信号生成部 M P は、生成した電力信号を電力ピークホールド部 P P H へ出力する。

【 0 0 6 6 】

電圧ピークホールド部 V P H は、電圧検出部 V D が検出した電圧のピーク値を検出し、この検出したピーク電圧信号を切替部 S L へ出力する。電圧ピークホールド部 V P H は、例えば、制御部 C O N からリセット信号が入力された場合、このピーク電圧信号を 0 V にする。

【 0 0 6 7 】

電力ピークホールド部 P P H は、電力信号生成部 M P が生成した電力信号のピークを検出し、この検出したピーク電力信号を切替部 S L へ出力する。電力ピークホールド部 P P H は、例えば、制御部 C O N からリセット信号が入力された場合、このピーク電力信号を 0 V にする。

【 0 0 6 8 】

電流ピークホールド部 C P H は、電流検出部 C D が検出した電流のピーク値を検出し、この検出したピーク電流信号を切替部 S L へ出力する。電流ピークホールド部 C P H は、例えば、制御部 C O N からリセット信号が入力された場合、このピーク電流信号を 0 V にする。

【 0 0 6 9 】

切替部 S L は、例えば、所定の周期で、電圧ピークホールド部 V P H が出力したピーク電圧信号、電力ピークホールド部 P P H が出力したピーク電力信号、及び電流ピークホールド部 C P H が出力したピーク電流信号を順に A D コンバータ A D C へ出力することを繰り返す。

【 0 0 7 0 】

A D コンバータ A D C は、切替部 S L から入力される信号をアナログ信号からデジタル信号に変換し、変換後のデジタル信号を制御部 C O N へ出力する。

【 0 0 7 1 】

制御部 C O N は、電力ピークホールド部 P P H が検出したピーク値に基づいて、検査対象素子（ここでは、一例としてダイオード D 1 ）に規定の電力以上の電力が印加されたか否か判定する。具体的には例えば、制御部 C O N は、電力ピークホールド部 P P H が検出したピーク値が規定の値以上である場合、検査対象素子に規定の電力以上の電力が印加されたと判定する。一方、制御部 C O N は、例えば、電力ピークホールド部 P P H が検出したピーク値が規定の値未満である場合、検査対象素子に規定の電力以上の電力が印加されていないと判定する。

【 0 0 7 2 】

なお、制御部 C O N は、電力ピークホールド部 P P H が検出した電力のピーク値、電圧ピークホールド部 V P H が検出した電圧のピーク値及び電流ピークホールド部 C P H が検出した電流のピーク値に基づいて、検査対象素子（ここでは、一例としてダイオード D 1 ）に規定のサージ電圧が印加されたか否か判定してもよい。具体的には例えば、制御部 C O N は、電力のピーク値、電圧のピーク値および電流のピーク値がそれぞれについて設定された規定の値以上である場合、検査対象素子に規定の電力以上の電力が印加されたと判定してもよい。一方、制御部 C O N は、例えば、電力のピーク値、電圧のピーク値および電流のピーク値がそれぞれについて設定された規定の値未満である場合、検査対象素子に規定の電力以上の電力が印加されていないと判定してもよい。

【 0 0 7 3 】

例えば図 7 に示すように、電力ピークホールド部 P P H は、入力に電源電圧 V p の電圧が供給される定電流回路 C C C と、一端が定電流回路 C C C の出力に接続されるスイッチ S W 3 と、一端がスイッチ S W 3 の他端に接続され、他端が接地されているコンデンサ C 3 と、を備える。

10

20

30

40

50

更に、電力ピークホールド部 PPH は、第 1 の入力（非反転入力端子）がスイッチ SW 3 の他端とコンデンサ C 3 の一端とに接続され、出力が第 2 の入力（反転入力端子）と切替部 SL の第 2 の入力に接続されたオペアンプ AMP 1 と、第 1 の入力（非反転入力端子）が電力信号生成部 MP に接続され、第 2 の入力（反転入力端子）がオペアンプ AMP 1 の第 2 の入力（反転入力端子）及び出力に接続され、出力がスイッチ SW 3 に接続されたコンパレータ CMP 3 とを備える。

【0074】

更に、電力ピークホールド部 PPH は、一端がオペアンプ AMP 1 の第 1 の入力（非反転入力端子）に接続され他端が接地され、制御部 CON による制御に応じて開閉する放電用スイッチ SW 4 を備える。

【0075】

コンパレータ CMP 3 は、電力信号生成部 MP が生成した電力信号とオペアンプ AMP 1 の出力とを比較し、この比較結果に基づいてスイッチ SW 3 を制御する。具体的には例えば、コンパレータ CMP 3 は、電力信号生成部 MP が生成した電力信号がオペアンプ AMP 1 の出力以上の場合、スイッチ SW 3 にコンデンサ C 3 の一端と定電流回路 CCC の出力とを導通させるよう制御する。その制御に応じて、スイッチ SW 3 は、電力信号生成部 MP が生成した電力信号がオペアンプ AMP 1 の出力以上の場合、コンデンサ C 3 の一端と定電流回路 CCC の出力とを導通させる。

【0076】

これにより、電力信号生成部 MP が生成した電力信号がオペアンプ AMP 1 の出力以上の間、定電流回路 CCC からコンデンサ C 3 に電流が供給され、コンデンサ C 3 が電荷を蓄積することで、コンデンサ C 3 の一端の電圧すなわちオペアンプ AMP 1 の第 1 の入力の電圧が上昇する。

【0077】

オペアンプ AMP 1 は、一例として第 1 の入力の電圧と同じ電圧を出力する。このため、電力信号生成部 MP が生成した電力信号がオペアンプ AMP 1 の出力以上の間、オペアンプ AMP 1 の出力の電圧が上昇する。このため、図 8 に示すように、オペアンプ AMP 1 の出力すなわち電力ピークホールド部 PPH の出力の電圧は、この電力信号すなわち電力ピークホールド部 PPH の入力の電圧の上昇に追従して上昇する。

【0078】

一方、例えば、コンパレータ CMP 3 は、電力信号がオペアンプ AMP 1 の出力未満の場合、スイッチ SW 3 にコンデンサ C 3 の一端と定電流回路 CCC の出力とを非導通にさせるよう制御する。その制御に応じて、スイッチ SW 3 は、電力信号生成部 MP が生成した電力信号がオペアンプ AMP 1 の出力未満の場合、コンデンサ C 3 の一端と定電流回路 CCC の出力とを非導通にさせる。

【0079】

これにより、この電力信号がオペアンプ AMP 1 の出力未満の間、定電流回路 CCC からコンデンサ C 3 には電流が供給されないため、コンデンサ C 3 に蓄積される電荷が、それまでに蓄積された電荷量で維持され、コンデンサ C 3 の一端の電圧すなわちオペアンプ AMP 1 の第 1 の入力の電圧が、一定の電圧で維持される。その結果、この電力信号がオペアンプ AMP 1 の出力未満の間、オペアンプ AMP 1 の出力の電圧がほぼ一定の電圧で維持される。このため、図 8 に示すように、オペアンプ AMP 1 の出力すなわち電力ピークホールド部 PPH の出力の電圧は、この電力信号すなわち電力ピークホールド部 PPH の入力の電圧が下降しても、ほぼ一定の電圧を維持する。

【0080】

放電用スイッチ SW 4 は、例えば、制御部 CON から出力されたりセット信号に応じて開閉する。例えば、放電用スイッチ SW 4 が NMOS トランジスタの場合、リセット信号がハイレベルの場合、放電用スイッチ SW 4 は、スイッチを閉じて一端と他端とを導通させることで、コンデンサ C 3 に蓄積された電荷を 0 にする。これにより、電力ピークホールド部 PPH の出力がリセットされて 0 V を示す。

10

20

30

40

50

【 0 0 8 1 】

なお、電力ピークホールド部 P P H は、上述した回路構成に限ったものではない。例えば図 9 に示すように、電力ピークホールド部 P P H は、以下の回路構成であってもよい。電力ピークホールド部 P P H は、アノードが電力信号生成部 M P の出力に接続されたダイオード D 2 と、一端がダイオード D 2 のカソードに接続され他端が接地されたコンデンサ C 4 とを備えてもよい。そして、電力ピークホールド部 P P H は、更に、第 1 の入力（非反転入力端子）がダイオード D 2 のカソード及びコンデンサ C 4 の一端と接続され、出力が第 2 の入力（反転入力端子）に接続されたオペアンプ A M P 2 を備えてもよい。

【 0 0 8 2 】

続いて、この電力ピークホールド部 P P H の回路動作について説明する。ダイオード D 2 は、電力信号生成部 M P から供給された電力信号の電圧がコンデンサ C 4 の一端の電圧以上の間、アノードからカソードに向かって電流を流す。これにより、この電流がコンデンサ C 4 に供給され、コンデンサ C 4 が電荷を蓄積することで、コンデンサ C 3 の一端の電圧すなわちオペアンプ A M P 2 の第 1 の入力の電圧が上昇する。その場合、オペアンプ A M P 2 は、オペアンプ A M P 2 の第 1 の入力とオペアンプ A M P 2 の出力の差に応じた電圧を切替部 S L へ出力する。これにより、電力信号生成部 M P から供給された電力信号の電圧がコンデンサ C 4 の一端の電圧以上の間、オペアンプ A M P 2 の出力すなわち電力ピークホールド部 P P H の出力は、この電力信号の電圧すなわち電力ピークホールド部 P P H の入力に追従する。

【 0 0 8 3 】

ダイオード D 2 は、電力信号生成部 M P から供給された電力信号の電圧がコンデンサ C 4 の一端の電圧未満の間、アノードからカソードに向かって電流を流さない。これにより、電流がコンデンサ C 4 に供給されず、コンデンサ C 4 に蓄積された電荷がそのまま維持される。その結果、コンデンサ C 4 の一端の電圧すなわちオペアンプ A M P 2 の第 1 の入力の電圧は、電力のピーク値のまま維持される。その場合、オペアンプ A M P 2 は、この電力のピーク値とオペアンプ A M P 2 の出力の差に応じた電圧を切替部 S L へ出力する。これにより、電力信号生成部 M P から供給された電力信号の電圧がコンデンサ C 4 の一端の電圧未満の間、オペアンプ A M P 2 の出力すなわち電力ピークホールド部 P P H の出力は、ほぼ一定の電圧に維持される。

【 0 0 8 4 】

以上、第 2 の実施形態におけるサージ試験装置 1 において、判定部 J U D は、電圧検出部 V D が検出した検出電圧と電流検出部 C D が検出した検出電流に基づいて、検査対象素子に印加された電力に対応する電力信号を生成する電力信号生成部 M P と、電力信号生成部 M P が生成した電力信号に基づいて電力のピーク値を検出する電力ピークホールド部 P P H と、電力ピークホールド部 P P H が検出した電力のピーク値に基づいて、検査対象素子に規定の電力以上の電力が印加されたか否かを判定する制御部 C O N とを備える。

【 0 0 8 5 】

これにより、制御部 C O N は、ピーク電力と規定の電力とを比較することで、検査対象素子に規定の電力以上の電力が印加されたか否かを検出することができる。よって、第 1 の実施形態と同様に、第 2 の実施形態におけるサージ試験装置 1 は、検査対象素子に規定の電力以上の電力が印加されたか否かを確実に検出することができる。

【 0 0 8 6 】

また、本発明の一態様に係るサージ試験方法は、サージ電圧を印加するサージ電圧発生回路 S C と、サージ電圧発生回路 S C の出力に接続された第 1 の検査用端子 T 1 と、接地された第 2 の検査用端子 T 2 と、を備えるサージ試験装置が実行するサージ試験方法であって、以下の手順を有する。

【 0 0 8 7 】

（第 1 ステップ）電圧検出部 V D が、第 1 の検査用端子 T 1 と第 2 の検査用端子 T 2 との間に逆バイアスとなるように接続されたアバランシェ特性を有する検査対象素子にサージ電圧発生回路 S C が印加したサージ電圧を検出する。

【 0 0 8 8 】

(第2ステップ)第1のステップと並行して、電流検出部C Dが、サージ電圧発生回路S Cがサージ電圧を印加することでこの検査対象素子に流れるサージ電流を検出する。

【 0 0 8 9 】

(第3ステップ)次に、判定部J U Dが、電圧検出部V Dが検出した検出電圧と電流検出部C Dが検出した検出電流に基づいて、この検査対象素子に規定の電力以上の電力が印加されたか否かを判定する。

【 0 0 9 0 】

また、本発明の一態様に係る電子部品は、アバランシェ特性を有する電子部品であって、以下の構成を備えるサージ試験装置によって試験された電子部品である。サージ試験装置は、サージ電圧を印加するサージ電圧発生回路S Cと、サージ電圧発生回路S Cの出力に接続された第1の検査用端子T 1と、接地された第2の検査用端子T 2と、第1の検査用端子T 1と第2の検査用端子T 2との間に逆バイアスとなるように接続された当該電子部品にサージ電圧発生回路S Cが印加したサージ電圧を検出する電圧検出部V Dと、サージ電圧発生回路S Cが上記サージ電圧を印加することで当該電子部品に流れるサージ電流を検出する電流検出部C Dと、電圧検出部V Dが検出した検出電圧と電流検出部C Dが検出した検出電流に基づいて、当該電子部品に規定の電力以上の電力が印加されたか否かを判定する判定部J U Dと、を備える。

10

【 0 0 9 1 】

なお、実施形態は例示であり、発明の範囲はそれらに限定されない。

20

【 符号の説明 】

【 0 0 9 2 】

1、1 0 0 サージ試験装置

V S 電圧源

R 1 第1の抵抗

S W 1 第1のスイッチ

C コンデンサ

R 2 第2の抵抗

S W 2 第2のスイッチ

T 1 第1の検査用端子

D 1、D 2 ダイオード

T 2 第2の検査用端子

C D 電流検出部

C M P 比較検出部

P C M P 電力比較検出部

C O N 制御部

S C サージ電圧発生回路

V D 電圧検出部

J U D 判定部

V C M P 電圧比較検出部

C C M P 電流比較検出部

M P 電力信号生成部

T O U T 出力端子

R 3、R 4、R 5 抵抗

C 1 第1のコンデンサ

C 2 第2のコンデンサ

C 3、C 4 コンデンサ

C M P C M P 1 第1のコンパレータ

C M P C M P 2 第2のコンパレータ

V P H 電圧ピークホールド部 C P H 電流ピークホールド部

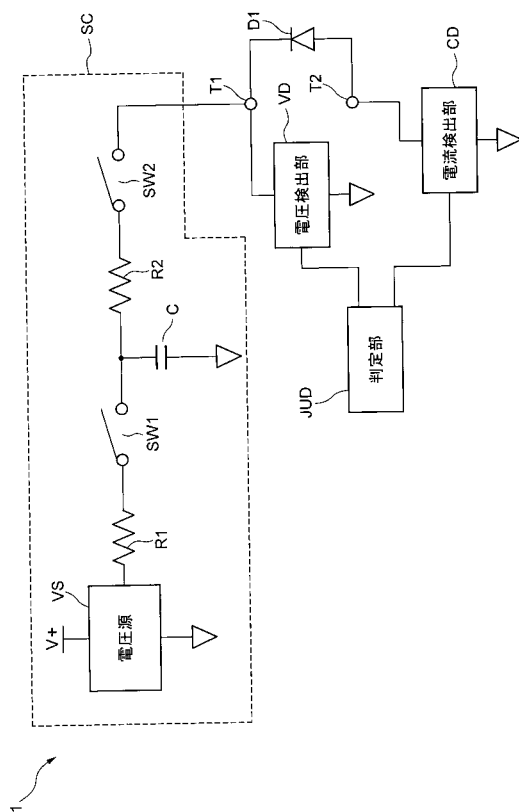
30

40

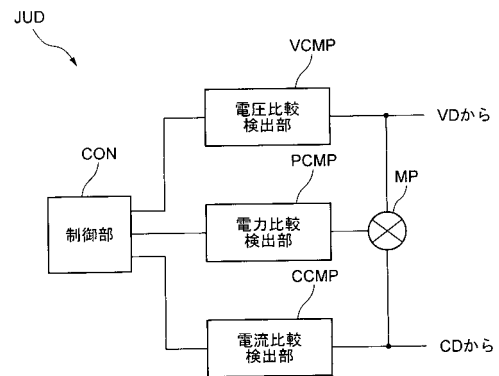
50

P P H 電力ピークホールド部
 S L 切替部
 A D C A/Dコンバータ
 C C C 定電流回路
 S W 3、S W 4 スイッチ
 A M P 1、A M P 2 オペアンプ
 C M P 3 コンパレータ
 V r e f 1 第1の基準電圧源
 V r e f 2 第2の基準電圧源

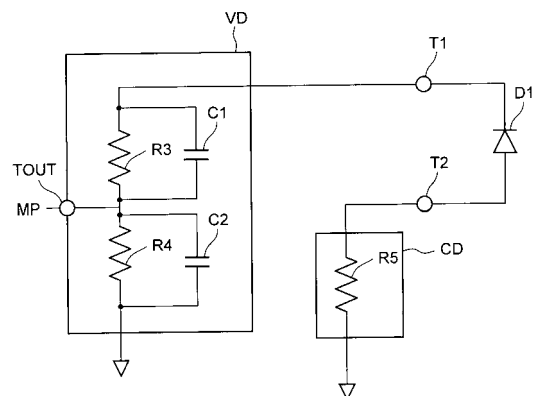
【図1】



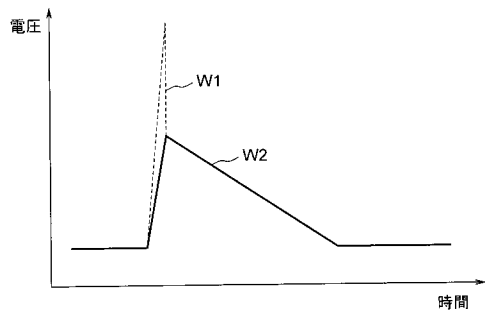
【図2】



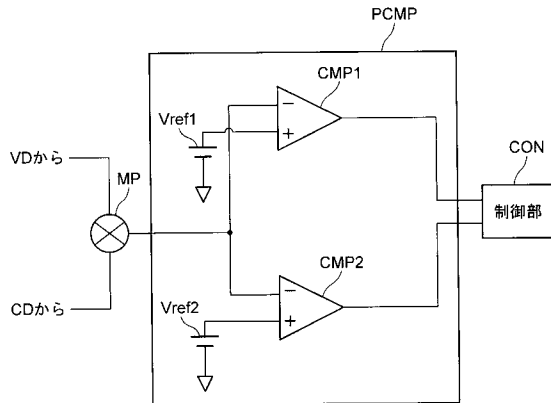
【図3】



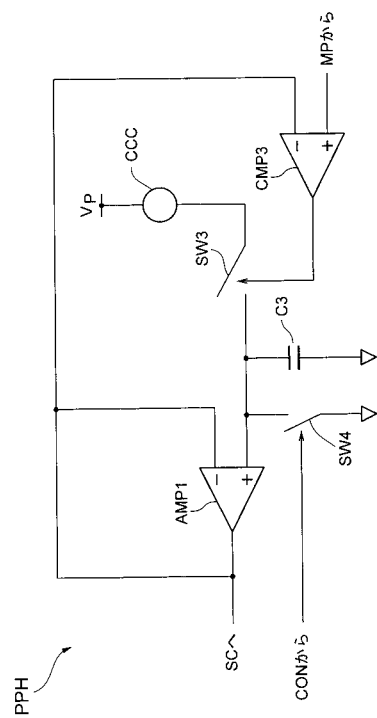
【図 4】



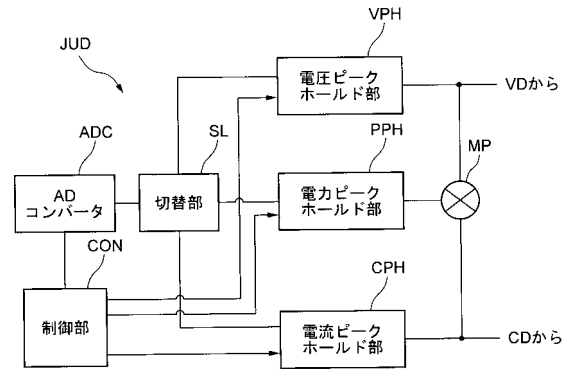
【図 5】



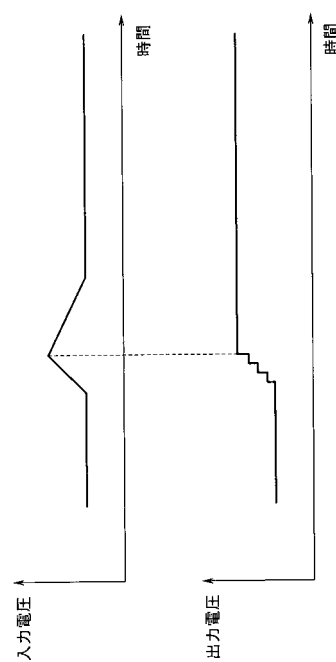
【図 7】



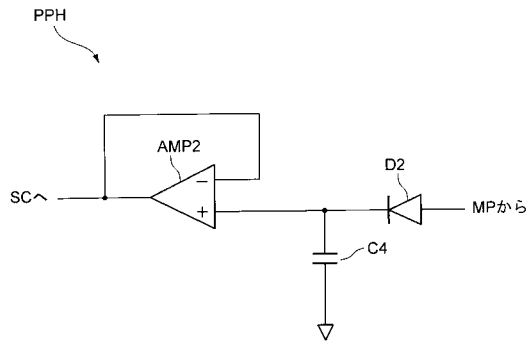
【図 6】



【図 8】



【図 9】



【図 10】

