



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월04일
 (11) 등록번호 10-1415428
 (24) 등록일자 2014년06월27일

(51) 국제특허분류(Int. Cl.)
 G05F 1/56 (2006.01) G05F 1/569 (2006.01)
 (21) 출원번호 10-2009-0011418
 (22) 출원일자 2009년02월12일
 심사청구일자 2012년12월04일
 (65) 공개번호 10-2009-0088807
 (43) 공개일자 2009년08월20일
 (30) 우선권주장
 JP-P-2008-034204 2008년02월15일 일본(JP)
 (56) 선행기술조사문헌
 JP2007164270 A*
 JP2007251503 A*
 JP7074976 B2*
 KR1020070015375 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
세이코 인스트루 가부시키키가이샤
 일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지
 (72) 발명자
이무라 다카시
 일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지 세이코 인스트루 가부시키키가이샤 내
나카시모 다카오
 일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지 세이코 인스트루 가부시키키가이샤 내
 (74) 대리인
한양특허법인

전체 청구항 수 : 총 4 항

심사관 : 김재호

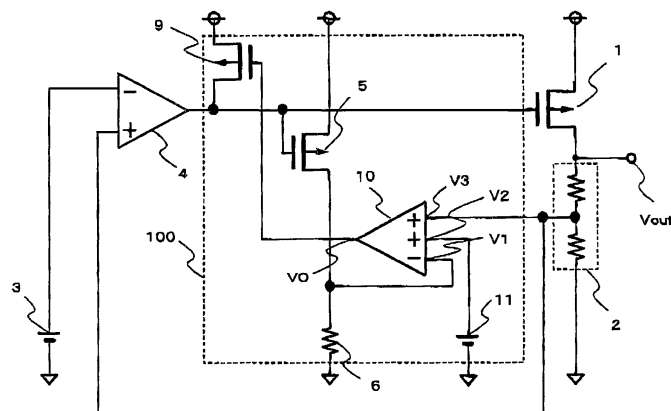
(54) 발명의 명칭 **전압 조정기**

(57) 요약

제한 전류값과 단락 전류값의 정밀도를 높이고 출력 트랜지스터에 과전류가 흐를 때에 전력 손실을 작게 억제할 수 있는, 과전류 보호 회로를 구비한 전압 조정기를 제공하는 것이다.

과전류 보호 회로를, 오차 증폭 회로의 출력 전압으로 제어되고 검출 전류를 흐르는 출력 전류 검출 트랜지스터와, 검출 전류에 의해 검출 전압을 발생하는 검출 저항과, 제2 기준 전압과 분압 전압에 의해 설정되는 전압과 검출 저항의 전압의 차를 증폭하고 출력하는 제2 오차 증폭 회로와, 제2 오차 증폭 회로의 출력으로 게이트가 제어되어 출력 트랜지스터의 게이트 전압을 제어하는 출력 전류 제한 회로로 구성했다. 또, 제2 기준 전압을 온도 검출 회로로부터 공급하는 구성으로 했다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 기준 전압과 출력 트랜지스터의 출력 전압에 의거하는 전압의 차를 증폭하여 출력하고, 상기 출력 트랜지스터의 게이트를 제어하는 제1 오차 증폭 회로와,

상기 출력 트랜지스터에 과전류가 흐르는 것을 검출하고, 상기 출력 트랜지스터의 전류를 제한하는 과전류 보호 회로를 구비한 전압 조정기로서,

상기 과전류 보호 회로는,

상기 제1 오차 증폭 회로의 출력 전압으로 게이트가 제어되고, 상기 출력 트랜지스터의 출력 전류에 따른 검출 전류를 흐르게 하는 출력 전류 검출 트랜지스터와,

상기 검출 전류에 의해 전압을 발생하는 전압 발생 회로와,

제2 기준 전압과 상기 출력 전압에 의거하는 전압의 평균값과, 상기 전압 발생 회로의 전압의 차를 증폭하여 출력하는 제2 오차 증폭 회로와,

상기 제2 오차 증폭 회로의 출력으로 게이트가 제어되고, 상기 출력 트랜지스터의 게이트 전압을 제어하는 출력 전류 제한 트랜지스터를 구비한 것을 특징으로 하는 전압 조정기.

청구항 2

청구항 1에 있어서,

상기 제2 기준 전압은, 상기 제1 기준 전압과 같은 회로로부터 공급되는 것을 특징으로 하는 전압 조정기.

청구항 3

청구항 1에 있어서,

상기 제2 기준 전압은, 온도에 의해 출력 전압이 변화하는 온도 검출 회로로부터 공급되는 것을 특징으로 하는 전압 조정기.

청구항 4

청구항 3에 있어서,

상기 온도 검출 회로는, 직렬로 접속된 정전류 회로와 다이오드를 구비하고, 상기 제2 기준 전압은 상기 다이오드의 순방향 전압에 의해 출력되는 것을 특징으로 하는 전압 조정기.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은, 정전압을 출력하는 전압 조정기에 관한 것이며, 더 상세하게는, 출력 단자에 과전류가 흘렀을 때에 출력 전류를 작게 하고 회로를 보호하는 과전류 보호 회로에 관한 것이다.

배경기술

[0002] 전압 조정기는, 여러가지 전자기기 회로의 전압 공급원으로서 이용되고 있다. 전압 조정기의 기능은, 입력 단자의 전압 변동에 따르지 않고 출력 단자에 일정한 전압을 출력하는 것이다. 그리고, 출력 단자로부터 부하에 공급하는 전류가 증가하여 정격 전류가 소정값 이상을 초과했을 때에, 출력 전류를 작게 하고 회로를 보호하는 과전류 보호도 중요하다(예를 들면, 특허 문헌 1 참조).

[0003] 도 5에, 과전류 보호 회로를 구비한 전압 조정기의 회로도(를 나타낸다. 종래의 과전류 보호 회로를 구비한 전압

조정기는, 출력 단자(Vout)의 전압을 분압하는 출력 전압 분압 회로(2)와, 기준 전압을 출력하는 기준 전압 회로(3)와, 분압 전압과 기준 전압을 비교하는 오차 증폭기(4)와, 오차 증폭기(4)의 출력 전압에 의해 제어되는 출력 트랜지스터(1)와, 과전류 보호 회로(50)로 이루어진다. 과전류 보호 회로(50)는, 출력 트랜지스터(1)와 병렬로 접속된 출력 전류 검출 회로인 출력 전류 검출 트랜지스터(5) 및 검출 저항(6)과, 검출 저항(6)의 전압에 의해 제어되는 출력 전류 제한 회로를 구성하는 트랜지스터(7), 저항(8) 및 출력 전류 제어 트랜지스터(9)로 구성되어 있다.

[0004] 상술한 과전류 보호 회로(50)는, 이하와 같이 동작하여 과전류로부터 회로를 보호하는 기능을 가진다.

[0005] 출력 단자(Vout)의 출력 전류가 증가한 경우, 출력 전류에 따른 검출 전류가 출력 전류 검출 트랜지스터(5)에 흐른다. 이 검출 전류가 검출 저항(6)에 흐름으로써, 트랜지스터(7)의 게이트-소스간 전압이 상승한다. 여기에서, 출력 단자(Vout)에 과전류가 흘러, 트랜지스터(7)의 게이트-소스간 전압이 임계값 전압을 초과하면 트랜지스터(7)에 드레인 전류가 흐른다. 트랜지스터(7)의 드레인 전류가 저항(8)에 흐름으로써, 출력 전류 제어 트랜지스터(9)의 게이트-소스간 전압이 저하한다. 따라서, 출력 전류 제어 트랜지스터(9)에 드레인 전류가 흐르고 출력 트랜지스터(1)의 게이트-소스간 전압을 상승시킨다. 이와 같이 과전류 보호 회로(50)가 작용함으로써, 출력 단자(Vout)의 출력 전류는 7자형의 전류 전압 특성으로 억제된다.

[0006] 도 6에, 7자형의 전류 전압 특성의 도면을 나타낸다. 전류 전압 특성에서 과전류 보호 회로가 작용하는 출력 전류의 값을 제한 전류라고 한다. 또, 출력 단자(Vout)가 단락하고, 출력 전압이 접지 전위와 동일해졌을 때의 출력 전류의 값을 단락 전류라고 한다.

[0007] [특허 문헌 1: 일본국 특허 공개 평2-189608호 공보]

발명의 내용

해결 하고자하는 과제

[0008] 그러나, 종래의 과전류 보호 회로(50)는, 트랜지스터(7) 제조시의 프로세스 호트러짐에 의해, 제한 전류의 전류 값의 정밀도가 낮아진다. 또, 검출 저항(6)의 호트러짐에 의해, 단락 전류의 정밀도도 낮아진다. 그러나, 제조 시에서의 트랜지스터(7)와 검출 저항(6)의 정확한 조정은 곤란했다.

[0009] 그래서, 제한 전류를 작게 설정할 경우에, 단락 전류가 호트러짐으로써, 출력 전류와 출력 전압의 관계에서, 전압 조정기의 기동 특성이 나빠지는 문제점을 가지고 있었다. 즉, 전압 조정기의 기동 특성을 확보하기 위해서는, 제한 전류를 그다지 작게 할 수 없었다.

[0010] 또한, 전압 조정기의 내부 온도는, 과전류에 의한 발열이나, 주위 온도 등의 영향을 받아 상승한다. 그러나, 종래의 과전류 보호 회로(50)에서는, 전압 조정기의 내부 온도에 의한 제한 전류값과 단락 전류값의 제어는 할 수 없었다.

[0011] 본 발명은, 이상과 같은 과제를 해결하기 위해 고안된 것으로서, 그 목적은, 제한 전류값과 단락 전류값의 정밀도를 높인 과전류 보호 회로를 구비한 전압 조정기를 제공하는 것이다.

과제 해결수단

[0012] 종래의 과제를 해결하기 위해, 본 발명의 과전류 보호 회로를 구비한 전압 조정기는 이하와 같은 구성으로 했다.

[0013] 상기 목적을 달성하기 위해, 본 발명에서는, 제1 기준 전압과 출력 트랜지스터의 출력 전압에 의거하는 전압과의 차를 증폭하여 출력하고, 상기 출력 트랜지스터의 게이트를 제어하는 제1 오차 증폭 회로와, 상기 출력 트랜지스터에 과전류가 흐른 것을 검출하여, 상기 출력 트랜지스터의 전류를 제한하는 과전류 보호 회로를 구비한 전압 조정기로서, 상기 과전류 보호 회로는, 상기 제1 오차 증폭 회로의 출력 전압으로 게이트가 제어되고, 상기 출력 트랜지스터의 출력 전류에 따른 검출 전류가 흐르는 출력 전류 검출 트랜지스터와, 상기 검출 전류에 의해 전압을 발생하는 전압 발생 회로와, 제2 기준 전압과 상기 출력 전압에 의거하는 전압에 의해 설정되는 전압과, 상기 전압 발생 회로의 전압의 차를 증폭하여 출력하는 제2 오차 증폭 회로와, 상기 제2 오차 증폭 회로의 출력으로 게이트가 제어되어 상기 출력 트랜지스터의 게이트 전압을 제어하는 출력 전류 제한 트랜지스터를 구비한 것을 특징으로 하는 전압 조정기를 제공한다.

[0014] 또한, 상기 제2 기준 전압은, 상기 제1 기준 전압과 같은 회로로부터 공급되는 것을 특징으로 하는 청구항 1에

기재된 전압 조정기를 제공한다.

[0015] 또한, 상기 제2 기준 전압은, 온도에 의해 출력 전압이 변화하는 온도 검출 회로로부터 공급되는 것을 특징으로 하는 청구항 1에 기재된 전압 조정기를 제공한다.

[0016] 또한, 상기 온도 검출 회로는, 직렬로 접속된 정전류 회로와 다이오드를 구비하여 상기 제2 기준 전압은과 상기 다이오드의 순방향 전압에 의해 출력되는 것을 특징으로 하는 청구항 3에 기재된 전압 조정기를 제공한다.

효 과

[0017] 본 발명의 과전류 보호 회로를 구비한 전압 조정기에 의하면, 과전류 보호 회로를 제2 기준 전압과 출력 전압에 의거하는 전압에 의해 설정되는 전압과, 전압 발생 회로의 전압의 차를 증폭하여 출력하는 제2 오차 증폭 회로에 의해 출력 전류를 제한하는 회로 구성으로 했으므로, 제조사의 프로세스 호트러짐에 따르지 않고, 제한 전류값과 단락 전류값의 정밀도를 높여 출력 트랜지스터에 과전류가 흘렀을 때에 전력 손실을 작게 억제할 수 있는, 과전류 보호 회로를 구비한 전압 조정기를 제공할 수 있다.

[0018] 또한, 제2 기준 전압을, 온도에 의해 출력 전압이 변화하는 온도 검출 회로로부터 공급함으로써, 온도에 의해 제한 전류값과 단락 전류값을 제어할 수 있고, 보다 효과적으로 발열을 억제할 수 있다.

발명의 실시를 위한 구체적인 내용

[0019] 도 1은, 본 발명의 제1 실시 형태의 전압 조정기의 회로도이다.

[0020] 제1 실시 형태의 전압 조정기는, P형 MOS 트랜지스터의 출력 트랜지스터(1)와, 출력 전압 분압 회로(2)와, 기준 전압 회로(3)와, 오차 증폭기(4)와, 과전류 보호 회로(100)를 구비한다. 과전류 보호 회로(100)는, P형 MOS 트랜지스터의 출력 전류 검출 트랜지스터(5)와, 검출 저항(6)과, P형 MOS 트랜지스터의 출력 전류 제어 트랜지스터(9)와, 제2 오차 증폭기(10)와, 제2 기준 전압 회로(11)를 구비한다.

[0021] 출력 전압 분압 회로(2)는, 입력 단자를 출력 단자(Vout)에 접속하고 출력 단자를 오차 증폭기(4)의 비반전 입력 단자에 접속한다. 기준 전압 회로(3)는, 출력 단자를 오차 증폭기(4)의 반전 입력 단자에 접속한다. 오차 증폭기(4)는, 출력 단자를 출력 트랜지스터(1)의 게이트에 접속한다. 출력 트랜지스터(1)는, 소스를 입력 전원에 접속하여, 드레인을 출력 단자(Vout)에 접속한다. 출력 전류 검출 트랜지스터(5)는, 게이트를 오차 증폭기(4)의 출력 단자에 접속하고, 소스를 입력 전원에 접속해, 드레인을 검출 저항(6)의 한쪽의 단자에 접속한다. 검출 저항(6)은, 다른쪽의 단자를 접지한다. 제2 오차 증폭기(10)는, 반전 입력 단자를 검출 저항(6)의 한쪽의 단자에 접속하고, 비반전 입력 단자의 한쪽을 제2 기준 전압 회로(11)의 출력 단자에 접속하고, 다른쪽을 출력 전압 분압 회로(2)의 출력 단자에 접속한다. 제2 오차 증폭기(10)의 출력 단자는, 출력 전류 제어 트랜지스터(9)의 게이트에 접속한다. 출력 전류 제어 트랜지스터(9)는, 소스를 입력 전원에 접속하고, 드레인을 출력 트랜지스터(1)의 게이트에 접속한다.

[0022] 출력 전압 분압 회로(2)는, 출력 단자(Vout)의 전압을 분압하여 분압 전압(Vdiv)을 출력한다. 기준 전압 회로(3)는, 기준 전압(Vref)을 출력한다. 오차 증폭기(4)는, 분압 전압(Vdiv)과 기준 전압(Vref)을 비교하고 그 차를 증폭해 출력한다. 출력 트랜지스터(1)는, 오차 증폭기(4)의 출력 전압에 의해 제어되고 분압 전압(Vdiv)과 기준 전압(Vref)이 동일해지도록 동작한다. 결과적으로, 출력 단자(Vout)의 전압은 일정하게 유지된다.

[0023] 과전류 보호 회로(100)는, 출력 트랜지스터(1)에 흐르는 전류를 감시한다. 그리고, 출력 트랜지스터(1)에 과전류가 흐르는 것을 검출하면, 출력 트랜지스터(1)의 게이트를 제어해, 전류를 감소시키는 기능을 가진다.

[0024] 출력 전류 검출 트랜지스터(5)와 출력 트랜지스터(1)는 게이트가 접속되어 있으므로, 각각의 드레인 전류는 비례한다. 검출 저항(6)은, 출력 전류 검출 트랜지스터(5)의 드레인 전류에 의해 전압을 발생한다. 제2 오차 증폭기(10)는, 반전 입력 단자에 검출 저항(6)에 발생하는 전압을 입력한다. 따라서, 검출 저항(6)에 발생하는 전압이 비반전 입력 단자의 전압보다 높아지면, 출력 단자의 전압은 낮아진다. 출력 전류 제어 트랜지스터(9)의 게이트 전압이 낮아지고, 출력 전류 제어 트랜지스터(9)에 드레인 전류가 흐른다. 결과적으로, 출력 트랜지스터(1)의 게이트의 전압이 높아지고, 출력 트랜지스터(1)의 드레인 전류는 적어지도록 제어된다.

[0025] 제2 오차 증폭기(10)의 구체적인 회로예를 도 2에 나타낸다.

[0026] 게이트가 반전 입력 단자(V1)가 되는 N형 MOS 트랜지스터(21)와 게이트가 제1 비반전 입력 단자(V2)가 되는 N형 MOS 트랜지스터(22)와, 게이트가 제2 비반전 입력 단자(V3)가 되는 N형 MOS 트랜지스터(23)와, 제1 비반전 입력

과 반전 입력 사이에 설치된 커런트미러 회로를 구성하는 P형 MOS 트랜지스터(24) 및 P형 MOS 트랜지스터(25)와, 제2 비반전 입력과 반전 입력 사이에 설치된 커런트미러 회로를 구성하는 P형 MOS 트랜지스터(26) 및 P형 MOS 트랜지스터(27)와, 제2 오차 증폭기(10)의 소비 전류를 결정하는 정전류원(28)을 구비한다. 이러한 트랜지스터는 같은 사이즈로 설계되어 있으므로, 2개의 커런트미러 회로는, 입력 전압이 같으면 같은 전류가 흐른다. 제2 오차 증폭기(10)의 2개의 비반전 입력 단자는, 제1 비반전 입력 단자(V2)에는 제2 기준 전압 회로(11)의 제2 기준 전압(Vref2)을 입력하고, 제2 비반전 입력 단자(V3)에는 분압 전압(Vdiv)을 입력하고 있다.

[0027] 여기에서, 도 2의 제2 오차 증폭기(10)는, N형 MOS 트랜지스터(21, 22, 23)의 사이즈, 예를 들면, 면적 사이즈 $W \times L$ (폭 \times 길이) 비를 2:1:1로 설정하면, 각 입력 단자의 전압을 V1, V2, 및 V3, 출력 전압을 VO, 증폭율을 A로 하면 그들의 관계는 식 1로 나타내어진다.

[0028]
$$V_O = A \left(\frac{V_2 + V_3}{2} - V_1 \right) \dots (1)$$

[0029] 즉, 제2 오차 증폭기(10)는, 제1 비반전 입력 단자(V2)와 제2 비반전 입력 단자(V3)의 전압의 평균값과 반전 입력 단자(V1)의 전압의 차를 증폭한다.

[0030] 이상 설명한 도 2의 제2 오차 증폭기(10)는, 도 3 및 도 4의 제2 실시 형태의 전압 조정기에도 적용된다.

[0031] 상술한 과전류 보호 회로(100)는, 이하와 같이 동작하여 과전류로부터 회로를 보호하는 기능을 가진다.

[0032] 출력 단자(Vout)의 출력 전류가 증가한 경우, 출력 전류에 따른 검출 전류가 출력 전류 검출 트랜지스터(5)에 흐른다. 이 검출 전류가 검출 저항(6)에 흐르므로써, 제2 오차 증폭기(10)의 반전 입력 단자(V1)의 전압이 상승한다. 제2 오차 증폭기(10)의 제1 비반전 입력 단자(V2)에는 제2 기준 전압(Vref2)이, 제2 비반전 입력 단자(V3)에는 분압 전압(Vdiv)이 입력되어 있다. 통상의 동작 상태에서는, 분압 전압(Vdiv)은 제2 기준 전압(Vref2)과 동일하고, 반전 입력 단자(V1)의 전압은 그것보다 낮다. 따라서, 제2 오차 증폭기(10)의 출력 단자는 하이 레벨의 전압으로 유지되어 출력 전류 제어 트랜지스터(9)는 오프되어 있다.

[0033] 여기에서, 부하가 단락하는 등에 의해 출력 단자(Vout)에 과전류가 흐르면, 그에 따라 출력 전류 검출 트랜지스터(5)의 검출 전류도 커지게 되고, 그 검출 전류가 검출 저항(6)에 흐르게 됨으로써, 제2 오차 증폭기(10)의 반전 입력 단자(V1)의 전압이 서서히 상승한다. 또, 출력 단자(Vout)의 전압은 부하가 단락함으로써 저하하고, 제2 오차 증폭기(10)의 비반전 입력 단자(V3)의 전압이 저하한다. 그리고, 제1 비반전 입력 단자(V2)의 제2 기준 전압(Vref2)과 제2 비반전 입력 단자(V3)의 분압 전압(Vdiv)의 평균값보다, 반전 입력 단자(V1)의 전압이 높아지면, 제2 오차 증폭기(10)의 출력 단자의 전압은 서서히 낮아진다. 따라서, 출력 전류 제어 트랜지스터(9)의 게이트-소스간 전압이 저하하고, 출력 전류 제어 트랜지스터(9)에 드레인 전류가 흐르고 출력 트랜지스터(1)의 게이트-소스간 전압을 상승시킨다.

[0034] 또한, 출력 단자(Vout)의 전압이 저하하고, 접지 전위까지 저하하면, 제2 오차 증폭기(10)의 제2 비반전 입력 단자(V3)의 분압 전압(Vdiv)은, 접지 전위까지 저하한다. 그러나 제2 오차 증폭기(10)는 제1 비반전 입력 단자(V2)에 제2 기준 전압(Vref2)을 입력하므로, 반전 입력 단자(V1)의 전압과 비교하는 전압은, $V_{ref2}/2$ 보다 저하하지 않는다. 따라서, 본 실시 형태에 관련되는 전압 조정기에서는, 단락 전류값이 0까지 내리지 않기 때문에, 기동 특성의 개선을 도모할 수 있다.

[0035] 제1 실시 형태의 전압 조정기의 제한 전류값의 정밀도는, 검출 저항(6)의 저항값과 제2 기준 전압값의 정밀도로 결정된다. 이러한 특성은, 제조시에 용이하게 측정할 수 있으므로, 트리밍에 의해 좋은 정밀도에 맞춰 넣는 것이 가능하게 된다.

[0036] 또, 단락 전류값의 정밀도는, 검출 저항(6)의 저항값과 제2 기준 전압값(Vref2)과 분할 전압값과 제2 오차 증폭기(10)의 차동 트랜지스터대의 면적비로 결정된다. 트랜지스터의 면적비의 호트러짐은, 트랜지스터의 임계값 전압값의 절대값에 의한 호트러짐 보다 작다.

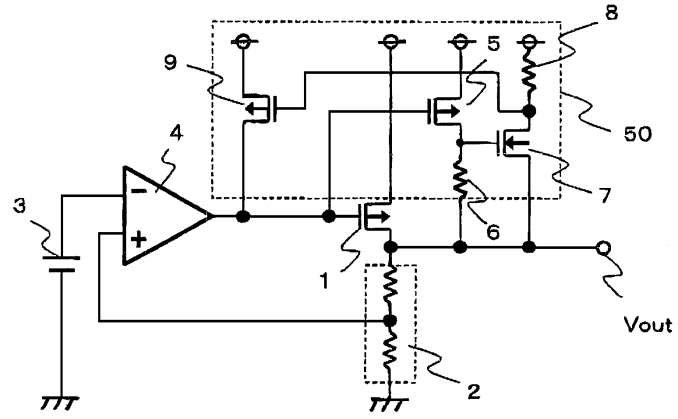
[0037] 즉, 좋은 정밀도로 설정할 수 있는 제2 기준 전압(Vref2) 등에 의해 단락 전류를 결정할 수 있으므로, 출력 전류-출력 전압 특성을 원하는 특성에 맞춰 넣는 것이 용이하고, 전압 조정기의 기동 특성을 해치지 않고, 단락 전류를 작게 하는 것이 가능해진다.

[0038] 도 3에, 제1 실시 형태의 변형예의 전압 조정기의 회로도 를 나타낸다. 도 3의 전압 조정기는, 제2 오차 증폭기(10)의 제1 비반전 입력 단자(V2)에, 제2 기준 전압(Vref2) 대신에, 기준 전압 회로(3)의 기준 전압(Vref)을 입력한다. 이와 같이, 제2 오차 증폭기(10)의 제1 비반전 입력 단자(V2)의 전압을, 기준 전압 회로(3)로부터 공급

해도, 마찬가지로 좋은 정밀도로 단락 전류를 작게 할 수 있는 과전류 보호 회로를 실현할 수 있다. 또, 기준 전압(Vref)을 분할 저항에 의해 분할한 전압을, 제2 오차 증폭기(10)의 제1 비반전 입력 단자(V2)에 입력해오 된다.

- [0039] 도 4에, 제2 실시 형태의 전압 조정기의 회로도를 나타낸다. 도 4의 전압 조정기는, 제1 실시 형태의 과전류 보호 회로로부터, 과전류 보호 회로(102)로 변경한 것이다. 과전류 보호 회로(102)는, P형 MOS 트랜지스터의 출력 전류 검출 트랜지스터(5)와, 검출 저항(6)과, P형 MOS 트랜지스터의 출력 전류 제어 트랜지스터(9)와, 제2 오차 증폭기(10)와, 정전류 회로(12)와, 다이오드(13)를 구비한다.
- [0040] 출력 전류 검출 트랜지스터(5)는, 게이트를 오차 증폭기(4)의 출력 단자에 접속하여, 소스를 입력 전원에 접속하고, 드레인을 검출 저항(6)의 한쪽 단자에 접속한다. 검출 저항(6)은, 다른쪽의 단자를 접지한다. 정전류 회로(12)와 다이오드(13)는, 입력 전원과 접지 사이에 순방향으로 직렬로 접속되어 있다. 제2 오차 증폭기(10)는, 반전 입력 단자를 검출 저항(6)의 한쪽 단자에 접속하고, 비반전 입력 단자의 한쪽을 정전류 회로(12)와 다이오드(13)의 접속점에 접속하여, 다른쪽을 출력 전압 분압 회로(2)의 출력 단자에 접속한다. 제2 오차 증폭기(10)의 출력 단자는, 출력 전류 제어 트랜지스터(9)의 게이트에 접속한다. 출력 전류 제어 트랜지스터(9)는, 소스를 입력 전원에 접속하고, 출력 트랜지스터(1)의 게이트에 접속한다.
- [0041] 정전류 회로(12)와 다이오드(13)는, 그 접속점으로부터 온도에 비례하여 저하하는 전압(Vtemp)을 출력하는 온도 검출 회로를 구성한다. 일반적으로, PN접합 실리콘 다이오드에 일정한 순방향 전류를 흘렸을 경우, 그 전압 강하는 상온(25℃)에서 약 0.6V가 되고, 대략 -2.0mV/℃(전류나 개개의 소자에 따라 다르다)의 온도 특성을 나타낸다. 따라서, 정전류 회로(12)와 다이오드(13)를 직렬로 접속하고, 온도 검출 회로를 구성할 수 있다.
- [0042] 그리고 상온의 통상 동작 상태에서는, 전압(Vtemp)은 분압 전압(Vdiv)과 동일하거나 혹은 커지도록 설정한다.
- [0043] 이러한 온도 검출 회로를 이용한 과전류 보호 회로(102)에서는, 전압 조정기의 내부 온도가 상승하면, 온도 검출 회로의 출력 전압(Vtemp), 즉, 제2 오차 증폭기(10)의 제1 비반전 입력 단자(V2)의 입력 전압이 저하한다. 이에 의해 제한 전류의 설정값이 저하한다. 이와 같이, 고온에서의 제한 전류의 값을 상온시보다 작게 함으로써, 고온에서의 과전류에 의한 발열량을 저감시킬 수 있다.
- [0044] 상술한 바와 같은 과전류 보호 회로(102)는, 이하와 같이 동작하여 과전류로부터 회로를 보호하는 기능을 가진다.
- [0045] 출력 단자(Vout)의 출력 전류가 증가한 경우, 출력 전류에 따른 검출 전류가 출력 전류 검출 트랜지스터(5)에 흐른다. 이 검출 전류가 검출 저항(6)에 흐르므로써 제2 오차 증폭기(10)의 반전 입력 단자(V1)의 전압이 상승한다. 제2 오차 증폭기(10)의 제1 비반전 입력 단자(V2)에는 정전류 회로(12)와 다이오드(13)의 접속점의 전압(Vtemp)이, 제2 비반전 입력 단자(V3)에는 분압 전압(Vdiv)이 입력되어 있다. 상온의 통상 동작 상태에서는, 전압(Vtemp)은 분압 전압(Vdiv)과 같고, 반전 입력 단자(V1)의 전압은 그것보다 낮다. 따라서, 제2 오차 증폭기(10)의 출력 단자는 하이 레벨의 전압으로 유지되어 출력 전류 제어 트랜지스터(9)는 오프한다.
- [0046] 여기에서, 출력 단자(Vout)에 과전류가 흐르고, 검출 저항(6)에 출력 전류 검출 트랜지스터(5)가 검출 전류를 흐르게 함으로써, 제2 오차 증폭기(10)의 반전 입력 단자(V1)의 전압이 서서히 상승한다. 또, 출력 단자(Vout)의 전압은 부하가 단락함으로써 저하하고, 제2 오차 증폭기(10)의 비반전 입력 단자(V3)의 전압이 저하한다. 그리고, 제1 비반전 입력 단자(V2)의 전압(Vtemp)과 제2 비반전 입력 단자(V3)의 분압 전압(Vdiv)의 평균값보다, 반전 입력 단자(V1)의 전압이 높아지면, 제2 오차 증폭기(10)의 출력 단자의 전압은 서서히 낮아진다. 따라서, 출력 전류 제어 트랜지스터(9)의 게이트-소스간 전압이 저하하고, 출력 전류 제어 트랜지스터(9)에 드레인 전류가 흐르고, 출력 트랜지스터(1)의 게이트-소스간 전압을 상승시킨다.
- [0047] 또한, 과전류가 흐르므로써 출력 단자(Vout)의 전압은 저하하고, 접지 전위까지 저하한다. 즉, 제2 오차 증폭기(10)의 제2 비반전 입력 단자(V3)의 분압 전압(Vdiv)은, 접지 전위까지 저하한다. 그렇지만, 제2 오차 증폭기(10)는 제1 비반전 입력 단자(V2)에 전압(Vtemp)을 입력되어 있으므로, 반전 입력 단자(V1)의 전압과 비교하는 전압은, Vtemp/2보다 저하하지 않다. 따라서, 본 실시 형태에 관련되는 전압 조정기에서는, 단락 전류값이 0까지 내려가지 않기 때문에, 기동 특성의 개선을 도모할 수 있다.
- [0048] 온도 검출 회로의 전압(Vtemp)은, PN접합의 밴드갭 전압과 그 온도 특성으로 정해지는 전압값이고, 트랜지스터의 임계값 전압의 흐트러짐보다 상당히 작다.
- [0049] 즉, 종래의 트랜지스터의 임계값 전압으로 제어하는 과전류 보호 회로보다, 제한 전류와 단락 전류를 좋은 정밀

도면5



도면6

