

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-211153

(P2009-211153A)

(43) 公開日 平成21年9月17日(2009.9.17)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 6 F 12/00 (2006.01)	G O 6 F 12/00 5 5 0 E	5 B 0 0 5
G 0 6 F 1/32 (2006.01)	G O 6 F 1/00 3 3 2 B	5 B 0 1 1
G 0 6 F 12/08 (2006.01)	G O 6 F 12/00 5 9 7 U	5 B 0 6 0
G 0 6 F 12/10 (2006.01)	G O 6 F 12/08 5 0 1 C	5 B 1 2 5
G 1 1 C 16/02 (2006.01)	G O 6 F 12/08 5 5 1 B	
審査請求 未請求 請求項の数 16 O L (全 25 頁) 最終頁に続く		

(21) 出願番号 特願2008-50821 (P2008-50821)
 (22) 出願日 平成20年2月29日 (2008.2.29)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (72) 発明者 金井 達徳
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 Fターム(参考) 5B005 MM05 MM51 NN01 RR04 SS14
 UU23
 5B011 EB01 LL06
 5B060 AA14 CA01
 5B125 CA05 DE17 EA08 EG01 EK01
 FA01 FA04

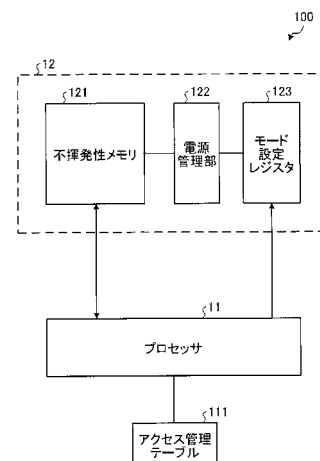
(54) 【発明の名称】 メモリ装置、情報処理装置及び電力制御方法

(57) 【要約】

【課題】不揮発性メモリにかかる電力制御をより効率的に行うことが可能な電力制御装置、情報処理装置及び電力制御方法を提供する。

【解決手段】複数のメモリ領域の各々に対応して設けられ、対応するメモリ領域の状態を活動状態とするか停止状態とするかを規定する第1設定情報を保持するモード設定手段と、前記複数のメモリ領域のうち、活動状態と規定された第1設定情報に対応するメモリ領域に電力を供給するとともに、停止状態と規定された第1設定情報に対応するメモリ領域への電力供給を停止する電源制御手段と、を備える。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

複数のメモリ領域から構成される不揮発性のメモリ手段と、
前記メモリ領域の各々に対応して設けられ、対応するメモリ領域の状態を活動状態とするか停止状態とするかを規定する第 1 設定情報を保持するモード設定手段と、
前記複数のメモリ領域のうち、活動状態と規定された第 1 設定情報に対応するメモリ領域に電力を供給するとともに、停止状態と規定された第 1 設定情報に対応するメモリ領域への電力供給を停止する電源制御手段と、
を備えたことを特徴とするメモリ装置。

【請求項 2】

前記メモリ領域の単位で前記第 1 設定情報の設定を個別に変更する設定変更手段を更に備えたことを特徴とする請求項 1 に記載のメモリ装置。

【請求項 3】

前記メモリ領域の各々に対応して設けられ、当該各メモリ領域へのデータの書き込みを行う書込手段と、

前記メモリ領域の各々に対応して設けられ、対応するメモリ領域を読み書き可能とするか読み出し専用とするかを規定する第 2 設定情報を保持するアクセス設定手段と、

を更に備え、

前記電力制御手段は、前記複数の書込手段のうち、読み書き可能と規定された第 2 設定情報に対応するメモリ領域に設けられた書込手段に電力を供給するとともに、読み出し専用と規定された第 2 設定情報に対応するメモリ領域に設けられた書込手段への電力供給を停止することを特徴とする請求項 1 又は 2 に記載のメモリ装置。

【請求項 4】

前記メモリ手段は、M R A M、F e R A M、P R A M、R R A M の何れか一つであることを特徴とする請求項 1 に記載のメモリ装置。

【請求項 5】

複数のメモリ領域から構成される不揮発性のメモリ手段と、

前記メモリ領域の各々に対応して設けられ、対応するメモリ領域の状態を活動状態とするか停止状態とするかを規定する第 1 設定情報を保持するモード設定手段と、

前記メモリ手段にアクセスするアクセス手段と、

前記複数のメモリ領域から、前記アクセスの対象となるアドレスを含んだメモリ領域を、アクセス対象領域として特定する特定手段と、

前記アクセス対象領域に対応する前記第 1 設定情報が、活動状態を規定するよう設定を変更する設定変更手段と、

前記複数のメモリ領域のうち、活動状態と規定された第 1 設定情報に対応するメモリ領域に電力を供給するとともに、停止状態と規定された第 1 設定情報に対応するメモリ領域への電力供給を停止する電源制御手段と、

を備えたことを特徴とする情報処理装置。

【請求項 6】

前記アクセス対象領域に対応する前記第 1 設定情報の設定を判定する判定手段を更に備え、

前記設定変更手段は、前記判定手段により前記第 1 設定情報が停止状態を規定すると判定された場合に、当該第 1 設定情報が活動状態を規定するよう設定を変更することを特徴とする情報処理装置。

【請求項 7】

前記メモリ領域各々のアドレス範囲と、各メモリ領域へのアクセスが可能な状態か否かを示したアクセス情報とを関連付けて記録したアクセス管理テーブルを記憶するテーブル記憶手段を更に備え、

前記判定手段は、前記アドレスと、前記アクセス管理テーブルに記録された前記メモリ領域毎のアドレス範囲とを比較し、当該アドレスを包含するアドレス範囲のメモリ領域を

10

20

30

40

50

前記アクセス対象領域として特定することを特徴とする請求項 6 に記載の情報処理装置。

【請求項 8】

前記設定変更手段は、前記アクセス管理テーブルに記録された前記アクセス対象領域に対応する前記アクセス情報がアクセス不可を示す場合に、当該アクセス対象領域に対応する前記第 1 設定情報が活動状態を規定するよう設定を変更するとともに、当該アクセス情報がアクセス可能を示すよう設定を変更することを特徴とする請求項 7 に記載の情報処理装置。

【請求項 9】

前記設定変更手段は、前記アクセス手段によるアクセスが完了した後、前記アクセス対象領域に対応する前記第 1 設定情報が停止状態を規定するよう設定を変更するとともに、このアクセス対象領域に対応する前記アクセス管理テーブルのアクセス情報がアクセス不可を示すよう設定を変更することを特徴とする請求項 7 又は 8 に記載の情報処理装置。

10

【請求項 10】

前記設定変更手段は、前記アクセス手段によるアクセスの完了後、所定時間が経過した後、前記メモリ領域の全てに対応する前記第 1 設定情報が停止状態を規定するよう設定を変更するとともに、各メモリ領域に対応する前記アクセス管理テーブルのアクセス情報がアクセス不可を示すよう設定を変更することを特徴とする請求項 7 ~ 9 の何れか一項に記載の情報処理装置。

【請求項 11】

前記アクセス手段がアクセスしたアドレスのデータをキャッシュする、ライトバック方式の第 1 キャッシュ手段と、

20

前記設定変更手段により前記アドレスに対応するアクセス対象領域の第 1 設定情報が停止状態に変更される前に、このアクセス対象領域について前記第 1 キャッシュ手段にキャッシュされたデータを当該アクセス対象領域に書き戻す書き戻手段と、

を更に備えたことを特徴とする請求項 7 に記載の情報処理装置。

【請求項 12】

前記アクセス管理テーブルは、メモリ管理機構で用いるページテーブルであることを特徴とする請求項 7 ~ 9 の何れか一項に記載の情報処理装置。

【請求項 13】

前記アクセス管理テーブルに記録された情報を前記メモリ領域の単位でキャッシュする第 2 キャッシュ手段と、

30

前記設定変更手段により前記第 1 設定情報の設定が変更される毎に、当該第 1 設定情報に対応するメモリ領域に関する情報を前記第 2 キャッシュ手段から削除する削除手段と、
を更に備えたことを特徴とする請求項 12 に記載の情報処理装置。

【請求項 14】

前記メモリ領域の各々に対応して設けられ、前記アクセス手段からの要求に応じて対応するメモリ領域にデータの書き込みを行う書込手段と、

前記メモリ領域の各々に対応して設けられ、対応するメモリ領域を読み書き可能とすることが読み出し専用とするかを規定する第 2 設定情報を保持するアクセス設定手段と、

を更に備え、

40

前記電力制御手段は、前記複数の書込手段のうち、読み書き可能と規定された第 2 設定情報に対応するメモリ領域に設けられた書込手段に電力を供給するとともに、読み出し専用と規定された第 2 設定情報に対応するメモリ領域に設けられた書込手段への電力供給を停止することを特徴とする請求項 5 に記載の情報処理装置。

【請求項 15】

前記メモリ手段は、MRAM、FeRAM、PRAM、RRAMの何れか一つであることを特徴とする請求項 5 に記載の情報処理装置。

【請求項 16】

複数のメモリ領域から構成される不揮発性のメモリ手段を備えた情報処理装置で実行される電力制御方法であって、

50

前記情報処理装置は、前記メモリ領域の各々に対応して設けられ、対応するメモリ領域の状態を活動状態とするか停止状態とするかを規定する第1設定情報を保持するモード設定手段を備え、

アクセス手段が、前記メモリ手段にアクセスするアクセス工程と、

特定手段が、前記アクセスの対象となるアドレスを含むメモリ領域を、アクセス対象領域として特定する特定工程と、

設定変更手段が、前記アクセス対象領域に対応する前記第1設定情報が、活動状態を規定するよう設定を変更する設定変更工程と、

電源制御手段が、前記複数のメモリ領域のうち、活動状態と規定された第1設定情報に対応するメモリ領域に電力を供給するとともに、停止状態と規定された第1設定情報に対応するメモリ領域への電力供給を停止する電源制御工程と、

を含むことを特徴とする電力制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性メモリの電力制御を行うメモリ装置、情報処理装置及び電力制御方法に関する。

【背景技術】

【0002】

従来、プロセッサを中心に各種メモリや入出力回路を結合した組み込みシステムでは、使用していないデバイスへの電力供給を停止することで、組み込みシステム全体の消費電力を低減することが行われている。例えば、特許文献1には、各機能部に電力を供給しない状態を基本とし、動作が必要な場合にのみ電力を供給して処理を行わせる技術が開示されている。しかし、主記憶装置については、SRAM(Static Random Access Memory)やDRAM(Dynamic Random Access Memory)等の揮発性メモリが用いられることが一般的であることから、不用意に電力供給を停止することはできなかった。

【0003】

また近年MRAM(Magnetoresistive Random Access Memory)やFeRAM(Ferroelectric Random Access Memory)等のユニバーサルメモリと呼ばれる不揮発性メモリが登場してきている。これらのユニバーサルメモリでは、高速アクセスが可能で且つフラッシュメモリと同様の不揮発性といった特性を有している。そのため、上記した揮発性メモリに代えてユニバーサルメモリを主記憶装置に用いることで、プロセッサの待機時に主記憶装置も含めて電源を遮断しても、主記憶装置に記憶されたデータを保持することが可能となる。

【0004】

【特許文献1】特開2006-172059号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に開示された技術では、電力供給のオン/オフをデバイス単位で制御するため、主記憶装置の一部の記憶領域に格納されたデータのみにアクセスが行われているような場合であっても、主記憶装置全体に電力を供給する必要がある。そのため、MRAMやFeRAM等の不揮発性メモリを用いたとしても、他のデバイスと同様にデバイス単位でしかオン/オフを制御することができない。

【0006】

本発明は上記に鑑みてなされたものであって、不揮発性メモリにかかる電力制御をより効率的に行うことが可能な電力制御装置、情報処理装置及び電力制御方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

上述した課題を解決し、目的を達成するために、本発明は、複数のメモリ領域から構成される不揮発性のメモリ手段と、前記メモリ領域の各々に対応して設けられ、対応するメモリ領域の状態を活動状態とするか停止状態とするかを規定する第1設定情報を保持するモード設定手段と、前記複数のメモリ領域のうち、活動状態が規定された第1設定情報に対応するメモリ領域に電力を供給するとともに、停止状態が規定された第1設定情報に対応するメモリ領域への電力供給を停止する電源制御手段と、を備える。

【 0 0 0 8 】

また、本発明は、複数のメモリ領域から構成される不揮発性のメモリ手段と、前記メモリ領域の各々に対応して設けられ、対応するメモリ領域の状態を活動状態とするか停止状態とするかを規定する第1設定情報を保持するモード設定手段と、前記メモリ手段にアクセスするアクセス手段と、前記複数のメモリ領域から、前記アクセスの対象となるアドレスを含んだメモリ領域を、アクセス対象領域として特定する特定手段と、前記アクセス対象領域に対応する前記第1設定情報が、活動状態を規定するよう設定を変更する設定変更手段と、前記複数のメモリ領域のうち、活動状態が指示された第1設定情報に対応するメモリ領域に電力を供給するとともに、停止状態が指示された第1設定情報に対応するメモリ領域への電力供給を停止する電源制御手段と、を備える。

【 0 0 0 9 】

また、本発明は、複数のメモリ領域から構成される不揮発性のメモリ手段を備えた情報処理装置で実行される電力制御方法であって、前記情報処理装置は、前記メモリ領域の各々に対応して設けられ、対応するメモリ領域の状態を活動状態とするか停止状態とするかを規定する第1設定情報を保持するモード設定手段を備え、アクセス手段が、前記メモリ手段にアクセスするアクセス工程と、特定手段が、前記アクセスの対象となるアドレスを含むメモリ領域を、アクセス対象領域として特定する特定工程と、設定変更手段が、前記アクセス対象領域に対応する前記第1設定情報が、活動状態を規定するよう設定を変更する設定変更工程と、電源制御手段が、前記複数のメモリ領域のうち、活動状態が指示された第1設定情報に対応するメモリ領域に電力を供給するとともに、停止状態が指示された第1設定情報に対応するメモリ領域への電力供給を停止する電源制御工程と、を含む。

【 発明の効果 】

【 0 0 1 0 】

本発明によれば、不揮発性メモリを構成する複数のメモリ領域の単位で電力制御を個別に行うことで、不揮発性メモリの消費電力を低減することができるため、不揮発性メモリにかかる電力制御をより効率的に行うことができる。

【 発明を実施するための最良の形態 】

【 0 0 1 1 】

以下に添付図面を参照して、メモリ装置、情報処理装置及び電力制御方法の最良な実施形態を詳細に説明する。なお、以下に説明する実施形態では、M R A MやF e R A M等の不揮発性メモリを主記憶装置とする情報処理装置に本発明を適用した例を説明するが、適用される対象はこの例に限らないものとする。

【 0 0 1 2 】

[第 1 の実施形態]

図 1 は、第 1 の実施形態にかかる情報処理装置 1 0 0 の構成を示したブロック図である。同図に示したように、情報処理装置 1 0 0 は、プロセッサ 1 1 と、4 つのメモリ装置 1 2 とを備え、各部はバス 1 3 を介して接続されている。

【 0 0 1 3 】

プロセッサ 1 1 は、C P U (C e n t r a l P r o c e s s i n g U n i t) や D S P (D i g i t a l S i g n a l P r o c e s s o r) 、 F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y) 等であって、後述する不揮発性メモリ 1 2 1 を主記憶装置として種々の処理を実行する。なお、プロセッサ 1 1 の動作については後述する。

10

20

30

40

50

【 0 0 1 4 】

メモリ装置 1 2 は、プロセッサ 1 1 の主記憶装置として機能する不揮発性のメモリデバイスを有し、プロセッサ 1 1 に対して並列に接続されている。なお、図 1 では、メモリ装置 1 2 を 4 つ備えた構成例を示したが、メモリ装置 1 2 の個数はこの例に限らないものとする。

【 0 0 1 5 】

図 2 は、メモリ装置 1 2 と、プロセッサ 1 1 との関係を示した図である。同図に示したように、メモリ装置 1 2 は、不揮発性メモリ 1 2 1 と、電源管理部 1 2 2 と、モード設定レジスタ 1 2 3 とを有している。

【 0 0 1 6 】

不揮発性メモリ 1 2 1 は、M R A M、F e R A M、P R A M (P h a s e c h a n g e R a n d o m A c c e s s M e m o r y)、R R A M (R e s i s t a n c e R a n d o m A c c e s s M e m o r y) 等とよばれる、読み書き自在な不揮発性メモリデバイスである。

【 0 0 1 7 】

なお、不揮発性メモリ 1 2 1 は、D I P (D u a l I n - l i n e P a c k a g e) や B G A (B a l l G r i d A r r a y) 等にパッケージされたチップ (ダイ) を用いて実現することとしてもよいし、不揮発性メモリ 1 2 1 のダイをマルチチップモジュール等に搭載して実現することとしてもよい。

【 0 0 1 8 】

電源管理部 1 2 2 は、図示しない電源から供給される電力を不揮発性メモリ 1 2 1 に供給するとともに、各メモリ領域に対して設けられたモード設定レジスタ 1 2 3 のレジスタ値に応じて、メモリ領域の単位で電力供給量を制御する。ここで、図 3 を参照して、電源管理部 1 2 2 と、モード設定レジスタ 1 2 3 との関係について説明する。

【 0 0 1 9 】

図 3 は、不揮発性メモリ 1 2 1 のメモリ領域と、モード設定レジスタ 1 2 3 との関係を示した図である。同図では、プロセッサ 1 1 が使用するメモリ空間として、不揮発性メモリ 1 2 1 の “ 0 0 0 0 0 0 0 0 ” 番地から “ 0 7 F F F F F F ” 番地までの 1 2 8 M B を割り当てた例を示している。また、図 3 では、1 2 8 M B のメモリ空間を 8 分割した 1 6 M B 分の各領域を一のメモリ領域としている。なお、図 3 で示したメモリ領域の個数や容量は一例であって、使用するメモリデバイスや環境に応じて適宜変更することが可能であるものとする。

【 0 0 2 0 】

モード設定レジスタ 1 2 3 は、不揮発性メモリ 1 2 1 を構成するメモリ領域の各々に対応する複数のレジスタを有し、対応するメモリ領域の状態を活動状態とするか停止状態とするかを規定する設定情報が夫々保持されている。具体的に、モード設定レジスタ 1 2 3 の各レジスタには、対応するメモリ領域への電力供給のオン、オフを規定する二値 (0 又は 1) のレジスタ値が夫々保持される。

【 0 0 2 1 】

電源管理部 1 2 2 は、モード設定レジスタ 1 2 3 の各レジスタに設定されたレジスタ値に応じて、各レジスタに対応するメモリ領域の電力制御を個別に行う。具体的に、電源管理部 1 2 2 は、レジスタ値が “ オン ” のメモリ領域に電力供給を行うことで、当該メモリ領域を活動状態とし、プロセッサ 1 1 からアクセス可能な状態へと移行させる。以下、メモリ領域が活動状態にあること、即ち、プロセッサ 1 1 からアクセス可能な状態を「活動モード」という。

【 0 0 2 2 】

また、電源管理部 1 2 2 は、レジスタ値がオフのメモリ領域への電力供給を停止又は抑制することで、当該メモリ領域を停止状態とする。ここで、電力供給の抑制とは、該当するメモリ領域を低消費電力で動作させる、所謂スリープ状態に移行させることを意味する。つまり、プロセッサ 1 1 から停止状態にあるメモリ領域へのアクセスは不可能となる。

10

20

30

40

50

以下、メモリ領域が停止状態にあること、即ち、プロセッサ 11 からアクセス不可能な状態を「停止モード」という。

【0023】

上記の構成において、プロセッサ 11 は、図示しない記憶媒体に保持されたアクセス管理テーブル 111 に基づいて、モード設定レジスタ 123 のレジスタ値を変更しながら不揮発性メモリ 121 にアクセスする。なお、アクセス管理テーブル 111 を保持するデバイスは特に問わないものとするが、例えば、プロセッサ 11 が記憶媒体を内蔵する場合には、プロセッサ 11 内に保持する態様としてもよいし、不揮発性メモリ 121 を用いて保持する態様としてもよい。後者の場合、不揮発性メモリ 121 のうち、後述する電力制御処理の対象とならないメモリ領域に保持することが好ましい。

10

【0024】

図 4 は、アクセス管理テーブル 111 の一例を示した図である。同図に示したように、アクセス管理テーブル 111 には、不揮発性メモリ 121 のメモリ領域毎に、その開始アドレスと、終了アドレスと、動作モードとが関連付けて登録されており、各行がメモリ領域の夫々に対応している。ここで、動作モードの項目には、メモリ領域毎の状態（活動モード / 停止モード）が記録され、モード設定レジスタ 123 のレジスタ値を変更する度に、当該レジスタ値に応じた状態に動作モードを更新する。なお、図 4 では、図 3 に示したメモリ領域の各々についての開始アドレスと、終了アドレスと、動作モードとを夫々示している。

【0025】

20

プロセッサ 11 は、プログラムの実行等に伴い、不揮発性メモリ 121 へのアクセスが発生すると、アクセス管理テーブル 111 を参照し、アクセス対象となるメモリアドレスを包含するメモリ領域の動作モードが“活動モード”にあるか否かを判定する。ここで、プロセッサ 11 は、アクセス対象のメモリアドレスを包含するメモリ領域が“活動モード”にあると判定した場合、アクセス対象のメモリアドレスにアクセスを行う。

【0026】

また、プロセッサ 11 は、アクセス対象のメモリアドレスを包含するメモリ領域が“停止モード”にあると判定した場合、このメモリ領域に対応するモード設定レジスタ 123 のレジスタ値を“オン”に設定した後、当該メモリ領域に対応するアクセス管理テーブル 111 の動作モードを“活動モード”に書き換える。このとき、プロセッサ 11 は、レジスタ値を“オン”としたメモリ領域が安定して動作する状態となるまで所定時間待機した後、アクセス対象のメモリアドレスにアクセスを行う。なお、待機時間は予め定められているものとするが、任意の時間を設定することが可能であるとする。

30

【0027】

また、プロセッサ 11 は、プログラムの実行を終了すると、“活動モード”としたメモリ領域に対応するアクセス管理テーブル 111 の動作モードを“停止モード”に書き換えた後、このメモリ領域に対応するモード設定レジスタ 123 のレジスタ値を“オフ”に設定する。

【0028】

ここで“活動モード”から“停止モード”への書き換えは、プログラム実行の終了後直ちに行うのではなく、所定時間待機した後に行うことが好ましい。具体的に、プロセッサ 11 は、プログラム実行の終了後、“活動モード”としたメモリ領域を使用しない期間を計測し、この期間が所定時間続いた場合に、“活動モード”から“停止モード”に書き換えを行う。これにより、特定のメモリ領域にかかるプログラムの実行が終了した後、このメモリ領域へのアクセスが所定時間以内に発生した場合には、モードの書き換えを行うことなく処理を継続することができるため、処理の効率化を図ることができる。“活動モード”から“停止モード”に書き換えるまでの時間は、任意の値を設定することが可能であるものとするが、プロセッサ 11 が実行する処理に応じて動的に設定することが好ましい。また、本実施形態では、“活動モード”から“停止モード”に書き換えを行うアクセス後の処理を、アクセス処理に引き続き行っているが、メモリ領域へのアクセスが完了した

40

50

時点で処理を終了した後、別のプロセスとしてアクセス後の処理を行ってもよい。

【 0 0 2 9 】

なお、プロセッサ 1 1 がライトバック方式のキャッシュメモリを有する場合には、アクセス対象のアドレスから読み出したデータがキャッシュメモリにキャッシュされている可能性がある。そのため、プロセッサ 1 1 は、レジスタ値を“オフ”に変更する前に、アクセス対象としたメモリアドレスを包含するメモリ領域についてキャッシュされたデータを、キャッシュメモリから該当するメモリ領域に書き戻す処理を行う。

【 0 0 3 0 】

以下、図 5、6 を参照して、プロセッサ 1 1 の不揮発性メモリ 1 2 1 へのアクセスにかかる動作について説明する。

【 0 0 3 1 】

図 5 は、プロセッサ 1 1 が、不揮発性メモリ 1 2 1 にアクセスする際の処理（アクセス処理）の手順を示した図である。まず、プロセッサ 1 1 は、所定のプログラムの実行等により不揮発性メモリ 1 2 1 へのアクセスが発生すると（ステップ S 1 1 ）、アクセス対象となるメモリアドレスを包含するエントリ（メモリ領域）が、アクセス管理テーブル 1 1 1 に登録されているか否かを判定する（ステップ S 1 2 ）。ここで、プロセッサ 1 1 が、アクセス管理テーブル 1 1 1 中のエントリにアクセス対象のメモリアドレスが含まれないと判定した場合には（ステップ S 1 2 ； N o ）、ステップ S 1 7 の処理に直ちに移行する。

【 0 0 3 2 】

一方、ステップ S 1 2 において、アクセス対象のメモリアドレスがアクセス管理テーブル 1 1 1 中の特定のメモリ領域（以下、アクセス対象領域という）に包含されると判定した場合（ステップ S 1 2 ； Y e s ）、プロセッサ 1 1 は、アクセス管理テーブル 1 1 1 を参照し、アクセス対象領域の動作モードが“停止モード”にあるか否かを判定する（ステップ S 1 3 ）。ここで、プロセッサ 1 1 が、アクセス対象領域の動作モードが“活動モード”にあると判定した場合には（ステップ S 1 3 ； N o ）、ステップ S 1 7 の処理に直ちに移行する。

【 0 0 3 3 】

一方、ステップ S 1 3 において、アクセス対象領域の動作モードが“停止モード”にあると判定した場合（ステップ S 1 3 ； Y e s ）、プロセッサ 1 1 は、このアクセス対象領域に対応するモード設定レジスタ 1 2 3 のレジスタ値を“オン”に設定する（ステップ S 1 4 ）。

【 0 0 3 4 】

続いて、プロセッサ 1 1 は、アクセス対象領域に対応するアクセス管理テーブル 1 1 1 の動作モードを“活動モード”に書き換え（ステップ S 1 5 ）、このアクセス対象領域が安定して動作する状態となるまで所定時間待機し（ステップ S 1 6 ）、ステップ S 1 7 の処理に移行する。

【 0 0 3 5 】

続くステップ S 1 7 において、プロセッサ 1 1 は、アクセス対象となったメモリアドレスにアクセスを行い（ステップ S 1 7 ）、本処理を終了する。

【 0 0 3 6 】

次に、図 6 を参照して、不揮発性メモリ 1 2 1 へのアクセス完了後の処理（アクセス後処理）について説明する。図 6 は、プロセッサ 1 1 により実行されるアクセス後処理の手順を示したフローチャートである。

【 0 0 3 7 】

プロセッサ 1 1 は、プログラムの実行完了等により、不揮発性メモリ 1 2 1 へのアクセスを完了すると（ステップ S 2 1 ）、アクセスを行ったメモリアドレスを包含するエントリ（メモリ領域）がアクセス管理テーブル 1 1 1 に登録されているか否かを判定する（ステップ S 2 2 ）。ここで、プロセッサ 1 1 が、アクセス管理テーブル 1 1 1 中のエントリに、アクセスを行ったメモリアドレス含まれないと判定した場合には（ステップ S 2 2 ；

10

20

30

40

50

No)、本処理を直ちに終了する。

【0038】

一方、ステップS22において、アクセスを行ったメモリアドレスがアクセス管理テーブル111の特定のメモリ領域(以下、アクセス済領域という)に包含されると判定した場合(ステップS22; Yes)、プロセッサ11は、アクセス管理テーブル111を参照し、アクセス済領域の動作モードが“活動モード”にあるか否かを判定する(ステップS23)。ここで、プロセッサ11が、アクセス済領域の動作モードが“停止モード”にあると判定した場合には(ステップS23; No)、本処理を直ちに終了する。

【0039】

一方、ステップS23において、アクセス済領域の動作モードが“活動モード”にあると判定した場合(ステップS23; Yes)、プロセッサ11は、このアクセス済領域の何れかに新たなアクセスが発生したか否かを判定する(ステップS24)。ここで、プロセッサ11は、アクセスの発生を検出した場合(ステップS24; Yes)、このアクセスの発生したアクセス済領域について、図5で説明したアクセス処理を実行する(ステップS25)。

【0040】

また、ステップS24において、アクセスの発生が検出されない場合(ステップS24; No)、プロセッサ11は、不揮発メモリへのアクセスが完了してから所定時間経過した否かを判定し、経過していないと判定した場合には(ステップS26; No)、ステップS24の処理に再び戻る。

【0041】

また、ステップS26において、所定時間経過したと判定した場合(ステップS26; Yes)、プロセッサ11は、アクセス済領域に対応するアクセス管理テーブル111の動作モードを“停止モード”に書き換える(ステップS27)。なお、プロセッサ11がライトバック方式のキャッシュメモリを有する場合、プロセッサ11は、アクセス済領域に書き戻す必要のあるデータをキャッシュメモリから読み出し、このアクセス済領域に書き戻す処理を実行する(ステップS28)。

【0042】

続いて、プロセッサ11は、アクセス済領域に対応するモード設定レジスタ123のレジスタ値を“オフ”に設定し(ステップS29)、本処理を終了する。なお、本実施形態では、“活動モード”から“停止モード”に書き換えを行うアクセス後の処理を、アクセス処理に引き続き行っているが、不揮発メモリへのアクセスが完了した時点で処理を終了した後、別のプロセスとしてアクセス後の処理を行ってもよい。

【0043】

次に、図7を参照して、メモリ装置12の動作について説明する。図7は、不揮発性メモリ121の電力制御処理の手順を示したフローチャートである。なお、本処理は、上述したステップS14又はステップS29の処理に応じて、電源管理部122が実行する処理である。

【0044】

まず、電源管理部122は、モード設定レジスタ123のレジスタ値を監視し、モード設定レジスタ123のレジスタ値が変更されるまで現在行っている電力制御を継続する(ステップS31; No)。電源管理部122は、プロセッサ11によりモード設定レジスタ123のレジスタ値が変更されたことを検出すると(ステップS31; Yes)、モード設定レジスタ123の各レジスタ値を判定する(ステップS32)。

【0045】

ここで、電源管理部122は、モード設定レジスタ123のレジスタ値が“オン”のメモリ領域については(ステップS32; オン)、当該メモリ領域への電力供給を開始することで、当該メモリ領域を活動モードとする(ステップS33)。

【0046】

一方、電源管理部122は、モード設定レジスタ123のレジスタ値が“オフ”のメモ

10

20

30

40

50

リ領域については（ステップ S 3 2 ; オフ）、当該メモリ領域への電力供給を停止又は抑制することで、当該メモリ領域を停止モードとする（ステップ S 3 4）。

【 0 0 4 7 】

上記の構成により、例えば、不揮発性メモリ 1 2 1 の一部のメモリ領域にプロセッサ 1 1 がアクセスする際には、このアクセス対象のメモリ領域のみを活動モードとし、他のメモリ領域を停止モードとすることができる。これにより、プロセッサ 1 1 に対する不揮発性メモリ 1 2 1 の機能を維持するとともに、不揮発性メモリ 1 2 1 への電力供給量を減少させることができるため、消費電力を低減することができる。

【 0 0 4 8 】

以上のように、第 1 の実施形態によれば、不揮発性メモリ 1 2 1 を構成するメモリ領域の単位で電力制御を行うことで、不揮発性メモリ 1 2 1 の消費電力を低減することができるため、不揮発性メモリにかかる電力制御をより効率的に行うことができる。

【 0 0 4 9 】

なお、図 4 に示したアクセス管理テーブル 1 1 1 では、開始アドレスと、終了アドレスと、動作モードとの 3 つの情報をメモリ領域毎に保持することとしたが、アクセス対象のメモリアドレスと比較することが可能であれば、他の情報を用いてアクセス管理テーブル 1 1 1 を構成することとしてもよい。例えば、終了アドレスに代えて、開始アドレスから終了アドレスまでのサイズをメモリ領域毎に保持する態様としてもよい。

【 0 0 5 0 】

また、動作モードの項目を設けずに、停止モードにあるメモリ領域のアドレス範囲だけをアクセス管理テーブル 1 1 1 に保持し、このアクセス管理テーブル 1 1 1 に存在しないアドレス範囲を活動モードとして扱う態様としてもよい。逆に、活動モードにあるメモリ領域のアドレス範囲だけをアクセス管理テーブル 1 1 1 に保持し、このアクセス管理テーブル 1 1 1 に存在しないアドレス範囲を停止モードとして扱う態様としてもよい。

【 0 0 5 1 】

なお、本実施形態では、アクセス管理テーブル 1 1 1 を用いて停止モードにあるメモリ領域を検出する態様としたが、プロセッサ 1 1 がメモリ保護機能を搭載する場合には、このメモリ保護機能を用いて、停止モードのメモリ領域へのアクセスを検出することができる。ここで、メモリ保護機能とは、プログラムの暴走時等に当該プログラムが読み書きしているメモリ領域を破壊することが無いように保護する機能であって、例えば、ARM System Developer's Guide (Morgan Kaufmann, ISBN 1 - 5 5 8 6 0 - 8 7 4 - 5) の 1 3 章に、ARM プロセッサについてのメモリ保護機能 (Memory Protection Units) が開示されている。

【 0 0 5 2 】

上述したメモリ保護機能を用いることで、メモリ空間上での複数のアドレス範囲（メモリ領域）に対してその保護属性を付与することができる。ここで、アクセス禁止の保護属性を付与しておけば、そのアドレス範囲をアクセスした時点で割り込みが発生し、プログラムの実行を一時停止することができる。即ち、このメモリ保護機能を利用し、停止モードにあるメモリ領域に対してアクセス禁止の属性を付与しておくことで、停止モードのメモリ領域へのアクセスを検出することが可能となる。

【 0 0 5 3 】

また、本実施形態では、レジスタ値の“オン”から“オフ”への切り替えをアクセス終了時に行う構成としたが、任意のタイミングで行うこととしてもよい。例えば、プロセッサ 1 1 が、不揮発性メモリ 1 2 1 にアクセスしてからの経過時間を計測し、所定時間経過後にモード設定レジスタ 1 2 3 の全てのレジスタ値を“オフ”とする態様としてもよい。また、他の態様として、所定時間経過毎に所定個分のレジスタ値を順次“オフ”とする態様としてもよい。何れの場合においても、プロセッサ 1 1 は、レジスタ値の変更に伴い、アクセス管理テーブル 1 1 1 に登録された対応するメモリ領域の動作モードを“停止モード”に書き換える。これにより、不揮発性メモリ 1 2 1 へのアクセスが発生しないときに、不揮発性メモリ 1 2 1 への電力供給を停止又は抑制することができるため、情報処理装

10

20

30

40

50

置 1 0 0 の消費電力をさらに低減することが可能となる。

【 0 0 5 4 】

なお、トリガとなる経過時間は、R T C (R e a l T i m e C l o c k) 等の時間の測定を行う図示しない時間計測部から取得するものとし、任意の時間を設定することが可能であるとする。

【 0 0 5 5 】

また、プロセッサ 1 1 がアクセスする不揮発性メモリ 1 2 1 のメモリ領域については、特段の制約はないものとする。なお、プログラム実行時に必要となる作業領域の確保については以下に説明するメモリ管理方法を用いることで、不揮発性メモリ 1 2 1 の電力制御をより効率的に行うことができる。

10

【 0 0 5 6 】

一般にプログラムは、作業領域用のメモリが必要になれば m a l l o c 関数等呼び出してメモリ領域を確保し、また、不要になれば f r e e 関数等の関数を呼び出してメモリ領域を解放する。これは、予め確保しておいた大きなサイズのメモリ領域を、要求された細かなサイズに切り分けてプログラムに与え、不要になればそれらを回収して再利用するメモリ管理を行うことで実現している。

【 0 0 5 7 】

そこで、プロセッサ 1 1 が、上記したメモリ管理をメモリ領域単位で行うことで、プログラムがメモリを必要とした場合に、どのメモリ領域からメモリを確保するかを選択できるよう構成する。これにより、作業領域を効率的に確保することが可能となる。

20

【 0 0 5 8 】

また、プログラムが新しいメモリの確保を要求する場合、プロセッサ 1 1 は、アクセス管理テーブル 1 1 1 やモード設定レジスタ 1 2 3 を参照し、現在活動状態にあるメモリ領域から優先して作業領域を確保する。これにより、確保した作業領域をすぐに利用できるとともに、新たなメモリ領域が停止状態から活動状態に遷移することを抑制できるため、不揮発性メモリ 1 2 1 の電力制御をより効率的に行うことができる。

【 0 0 5 9 】

また、他のメモリ管理方法として、同じプログラムが使用する作業領域は、できるだけ同じメモリ領域から確保する方法が挙げられる。この場合、プロセッサ 1 1 は、あるプログラムが前回どのメモリ領域から作業領域を確保したかを覚えておき、次に作業領域が必要になったときはできるだけ同じメモリ領域から作業領域を確保する。これにより、一つのプログラムが使用するメモリ領域の数を減らすことができるため、より多くのメモリ領域を停止状態にでき、消費電力をより低減することができる。

30

【 0 0 6 0 】

[変形例]

次に、上述した第 1 の実施形態の変形例として、メモリ管理機構のページテーブルを用いてメモリ領域へのアクセスを行う構成について説明する。なお、上述した第 1 の実施形態と同様の構成については、同一の符号を付与し、その説明は省略する。

【 0 0 6 1 】

図 8 は、第 1 の実施形態の変形例にかかる情報処理装置 2 0 0 の構成を示した図である。なお、同図では、一のメモリ装置 1 2 のみを示しているが、プロセッサ 2 1 と、メモリ装置 1 2 との関係は図 1 で示した構成と同様であるものとする。

40

【 0 0 6 2 】

プロセッサ 2 1 は、プロセッサ 1 1 と同様の演算装置であって、メモリ装置 1 2 の不揮発性メモリ 1 2 1 を主記憶装置として種々の処理を実行する。また、プロセッサ 2 1 は、不揮発性メモリ 1 2 1 に対するメモリ管理機構を実装しており、このメモリ管理機構で用いるページテーブル 2 1 1、変換ルックアサイド・バッファ (T r a n s l a t i o n L o o k a s i d e B u f f e r) 2 1 2 を図示しない記憶媒体に保持している。

【 0 0 6 3 】

なお、ページテーブル 2 1 1 及び変換ルックアサイド・バッファ 2 1 2 を保持するデバ

50

イスは特に問わないものとするが、例えば、プロセッサ 2 1 が記憶媒体を内蔵する場合には、プロセッサ 2 1 内に保持する態様としてもよいし、不揮発性メモリ 1 2 1 を用いて保持する態様としてもよい。後者の場合、不揮発性メモリ 1 2 1 のうち、電力制御処理の対象とならないメモリ領域に保持することが好ましい。

【0064】

ここで、メモリ管理機構とは、不揮発性メモリ 1 2 1 のメモリ空間の管理と保護を行うための機構であって、例えば、ARM System Developer's Guide (Morgan Kaufmann, ISBN 1-55860-874-5) の 14 章に、ARM プロセッサについてのメモリ管理機構 (Memory Management Units) が開示されている。なお、メモリ管理機構では、ページテーブル 2 1 1 を用いてアドレス変換やアクセス制御を行うことで仮想記憶を実現する。

10

【0065】

図 9 は、ページテーブル 2 1 1 と、不揮発性メモリ 1 2 1 のメモリ領域との関係を示した図である。図 9 に示したように、ページテーブル 2 1 1 には、アクセス制御情報と、アドレス情報とが関連付けて登録されており、これら情報の組毎にエントリ番号が付与されている。なお、図 9 では、ページサイズが 4 KB の例を示している。

【0066】

ここで、アクセス制御情報には、アクセスが可能か否かを指示するための情報が記録されている。なお、本実施形態では、アクセス制御情報 “0” が、アクセス可能であることを示すものとし、アクセス制御情報 “1” が、アクセス不可を示すものとする。

20

【0067】

プロセッサ 2 1 は、メモリアドレスを指定して不揮発性メモリ 1 2 1 (メモリ領域) の読み書きを行う際に、メモリアドレスの上位 20 ビットをページ番号として取り出し、このページ番号と同じエントリ番号に関連付けられたエントリ (アクセス制御情報及びアドレス情報) をページテーブル 2 1 1 から読み出す。

【0068】

ここで、読み出したアクセス制御情報が “0” であった場合、プロセッサ 2 1 は、読み出したアドレス情報を上位 20 ビットとし、アクセス対象として指定したメモリアドレスを下位 12 ビットとした、計 32 ビットのアドレスを生成し、このアドレスで不揮発性メモリ 1 2 1 にアクセスする。つまり、ページテーブル 2 1 1 のアドレス情報には、不揮発性メモリ 1 2 1 での各メモリページのアドレス上位 20 ビットが夫々記録されている。

30

【0069】

一方、読み出したアクセス制御情報が “1” であった場合には、プロセッサ 2 1 は、そのエントリのアドレス情報を参照し、アドレス情報が “0 (00000)” であれば、このアドレス情報に対応するメモリページが不揮発性メモリ 1 2 1 上に割り当てられていないと判定する。また、アドレス情報が “0” 以外の値である場合、プロセッサ 2 1 は、このアドレス情報に対応するメモリページは不揮発性メモリ 1 2 1 上に割り当てられているが、このメモリページを含むメモリ領域が停止モードにあると判定する。

【0070】

変換ルックアサイド・バッファ 2 1 2 は、ページテーブル 2 1 1 の一部又は全てのエントリを保持するキャッシュである。上述したアドレス変換の際に、変換ルックアサイド・バッファ 2 1 2 が保持するエントリを利用することで、処理の高速化を図ることができる。

40

【0071】

本実施形態の構成では、上記したページテーブル 2 1 1 のエントリを利用することで、プロセッサ 2 1 によるプログラムの実行を一時停止させる。具体的には、停止モードのメモリ領域に包含されるメモリページを指示するエントリ (アドレス情報) のアクセス制御情報を “1”、即ちアクセス不可としておくことで、プロセッサ 2 1 が停止状態のメモリ領域にアクセスした際に割り込み (ページフォールト) を発生させる。このページフォールト発生時に、電源管理部 1 2 2 が不揮発性メモリ 1 2 1 への電力制御を行うことで、第

50

1の実施形態と同様の電力制御処理を実行することができる。

【0072】

以下、図10を参照して、プロセッサ21の動作を説明する。図10は、メモリ装置12へのアクセス処理の手順を示した図である。まず、プロセッサ21が、ページテーブル211でのアクセス制御情報が“アクセス不可”となっているメモリページや、読み出し専用になっているメモリページにアクセスすると、ページフォールトが発生する（ステップS41）。

【0073】

続いて、プロセッサ21は、ページフォールトが発生したメモリページに対応するページテーブル211のエントリに基づいて、ステップS41で発生したページフォールトが仮想記憶のためのページフォールトか否かを判定する（ステップS42）。ここで、アクセス制御情報が“1”（アクセス不可）で且つアドレス情報が“0”（00000）であった場合、プロセッサ21は、仮想記憶のためのページフォールトと判定する（ステップS42；Yes）。次いで、プロセッサ21は、図示しない2次記憶（仮想記憶）装置と不揮発性メモリ121との間でページのスワッピングを行い（ステップS43）、本処理を終了する。

10

【0074】

一方、ステップS42において、アクセス制御情報が“1”で且つアドレス情報が“0”以外と判定した場合（ステップS42；No）、プロセッサ21は、モード設定レジスタ123のレジスタ値を参照し、このアドレス情報で指示されたメモリページを包含するメモリ領域（アクセス対象領域）が停止モードにあるか否かを判定する（ステップS44）。ここで、アクセス対象領域が活動モードにあると判定した場合（ステップS44；No）、ステップS47の処理に直ちに移行する。

20

【0075】

一方、ステップS44において、アクセス対象領域が停止モードにあると判定した場合（ステップS44；Yes）、プロセッサ21は、このアクセス対象領域に対応するモード設定レジスタ123のレジスタを“オン”に設定する（ステップS45）。続いて、プロセッサ21は、アクセス対象メモリ領域が活動状態になるまで所定時間待機した後（ステップS46）、ステップS47の処理に移行する。

【0076】

30

続くステップS47において、プロセッサ21は、ステップS42で判定対象としたアクセス制御情報と同一エントリのアクセス制御情報をアクセス可能“0”に設定する（ステップS47）。次いで、プロセッサ21は、ステップS47で設定変更したエントリを変換ルックアサイド・バッファ212から削除する（ステップS48）。そして、プロセッサ21は、ステップS41でページフォールトが発生した処理を再開し（ステップS49）、本処理を終了する。

【0077】

次に、図11を参照して、メモリ装置12へのアクセス完了後の処理について説明する。なお、図11は、プロセッサ21により実行されるアクセス後処理の手順を示したフローチャートである。

40

【0078】

プロセッサ21は、プログラムの実行完了等により、不揮発性メモリ121へのアクセスを完了すると（ステップS51）、ページテーブル211を参照し、アクセスを行ったメモリ領域（アクセス済領域）を指す全てのエントリを特定する（ステップS52）。

【0079】

続いて、プロセッサ21は、ステップS52で特定した全てのエントリに対して、当該エントリに含まれたアクセス制御情報を“アクセス不可”に設定する（ステップS53）。

【0080】

次いで、プロセッサ21は、ステップS52で特定したエントリの何れかに新たなアク

50

セス（ページフォールト）が発生したか否かを判定する（ステップ S 5 4）。ここで、プロセッサ 2 1 は、ページフォールトの発生を検出した場合（ステップ S 5 4；Y e s）、このページフォールトの発生したエントリについて、図 1 0 で説明したアクセス処理を実行する（ステップ S 5 5）。

【 0 0 8 1 】

また、ステップ S 5 4 において、ページフォールトの発生が検出されない場合（ステップ S 5 4；N o）、プロセッサ 2 1 は、不揮発メモリへのアクセスが完了してから所定時間経過した否かを判定し、経過していないと判定した場合には（ステップ S 5 6；N o）、ステップ S 5 4 の処理に再び戻る。

【 0 0 8 2 】

また、ステップ S 5 6 において、所定時間経過したと判定した場合（ステップ S 5 6；Y e s）、プロセッサ 2 1 は、ステップ S 5 3 で“アクセス不可”に設定変更したエントリの情報を変換ルックアサイド・バッファ 2 1 2 から削除する（ステップ S 5 7）。

【 0 0 8 3 】

プロセッサ 2 1 が上述したライトバック方式のキャッシュメモリを有する場合には、ステップ S 5 7 の後、プロセッサ 2 1 は、アクセスを行ったメモリ領域に書き戻す必要のあるデータをキャッシュメモリから読み込み、当該メモリ領域に書き戻す（ステップ S 5 8）。続いて、プロセッサ 2 1 は、アクセス済領域に対応するモード設定レジスタ 1 2 3 を“オフ”に設定し（ステップ S 5 9）、本処理を終了する。なお、本実施形態では、“活動モード”から“停止モード”に書き換えを行うアクセス後の処理を、アクセス処理に引き続き行っているが、メモリ領域へのアクセスが完了した時点で処理を終了した後、別のプロセスとしてアクセス後の処理を行ってもよい。

【 0 0 8 4 】

以上のように、第 1 の実施形態の変形例によれば、プロセッサ 2 1 が搭載するメモリ管理機構を利用して、不揮発性メモリを構成する複数のメモリ領域の単位で電力制御を個別に行うことで、メモリ管理機構を搭載するプロセッサに容易に適用することができるため、より多くの情報処理装置で消費電力の低減を図ることができる。

【 0 0 8 5 】

[第 2 の実施形態]

上述した第 1 の実施形態では、不揮発性メモリと電源管理部とを一対一対応とする構成を説明した。以下に説明する第 2 の実施形態では、一つの不揮発性メモリに対し、複数の電源管理部を備えた構成について説明する。なお、上述した第 1 の実施形態と同様の構成については、同一の符号を付与し、その説明は省略する。

【 0 0 8 6 】

図 1 2 は、第 2 の実施形態にかかる情報処理装置 3 0 0 の構成を示した図である。なお、同図では、一のメモリ装置 3 1 のみを示しているが、プロセッサ 1 1 と、メモリ装置 3 1 との関係は図 1 で示した構成と同様であるものとする。

【 0 0 8 7 】

図 1 2 に示したように、メモリ装置 3 1 は、不揮発性メモリ 3 1 1 と、電源管理部 3 1 2 と、モード設定レジスタ 3 1 3 とを有している。

【 0 0 8 8 】

不揮発性メモリ 3 1 1 は、内部に複数のメモリアレイ M 3 1 ~ M 3 8 を備えている。ここでメモリアレイは、不揮発性メモリ 3 1 1 内部で実際にデータを格納する領域であって、上述したメモリ領域に対応するものである。なお、各メモリアレイの記憶容量は特に問わないものとする。

【 0 0 8 9 】

電源管理部 3 1 2 は、メモリアレイ毎に設けられており、各メモリアレイに対応するレジスタ値が、対応する電源管理部 3 1 2 の夫々に入力されるようモード設定レジスタ 3 1 3 と接続されている。電源管理部 3 1 2 は、自己の電源管理部 3 1 2 に接続されたモード設定レジスタ 3 1 3 のレジスタ値を監視し、このレジスタ値のオン又はオフに応じて、自

10

20

30

40

50

己の電源管理部 3 1 2 に接続されたメモリアレイへの電力供給を制御する。なお、本実施形態では、モード設定レジスタ 3 1 3 の各レジスタを 1 ヶ所に集中させた構成としたが、これに限らず、各レジスタを対応する電源管理部 3 1 2 の近傍に分散して配置する構成としてもよい。

【 0 0 9 0 】

プロセッサ 1 1 は、第 1 の実施形態と同様、不揮発性メモリ 3 1 1 (メモリアレイ)へのアクセス時に、このアクセス対象となる不揮発性メモリ 3 1 1 のメモリアレイについて、モード設定レジスタ 3 1 3 のレジスタ値を“オン”とする。なお、プロセッサ 1 1 のレジスタ設定にかかる動作は、上述した第 1 の実施形態と同様に行うことができる。

【 0 0 9 1 】

通常、各メモリアレイへのデータの読み書きをするためにプロセッサ 1 1 のバスは不揮発性メモリ 3 1 1 に接続されるので、その接続をモード設定レジスタ 3 1 3 の設定に利用することができる。なお、電源管理部 3 1 2 が実行する電力制御処理の手順は、上述した第 1 の実施形態にかかる電力制御処理の手順と同様であるため、説明を省略する。

【 0 0 9 2 】

以上のように、第 2 の実施形態によれば、不揮発性メモリ 3 1 1 を構成するメモリアレイ (メモリ領域) の単位で電力制御を行うことで、不揮発性メモリ 3 1 1 の消費電力を低減することができるため、不揮発性メモリにかかる電力制御をより効率的に行うことができる。

【 0 0 9 3 】

[第 3 の実施形態]

次に、電力制御装置の第 3 の実施形態について説明する。上述した第 2 の実施形態では、不揮発性メモリを構成するメモリアレイ単位で電力供給を制御する態様を説明した。本実施形態では、このメモリアレイをさらに細分化したメモリ領域 (以下、細分メモリ領域という) の単位で電力供給の制御を行う構成について説明する。なお、上述した第 1、第 2 の実施形態と同様の構成については、同一の符号を付与し、その説明は省略する。

【 0 0 9 4 】

図 1 3 は、第 3 の実施形態にかかる情報処理装置 4 0 0 の構成を示した図である。なお、同図では、不揮発性メモリ 4 1 1 を構成する複数のメモリアレイのうち、一つのメモリアレイ M 4 1 についてのみ図示しているが、不揮発性メモリ 4 1 1 とメモリアレイ M 4 1 との関係は図 1 2 で示した構成と同様であるものとする。また、プロセッサ 4 2 と、メモリ装置 4 1 との関係は図 1 で示した構成と同様であるものとする。

【 0 0 9 5 】

図 1 3 に示したように、メモリ装置 4 1 は、不揮発性メモリ 4 1 1 (メモリアレイ M 4 1) と、デコーダ/ドライバ 4 1 2 と、電源管理部 4 1 3 と、モード設定レジスタ 4 1 4 と、センスアンプ 4 1 5 とを有している。

【 0 0 9 6 】

メモリアレイ M 4 1 は、不揮発性メモリ 4 1 1 の構成要素となるメモリ領域であって、図 1 2 で示した不揮発性メモリ 3 1 1 のメモリアレイ M 3 1 ~ M 3 8 に対応する。ここで、メモリアレイ M 4 1 のメモリ領域は、当該メモリ領域がさらに細分化された細分メモリ領域 M 4 1 1 ~ M 4 1 4 から構成されている。なお、各細分メモリ領域に記憶容量は特に問わないものとする。

【 0 0 9 7 】

デコーダ/ドライバ 4 1 2 は、メモリアレイ M 4 1 の細分メモリ領域毎に設けられ、自己のデコーダ/ドライバ 4 1 2 に対応する細分メモリ領域 (アドレス空間) を有効とする信号をメモリアレイ M 4 1 に送信することで、対応する細分メモリ領域をアクセス可能な活動モードとする。

【 0 0 9 8 】

電源管理部 4 1 3 は、デコーダ/ドライバ 4 1 2 毎に設けられ、モード設定レジスタ 4 1 4 の各レジスタに設定されたレジスタ値 (オン又はオフ) に応じて、デコーダ/ドライ

10

20

30

40

50

バ 4 1 2 への電力供給を制御する。ここで、モード設定レジスタ 4 1 4 は、細分メモリ領域 M 4 1 1 ~ M 4 1 4 の夫々に対応する複数のレジスタを有しており、これらレジスタのレジスタ値が、各細分メモリ領域に対応する電源管理部 4 1 3 に入力されるよう構成されている。

【 0 0 9 9 】

電源管理部 4 1 3 は、自己の電源管理部 4 1 3 に対応するレジスタ値がオン状態となったことを検出すると、自己の電源管理部 4 1 3 に接続されたデコーダ/ドライバ 4 1 2 への電力供給を開始することで、デコーダ/ドライバ 4 1 2 を動作させる。つまり、電源管理部 4 1 3 は、デコーダ/ドライバ 4 1 2 を動作させることで、このデコーダ/ドライバ 4 1 2 に対応する細分メモリ領域を活動モードとする。

10

【 0 1 0 0 】

また、電源管理部 4 1 3 は、自己の電源管理部 4 1 3 に対応するレジスタ値がオフ状態となったことを検出すると、自己の電源管理部 4 1 3 に接続されたデコーダ/ドライバ 4 1 2 への電力供給を遮断又は低下させることで、デコーダ/ドライバ 4 1 2 の動作を停止させる。つまり、電源管理部 4 1 3 は、デコーダ/ドライバ 4 1 2 の動作を停止させることで、このデコーダ/ドライバ 4 1 2 に対応する細分メモリ領域を停止モードとする。

【 0 1 0 1 】

センスアンプ 4 1 5 は、メモリアレイ M 4 1 のアクセスにかかる電圧を増幅する回路であって、プロセッサ 4 2 はこのセンスアンプ 4 1 5 を介して、メモリアレイ M 4 1 の各細分メモリ領域 M 4 1 1 ~ M 4 1 4 にアクセスを行う。

20

【 0 1 0 2 】

プロセッサ 4 2 は、上述したプロセッサ 1 1 と同様の演算装置であって、不揮発性メモリ 4 1 1 を主記憶装置として種々の処理を実行する。また、プロセッサ 4 2 は、アクセス対象となるメモリアレイ及び細分メモリ領域に対応するモード設定レジスタ 4 1 4 を“オン”とする。なお、プロセッサ 4 2 のレジスタ設定にかかる動作は、上述した第 1 の実施形態と同様に行うことができる。

【 0 1 0 3 】

以下、図 1 4 を参照して、メモリ装置 4 1 の動作について説明する。図 1 4 は、電源管理部 4 1 3 により実行される電力制御処理の手順を示したフローチャートである。まず、電源管理部 4 1 3 は、モード設定レジスタ 4 1 4 の状態を監視し（ステップ S 6 1 ; N o）、プロセッサ 4 2 によりモード設定レジスタ 4 1 4 が変更されたことを検出すると（ステップ S 6 1 ; Y e s）、モード設定レジスタ 4 1 4 のレジスタ値を判定する（ステップ S 6 2）。

30

【 0 1 0 4 】

ここで、電源管理部 4 1 3 は、モード設定レジスタ 4 1 4 のレジスタ値が“オン”と判定すると（ステップ S 6 2 ; オン）、自己の電源管理部 4 1 3 に接続されたデコーダ/ドライバ 4 1 2 への電力供給を開始することで、このデコーダ/ドライバ 4 1 2 に対応する細分メモリ領域をアクセス可能な状態（活動状態）とし（ステップ S 6 3）、本処理を終了する。

【 0 1 0 5 】

一方、電源管理部 4 1 3 は、モード設定レジスタ 4 1 4 のレジスタ値が“オフ”と判定すると（ステップ S 6 2 ; N o）、自己の電源管理部 4 1 3 に接続されたデコーダ/ドライバ 4 1 2 への電力供給を停止又は抑制することで、このデコーダ/ドライバ 4 1 2 に対応する細分メモリ領域をアクセス不可能な状態（停止状態）とし（ステップ S 6 4）、本処理を終了する。

40

【 0 1 0 6 】

以上のように、第 3 の実施形態によれば、不揮発性メモリ 4 1 1 を構成するメモリアレイ（メモリ領域）を細分化した細分メモリ領域の単位で電力制御を行うことで、不揮発性メモリの消費電力をさらに低減することができるため、不揮発性メモリにかかる電力制御をより効率的に行うことができる。

50

【 0 1 0 7 】

[第 4 の実施形態]

次に、電力制御装置の第 4 の実施形態について説明する。本実施形態では、不揮発性メモリを構成するメモリアレイ単位で電力供給を制御するとともに、メモリアレイ単位でアクセス制御を行う構成について説明する。なお、上述した第 1 ~ 第 3 の実施形態と同様の構成については、同一の符号を付与し、その説明は省略する。

【 0 1 0 8 】

図 1 5 は、第 4 の実施形態にかかる情報処理装置 5 0 0 の構成を示した図である。なお、同図では、不揮発性メモリ 5 1 1 を構成する複数のメモリアレイのうち、一つのメモリアレイ M 5 1 についてのみ図示しているが、不揮発性メモリ 5 1 1 とメモリアレイ M 5 1 との関係は図 1 2 で示した構成と同様であるものとする。また、プロセッサ 5 2 と、メモリ装置 5 1 との関係は図 1 で示した構成と同様であるものとする。

10

【 0 1 0 9 】

図 1 5 に示したように、メモリ装置 5 1 は、不揮発性メモリ 5 1 1 (メモリアレイ M 5 1) と、デコーダ/ドライバ 5 1 2 と、書込用ドライバ 5 1 3 と、電源管理部 5 1 4 と、モード設定レジスタ 5 1 5 と、アクセス制御レジスタ 5 1 6 と、センスアンプ 5 1 7 とを有している。

【 0 1 1 0 】

メモリアレイ M 5 1 は、不揮発性メモリ 5 1 1 の構成要素となるメモリ領域であって、図 1 2 で示した不揮発性メモリ 3 1 1 のメモリアレイ M 3 1 ~ M 3 8 に対応する。デコーダ/ドライバ 5 1 2 は、メモリアレイ毎に設けられ、メモリアレイを有効とする信号をメモリアレイ M 5 1 に送信することで、このメモリアレイ M 5 1 をアクセス可能な活動モードとする。

20

【 0 1 1 1 】

書込用ドライバ 5 1 3 は、メモリアレイ M 5 1 へのデータの書き込みの際に、書き込みに必要な電流をセンスアンプ 5 1 7 に供給するドライバである。電源管理部 5 1 4 は、デコーダ/ドライバ 5 1 2 と、書込用ドライバ 5 1 3 とに接続され、モード設定レジスタ 5 1 5 及びアクセス制御レジスタ 5 1 6 の各レジスタに設定されたレジスタ値の組み合わせに応じて、デコーダ/ドライバ 5 1 2、書込用ドライバ 5 1 3 への電力供給を制御する。

【 0 1 1 2 】

ここで、モード設定レジスタ 5 1 5 は、メモリアレイ M 5 1 の電力制御にかかる一のレジスタを有し、このレジスタ値 (0 又は 1) が電源管理部 5 1 4 に入力されるよう構成されている。なお、モード設定レジスタ 5 1 5 のレジスタ値が “ 0 ” のときオフ状態 (停止モード) を規定するものとし、レジスタ値が “ 1 ” のときオン状態 (活動モード) を規定するものとする。

30

【 0 1 1 3 】

また、アクセス制御レジスタ 5 1 6 は、メモリアレイ M 5 1 の読み出し及び書き込みにかかるアクセス制限を規定するための一のレジスタを有し、このレジスタ値 (0 又は 1) が電源管理部 5 1 4 に入力されるよう構成されている。ここで、アクセス制御レジスタ 5 1 6 のレジスタ値 “ 0 ” は、読み出し専用を規定するものとし、レジスタ値 “ 1 ” は、読み書き可能を規定するものとする。なお、本実施形態では、メモリアレイ毎にアクセス制御レジスタ 5 1 6 のレジスタ値は予め定められているものとするが、プロセッサ 5 2 が、アクセス制御レジスタ 5 1 6 を設定する態様としてもよい。

40

【 0 1 1 4 】

電源管理部 5 1 4 は、モード設定レジスタ 5 1 5 のレジスタ値が “ 0 ” のとき、デコーダ/ドライバ 5 1 2 及び書込用ドライバ 5 1 3 への電力供給を停止又は抑制することで、デコーダ/ドライバ 5 1 2 及び書込用ドライバ 5 1 3 を停止状態とする。また、電源管理部 5 1 4 は、モード設定レジスタ 5 1 5 のレジスタ値が “ 1 ” で、且つ、アクセス制御レジスタ 5 1 6 のレジスタ値が “ 0 ” のとき、デコーダ/ドライバ 5 1 2 への電力供給を開始することでデコーダ/ドライバ 5 1 2 を活動状態にするとともに、書込用ドライバ 5 1

50

3 への電力供給を停止又は抑制することで書込用ドライバ 5 1 3 を停止状態とする。さらに、電源管理部 5 1 4 は、モード設定レジスタ 5 1 5 のレジスタ値が “ 1 ” で、且つ、アクセス制御レジスタ 5 1 6 のレジスタ値が “ 1 ” のとき、デコーダ / ドライバ 5 1 2 及び書込用ドライバ 5 1 3 への電力供給を開始することでデコーダ / ドライバ 5 1 2 及び書込用ドライバ 5 1 3 を活動状態とする。

【 0 1 1 5 】

センスアンプ 5 1 7 は、メモリアレイ M 5 1 とのアクセスにかかる電圧を増幅する回路である。プロセッサ 5 2 はこのセンスアンプ 5 1 7 を介してメモリアレイ M 5 1 にアクセスを行う。

【 0 1 1 6 】

プロセッサ 5 2 は、不揮発性メモリ 5 1 1 を主記憶装置として種々の処理を実行する。ここで、プロセッサ 5 2 は、不揮発性メモリ 5 1 1 にアクセスする際に、アクセス対象となるメモリ領域を不揮発性メモリ 5 1 1 のメモリアレイ単位でセンスアンプ 5 1 7 に指定する。また、プロセッサ 5 2 は、アクセス対象となるメモリアレイのモード設定レジスタ 5 1 5 を “ オン ” とする。なお、プロセッサ 5 2 のレジスタ設定にかかる動作は、上述した第 1 の実施形態と同様に行うことができる。

【 0 1 1 7 】

以下、図 1 6 を参照して、メモリ装置 5 1 の動作について説明する。図 1 6 は、電源管理部 5 1 4 により実行される電力制御処理の手順を示したフローチャートである。まず、電源管理部 5 1 4 は、モード設定レジスタ 5 1 5 の状態を監視し（ステップ S 7 1 ; N o
20
）、プロセッサ 5 2 によりモード設定レジスタ 5 1 5 が変更されたことを検出すると（ステップ S 7 1 ; Y e s ）、モード設定レジスタ 5 1 5 のレジスタ値を判定する（ステップ S 7 2 ）。

【 0 1 1 8 】

ここで、モード設定レジスタ 5 1 5 のレジスタ値が “ オフ ” と判定した場合（ステップ S 7 2 ; オフ）、電源管理部 5 1 4 は、自己の電源管理部 5 1 4 に接続されたデコーダ / ドライバ 5 1 2 及び書込用ドライバ 5 1 3 への電力供給を停止又は抑制することで、このデコーダ / ドライバ 5 1 2 及び書込用ドライバ 5 1 3 を停止し（ステップ S 7 3 ）、本処理を終了する。

【 0 1 1 9 】

一方、ステップ S 7 2 において、モード設定レジスタ 5 1 5 のレジスタ値が “ オン ” と判定した場合（ステップ S 7 2 ; オン）、電源管理部 5 1 4 は、アクセス制御レジスタ 5 1 6 のレジスタ値が “ 読み出し専用 ” 又は “ 読み書き可能 ” を示すものかを判定する（ステップ S 7 4 ）。

【 0 1 2 0 】

ステップ S 7 4 において、アクセス制御レジスタ 5 1 6 のレジスタ値が “ 読み出し専用 ” を示すと判定した場合（ステップ S 7 4 ; 読出専用）、電源管理部 5 1 4 は、自己の電源管理部 5 1 4 に接続されたデコーダ / ドライバ 5 1 2 への電力供給を開始するとともに、書込用ドライバ 5 1 3 への電力供給を停止又は抑制し（ステップ S 7 5 ）、本処理を終了する。

【 0 1 2 1 】

一方、ステップ S 7 4 において、アクセス制御レジスタ 5 1 6 のレジスタ値が “ 読み書き可能 ” を示すと判定した場合（ステップ S 7 4 ; 読書可能）、電源管理部 5 1 4 は、自己の電源管理部 5 1 4 に接続されたデコーダ / ドライバ 5 1 2 及び書込用ドライバ 5 1 3 への電力供給を開始し（ステップ S 7 6 ）、本処理を終了する。

【 0 1 2 2 】

以上のように、不揮発性メモリを構成する複数のメモリ領域の単位で電力制御を個別に行うとともに、各メモリ領域に設定されたアクセス制限に基づいてアクセスにかかるデバイスの電力制御を行うことで、不揮発性メモリにかかる電力制御をより効率的に行うことができるとともに、情報処理装置全体の消費電力も低減することができる。

10

20

30

40

50

【 0 1 2 3 】

なお、本実施形態では、メモリアレイ M 5 1 を読み出し専用とするため、書込用ドライバ 5 1 3 への電力供給を遮断又は低下させる態様としたが、この態様に限らないものとする。例えば、プロセッサ 5 2 から送信される書き込み要求信号を無視するように回路を構成することで、メモリアレイ M 5 1 を読み出し専用とする態様としてもよい。

【 0 1 2 4 】

以上、発明の実施の形態について説明したが、本発明はこれに限定されるものではなく、本発明の主旨を逸脱しない範囲での種々の変更、置換、追加などが可能である。

【 0 1 2 5 】

例えば、上記実施形態では、メモリ装置を主記憶装置として用いた例について説明したが、これに限らず、メモリ装置を文書や画像等のファイルを記憶する補助記憶装置として用いた場合にも同様に適用することができる。この場合、ファイルを記憶する専用のメモリ領域を設け、通常はそのメモリ領域を停止モードとしておき、ファイルの操作が必要なおきのみ、そのメモリ領域を活動モードとすることが好ましい。これにより、補助記憶装置の消費電力を低減することができ、プログラムの異常等による予期せぬ動作によりファイルが破壊されてしまうことを防止することが可能となる。

【 0 1 2 6 】

また、第 4 の実施形態で説明したように、メモリ領域毎にアクセス制限を設定できるよう構成することとしてもよい。この場合、ファイルを記憶するメモリ領域を通常は読み出し専用としておき、当該メモリ領域への書き込みが必要な場合にのみ読み書き可能にアクセス制限を変更し、処理の終了に伴い読み出し専用に戻すことが好ましい。これにより、プログラムの異常等による予期せぬ動作により、メモリ領域に記憶されたファイルが破壊されてしまうことを防止することができる。

【 図面の簡単な説明 】

【 0 1 2 7 】

【 図 1 】 第 1 の実施形態にかかる情報処理装置の構成を示した図である。

【 図 2 】 図 1 に示したメモリ装置と、プロセッサとの関係を示した図である。

【 図 3 】 図 2 に示した不揮発性メモリのメモリ領域と、モード設定レジスタとの関係を示した図である。

【 図 4 】 図 2 に示したアクセス管理テーブルの一例を示した図である。

【 図 5 】 第 1 の実施形態にかかるアクセス処理の手順を示したフローチャートである。

【 図 6 】 第 1 の実施形態にかかるアクセス後処理の手順を示したフローチャートである。

【 図 7 】 第 1 の実施形態にかかる電力制御処理の手順を示したフローチャートである。

【 図 8 】 第 1 の実施形態の変形例にかかる情報処理装置の構成を示した図である。

【 図 9 】 図 8 に示したページテーブルと、不揮発性メモリのメモリ領域との関係を示した図である。

【 図 1 0 】 第 1 の実施形態の変形例にかかるアクセス処理の手順を示したフローチャートである。

【 図 1 1 】 第 1 の実施形態の変形例にかかるアクセス後処理の手順を示したフローチャートである。

【 図 1 2 】 第 2 の実施形態にかかる情報処理装置の構成を示した図である。

【 図 1 3 】 第 3 の実施形態にかかる情報処理装置の構成を示した図である。

【 図 1 4 】 第 3 の実施形態にかかる電力制御処理の手順を示したフローチャートである。

【 図 1 5 】 第 4 の実施形態にかかる情報処理装置の構成を示した図である。

【 図 1 6 】 第 4 の実施形態にかかる電力制御処理の手順を示したフローチャートである。

【 符号の説明 】

【 0 1 2 8 】

1 0 0 情報処理装置

1 1 プロセッサ

1 1 1 アクセス管理テーブル

10

20

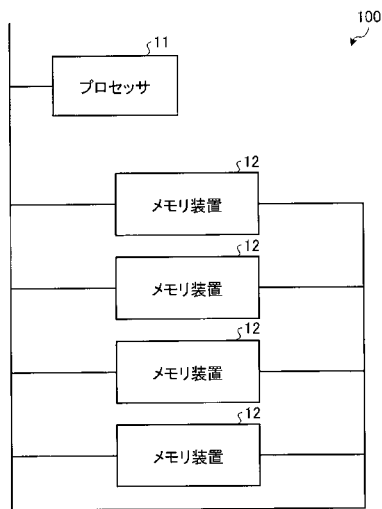
30

40

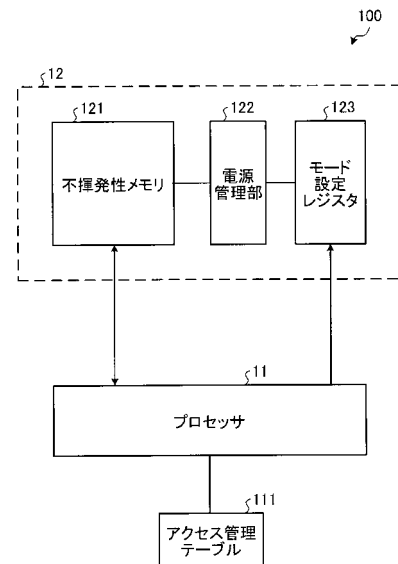
50

1 2	メモリ装置	
1 2 1	不揮発性メモリ	
1 2 2	電源管理部	
1 2 3	モード設定レジスタ	
2 0 0	情報処理装置	
2 1	プロセッサ	
2 1 1	ページテーブル	
2 1 2	変換ルックアサイド・バッファ	
3 0 0	情報処理装置	
3 1	メモリ装置	10
3 1 1	不揮発性メモリ	
3 1 2	電源管理部	
3 1 3	モード設定レジスタ	
4 0 0	情報処理装置	
4 1	メモリ装置	
4 1 1	不揮発性メモリ	
4 1 2	デコーダ/ドライバ	
4 1 3	電源管理部	
4 1 4	モード設定レジスタ	
4 1 5	センスアンプ	20
4 2	プロセッサ	
5 0 0	情報処理装置	
5 1	メモリ装置	
5 1 1	不揮発性メモリ	
5 1 2	デコーダ/ドライバ	
5 1 3	書込用ドライバ	
5 1 4	電源管理部	
5 1 5	モード設定レジスタ	
5 1 6	アクセス制御レジスタ	
5 1 7	センスアンプ	30
5 2	プロセッサ	

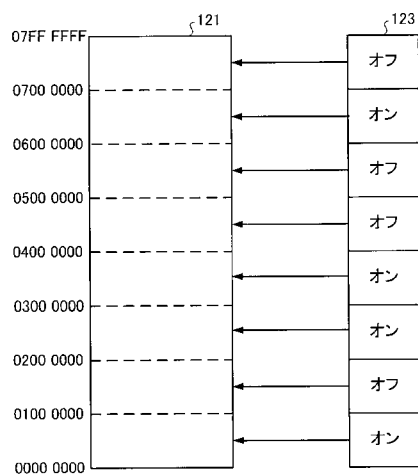
【図 1】



【図 2】



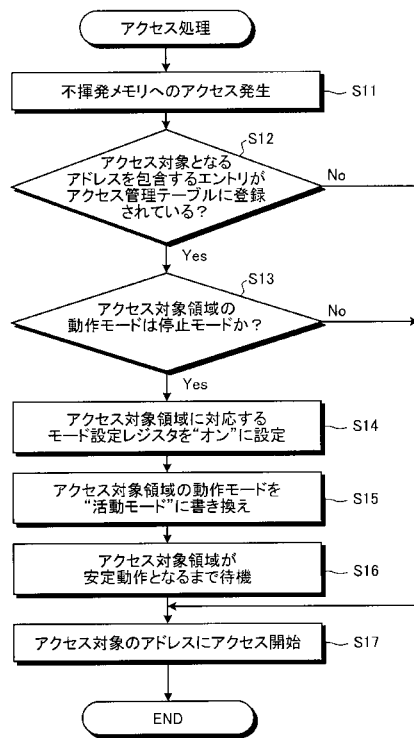
【図 3】



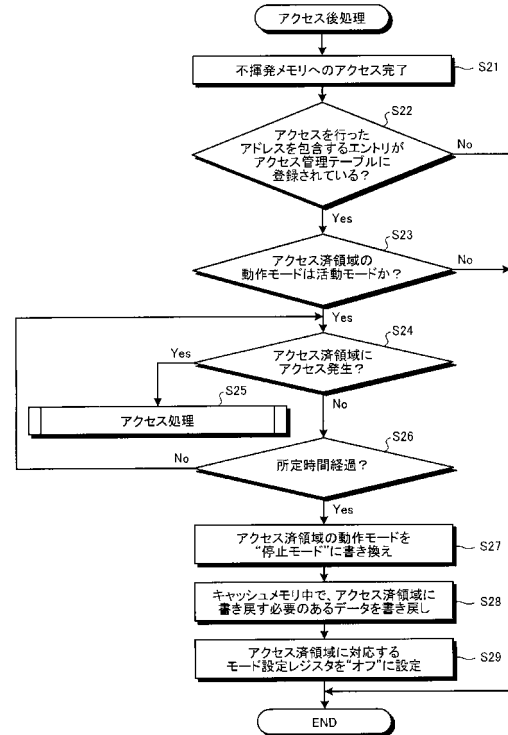
【図 4】

111		
開始アドレス	終了アドレス	動作モード
0000 0000	00FF FFFF	活動モード
0100 0000	01FF FFFF	停止モード
0200 0000	02FF FFFF	活動モード
0300 0000	03FF FFFF	活動モード
0400 0000	04FF FFFF	停止モード
0500 0000	05FF FFFF	停止モード
0600 0000	06FF FFFF	活動モード
0700 0000	07FF FFFF	停止モード

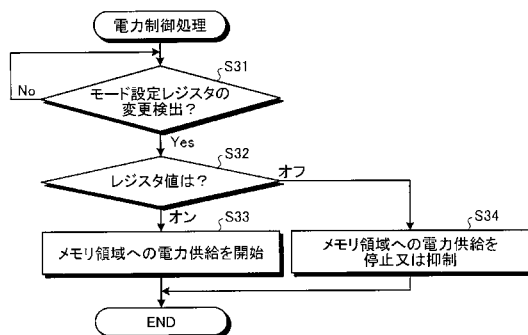
【図 5】



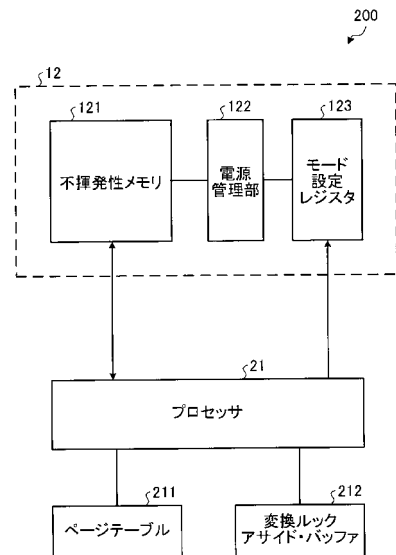
【図 6】



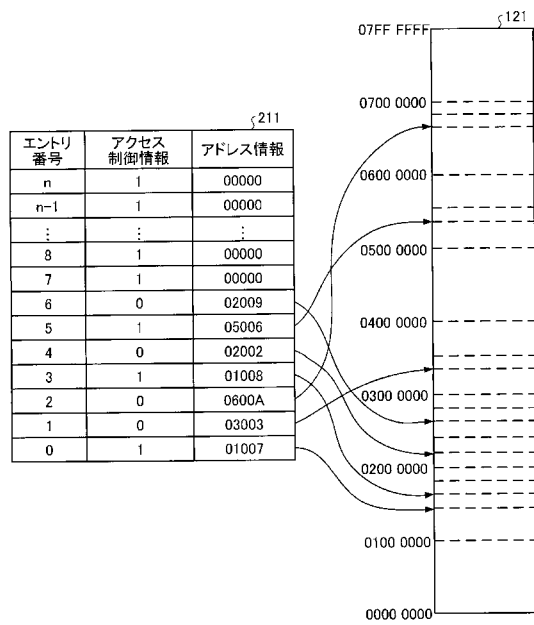
【図 7】



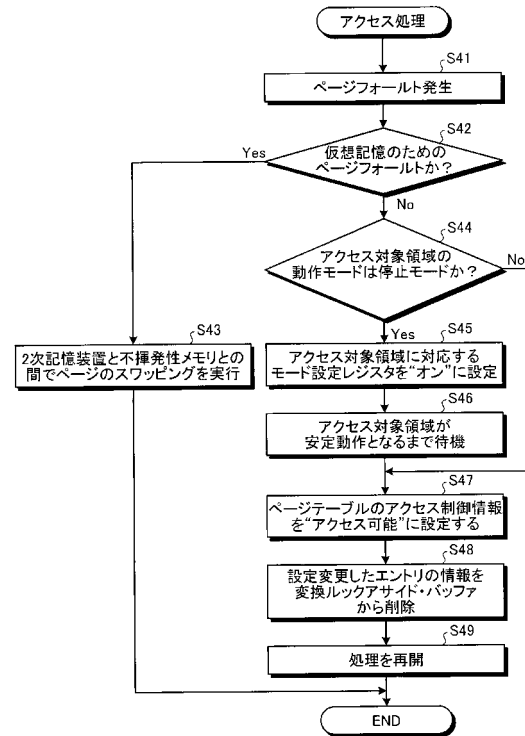
【図 8】



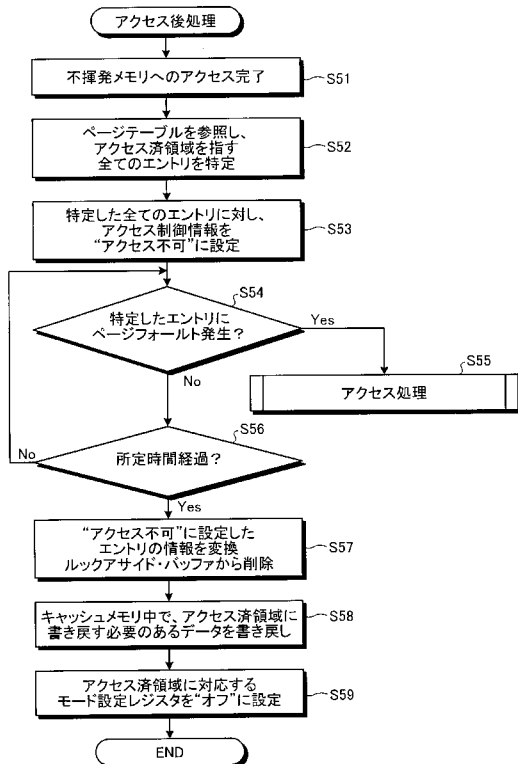
【図 9】



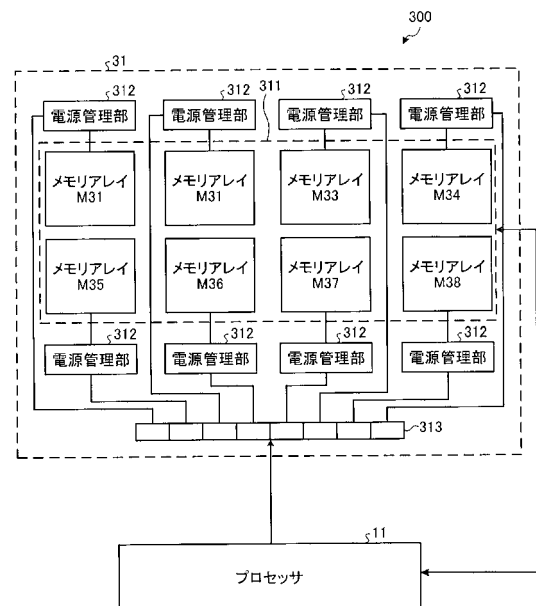
【図 10】



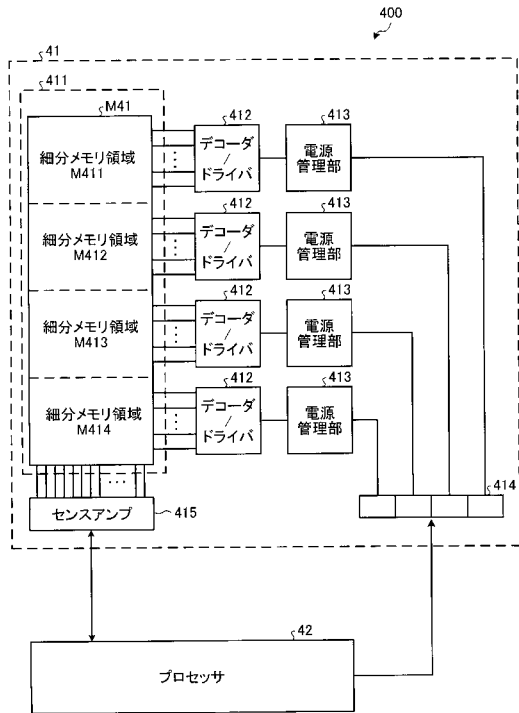
【図 11】



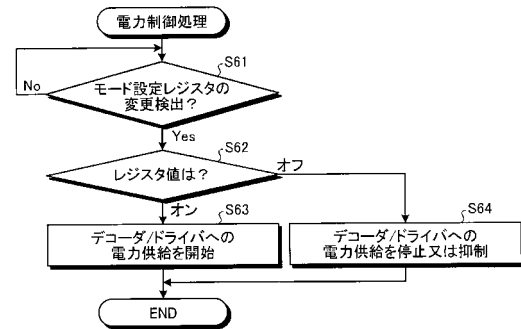
【図 12】



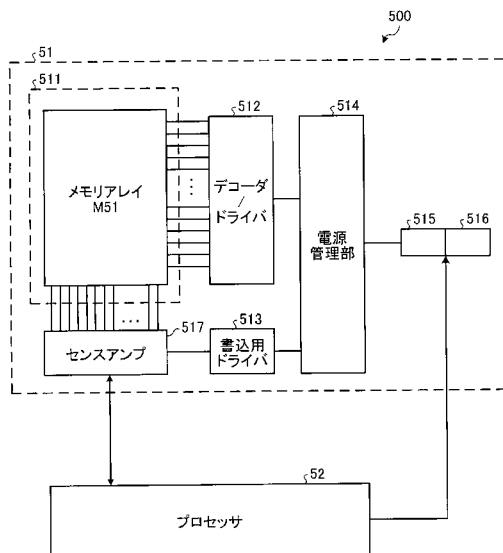
【図 13】



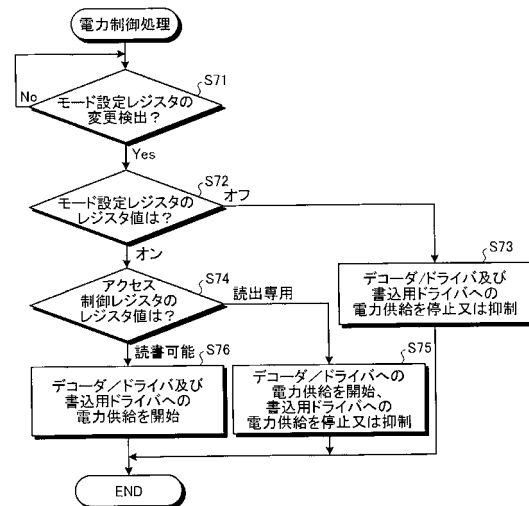
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 6 F	12/08	5 7 9
G 0 6 F	12/10	5 0 1 Z
G 0 6 F	12/10	5 0 7 B
G 1 1 C	17/00	6 0 1 A