

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-156205

(P2012-156205A)

(43) 公開日 平成24年8月16日(2012.8.16)

(51) Int.Cl. F I テーマコード(参考)
 HO 1 L 29/78 (2006.01) HO 1 L 29/78 3 O 1 D 5 F 1 4 O
 HO 1 L 21/336 (2006.01)

審査請求 未請求 請求項の数 3 O L (全 15 頁)

(21) 出願番号 特願2011-12229(P2011-12229)
 (22) 出願日 平成23年1月24日(2011.1.24)

(71) 出願人 303046277
 旭化成エレクトロニクス株式会社
 東京都千代田区神田神保町一丁目105番地
 (74) 代理人 100066980
 弁理士 森 哲也
 (74) 代理人 100109380
 弁理士 小西 恵
 (74) 代理人 100103850
 弁理士 田中 秀▲てつ▼
 (72) 発明者 北村 健
 宮崎県延岡市中川原町5丁目4960番地
 旭化成エレクトロニクス株式会社内

最終頁に続く

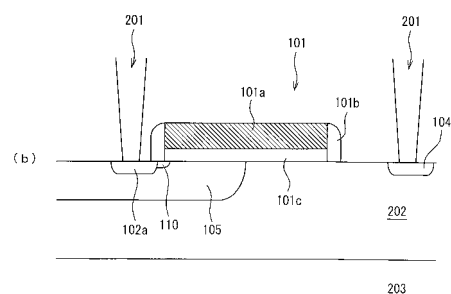
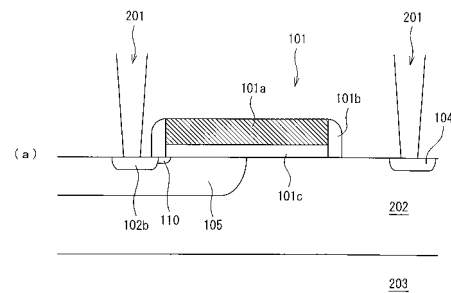
(54) 【発明の名称】 半導体装置、半導体装置の製造方法

(57) 【要約】

【課題】DMOSトランジスタのセルピッチを短縮しながらもオン抵抗値を高めることがない、半導体装置、半導体装置の製造方法を提供することを目的とする。

【解決手段】第1の極性を有するN型ウェル202上に形成されたゲート101、ゲート101の間に形成されたソース102、N型ウェル202においてソース領域を含む領域に形成されたP⁺型ボディ不純物領域105、ゲート101のそれぞれの外側に設けられたドレイン104を含む半導体装置において、ソース102は、一方向に沿って交互に配置されるN⁺型ソース102b及びP⁺型不純物領域102aを含み、P型ボディ不純物領域105内であって、かつ、ゲート101によってチャネルが形成される領域とP⁺型不純物領域102aとの間にN⁺型ソース低抵抗領域110を設ける。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 の導電型の半導体層内に形成された第 2 の導電型のボディ不純物領域と、当該ボディ不純物領域及び前記半導体層の上に形成されるゲートと、前記ボディ不純物領域内に形成された第 1 の導電型のソース領域と、前記ゲートの側方に設けられた第 1 の導電型のドレイン領域と、

を含む半導体装置であって、

前記ソース領域は、第 2 の導電型の不純物領域を含み、該第 2 の導電型の不純物領域は、前記第 1 の導電型のソース領域によって周囲が囲まれ、前記ボディ不純物領域と電氣的に接続していることを特徴とする半導体装置。

10

【請求項 2】

第 1 の導電型の半導体層表面に、ゲート誘電膜を介してゲートを形成するゲート形成工程と、

前記ゲートをマスクにして不純物を注入し、第 2 の導電型のボディ不純物領域を形成するボディ形成工程と、

前記ボディ形成工程において形成された前記ボディ不純物領域に前記ゲートをマスクにして不純物を注入し、前記ボディ不純物領域内に第 1 の導電型の低抵抗不純物領域を形成する低抵抗不純物領域形成工程と、

前記低抵抗不純物領域内の所定の領域に不純物を注入して第 1 の導電型のソース領域及び第 1 の導電型のドレインを形成するソース領域形成工程と、

20

前記ソース領域と隣接する前記低抵抗不純物領域内に不純物を注入し、前記第 1 の導電型のソース領域によって周囲が囲まれ、前記ボディ不純物領域と電氣的に接続する第 2 の導電型の不純物領域を形成する不純物領域形成工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 3】

前記低抵抗不純物領域形成工程の後、前記ゲートの周面にスペーサを形成するスペーサ形成工程をさらに含み、

前記ソース領域形成工程、前記不純物領域形成工程においては、前記スペーサをマスクにして不純物が注入されることを特徴とする請求項 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

30

【技術分野】**【0001】**

本発明は、半導体装置、半導体装置の製造方法に係り、特に高耐圧の DMOS トランジスタに係る半導体装置、半導体装置の製造方法に関する。

【背景技術】**【0002】**

現在、高耐圧の MOS トランジスタとして、DMOS (Double-Diffused MOS) トランジスタがある。高耐圧の DMOS トランジスタは、半導体集積回路において電力を供給する電源等に用いられている。DMOS トランジスタの従来技術としては、特許文献 1 が挙げられる。図 13 は、特許文献 1 に記載されている DMOS トランジスタを説明するための図であって、図 13 (a) は DMOS トランジスタの上面図、図 13 (b) は図 13 (a) 中に示した線分 A - A' に沿う断面図である。

40

【0003】

図 13 (a)、(b) に示したように、特許文献 1 に記載された DMOS トランジスタは、N 型ウェル (NW) 内に形成された P 型ボディ 2、ドレインとして機能する N⁺ 層 (以下、ドレインと記す) 4 を備えている。P 型ボディ 2 内には、ソースとして機能する N⁺ 層 (以下、ソースと記す) 8 と、P 型ボディ 2 の取り出し領域となる P⁺ 層 (以下、取り出し領域と記す) 7 とが形成されている。

【0004】

そして、P 型ボディ 2 とソース 8 の一部の上にゲート 3 が設けられていて、ゲート 3 に

50

電圧が印加されることによってゲート 3 下の P 型ボディ 2 にチャンネルが形成される。チャンネルの形成により、DMOS トランジスタがオンしてソース 8、ドレイン 4 間に電流が流れるようになる。なお、ドレイン 4 上には図示しない絶縁層を介してコンタクトホール 6 c が、ソース 8 上にはコンタクトホール 6 a が設けられている。取り出し領域 7 上にはコンタクトホール 6 b が設けられている。

【0005】

ところで、半導体装置には、一般的にさらなる占有面積の縮小が要求されていて、図 1 3 に示した DMOS トランジスタにも、いっそうの小型化が要求されている。小型化の要求に応えるため、図 1 3 (a) 中に示したセルピッチ P1 を短くするための発明が、特許文献 2 に記載されている。

図 1 4 は、特許文献 2 に記載された DMOS トランジスタを説明するための図であって、図 1 4 (a) は上面図、図 1 4 (b) は図 1 4 (a) 中に示した線分 B - B' に沿う断面図、図 1 4 (c) は図 1 4 (a) 中に示した線分 C - C' に沿う断面図である。なお、図 1 4 中の図 1 3 に示した構成と同様の構成については同様の符号を付し、その説明を一部略すものとする。

【0006】

図 1 4 に示した DMOS トランジスタは、図 1 3 に示したソース 8 と取り出し領域 7 とを图中縦方向に配置するものである。図 1 4 中、符号 70 で示した部材は取り出し領域 (取り出し領域 70)、符号 80 を付して示した部材はソース (ソース 80) を示している。なお、取り出し領域 70、ソース 80 を含む全体を、不純物層 90 と記す。このような図 1 4 に示した DMOS トランジスタによれば、図 1 3 に示したセルピッチ P1 をより短いセルピッチ P2 にすることができる。具体的には、引用文献 1 の DMOS トランジスタのセルピッチ P1 が $3.8 \mu\text{m}$ なのに対し、特許文献 2 の DMOS トランジスタのセルピッチ P2 は $3.0 \mu\text{m}$ であり、引用文献 2 の発明はセルピッチ 21% の短縮を実現している。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開平 11 - 354793 号公報

【特許文献 2】特開 2007 - 250780 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、特許文献 2 の DMOS トランジスタは、DMOS トランジスタのオン抵抗が高くなるという欠点がある。以下、この理由について説明する。

図 1 5 は、特許文献 2 の DMOS トランジスタのオン抵抗が高くなることを説明する模式的な図である。図 1 4 に示したゲート 3 に電圧が印加され、ゲート 3 下にチャンネルが形成されると、図 1 5 に示したように、ソース 80 からドレイン 4 に向かって電子が流れ、ドレイン 4 からソース 80 へ電流 I_d が流れる。しかし、図 1 4 に示した DMOS トランジスタでは、取り出し領域 70 にチャンネルが形成されないため、取り出し領域 70、ドレイン 4 間では電流 I_d は発生しない。このような現象は、図 1 3 に示した従来技術に比べて実質的にソース領域が減少したように作用する。

【0009】

図 1 6 は、電流 I_d と DMOS トランジスタのオン抵抗との関係を説明するための模式的な図である。図 1 6 に示した直線 q は、図 1 3 に示した DMOS トランジスタのゲート 3 に 5 V の電圧を印加した場合、DMOS トランジスタのソース 8 とドレイン 4 との間の $I_d - V_d$ 特性を示す。また、直線 r は、図 1 4 に示した DMOS トランジスタのゲート 3 に 5 V の電圧を印加した場合、DMOS トランジスタの図 1 4 に示した不純物層 90 とドレイン 4 との間の $I_d - V_d$ 特性を示す。

つまり、図 1 4 に示した DMOS トランジスタは、図 1 5 に示したように、取り出し領

10

20

30

40

50

域70とドレイン4との間に電流 I_d が流れないことから、図13に示したDMOSトランジスタとソース・ドレイン間の電圧 V_d が等しい場合、オン抵抗が大きくなって電流 I_d の量が少なくなる。

【0010】

一般に、MOSトランジスタが電流を流す能力は、トランジスタのオン抵抗値 R_{on} とトランジスタ面積 A との積（以下、 $R_{on} \times A$ と記す）によって表され、トランジスタのセルピッチが小さくなってトランジスタ面積 A が小さくても R_{on} が高まって $R_{on} \times A$ が小さくならない場合には、トランジスタを小型化したメリットが得られないことになる。

本発明は、以上の点に鑑みてなされたものであって、DMOSトランジスタのセルピッチを短縮しながらもオン抵抗値を高めることがない、小型でありながら電流を流す能力が高い半導体装置、半導体装置の製造方法を提供することを目的とする。

10

【課題を解決するための手段】

【0011】

以上の課題を解決するため、本願発明の半導体装置は、第1の導電型の半導体層（例えば図2に示したNウェル202）内に形成された第2の導電型のボディ不純物領域（例えば図1、図2に示したP型ボディ不純物領域105）と、当該ボディ不純物領域及び前記半導体層の上に形成されるゲート（例えば図1、図2に示したゲート101）と、前記ボディ不純物領域内に形成された第1の導電型のソース領域（例えば図1に示したソース102）と、前記ゲートの側方に設けられた第1の導電型を有するドレイン領域（例えば図1、図2に示したドレイン104）と、を含む半導体装置であって、前記ソース領域は、第2の導電型の不純物領域（例えば図1、図2に示したP⁺型不純物領域102a）を含み、該第2の導電型の不純物領域は、前記第1の導電型のソース領域によって周囲が囲まれ、前記ボディ不純物領域と電氣的に接続していることを特徴とする。

20

【0012】

また、本発明の半導体装置の製造方法は、第1の導電型を有する半導体層（例えば図4-1に示したN型ウェル202）表面に、ゲート誘電膜（例えば図4-2に示したゲート酸化膜101c）を介してゲートを形成するゲート形成工程（例えば、図4-2（e）に示した工程）と、前記ゲートをマスクにして不純物を注入し、前記ゲートをマスクにして不純物を注入し、第2の導電型のボディ不純物領域を形成するボディ形成工程（例えば、図4-2（f）に示した工程）と、前記ボディ形成工程において形成された前記ボディ不純物領域に前記ゲートをマスクにして不純物を注入し、前記ボディ不純物領域内に第1の導電型を有する低抵抗不純物領域を形成する低抵抗不純物領域形成工程（例えば、図4-2（f）に示した工程）と、前記低抵抗不純物領域内の所定の領域に不純物を注入して第1の導電型のソース領域及び第1の導電型のドレインを形成するソース領域形成工程（例えば、図5、図6に示した工程）と、前記ソース領域と隣接する前記低抵抗不純物領域内に不純物を注入し、前記第1の導電型のソース領域によって周囲が囲まれ、前記ボディ不純物領域と電氣的に接続する第2の導電型の不純物領域を形成する不純物領域形成工程と（例えば、図7に示した工程）と、を含むことを特徴とする。

30

【0013】

また、本発明の半導体装置の製造方法は、上記した発明において、前記低抵抗不純物領域形成工程の後、前記ゲートの周面にスペーサを形成するスペーサ形成工程（例えば、図4-2（g）に示した工程）をさらに含み、前記ソース領域形成工程、前記不純物領域形成工程においては、前記スペーサをマスクにして不純物が注入されることが望ましい。

40

【発明の効果】

【0014】

本発明の半導体装置によれば、ソース領域と不純物領域とが一方向に沿って交互に配置される構成となるため、DMOSトランジスタのセルピッチを短縮することができる。また、ソース領域は第2の導電型の不純物領域を含み、この第2の導電型の不純物領域は、第1の導電型のソース領域によって周囲が囲まれ、ボディ不純物領域と電氣的に接続しているため、ドレインと低抵抗不純物領域との間に電流が流れ、チャンネル領域の一部に電流

50

が流れずにトランジスタのオン抵抗が高まることを防ぐことができる。このため、本発明の半導体装置は、DMOSTランジスタのセルピッチを短縮しながらもオン抵抗値を高めることがない、半導体装置を提供することができる。

本発明の半導体装置の製造方法によれば、DMOSTランジスタのセルピッチを短縮しながらもオン抵抗値を高めることがない、半導体装置の製造方法を提供することができる。また、本発明の半導体装置の製造方法によれば、スペーサをマスクにして自己整合的にソース領域、不純物領域を形成することができる。

【図面の簡単な説明】

【0015】

【図1】本発明の一実施形態の半導体装置を説明するための図である。

10

【図2】図1に示した断面をより詳細に示した模式図である。

【図3】本発明の一実施形態の半導体装置の構造による効果を説明するための図である。

【図4-1】本発明の一実施形態の半導体装置の製造方法を説明するための図である。

【図4-2】本発明の一実施形態の半導体装置の製造方法を説明するための図であって、図4-1に示した工程の後に行われる工程を説明するための図である。

【図5】図4-2(g)に続いて実行される工程を、P⁺型不純物領域とN⁺型のソースとに分けて説明するための図である。

【図6】図5に続いて実行される半導体装置の製造工程を、N⁺型ソースについて説明するための図である。

20

【図7】図5に続いて実行される半導体装置の製造工程を、P⁺型不純物領域について説明するための図である。

【図8】図7に示した半導体装置の製造工程中のN⁺型ソースの状態について説明するための図である。

【図9】図7に続いて実行される半導体装置の製造工程を、P⁺型不純物領域について説明するための図である。

【図10】図8に続いて実行される半導体装置の製造工程を、N⁺型ソースについて説明するための図である。

【図11】本発明の一実施形態の半導体装置の製造方法における、配線を形成する工程をP⁺型不純物領域について説明するための図である。

【図12】本発明の一実施形態の半導体装置の製造方法における、配線を形成する工程をN⁺型ソースについて説明するための図である。

30

【図13】本発明の従来技術にあたる発明を説明するための図である。

【図14】本発明の従来技術にあたる他の発明を説明するための図である。

【図15】従来技術の問題点を説明するための図である。

【図16】従来技術の問題点を説明するための他の図である。

【発明を実施するための形態】

【0016】

以下、本発明の一実施形態の半導体装置及び、この半導体装置の製造方法について説明する。

(半導体装置)

40

図1(a)~(c)は、本実施形態の半導体装置を説明するための図であって、図1(a)は本実施形態の半導体装置の上面図、図1(b)は図1(a)中に示した線分D-D'に沿う断面図、図1(c)は図1(a)中に示した線分E-E'に沿う断面図である。本実施形態の半導体装置は、P型基板のN-Well(図1中にNWと記す)に形成されたDMOSTランジスタとして構成されている。

【0017】

図1(a)~(c)に示すように、本実施形態の半導体装置は、N-Well内に形成されたP型のボディ不純物領域105と、このボディ不純物領域105及びN-Wellの上に形成されるゲート電極101と、ボディ不純物領域105であって、かつ2つのゲート101の間に形成されたソース102と、ゲート101のそれぞれの側方に設けられ

50

たN型のドレイン104と、を含んでいる。このようなレイアウトによれば、2つのゲート101の内側(間)にソース102が位置し、2つのゲート101の外側にそれぞれドレイン104が位置することになる。また、ソース102は一方向(図1の縦方向)に他方向よりも長く、ソース102の長手方向をソースの「長さ」と記す。また、ソース102の長さ方向に直交する方向をソース102の「幅」と記す。ボディ不純物領域105は、ソース102の幅方向からソース102の両側を挟み込むように形成される。

【0018】

ソース102は、P⁺型不純物領域102aとN⁺型ソース102bとを含んでいて、P⁺型不純物領域102aは、N⁺型ソース102bによって周囲が囲まれ、P型ボディ不純物領域105と電氣的に接続している。また、本実施形態では、P⁺型不純物領域102aとN⁺型ソース102bとが図1(a)における縦方向に交互に配置されている。また、本実施形態では、P⁺型不純物領域102aとゲート101との間、及びN⁺型ソース102bとゲート101との間にN⁺型ソース低抵抗領域110が設けられている。このような本実施形態のレイアウトによれば、DMOSTランジスタのセルピッチP3は引用文献2のDMOSTランジスタのセルピッチP2と同程度に縮小することができる。

10

【0019】

なお、ソース102は、図1に示したレイアウトに限定されるものではない。すなわち、ソース102は、図1に示したようにN⁺型ソース102bをP⁺型不純物領域102aによって挟むものに限定されるものではなく、P⁺型不純物領域102aをN⁺型ソース102bによって挟むように形成されるものであってもよい。また、コンタクトホール106aの個数やピッチは図1に限定されるものでなく、適宜任意の数やピッチとすることができる。

20

【0020】

また、図1(a)は、本実施形態の半導体装置の全体を示すものに限らず、半導体装置の一部を示す場合もある。図1(a)が半導体装置の一部を示す場合、ソース102及びドレイン104をソース102の長さ方向についてさらに長く形成し、ソース102の幅については変更しないことが望ましい。また、このとき、ソース102は、さらに多くのN⁺型ソース102b、P⁺型不純物領域102aを交互に配置して構成されるものであってもよい。

30

【0021】

図2は、図1(b)に示した断面をより詳細に示した模式図であって、図2(a)はN⁺型ソース102bについて、図2(b)はP⁺型不純物領域102aについて示している。図2(a)、(b)に示したように、ゲート101は、ゲート電極101a、酸化物スペーサ101b、ゲート酸化膜101cによって構成されている。酸化物スペーサ101b下にはN⁺型ソース低抵抗領域110が形成されている。P⁺型不純物領域102a、N⁺型ソース102bには、配線201がコンタクトされている。

40

【0022】

図3は、以上説明した構造による効果を説明するための図である。すなわち、本実施形態によれば、図2(b)に示したように、ゲート101に電圧が印加され、P型ボディ不純物領域105が反転してチャンネルが形成されたとき、N⁺型ソース102bからN⁺型ソース低抵抗領域110を介してチャンネルに電子が供給される(図3の矢線fは電子の流れを示す)。このため、チャンネルの略全領域に電流I_dが流れるので、ドレイン電圧の変化に対するドレイン電流の変化が大きくなり、DMOSTランジスタのオン抵抗を低下させることができる。

【0023】

(半導体装置の製造方法)

次に、本実施形態の半導体装置の製造方法について説明する。

図4-1、図4-2は、本実施形態の半導体装置の製造方法を説明するための断面図である。図4-1、4-2を用い、本実施形態の半導体装置の製造方法を説明する。

本実施形態では、先ず、図4-1(a)のように、抵抗率5~10³・cm程度のP型

50

基板 203 の表面に、膜厚 30 ~ 100 nm の酸化膜 (SiO₂ 膜) 301 を 900 ~ 1000 程度のスチーム酸化によって形成する。SiO₂ 膜 301 上には、フォトレジスト層 (図示せず) が形成される。このフォトレジスト層は、N 型ウェルが形成される領域に開口部を有するように、公知のフォトリソグラフィ技術によってパターニングされている。

【0024】

次に、上記した図示しないフォトレジスト層をマスクとしてイオン注入が行われる。イオン注入により、リン (P) が $1 \times 10^{12} \sim 1 \times 10^{13} / \text{cm}^2$ 程度 P 型基板 203 に導入される。フォトレジスト層の除去後、フォトレジスト層 303 が形成される。フォトレジスト層 303 は、P 型ウェルが形成される領域に開口部を有するように、公知のフォトリソグラフィ技術によってパターニングされている。フォトレジスト層 303 をマスクとしてイオン注入が行われることにより、ホウ素 (B) が P 型基板 203 に $1 \times 10^{12} \sim 1 \times 10^{13} / \text{cm}^2$ 程度導入される。これにより、図 4 - 1 (a) に示すように、N 型ウェル不純物注入領域 202' と P 型ウェル不純物注入領域 302' が形成される。

10

【0025】

フォトレジスト層 303 の除去後、1100 ~ 1300 程度の熱処理が行われる。熱処理によって N 型ウェル不純物注入領域 202'、P 型ウェル不純物注入領域 302' 内の不純物が拡散し、図 4 - 1 (b) に示した N 型ウェル 202 及び P 型ウェル 302 が形成される。

次に、フッ酸 (HF) 系薬液により、P 型基板 203 上の SiO₂ 膜 301 が除去される。続いて、800 ~ 900 程度のスチーム酸化により、10 ~ 30 nm の SiO₂ 膜 304 が形成される。さらに、減圧 CVD 法によって P 型基板 203 の全面に膜厚 110 ~ 120 nm 程度の Si₃N₄ 膜 305 が形成される。SiO₂ 膜 304、Si₃N₄ 膜 305 上には、公知のフォトリソグラフィ技術によって素子分離層 (LOCOS) 形成領域に開口部を有するようパターニングされたフォトレジスト層 306 が形成される。

20

【0026】

フォトレジスト層 306 をマスクにしてエッチングすることにより、アクティブ領域上にはのみ SiO₂ 膜 304 と Si₃N₄ 膜 305 とが残る。エッチング後の状態を、図 4 - 1 (c) に示す。なお、このエッチングは、公知のエッチング方法、例えば、リアクティブイオンエッチング (RIE) によって行うことができる。フォトレジスト層 306 の除去後、本実施形態では、950 ~ 1000 程度のスチーム酸化を行い、400 ~ 600 nm 程度の酸化膜の LOCOS 307 が形成される。続いて、ホットリン酸により Si₃N₄ 膜 305 を除去し、フッ酸 (HF) 系薬液を用いて SiO₂ 膜 304 が除去される。以上の工程により、図 4 - 1 (d) に示す構造が形成される。

30

【0027】

次に、本実施形態では、図 4 - 1 (d) に示した構造に 800 ~ 900 の熱酸化を行って N 型ウェル 202 表面にゲート酸化膜 101c を形成する。次に CVD 法によって膜厚 350 ~ 400 nm 程度の導電性ポリシリコン層 (図示せず) を P 型基板 203 の全面に形成する。その後、公知のフォトリソグラフィ技術によってゲート領域にフォトレジスト層 310 が形成される。フォトレジスト層 310 をマスクにして公知のエッチング方法によりゲート領域以外の導電性ポリシリコン層を除去すると、ゲート電極 101a が形成される。図 4 - 2 (e) は、ゲート電極 101a 形成後の本実施形態の半導体装置の状態を示す図である。

40

【0028】

次に、本実施形態では、フォトレジスト層 310 の除去後、公知のフォトリソグラフィ技術によって P 型ボディ不純物注入領域に開口部を有するフォトレジスト層 311 が形成される。P 型ボディ不純物注入領域には、ホウ素 (B) が $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ 程度、P 型基板 203 に垂直な面に対して 45° あるいは 30° 度の角度をつけてイオン注入される。イオン注入によって図 4 - 2 (f) に示す P 型ボディ不純物領域 105 が形成される。

50

【0029】

さらに、本実施形態では、フォトレジスト層311をマスクとして、砒素(A s)が $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ 程度イオン注入され、N⁺型ソース低抵抗不純物注入領域321が形成される。このイオン注入において、P型ボディ不純物領域105及びN⁺型ソース低抵抗不純物注入領域321は、ゲート電極101aをマスクとして自己整合的に形成される。このような本実施形態によれば、イオン注入用のマスクパターニングで行うフォトリソグラフィ工程において生じるようなマスク合わせずれの影響を受けることなく、高精度な加工を行うことが可能である。

【0030】

フォトレジスト層311の除去後、ゲート電極101aの上側及びその周辺に順応性の酸化物がデポジションされる。この酸化物としては、例えば、テトラエチル・オルトケイ酸塩(T E O S)またはT E O S / O₃酸化物が用いられる。次いで、デポジションされた酸化物はR I Eによって異方性エッチングされ、ゲート電極101aの側面に酸化物スペーサ101bが形成される。以上の工程により、図4-2(g)に示す構造が形成される。

10

【0031】

図5~図12は、図4-2(g)に続いて実行される工程を、図1に示したP⁺型不純物領域102aとN⁺型ソース102bとに分けて説明するための図である。図5~図12の全てについて、(a)は完成した本実施形態の半導体装置の上面図、(b)は(a)中に示した線分D-D'または線分E-E'に沿う製造過程の半導体装置の断面図である。線分D-D'、線分E-E'は、製造工程の断面図の位置を、完成した半導体装置上で示すものであり、図1に示した線分D-D'、線分E-E'に一致する。

20

【0032】

本実施形態では、図5(b)に示すように、公知のフォトリソグラフィ技術によって、図5(a)に示したN⁺型ソース102b、ドレイン104の形成領域に開口部を有するフォトレジスト層401が形成される。なお、図5(b)は、P⁺型不純物領域102a上の線分E-E'に沿う断面図であるから、N⁺型ソース102b上の開口部は図示されていない。

【0033】

N⁺型ソース102bが形成される領域及びドレイン104が形成される領域に、 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ 程度のヒ素(A s)がイオン注入される。図5(b)では、イオン注入によってドレイン104の形成領域に、N⁺型ドレイン不純物注入領域322が形成された状態が示されている。

30

図6は、図5と同様の工程の、線分D-D'に沿う断面図である。図6(b)に示すように、線分D-D'に沿う断面では、イオン注入によってN⁺型ドレイン不純物注入領域322と共に、N⁺型ソース不純物注入領域323が形成される。

【0034】

また、本実施形態では、図7(b)に示すように、公知のフォトリソグラフィ技術によってP⁺型不純物領域102aに開口部を有するフォトレジスト層601が形成される。そして、フォトレジスト層601をマスクにして $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ 程度のホウ素(B)がイオン注入される。イオン注入により、P⁺型不純物注入領域324が形成される。

40

【0035】

P⁺型不純物注入領域324を形成するためのホウ素イオン(P型不純物)の注入は、N⁺型ソース低抵抗不純物注入領域321に対して行われる。P型不純物のドーズ量は、N⁺型ソース低抵抗不純物注入領域321のN型不純物の10~100倍であるため、N⁺型ソース低抵抗不純物注入領域321内部にP⁺領域のP⁺型不純物注入領域324を形成することができる。

【0036】

また、図7(b)に示した酸化物スペーサ101bがP型不純物に対するマスクとなる

50

ため、酸化物スペーサ 101b の下の領域は P 型不純物の影響を受けずに N⁺領域となる。これによって、本実施形態は、P⁺型不純物注入領域 324 と、チャンネルが形成されるゲート 101 下の P 型ボディ不純物領域 105 との間に N⁺型ソース低抵抗不純物注入領域 321 を形成することができる。

【0037】

図 8 (b) は、図 7 と同様の工程における半導体装置の線分 D - D' に沿う断面図である。図 8 (b) に示したように、フォトレジスト層 601 は P⁺型不純物領域 102 a 上に開口部を持たない。このため、本実施形態では、N⁺型ソース不純物注入領域 21 にホウ素イオンが注入されることがない。

次に、図 7 (b)、図 8 (b) に示したフォトレジスト 601 が除去され、この後に 800 ~ 900 程度の熱処理が図 7、図 8 に示した構造に対して行われる。熱処理により、N⁺型ソース低抵抗不純物注入領域 321、N⁺型ドレイン不純物注入領域 322 及び N⁺型ソース不純物注入領域 323 中のヒ素と、P⁺型不純物注入領域 324 中のホウ素が拡散する。

【0038】

不純物の拡散により、N⁺型ソース低抵抗不純物注入領域 321 は N⁺型ソース低抵抗領域 110、N⁺型ドレイン不純物注入領域 322 はドレイン 104、N⁺型ソース不純物注入領域 323 は N⁺型ソース 102 b になる。また、P⁺型不純物注入領域 324 は P⁺型不純物領域 102 a となる。以上の工程により、図 9、図 10 に示す構造が製造される。

図 11、12 は、以上説明した工程によって製造された半導体装置に配線を形成する工程を説明するための図である。図 11 (b)、図 12 (b) に示すように、本実施形態では、P⁺型不純物領域 102 a、N⁺型ソース 102 b の形成後、600 ~ 700 nm 程度の層間絶縁膜 (SiO₂ 膜) 100 を全面に堆積させる。なお、層間絶縁膜 100 の堆積は、例えば CVD 法によって実現できる。

【0039】

次に、本実施形態では、層間絶縁膜 100 上に、P⁺型不純物領域 102 a、N⁺型ソース 102 b、ドレイン 104 上に開口部を有するフォトレジスト層 (図示せず) が公知のフォトリソグラフィ技術によって形成される。層間絶縁膜 100 は、フォトレジスト層をマスクにして公知のエッチング方法、例えば RIE によりエッチングされる。フォトレジスト層の除去後、層間絶縁膜 100 に形成された電極形成用の開口部には、Ti/TiN または Al 等、バリアメタル層を含む配線金属層が蒸着される。

さらに、公知のフォトリソグラフィ技術及び RIE によって配線金属層がパターニングされて配線 201 が形成される。以上の工程により、図 11、図 12 に示した本実施形態の半導体装置を得ることができる。

【産業上の利用可能性】

【0040】

本発明は、DMOS トランジスタ及び DMOS トランジスタの製造方法に適用することができ、特に、セルピッチが短いことが望ましい DMOS トランジスタ及び DMOS トランジスタの製造方法に好適である。

【符号の説明】

【0041】

- 100 層間絶縁膜
- 101 ゲート
- 101 a ゲート電極
- 101 b 酸化物スペーサ
- 101 c ゲート酸化膜
- 102 ソース
- 102 a P⁺型不純物領域
- 102 b N⁺型ソース
- 104 ドレイン

10

20

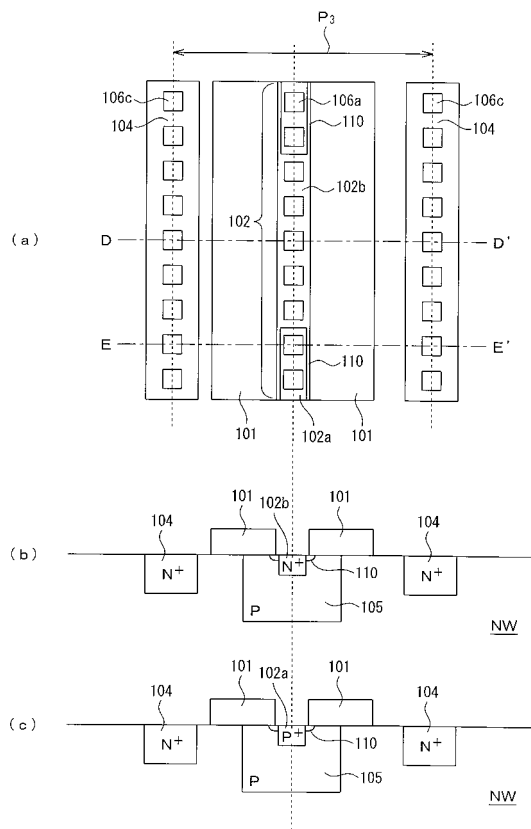
30

40

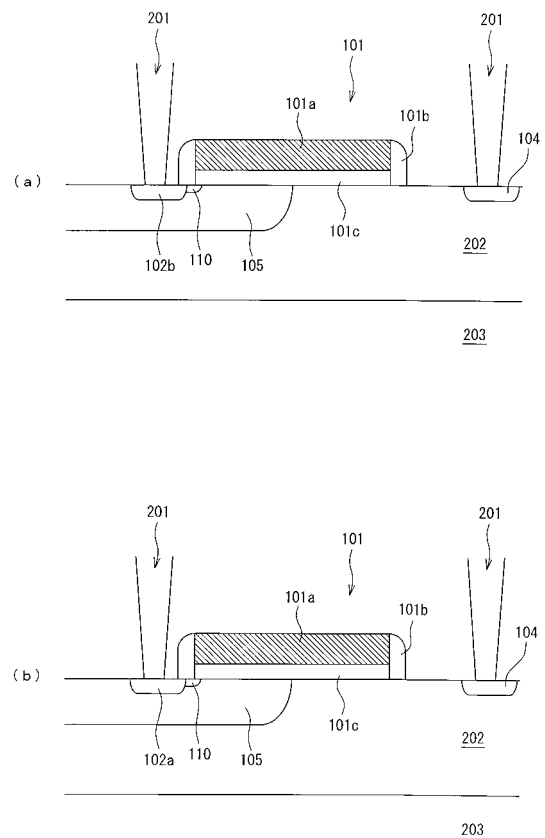
50

- 1 0 5 P型ボディ不純物領域
- 1 1 0 N⁺型ソース低抵抗領域
- 2 0 1 配線
- 2 0 2' P型ウェル不純物注入領域
- 2 0 2 N型ウェル
- 2 0 3 P型基板
- 3 0 1, 3 0 4 SiO₂膜
- 3 0 2' P型ウェル不純物注入領域
- 3 0 2 P型ウェル
- 3 0 3, 3 0 6, 3 1 0, 3 1 1, 4 0 1, 6 0 1 フォトレジスト層
- 3 0 5 Si₃N₄膜
- 3 2 1 N⁺型ソース低抵抗不純物注入領域
- 3 2 2 N⁺型ドレイン不純物注入領域
- 3 2 3 N⁺型ソース不純物注入領域
- 3 2 4 P⁺型不純物注入領域

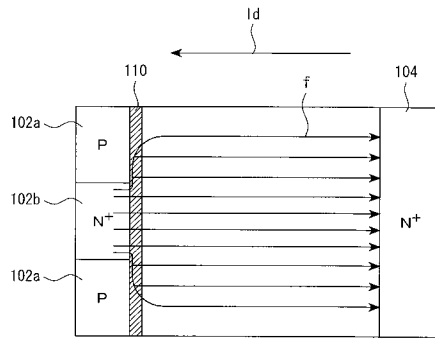
【図1】



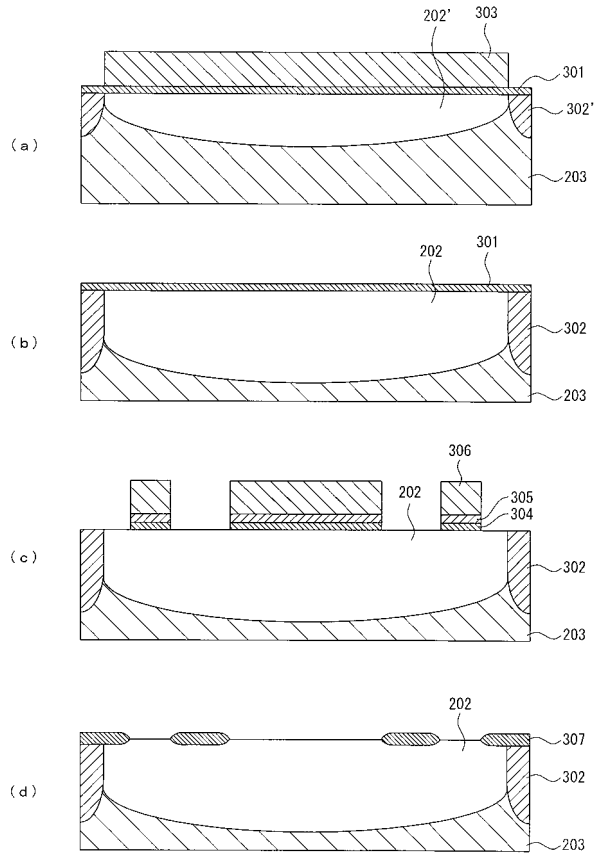
【図2】



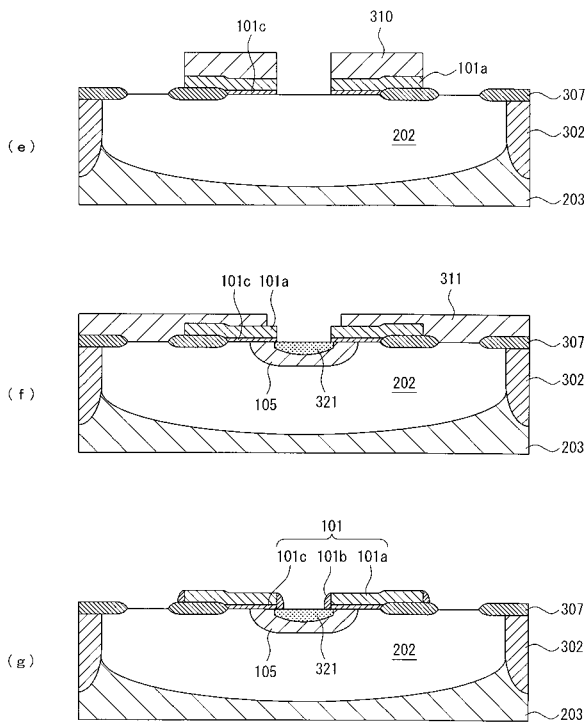
【 図 3 】



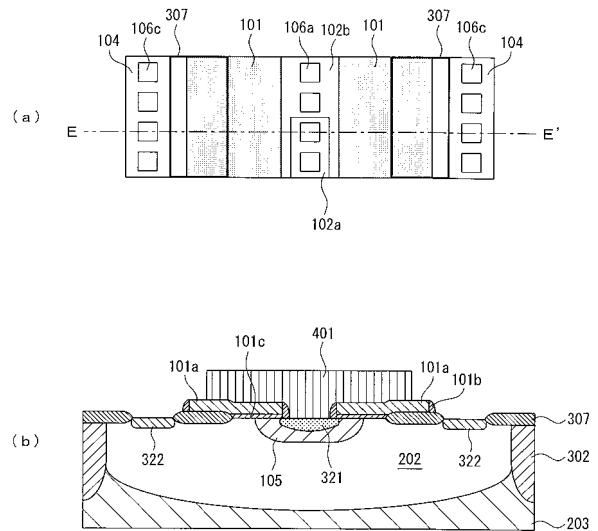
【 図 4 - 1 】



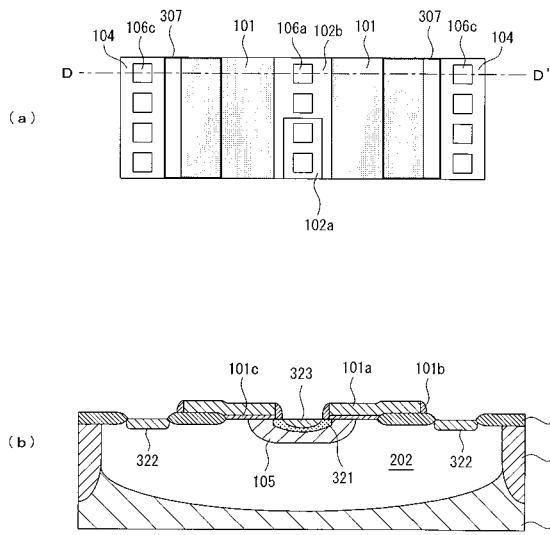
【 図 4 - 2 】



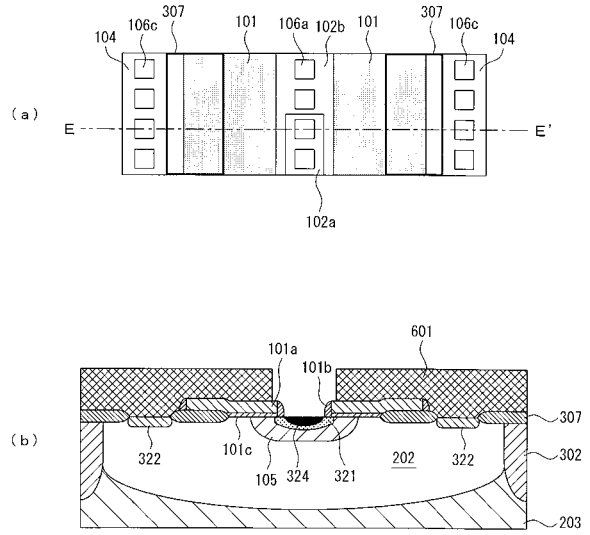
【 図 5 】



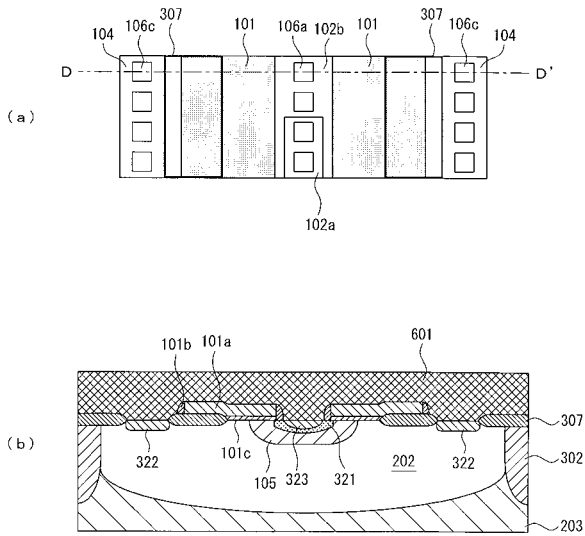
【 図 6 】



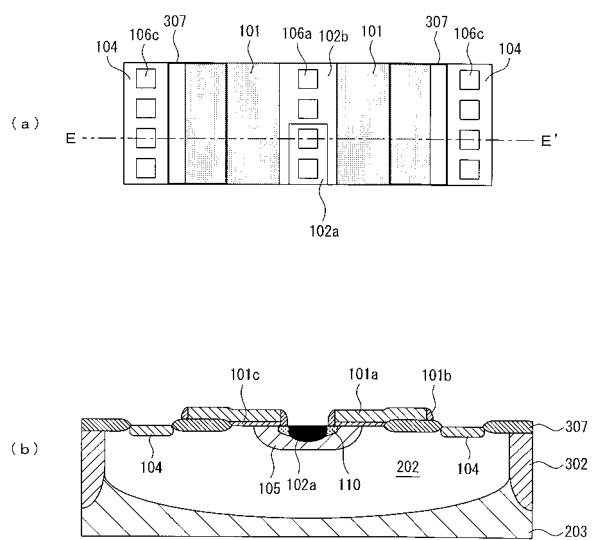
【 図 7 】



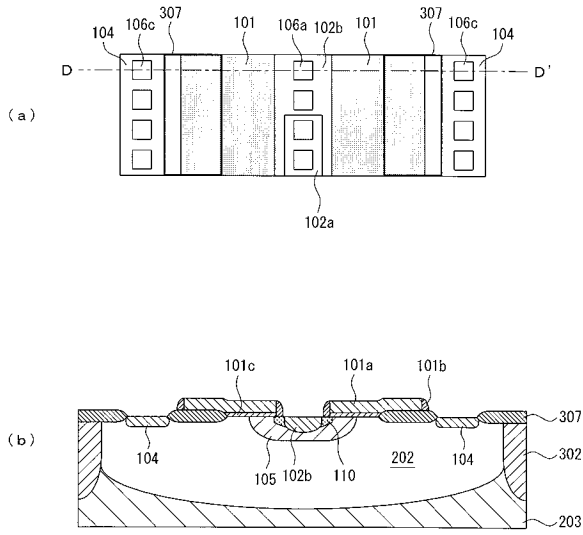
【 図 8 】



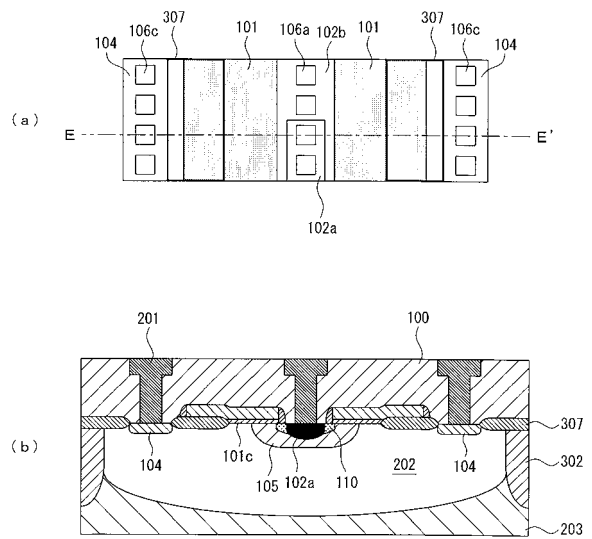
【 図 9 】



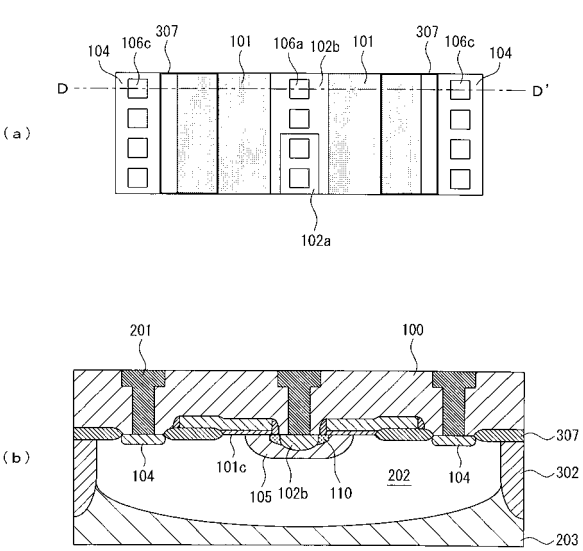
【図 10】



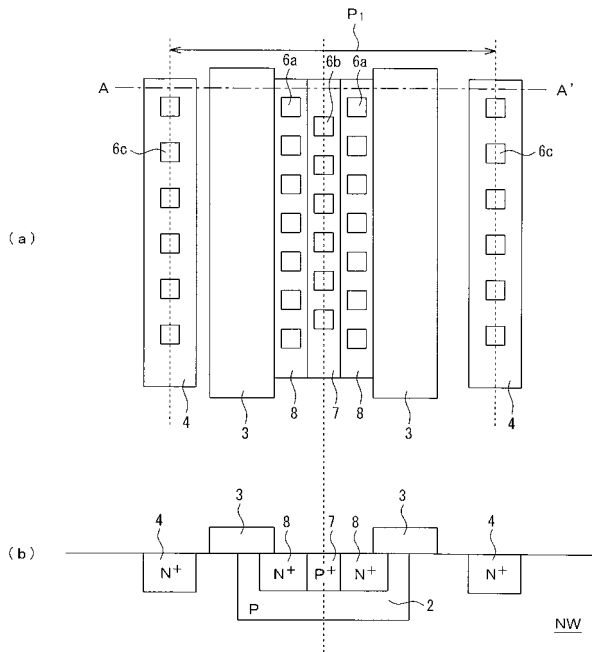
【図 11】



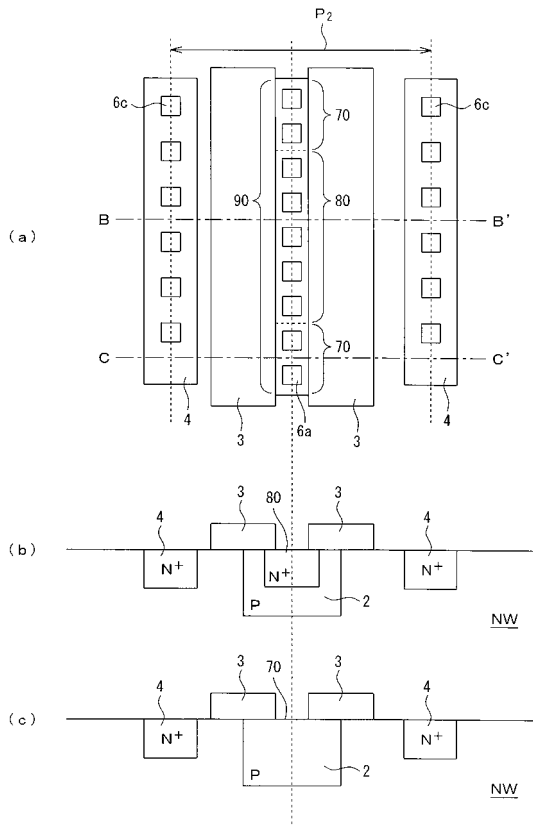
【図 12】



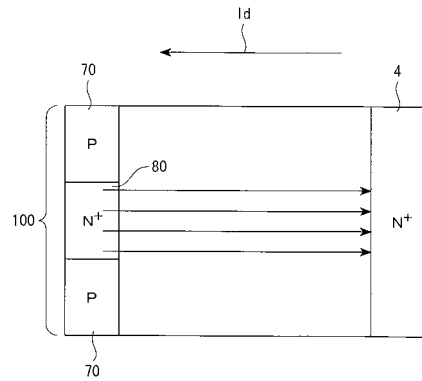
【図 13】



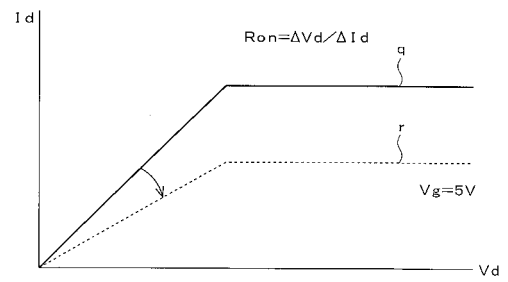
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

Fターム(参考) 5F140 AA30 AA39 AC21 BA01 BC07 BC17 BE07 BF01 BF04 BG08
BG12 BG28 BG37 BG51 BG53 BH02 BH03 BH43 BJ05 BJ07
BJ11 BJ20 BJ27 BK13 BK21 BK29 CB01 CB08 CC12