



(12) 发明专利

(10) 授权公告号 CN 110880501 B

(45) 授权公告日 2023. 11. 24

(21) 申请号 201811315731.X

(22) 申请日 2018.11.06

(65) 同一申请的已公布的文献号
申请公布号 CN 110880501 A

(43) 申请公布日 2020.03.13

(30) 优先权数据
10-2018-0106112 2018.09.05 KR

(73) 专利权人 高丽大学校产学协力团
地址 韩国首尔市城北区安岩路145高丽大
学校(安岩洞五街)

(72) 发明人 金相植 赵庚娥 赵镇先 任斗赫
禹率娥

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205

专利代理师 马爽 臧建明

(51) Int.Cl.

H01L 27/06 (2006.01)

G06N 3/063 (2023.01)

(56) 对比文件

WO 2017175955 A1, 2017.10.12

US 2004196694 A1, 2004.10.07

JP 2007081106 A, 2007.03.29

US 2017330623 A1, 2017.11.16

US 2012084241 A1, 2012.04.05

KR 20130092930 A, 2013.08.21

US 2018138199 A1, 2018.05.17

审查员 李晨雪

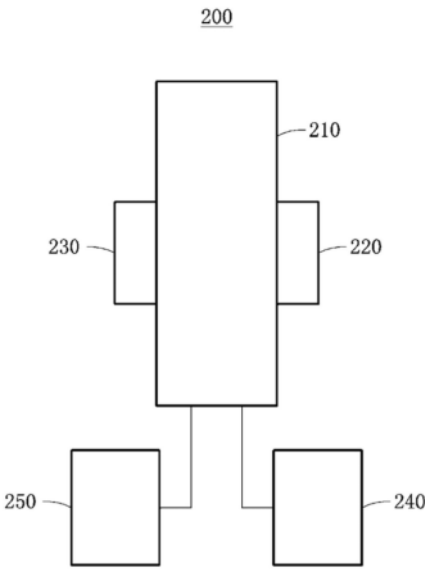
权利要求书2页 说明书14页 附图12页

(54) 发明名称

转位反馈场效应电子器件及利用其的排列
电路

(57) 摘要

本发明公开转位反馈场效应电子器件及利用其的排列电路。根据本发明的一实施例,本发明包括二极管结构体、多个栅极及多个接近电子器件,当上述二极管结构体通过上述多个栅极中的第一栅极和上述多个接近电子器件中的第一接近电子器件接收电压时执行第一方向接近,当通过上述多个栅极中的第二栅极和上述多个接近电子器件中的第二接近电子器件接收电压时执行第二方向接近。



1. 一种反馈场效应电子器件,其特征在于,

包括二极管结构体、多个栅极及多个接近电子器件,

当上述二极管结构体通过上述多个栅极中的第一栅极和上述多个接近电子器件中的第一接近电子器件接收电压时执行第一方向接近,当通过上述多个栅极中的第二栅极和上述多个接近电子器件中的第二接近电子器件接收电压时执行第二方向接近,其中

上述二极管结构体包括第一导电型区域、第二导电型区域、内在区域及阻挡区域,上述内在区域配置于上述第一导电型区域与上述第二导电型区域之间,上述阻挡区域配置于上述内在区域与上述第二导电型区域之间,

上述第一栅极配置于上述内在区域的周边,

上述第二栅极与上述第一栅极电绝缘,以上述内在区域为基准,与上述第一栅极相向,

上述第一导电型区域以控制上述第一方向接近的方式与上述第一接近电子器件的漏极相连接,以控制上述第二方向接近的方式与上述第二接近电子器件的漏极相连接。

2. 根据权利要求1所述的反馈场效应电子器件,其特征在于,上述第一栅极与第一字线相连接,上述第二栅极与第二字线相连接,上述第一接近电子器件的栅极与第三字线相连接,上述第二接近电子器件的栅极与第四字线相连接。

3. 根据权利要求2所述的反馈场效应电子器件,其特征在于,

若通过上述第一字线及上述第三字线施加电压脉冲,则执行上述第一方向接近,

若通过上述第二字线及上述第四字线施加电压脉冲,则执行上述第二方向接近。

4. 根据权利要求3所述的反馈场效应电子器件,其特征在于,在通过上述第一字线及上述第三字线向上述第一栅极及上述第一接近电子器件的栅极同时施加电压脉冲的情况下,以通过上述第二导电型区域施加的位线电压的大小为基础来存储在第一逻辑状态或第二逻辑状态中的一个状态的数据。

5. 根据权利要求3所述的反馈场效应电子器件,其特征在于,在上述第一接近电子器件通过上述第二导电型区域施加位线电压脉冲并通过上述第三字线向上述第一接近电子器件的栅极施加电压脉冲的情况下,从上述内在区域通过第一源线输出与上述内在区域的数据状态有关的电流。

6. 根据权利要求1所述的反馈场效应电子器件,其特征在于,

在上述第一导电型区域及上述阻挡区域掺杂n型杂质,在上述第二导电型区域掺杂p型杂质,

上述第一方向接近以上述二极管结构体为基准来与行方向接近相应,上述第二方向接近以上述二极管结构体为基准来与列方向接近相应。

7. 根据权利要求1所述的反馈场效应电子器件,其特征在于,还包括:

第一栅极绝缘膜,配置于上述第一栅极与上述内在区域之间;以及

第二栅极绝缘膜,配置于上述第二栅极与上述内在区域之间。

8. 一种排列电路,其特征在于,

包括:

多个反馈场效应电子器件,分别包括二极管结构体、第一栅极及第二栅极、第一接近电子器件及第二接近电子器件;

第一神经元器件,相对于上述多个反馈场效应电子器件,沿着第一方向连接;以及

第二神经元器件,相对于上述多个反馈场效应电子器件,沿着第二方向连接,

在上述第一神经元器件的第一燃烧时间快于上述第二神经元器件的第二燃烧时间的情况下,上述多个反馈场效应电子器件在上述第一燃烧时间与上述第二燃烧时间之间存储第一逻辑状态的数据,在上述第二燃烧时间快于上述第一燃烧时间的情况下,在上述第一燃烧时间与上述第二燃烧时间之间存储第二逻辑状态的数据,其中

上述第一神经元器件的燃烧向上述二极管结构体施加位线电压脉冲,通过与上述第一接近电子器件的栅极相连接的第三字线施加第三电压脉冲,

上述第二神经元器件的燃烧通过与上述第一栅极相连接的第一字线施加第一电压脉冲。

9. 根据权利要求8所述的排列电路,其特征在于,

第一电压脉冲和第三电压脉冲的脉宽相同,

在施加上述第一电压脉冲之后,在施加上述第三电压脉冲的情况下,上述多个反馈场效应电子器件存储上述第二逻辑状态的数据,

在施加上述第三电压脉冲之后,在施加上述第一电压脉冲的情况下,上述多个反馈场效应电子器件存储上述第一逻辑状态的数据。

10. 根据权利要求8所述的排列电路,其特征在于,

在上述多个反馈场效应电子器件中,第一反馈场效应电子器件沿着上述第一方向与第二反馈场效应电子器件相连接,随着上述第一神经元器件的燃烧,在接收上述第三电压脉冲之后接收上述第一电压脉冲来存储上述第一逻辑状态数据,

上述第二反馈场效应电子器件随着上述第一神经元器件的燃烧,在接收上述第一电压脉冲之后,接收上述第三电压脉冲来存储上述第二逻辑状态数据。

11. 根据权利要求10所述的排列电路,其特征在于,以通过与上述第一反馈场效应电子器件相连接的第一接近电子器件的第一源线输出的电流及通过与上述第二反馈场效应电子器件相连接的第一接近电子器件的第二源线输出的电流为基础来执行读取行方向数据的动作。

12. 根据权利要求8所述的排列电路,其特征在于,

上述第一神经元器件的燃烧向上述二极管结构体施加位线电压脉冲,通过与上述第二接近电子器件的栅极相连接的第四字线施加第四电压脉冲,

上述第二神经元器件的燃烧通过与上述第二栅极相连接的第二字线施加第二电压脉冲。

13. 根据权利要求12所述的排列电路,其特征在于,

在上述多个反馈场效应电子器件中,第二反馈场效应电子器件沿着上述第二方向与第三反馈场效应电子器件相连接,随着上述第一神经元器件的燃烧,在接收上述第二电压脉冲之后,接收第四电压脉冲来存储上述第二逻辑状态数据,

上述第三反馈场效应电子器件接收上述第四电压脉冲之后,接收上述第二电压脉冲来存储上述第一逻辑状态数据。

14. 根据权利要求13所述的排列电路,其特征在于,以通过与第一反馈场效应电子器件相连接的第二接近电子器件的第三源线输出的电流及通过与上述第三反馈场效应电子器件相连接的第二接近电子器件的第四源线输出的电流为基础来执行读取列方向数据的动作。

转位反馈场效应电子器件及利用其的排列电路

[0001] 本申请要求于2018年09月05日提交且申请号为10-2018-0106112的韩国专利申请的优先权,其全部内容通过引用结合在本申请中。

技术领域

[0002] 本发明涉及转位且可作为突触排列器件使用的反馈场效应电子器件,更详细地,涉及通过向利用独立的两个栅极的反馈场效应(feedback field-effect)晶体管连接两个接近(access)晶体管来控制行(row)方向和列(column)方向接近的转位反馈场效应电子器件及利用其的排列电路。

背景技术

[0003] 作为将人类的神经结构模仿成电子器件及电路的技术有仿神经(Neuromorphic)技术。

[0004] 基于以往的冯诺依曼的计算机在顺序数学计算中呈现出快速动作速度,但呈现出同时计算多输入和输出的速度及电力消耗侧面的限界性。

[0005] 多种神经形态技术中的尖峰神经网络(spiking neural network)技术模仿大脑神经网络及脑电波的作用来体现更加精致的思考能力。

[0006] 为了体现这种尖峰神经网络的神经元和突触体现为电子器件,尤其,全世界进行通过电子器件体现担当大脑的记忆及学习的突触的研究。

[0007] 突触模仿器件需要双方并列动作、突触可塑性、低电力、高集成化特性。

[0008] 以往的存储器件无法进行双向并列动作,且很难体现突触可塑性,因此,进行着对于具有电阻随机存取存储器(ReRAM,resistive random-access memory)、相变存储器(PCM,phase change memory)、导电桥存储器(CBRAM,conductive bridge memory)等多种器件及结构的存储器件的存储器件。

[0009] 但是,上述存储器件无法使用以往互补金属氧化物半导体(CMOS,Complementary Metal-Oxide-Semiconductor)工序,从而器件的均等性及稳定性降低,因复杂的工序过程而无法在实际生活使用。

[0010] 对此,提出使用以往的互补金属氧化物半导体工序来体现双向并列动作及突出可塑性的8T-SRAM,为了在一个存储单元使用八个晶体管来体现突触可塑性而需要追加电路,因此呈现出集成度的限界性。

[0011] 因此,需要开发满足基于互补金属氧化物半导体工序的双向并列动作、突触可塑性、低电力、高集成化特性的突出模仿器件的开发。

[0012] 在通过反馈环(feedback loop)存储机制驱动的存储器件的情况下,可适用于基于硅通道来用于互补金属氧化物半导体工序,并呈现优秀的开关特性和低的动作电压特性。

[0013] 但是,存在仅通过基于反馈环存储机制的存储器件无法体现双向并列动作和突出可塑性的限制性,当前,不存在基于反馈环存储机制的存储器件与接近晶体管相连接来体

现双向并列动作的技术。

[0014] 并且,只要在突出模仿器件单元内自身体现突出可塑性,可作为高集成化突触排列器件使用。

[0015] 现有技术文献

[0016] 专利文献

[0017] 专利文献1:韩国公开专利第10-2017-0127645号,“具有垂直半导体柱的双门存储器件”

[0018] 专利文献2:韩国授权专利第10-1857873号,“逻辑半导体器件”

[0019] 专利文献3:韩国授权专利第10-1835231号,“半导体器件”

发明内容

[0020] 本发明的目的在于,利用独立的两个栅极和两个接近晶体管来在排列电路中使得行方向和列方向接近实现转位(transposable)。

[0021] 本发明的目的在于,提供同时提供双向并列动作、低电力、高集成化特性的反馈场效应电子器件。

[0022] 本发明的目的在于,提供使用互补金属氧化物半导体工序来进行制造,可利用利用尖峰神经网络的反馈场效应电子器件。

[0023] 本发明的目的在于,利用与基于反馈环(feedback loop)存储机制的存储器件相对应的反馈场效应电子器件来体现突触模仿器件,提高突触模仿器件的集成度。

[0024] 本发明的目的在于,提供利用多个接近晶体管来体现双向并列动作,同时快速计算多输入值和输出值并减少电力消耗。

[0025] 本发明的目的在于,提供与突出模仿器件相对应的反馈场效应电子器件内体现突出可塑性,由此减少计算延迟时间来执行超高速学习的反馈场效应电子器件。

[0026] 本发明的目的在于,提供利用反馈环存储机制的磁滞现象的反馈场效应电子器件。

[0027] 根据本发明的一实施例,反馈场效应电子器件包括二极管结构体、多个栅极及多个接近电子器件,当上述二极管结构体通过上述多个栅极中的第一栅极和上述多个接近电子器件中的第一接近电子器件接收电压时执行第一方向接近,当通过上述多个栅极中的第二栅极和上述多个接近电子器件中的第二接近电子器件接收电压时执行第二方向接近。

[0028] 根据本发明的一实施例,上述二极管结构体包括第一导电型区域、第二导电型区域、内在区域及阻挡区域,上述内在区域配置于上述第一导电型区域与上述第二导电型区域之间,上述阻挡区域配置于上述内在区域与上述第二导电型区域之间,上述第一栅极配置于上述内在区域的周边,上述第二栅极与上述第一栅极电绝缘,以上述内在区域为基准,与上述第一栅极相向,上述第一导电型区域以控制上述第一方向接近的方式与上述第一接近电子器件的漏极相连接,以控制上述第二方向接近的方式与上述第二接近电子器件的漏极相连接。

[0029] 根据本发明的一实施例,上述第一栅极与第一字线相连接,上述第二栅极与第二字线相连接,上述第一接近电子器件的栅极与第三字线相连接,上述第二接近电子器件的栅极与第四字线相连接。

[0030] 根据本发明的一实施例,若通过上述第一字线及上述第三字线施加电压脉冲,则执行上述第一方向接近,若通过上述第二字线及上述第四字线施加电压脉冲,则执行上述第二方向接近。

[0031] 根据本发明的一实施例,在通过上述第一字线及上述第三字线向上述第一栅极及上述第一接近电子器件的栅极同时施加电压脉冲的情况下,以通过上述第二导电型区域施加的位线电压的大小为基础来存储在第一逻辑状态或第二逻辑状态中的一个状态的数据。

[0032] 根据本发明的一实施例,在上述第一接近电子器件通过上述第二导电型区域施加位线电压脉冲并通过上述第三字线向上述第一接近电子器件的栅极施加电压脉冲的情况下,从上述内在区域通过第一源线输出与上述内在区域的数据状态有关的电流。

[0033] 根据本发明的一实施例,在上述第一导电型区域及上述阻挡区域掺杂n型杂质,在上述第二导电型区域掺杂p型杂质,上述第一方向接近以上述二极管结构体为基准来与行方向接近相应,上述第二方向接近以上述二极管结构体为基准来与列方向接近相应。

[0034] 根据本发明的一实施例,反馈场效应电子器件还包括:第一栅极绝缘膜,配置于上述第一栅极与上述内在区域之间;以及第二栅极绝缘膜,配置于上述第二栅极与上述内在区域之间。

[0035] 根据本发明的一实施例,排列电路包括:多个反馈场效应电子器件,分别包括二极管结构体、第一栅极及第二栅极、第一接近电子器件及第二接近电子器件;第一神经元器件,相对于上述多个反馈场效应电子器件,沿着第一方向连接;以及第二神经元器件,相对于上述多个反馈场效应电子器件,沿着第二方向连接,在上述第一神经元器件的第一燃烧时间快于上述第二神经元器件的第二燃烧时间的情况下,上述多个反馈场效应电子器件在上述第一燃烧时间与上述第二燃烧时间之间存储第一逻辑状态的数据,在上述第二燃烧时间快于上述第一燃烧时间的情况下,在上述第一燃烧时间与上述第二燃烧时间之间存储第二逻辑状态的数据。

[0036] 根据本发明的一实施例,上述第一神经元器件的燃烧向上述二极管结构体施加位线电压脉冲,通过与上述第一接近电子器件的栅极相连接的第三字线施加第三电压脉冲,上述第二神经元器件的燃烧通过与上述第一栅极相连接的第一字线施加第一电压脉冲。

[0037] 根据本发明的一实施例,上述第一电压脉冲和上述第三电压脉冲的脉宽相同,在施加上述第一电压脉冲之后,在施加上述第三电压脉冲的情况下,上述多个反馈场效应电子器件存储上述第二逻辑状态的数据,在施加上述第三电压脉冲之后,在施加上述第一电压脉冲的情况下,上述多个反馈场效应电子器件存储上述第一逻辑状态的数据。

[0038] 根据本发明的一实施例,在上述多个反馈场效应电子器件中,第一反馈场效应电子器件沿着上述第一方向与第二反馈场效应电子器件相连接,随着上述第一神经元器件的燃烧,在接收上述第三电压脉冲之后接收上述第一电压脉冲来存储上述第一逻辑状态数据,上述第二反馈场效应电子器件随着上述第一神经元器件的燃烧,在接收上述第一电压脉冲之后,接收上述第三电压脉冲来存储上述第二逻辑状态数据。

[0039] 根据本发明的一实施例,以通过与上述第一反馈场效应电子器件相连接的第一接近电子器件的第一源线输出的电流及通过与上述第二反馈场效应电子器件相连接的第一接近电子器件的第二源线输出的电流为基础来执行读取行方向数据的动作。

[0040] 根据本发明的一实施例,上述第一神经元器件的燃烧向上述二极管结构体施加位

线电压脉冲,通过与上述第二接近电子器件的栅极相连接的第四字线施加第四电压脉冲,上述第二神经元器件的燃烧通过与上述第二栅极相连接的第二字线施加第二电压脉冲。

[0041] 根据本发明的一实施例,在上述多个反馈场效应电子器件中,第二反馈场效应电子器件沿着上述第二方向与第三反馈场效应电子器件相连接,随着上述第一神经元器件的燃烧,在接收上述第二电压脉冲之后,接收第四电压脉冲来存储上述第二逻辑状态数据,上述第三反馈场效应电子器件接收上述第四电压脉冲之后,接收上述第二电压脉冲来存储上述第一逻辑状态数据。

[0042] 根据本发明的一实施例,以通过与上述第一反馈场效应电子器件相连接的第二接近电子器件的第三源线输出的电流及通过与上述第三反馈场效应电子器件相连接的第二接近电子器件的第四源线输出的电流为基础来执行读取列方向数据的动作。

[0043] 本发明利用独立的两个栅极和两个接近晶体管来在排列电路中使得行方向和列方向接近实现转位。

[0044] 本发明提供同时提供双向并列动作、低电力、高集成化特性的反馈场效应电子器件。

[0045] 本发明提供使用互补金属氧化物半导体工序来进行制造,可利用利用尖峰神经网络的反馈场效应电子器件。

[0046] 本发明利用与基于反馈环(feedback loop)存储机制的存储器件相对应的反馈场效应电子器件来体现突触模仿器件,提高突触模仿器件的集成度。

[0047] 本发明提供利用多个接近晶体管来体现双向并列动作,同时快速计算多输入值和输出值并减少电力消耗。

[0048] 本发明提供与突出模仿器件相对应的反馈场效应电子器件内体现突出可塑性,由此减少计算延迟时间来执行超高速学习的反馈场效应电子器件。

[0049] 本发明提供利用反馈环存储机制的磁滞现象的反馈场效应电子器件。

附图说明

[0050] 图1a至图1c为用于说明本发明一实施例的反馈场效应电子器件的二极管结构体的图。

[0051] 图2a及图2b为用于说明本发明一实施例的反馈场效应电子器件的结构图的图。

[0052] 图3为用于说明比较本发明一实施例的基于简单化的燃烧时间的可塑性学习机制和基于生物学燃烧时间的可塑性学习机制的图表的图。

[0053] 图4为用于说明与用于体现本发明一实施例的基于简化的燃烧时间的可塑性的脉宽调制方法有关的图表的图。

[0054] 图5为说明本发明一实施例的排列电路的图。

[0055] 图6a及图6b为用于说明本发明一实施例的反馈场效应电子器件的行方向接近的图。

[0056] 图7a及图7b为用于说明本发明一实施例的反馈场效应电子器件的列方向接近的图。

[0057] 附图标记的说明

[0058] 110:二极管结构体

- [0059] 112:第一导电型区域
- [0060] 114:内在区域
- [0061] 116:阻挡区域
- [0062] 118:第二导电型区域
- [0063] 120:第一栅极
- [0064] 121:第一栅极绝缘膜
- [0065] 130:第二栅极
- [0066] 131:第二栅极绝缘膜
- [0067] 200:反馈场效应电子器件
- [0068] 210:二极管结构体
- [0069] 220:第一栅极
- [0070] 230:第二栅极
- [0071] 240:第一接近电子器件
- [0072] 250:第二接近电子器件

具体实施方式

[0073] 以下,参照附图,说明本发明的多个实施例。

[0074] 实施例及在此使用的术语并非将在本说明书中记载的技术限定在特定实施形态,而是包括对应实施例的多种变更、等同技术方案和/或代替技术方法。

[0075] 以下,在说明多种实施例的过程中,在判断为相关的功能或结构的具体说明使本发明的主旨不清楚的情况下,将省略对其的详细说明。

[0076] 而且,后述的术语考虑到在多个实施例中的功能来定义的术语,这可根据使用人员、运营人员的意图或管理改变。因此,上述定义以本说明书整体内容来定义。

[0077] 与图中的说明相关地,对类似的结构要素赋予类似的附图标记。

[0078] 只要文脉上并未明确表示,单数的表现包括复数的表现。

[0079] 在本说明书中,“A或B”或“A和/或B中的至少一个”等的表现可包括一同罗列的项目的所有可能的组合。

[0080] “第一”、“第二”、“第一”或“第二”等的表现与对应结构要素的顺序或重要度无关地修饰,仅用于区分两种结构要素,而并非用于限定对应结构要素。

[0081] 当一个(例如,第一)结构要素与其他(例如,第二)结构要素“(功能或通信)连接”或“链接”时,上述一个结构要素与上述另一个结构要素直接连接或者通过其他结构要素(例如,第三结构要素)连接。

[0082] 在本说明书中,例如,“以~方式构成(后设定的)”(configured to)可根据状况与硬件或软件“适合于”、“具有能力”、“以~方式变更的”、“以~方式形成的”、“可进行”、或“以~方式设计的”相互互换(interchangeably)使用。

[0083] 在一个状况下,“以~方式构成的装置”的表现意味着上述装置与其他装置或部件一同“进行”。

[0084] 例如,文句“以执行A、B及C的方式构成(或设定)的处理器”为用于执行对应动作的专用处理器(例如,嵌入式处理器)或执行存储于存储装置的一个以上的软件程序来执行对

应动作的常用处理器(例如,CPU或应用处理器)。

[0085] 并且,术语“或”意味着包括的或“inclusive or”,而并非意味着排他性或“exclusive or”。

[0086] 即,只要并未明确表示或从一个文脉明确表示,“x利用a或b”的表现意味着包括性自然顺序(natural inclusive permutations)中的一种。

[0087] 以下使用的“部”、“器”等的术语为处理至少一个功能或动作的单位,这可通过硬件或软件或硬件及软件的结合体现。

[0088] 图1a至图1c为说明本发明一实施例的二极管结构体的图。

[0089] 图1a例示根据本发明的一实施例配置独立的两个栅极的二极管结构体。例如,二极管结构体为在p-n-i-n晶体管、存储器件、半导体器件或存储器件中的一个。

[0090] 参照图1a,二极管结构体110包括第一导电型区域112、内在区域114、阻挡区域116及第二导电型区域118,在内在区域114形成及配置第一栅极120及第二栅极130。

[0091] 例如,第一栅极120及第二栅极130可通过选择性蚀刻形成。另一方面,选择性蚀刻为在半导体工序中广泛使用的技术,选择性去除不必要的部分。

[0092] 根据本发明的一实施例,第一栅极120可配置于在内在区域114的一侧面或或周边中的一个。

[0093] 并且,在第一栅极120和内在区域114之间形成第一栅极绝缘膜121,在第二栅极130于内在区域114之间形成第二栅极绝缘膜131。

[0094] 作为一例,第二栅极130与第一栅极120电绝缘,以内在区域114为基准与第一栅极相向。

[0095] 即,第一栅极120与第二栅极130呈相互对称结构,当二极管结构体110在反馈场效应电子器件中执行存储功能时,可支援存储功能的双向动作。

[0096] 其中,双向动作当在二极管结构体110存储数据时包括存储第一逻辑状态的数据的动作和存储第二逻辑状态的数据的动作。

[0097] 例如,第一逻辑状态的数据可以为“1”,第二逻辑状态的数据可以为“0”。另一方面,在上述说明中,第一逻辑状态的数据为“1”,第二逻辑状态的数据为“2”,根据存储的设定来灵活地变更。

[0098] 另一方面,二极管结构体110为存储器,存储第一逻辑状态的数据的动作可以被称为编程(programming)。

[0099] 并且,二极管结构体110为存储器,存储第二逻辑状态的数据的动作可被称为擦除(erasing)。

[0100] 例如,将编程及擦除合并来称为更新动作。

[0101] 即,本发明可体现同时提供双向并列动作、低电力、高集成化特性的反馈场效应电子器件。

[0102] 图1b具体说明二极管结构体110的结构要素。

[0103] 参照图1b,二极管结构体110可包括第一导电型区域112、第二导电型区域118、内在区域114及阻挡区域116,上述内在区域114配置于第一导电型区域112与第二导电型区域118之间,上述阻挡区域116配置于内在区域114与第二导电型区域118之间。

[0104] 根据本发明的一实施例,二极管结构体110可在内在区域114的周边独立配置第一

栅极120和第二栅极130。

[0105] 并且,第一栅极120和第二栅极130与相互独立的电压施加线相连接,向二极管结构体110施加相互独立的电压脉冲。

[0106] 作为一例,二极管结构体110以向第二导电型区域118施加的漏极电压和通过第一栅极120或第二栅极130中的一个施加的栅极电压为基础来以开关或易失性存储器的动作。

[0107] 根据本发明的一实施例,二极管结构体110作为n通道半导体器件动作,呈现出除滞后特性之外为与MOSFET的n通道器件类似的特性。

[0108] 并且,二极管结构体110中,第一导电型区域112作为源动作,第二导电型区域118作为漏极动作。

[0109] 即,第一导电型区域112可被称为源区域,第二导电型区域118也可被称为漏极区域。

[0110] 根据本发明的一实施例,二极管结构体110可在基板上垂直或水平形成,基板为单晶硅基板,二极管结构体110为多结晶状态或单结晶状态的硅。

[0111] 作为一例,二极管结构体110在基板上根据垂直位置以第一导电型或第二导电型掺杂。

[0112] 其中,第一导电型为n型,第二导电型为p型。

[0113] 根据本发明的一实施例,第一栅极绝缘膜121及第二栅极绝缘膜131仅可选择性包围内在区域114,并可同时包围阻挡区域116和内在区域114。

[0114] 根据本发明的一实施例,第一栅极绝缘膜121及第二栅极绝缘膜131也可以被称为硅氧化膜(oxide)。

[0115] 根据另一实施例,第一栅极绝缘膜121及第二栅极绝缘膜131可包围内在区域114。

[0116] 作为一例,二极管结构体110可呈 $p^+-n^+-i-n^+$ 结构,可包括第一p-n接合111a、第二p-n接合111b及第三p-n接合111c。

[0117] 其中, p^+ 为p型杂质以高浓度掺杂的情况, n^+ 为n型杂质以高浓度掺杂的情况。

[0118] 例如,n通道以二极管结构体110的内在区域114为基准在两侧掺杂n型杂质。

[0119] 另一方面,p通道以二极管结构体110的内在区域114为基准在两侧掺杂p型杂质。

[0120] 因此,本发明具有p-n接合结构,使用互补金属氧化物半导体工序来制造,可利用反馈场效应电子器件来体现。

[0121] 并且,本发明利用与基于反馈环(feedback loop)存储机制的存储器件相对应的反馈场效应电子器件来体现突触模仿器件,并可提高突触模仿器件的集成度。

[0122] 图1c为与将图1a及图1b的二极管结构体110显示在电路上的情况下的记号相对应。

[0123] 参照图1c,在二极管结构体可配置施加相互独立的栅极电压的第一栅极G1和第二栅极G2。

[0124] 本发明一实施例的二极管结构体可根据第一栅极电压VG1和第二栅极电压VG2不同地工作。

[0125] 即,二极管结构体以第一栅极电压VG1和第二栅极电压VG2为基础来呈现出对称的动作特性。

[0126] 图2a为说明本发明一实施例的反馈场效应电子器件的结构图。

[0127] 本发明一实施例的反馈场效应电子器件以进行转位的方式并列执行行(row)方向计算和列(column)方向计算。

[0128] 因此,反馈场效应电子器件可以为转位反馈场效应电子器件或双向动作简单的反馈场效应电子器件。

[0129] 参照图2a,反馈场效应电子器件200包括二极管结构体210、第一栅极220、第二栅极230、第一接近电子器件240及第二接近电子器件250。

[0130] 作为一例,反馈场效应电子器件200在通过第一栅极220和第一接近电子器件240接收电压的情况下,可执行第一方向接近。其中,所施加的电压可以为第一栅极电压及第三栅极电压。

[0131] 作为一例,反馈场效应电子器件200在通过第二栅极230和第二接近电子器件250接收电压的情况下,可执行第二方向接近。其中,所施加的电压也可以为第二栅极电压及第四栅极电压。

[0132] 作为一例,反馈场效应电子器件200接收与第一栅极电压及第三栅极电压或第二栅极电压及第四栅极电压相应的字线电压来执行存储器件的动作。

[0133] 例如,第一方向接近以二极管结构体210为基准来沿着行方向执行动作,第二方向接近以二极管结构体210为基准沿着列方向执行动作。

[0134] 以下,利用图2b来具体说明反馈场效应电子器件的。

[0135] 图2b为说明本发明一实施例的反馈场效应电子器件的结构图。

[0136] 图2b例示包括在图1a至图1c中说明的二极管结构体的反馈场效应电子器件的构成及结构。

[0137] 参照图2b,反馈场效应电子器件200二极管结构体210可包括第一栅极220、第二栅极230、第一接近电子器件240、第二接近电子器件250。

[0138] 并且,反馈场效应电子器件200可以为前突触神经元260和后突触神经元270相连接。

[0139] 例如,前突触神经元260可被称为第一神经元器件,后突触神经元270可被称为第二神经元器件。以下说明中,利用第一神经元器件及第二神经元器件名称。

[0140] 第一神经元器件在每个与反馈场效应电子器件200相连接的行包括轴突。

[0141] 第二神经元器件在每个与反馈场效应电子器件200相连接的列包括树突。

[0142] 例如,在尖峰神经网络(spiking neural network)的观点,突触通过与反馈场效应电子器件的前端相连接的第一神经元器件的燃烧和与反馈场效应电子器件的后端相连接的第二神经元器件的燃烧来执行读取及写入动作。

[0143] 其中,与反馈场效应电子器件200的前端相连接的第一神经元器件的燃烧在位线BL及第一字线WL1或第二字线WL1T中的一个同时施加电压,与反馈场效应电子器件200的后端相连接的第二神经元器件的燃烧向第三字线WL2或第四字线WL2T施加电压。

[0144] 作为一例,二极管结构体210可包括第一导电型区域、第二导电型区域、配置于上述第一导电型区域与上述第二导电型区域之间的内在区域及配置于上述内在区域与上述第二导电型区域之间的阻挡区域。

[0145] 根据本发明的一实施例,第一栅极220可配置于二极管结构体210的内在区域周边。

[0146] 并且,第一栅极220与第一字线WL1相连接,并向二极管结构体210施加栅极电压。

[0147] 根据本发明的一实施例,第二栅极230以二极管结构体210为基准,可配置于与第一栅极220对称的位置。

[0148] 并且,第二栅极230与第二字线WL1T相连接,向二极管结构体210施加栅极电压。

[0149] 作为一例,第一接近电子器件240与二极管结构体210的第一导电型区域相连接来控制第一方向接近。

[0150] 另一方面,第二接近电子器件250与二极管结构体210的第一导电型区域相连接来控制第二方向接近。

[0151] 例如,第一方向接近以二极管结构体210为基准来呈现行方向接近。

[0152] 另一方面,第二方向接近以二极管结构体210为基准来呈现列方向接近。

[0153] 另一方面,第一接近电子器件240的栅极与第三字线WL2相连接,第二接近电子器件250的栅极与第四字线WL2T相连接。

[0154] 根据本发明的一实施例,若反馈场效应电子器件200通过第一字线WL1及上述第三字线WL2施加电压脉冲,则执行第一方向接近。

[0155] 另一方面,若反馈场效应电子器件200通过第二字线WL1T及上述第四字线WL2T施加电压脉冲,则执行上述第二方向接近。

[0156] 作为一例,二极管结构体210在通过第一字线WL1及上述第三字线WL2向第一栅极220及第一接近电子器件240的栅极同时施加电压脉冲的情况下,二极管结构体210以通过二极管结构体210的第二导电型区域施加的位线电压BL的大小为基础来存储在第一逻辑状态或第二逻辑状态中的一个状态的数据。

[0157] 即,本发明一实施例的反馈场效应电子器件200利用在第一栅极220或第二栅极中的一个和第一接近电子器件240及第二接近电子器件250来执行双向动作。

[0158] 本发明一实施例的反馈场效应电子器件200可在施加基于以下表1的位线电压、栅极电压的情况下,可执行双向动作。

[0159] 表1

	编 程	擦 除	读 取	待 机 (维持)
[0160] BL (V)	1.2 V	0.6 V	1.2 V	1.2 V
WL1 (V)	0.8 V	0.8 V	0 V	0 V
WL2 (V)	1 V	1 V	1 V	0.45 V

[0161] 根据本发明的一实施例,反馈场效应电子器件200在行方向接近的情况下,利用第一字线WL1和第三字线WL2来执行。

[0162] 首先,当二极管结构体210通过第一字线WL1和第三字线WL2同时接收电压来作为存储器激活时,在所施加的电压大于1.2V的情况下,反馈场效应电子器件200存储第一逻辑状态。

[0163] 即,反馈场效应电子器件200在所施加的位线电压为1.2V的情况下,可执行编程动作。

[0164] 另一方面,反馈场效应电子器件200在所施加的位线电压小于1.2V的0.6V的情况下,存储第二逻辑状态。

- [0165] 即,反馈场效应电子器件200在所施加的位线电压为0.6V的情况下执行擦除动作。
- [0166] 另一方面,反馈场效应电子器件200在施加位线电压的状态下,通过第三字线WL2来施加电压脉冲并执行读取动作。
- [0167] 即,反馈场效应电子器件200在位线电压恒定维持的状态下执行读取动作。
- [0168] 并且,反馈场效应电子器件200在施加位线电压的状态下,在第一字线和第三字线并未施加电压脉冲的情况下,可维持向当前第二导电型区域施加的电压。其中,维持所施加的电压的动作可被称为维持。
- [0169] 在列方向接近的情况下,可通过第二字线WL1T和第四字线WL2T执行。
- [0170] 另一方面,反馈场效应电子器件200因第一栅极220与第二栅极230的结构性对称而在于行方向动作相同的动作电压条件下执行数据写入和读取动作。
- [0171] 作为一例,反馈场效应电子器件200为了执行待机动作而减少向两个接近晶体管施加的第二字线WL1T和向第四字线WL2T施加的电压来减少在二极管结构体210流动的电流,由此,突触排列器件消耗低的待机电力。
- [0172] 根据本发明的一实施例,反馈场效应电子器件200中,第一接近电子器件240通过二极管结构体210的第二导电型区域施加位线电压脉冲BL,在通过第三字线WL2向第一接近电子器件240的栅极施加电压脉冲的情况下,以位线电压BL的大小为基础,从二极管结构体210通过第一源线SL输出与二极管结构体的数据状态有关的电流。
- [0173] 图3为说明比较基于本发明一实施例的简单化的燃烧时间的可塑性学习机制和基于生物学燃烧时间的可塑性学习机制的图表。
- [0174] 参照图3,基于燃烧时间的可塑性(Spike-timing-dependent plasticity,STDP)可分为简单的基于燃烧时间的可塑性和生物学基于燃烧时间的可塑性。
- [0175] 图表的横轴为时间的变化,纵轴为数据的变化。
- [0176] 其中,时间的变化为在第一神经元器件燃烧的时间去除第二神经元器件燃烧的时间。
- [0177] 并且,时间的变化为在基于燃烧时间的可塑性学习机制中在与第一神经元器件和第二神经元器件相连接的燃烧发生的时间差异相对应的时间窗口。
- [0178] 本发明一实施例的反馈场效应电子器件可以为如简单的基于燃烧时间的可塑性的信号传递,生物学基于燃烧时间的可塑性为动物的大脑的突触器件中突触的连接强度变化的机制。
- [0179] 即,本发明一实施例的反馈场效应电子器件基于简单的基于燃烧时间的可塑性来体现突触可塑性。
- [0180] 本发明一实施例的反馈场效应电子器件在时间窗口内执行数据写入动作。
- [0181] 本发明一实施例的反馈场效应电子器件与生物学基于燃烧时间的可塑性机制相同地,若第一突触器件比第二突触器件优先燃烧,则如上升区间“1”记录。
- [0182] 另一方面,反馈场效应电子器件若第二突触器件比第一突触器件优先燃烧,则如下降区间301记录“0”。
- [0183] 时间窗口的值可随意设置,通常可利用10ms。
- [0184] 例如,上升区间300可以为长期增强(LTP,long-term potentiation),下降区间301可以为长期下降(LTD,long-term depression)。

[0185] 根据本发明的一实施例,多个反馈场效应电子器件在第一神经元器件的第一燃烧时间快于上述第二神经元器件的第二燃烧时间的情况下,在第一燃烧时间与第二燃烧时间之间存储第一逻辑状态的数据。

[0186] 并且,多个反馈场效应电子器件在第二燃烧时间快于第一燃烧时间的情况下,在第一燃烧时间与第二燃烧时间之间存储第二逻辑状态的数据。

[0187] 即,本发明利用接近晶体管来体现双向并列动作,同时快速计算多输入值和输出值并体现减少电力消耗的反馈场效应电子器件。

[0188] 并且,本发明在与突触模仿器件相对应的反馈场效应电子器内体现突触可塑性,由此,由此,可体现减少计算延迟时间来执行超高速学习的反馈场效应电子器件。

[0189] 图4为说明与用于体现本发明一实施例的基于简化的燃烧时间的可塑性的脉宽调制方法有关的图表。

[0190] 参照图4,本发明一实施例的反馈场效应电子器件为了体现简单的基于燃烧时间的可塑性而进行位线电压BL、第一字线WL1、第三字线WL2的电压脉宽调制。以下,将简单化的基于燃烧时间的可塑性称为简单化的基于燃烧时间的可塑性来进行说明。

[0191] 根据本发明的一实施例,在简单化的基于燃烧时间的可塑性中,反馈场效应电子器件将编程或擦除中的一个动作在第一神经元器件的燃烧时间与第二神经元器件的燃烧时间差异在时间窗口内发生的情况下执行。

[0192] 根据本发明的一实施例,第一神经元器件的燃烧向二极管结构体施加位线BL的线电压脉冲,通过与第一接近电子器件的栅极相连接的第三字线WL2施加第三电压脉冲。

[0193] 其中,第一神经元器件的燃烧为在图2b说明的前突触神经元的燃烧。

[0194] 作为一例,第二神经元器件的燃烧通过与第一栅极相连接的第一字线WL1施加第一电压脉冲。

[0195] 其中,第二神经元器件的燃烧为在图2b中的说明的后突触神经元的燃烧。

[0196] 例如,时间窗口的大小在第三电压脉冲的脉宽或第一电压脉冲的脉宽中的至少一个。

[0197] 并且,第三电压脉冲的脉宽和第一电压脉冲的脉宽可以相同,位电压脉冲相对小。

[0198] 更具体地,在第三电压脉冲的脉宽和第一电压脉冲的脉宽为5ns的情况下,位电压脉冲为约小1ns的4ns,时间窗口的大小可以为5ns。

[0199] 图4中示出时间区间410及时间区间411的1ns的脉宽差异。

[0200] 更具体地,在时间区间410,第二神经元器件的燃烧先于第一神经元器件的燃烧发生,反馈场效应电子器件执行擦除动作来存储第二逻辑状态的数据。

[0201] 在时间区间411中,第一神经元器件的燃烧先于第二神经元器件的燃烧发生,反馈场效应电子器件执行编程动作来存储第一逻辑状态的数据。

[0202] 即,反馈场效应电子器件在时间窗口中,当发生第一电压脉冲与第三电压脉冲的时间差异时,基于第一电压脉冲和第三电压脉冲的施加顺序来执行编程动作或擦除动作。

[0203] 例如,脉宽为施加第一状态的电压的时间或施加或第二状态的电压的时间。

[0204] 以位电压为基础,第一状态的电压与1.2V相应,第二状态的电压与0.6V相应。

[0205] 以图4为基准,位电压脉冲的脉宽为与施加第二状态的电压的时间相应。

[0206] 另一方面,第一电压脉冲的第一状态电压为1V,第二状态电压为0.45V。

- [0207] 第一电压脉冲的脉宽为施加第一状态电压的时间。
- [0208] 另一方面,第三电压脉冲的第一状态电压为0.8V,第二状态电压与0V相应。
- [0209] 第二电压脉冲的脉宽与施加第一状态电压的时间。
- [0210] 图5为说明本发明一实施例的排列电路的图。
- [0211] 参照图5,排列电路可由第一至第四反馈场效应电子器件构成。即,第一至第四反馈场效应电子器件可构成2X2排列电路。
- [0212] 在排列电路中,第一反馈场效应电子器件与第二反馈场效应电子器件相互之间行连接,通过位线BL、第一字线WL1及第三字线WL2接收电压来执行行接近动作。
- [0213] 例如,排列电路在执行行接近动作的情况下,一次性对在行连接的多个反馈场效应电子器件存储的数据进行处理。
- [0214] 另一方面,在排列电路中,第一反馈场效应电子器件和第三反馈场效应电子器件相互列连接,通过位线BL、第二字线WL1T及第四字线WL2T接收电压来执行列接近动作。
- [0215] 例如,排列电路在执行列接近动作的情况下,一次性对在列连接的多个反馈场效应电子器件存储的数据进行处理。
- [0216] 图6a及图6b为用于说明本发明一实施例的反馈场效应电子器件的行方向接近的图。
- [0217] 参照图6a,多个反馈场效应电子器件构成排列电路。
- [0218] 根据本发明的一实施例,多个反馈场效应电子器件中的第一反馈场效应电子器件C00沿着第一方向与第二反馈场效应电子器件C01相连接,随着第一神经元器件的发热,接收第三电压脉冲(WL2<0>)之后,接收第一电压脉冲(WL1<0>)来存储第一逻辑状态数据。
- [0219] 作为一例,第二反馈场效应电子器件C01随着第一神经元器件的燃烧接收第一电压脉冲(WL1<1>)之后,接收第三电压脉冲(WL2<0>)来存储第二逻辑状态数据。
- [0220] 根据本发明的一实施例,排列电路以通过与第一反馈场效应电子器件相连接的第一接近电子器件的第一源线(SL<0>)输出的电流及通过与第二反馈场效应电子器件相连接的第一接近电子器件的第二源线(SL<1>)输出的电流来执行读取动作。
- [0221] 参照图6b,第一神经元器件的燃烧向位线电压BL及第三字线施加与WL2<0>相应的栅极电压,随着第二神经元器件的燃烧,向第一字线施加与WL1<0>和WL1<1>相应的栅极电压。
- [0222] 因此,排列电路在数据写入过程中,WL1<0>之后进行WL2<0>,因此,在第一反馈场效应电子器件C00发生长期增强并记录“1”,WL1<1>先进行WL2<0>,因此,在第二反馈场效应电子器件C01发生长期下降而记录“0”。
- [0223] 根据本发明的一实施例,排列电路可通过确认SL<0>和SL<1>电流来确认在第一行记录“10”。
- [0224] 另一方面,参照图表,第二个数据写入过程中,WL1<0>先进行WL2<0>,WL1<1>后进行WL2<0>,因此,在第一行记录“01”的过程通过连续执行读取动作来确认。
- [0225] 例如,位线BL的电压与0.6V至1.2V相应,第一字线WL1的电压与0V至0.8V相应,第二字线WL2的电压与0.45V至1V相应,第三字线WL1T的电压与0V至0.8V相应,第二字线WL2T的电压与0.45V至1V相应。
- [0226] 例如,通过源线测定的电流为0uA至10uA。

[0227] 图7a及图7b为用于说明本发明一实施例的反馈场效应电子器件的列方向接近的图。

[0228] 参照图7a,排列电路由多个反馈场效应电子器件构成,在多个反馈场效应电子器件中,第二反馈场效应电子器件C01沿着第二方向与第三反馈场效应电子器件C11相连接。

[0229] 作为一例,第二反馈场效应电子器件C01根据第一神经元器件的燃烧接收第二电压脉冲WL1T之后,接收第四电压脉冲WL2T来存储第二逻辑状态数据。

[0230] 根据本发明的一实施例,第三反馈场效应电子器件C11接收第四电压脉冲WL2T之后,接收上述第二电压脉冲WL1T来存储第一逻辑状态数据。

[0231] 根据本发明的一实施例,排列电路以通过与第二反馈场效应电子器件C01相连接的第二接近电子器件的源线(SLT<0>)输出的电流及通过与第三反馈场效应电子器件C11相连接的第二接近电子器件的源线(SLT<1>)输出的电流来执行读取列方向数据的动作。

[0232] 参照图7b,第一神经元器件的燃烧向位线电压BL及第四字线施加WL2T<1>相应的栅极电压,随着第二神经元器件的燃烧,向第二字线施加与WL1T<0>和WL1T<1>相应的栅极电压。

[0233] 因此,排列电路在第一次数据写入过程中,WL1T<0>先进行WL2T<1>,因此,在第二反馈场效应电子器件C01发生LTD而记录“0”,WL1T<1>之后进行WL2T<1>,因此,在第三反馈场效应电子器件C11发生LTP而记录“1”。

[0234] 根据本发明的一实施例,排列电路通过检测SLT<0>和SLT<1>来在第一行记录“01”。

[0235] 另一方面,参照图表,在第二个数据写入过程中,WL1T<0>后进行WL2T<1>,WL1T<1>先进行WL2T<1>,因此,在第一行记录“10”的过程通过连续执行读取动作来确认。

[0236] 根据上述图6a至图7b,本发明利用独立的两个栅极和两个接近晶体管来在排列电路中执行行和列方向接近。

[0237] 并且,本发明可体现利用反馈环存储机制的磁滞现象(hysteresis)的反馈场效应电子器件。

[0238] 本发明的发明要求保护范围或说明书中记载的实施例的方法可通过硬件、软件或硬件和软件的组合形态体现(implemented)。

[0239] 这种软件可存储于计算机可读存储介质。计算机可读存储介质存储至少一个处理器(软件模块)及当在电子装置中,通过至少一个处理器执行时,包括电子装置实施本发明的方法的指令(instructions)的至少一个程序。

[0240] 这种软件存储于以易失性(volatile)或如只读存储器(ROM,Read Only Memory)的非易失性(non-volatile)存储装置的形态或以随机存取存储器(RAM,random access memory)、存储芯片(memory chips)或如装置或集成电路(integrated circuits)的存储器的形态或光盘只读存储器(CD-ROM,Compact Disc-ROM)、数字多功能光盘(DVDs,Digital Versatile Discs)、磁盘(magnetic disk)或磁带(magnetic tape)等的光学或磁读取介质。

[0241] 存储装置及存储媒介为当执行使包括体现一实施例的指令的程序或适合存储程序的机械可读取单元的实施例。

[0242] 在上述具体实施例中,在本发明中的结构要素根据揭示的具体实施例以单数或复

数表现。

[0243] 但是,以单数或复数表现以适合为了说明的便利而揭示的状况的方式选择,上述实施例并不局限于单数或复数结构要素,以复数表现的结构要素也能够以单数构成,以单数表现的结构要素也能够以复数构成。

[0244] 另一方面,本发明的说明中对具体实施例进行了说明,在不超出多种实施例中的技术思想的范围的限度内可进行多种变形。

[0245] 因此,奔放买那个的范围并不局限于说明的实施例,本发明的范围通过后述的发明要求保护范围和与上述发明要求保护范围等同的内容定义。

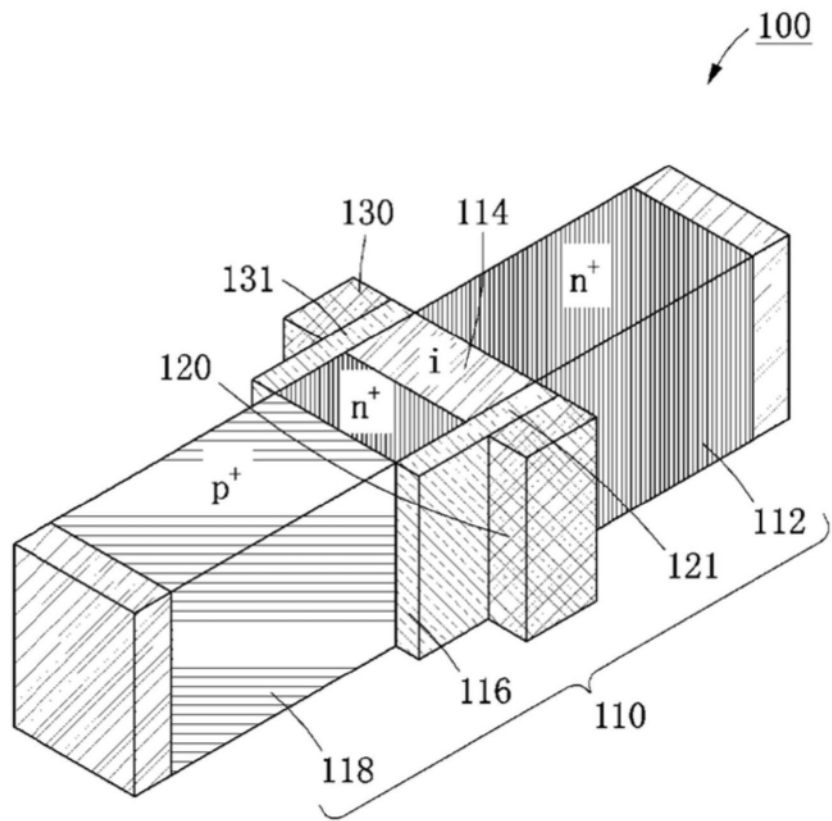


图1a

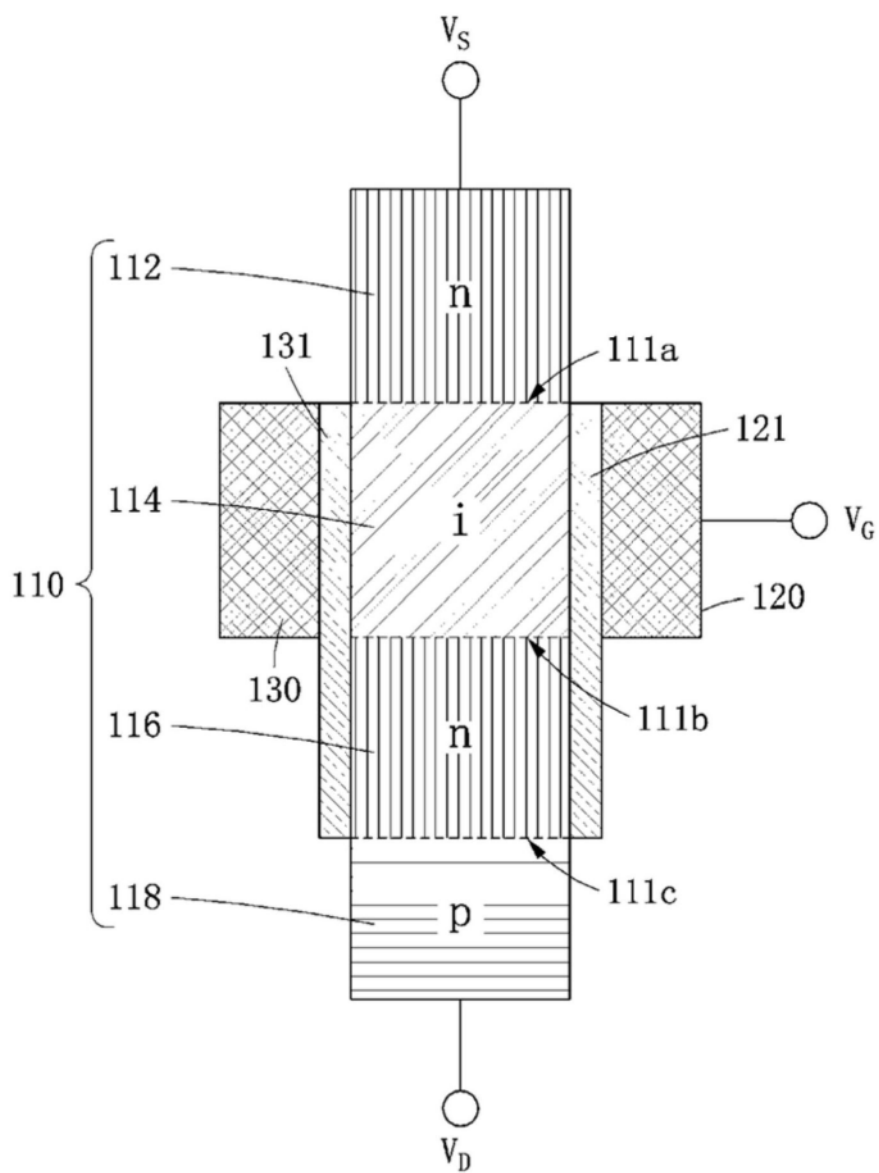


图1b

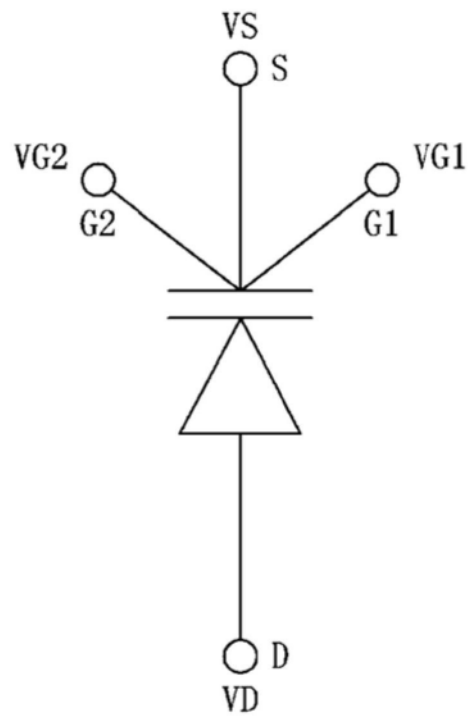


图1c

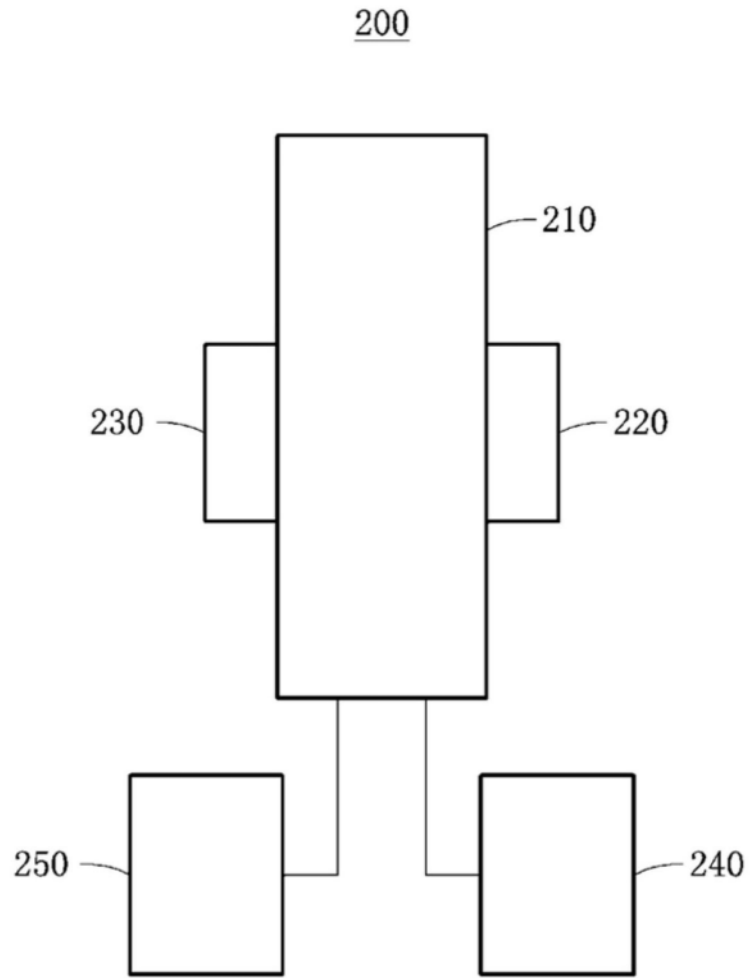


图2a

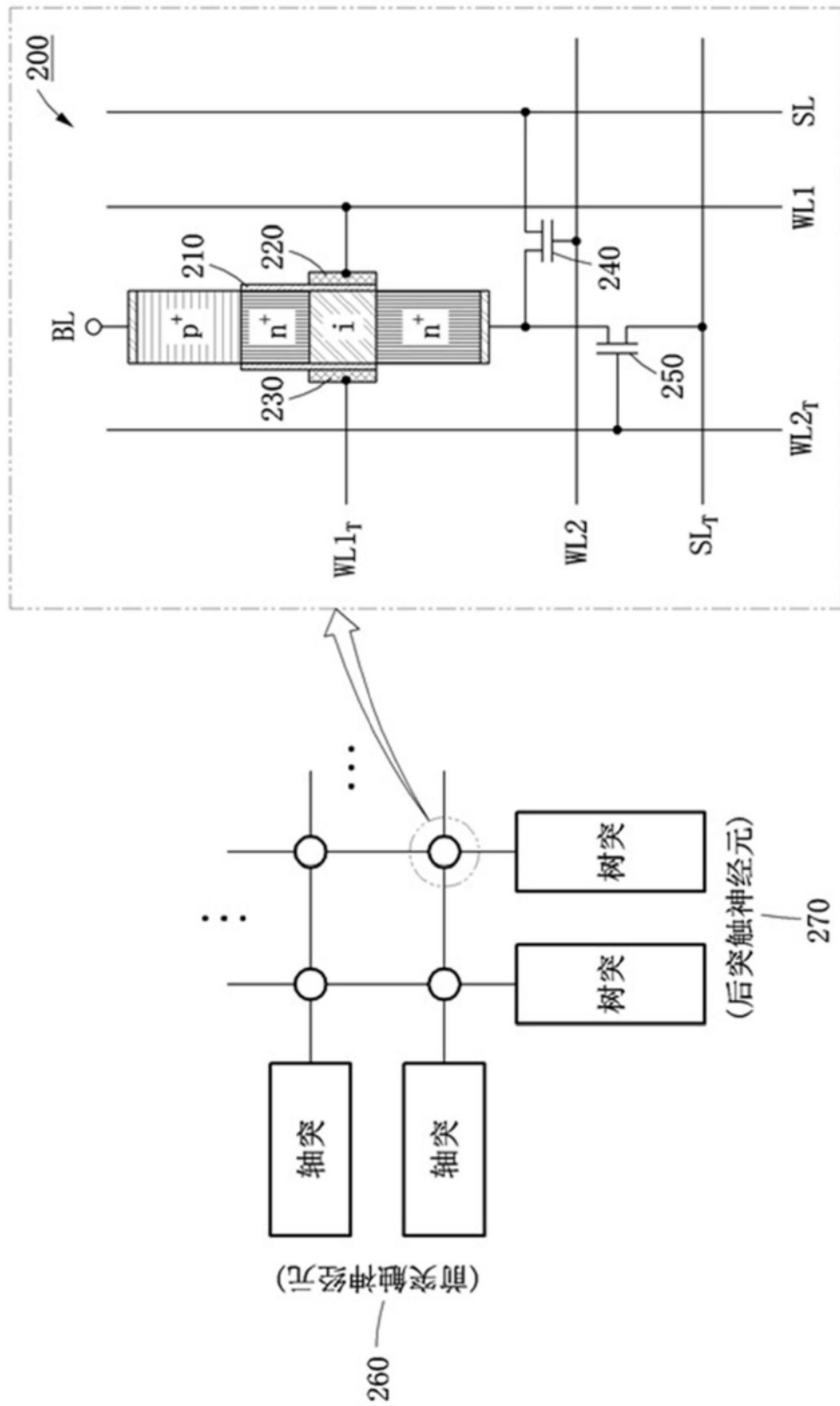


图2b

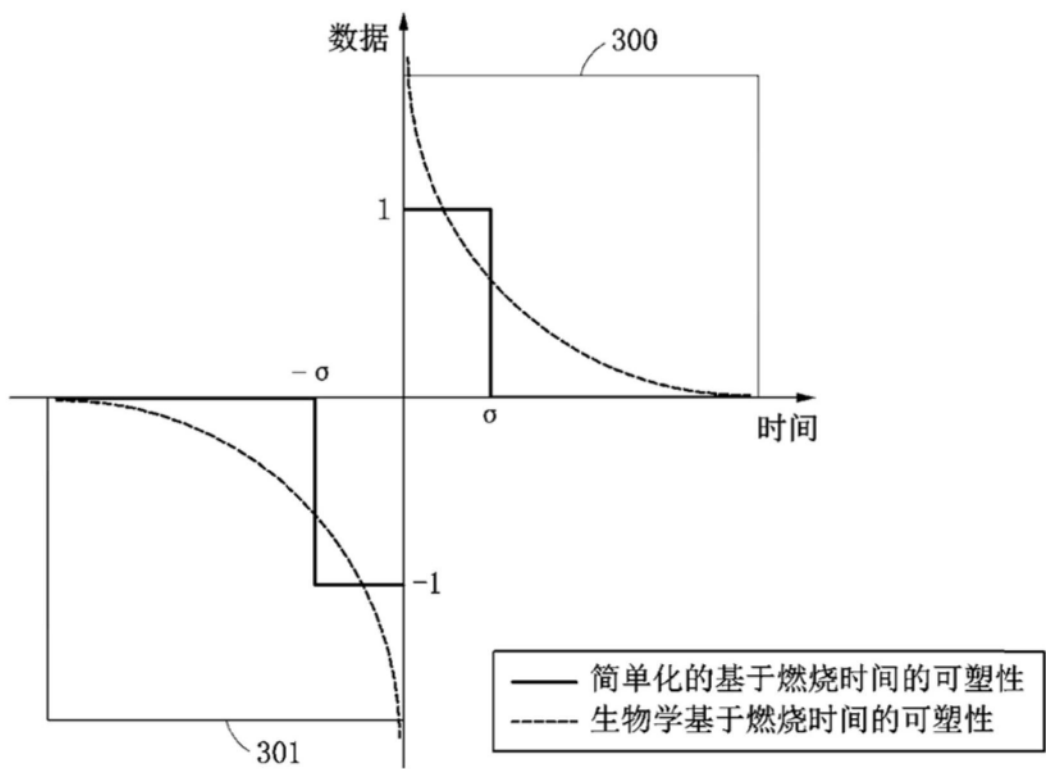


图3

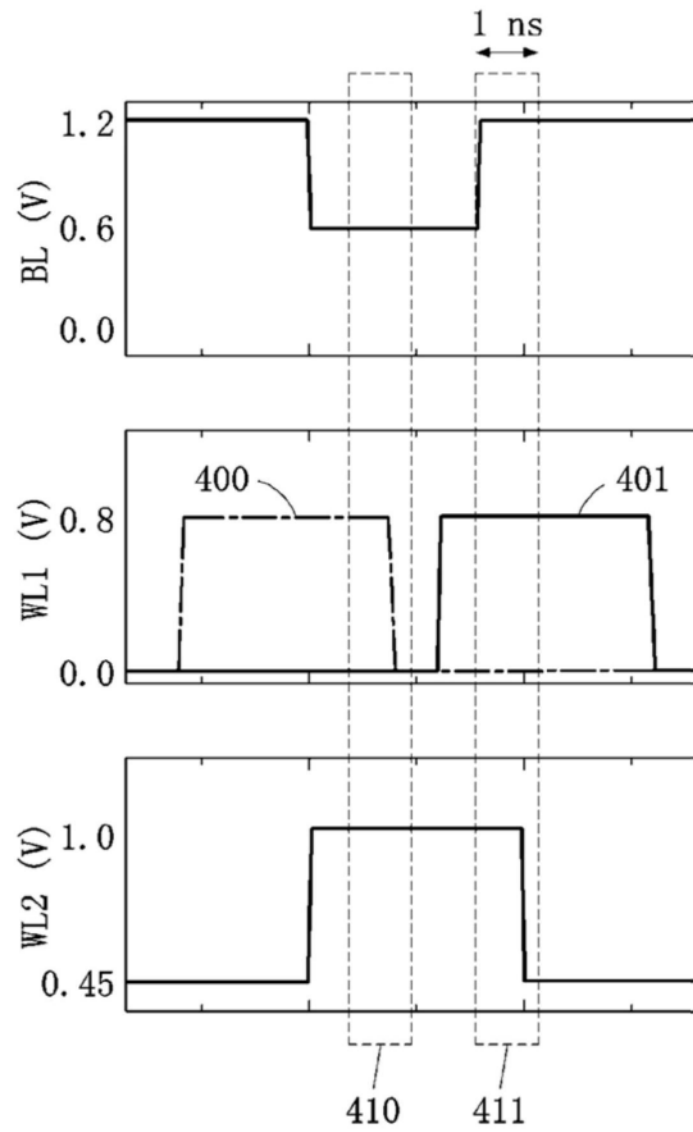


图4

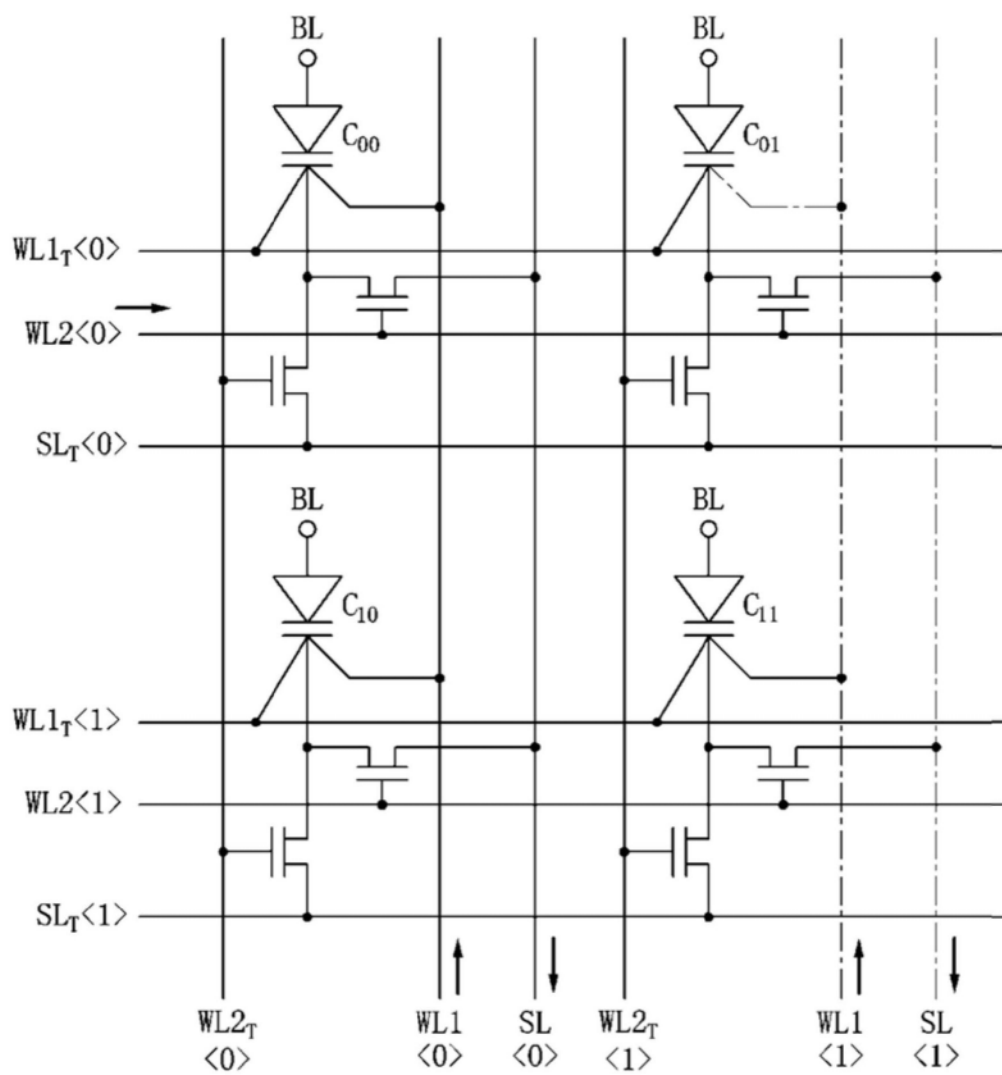


图6a

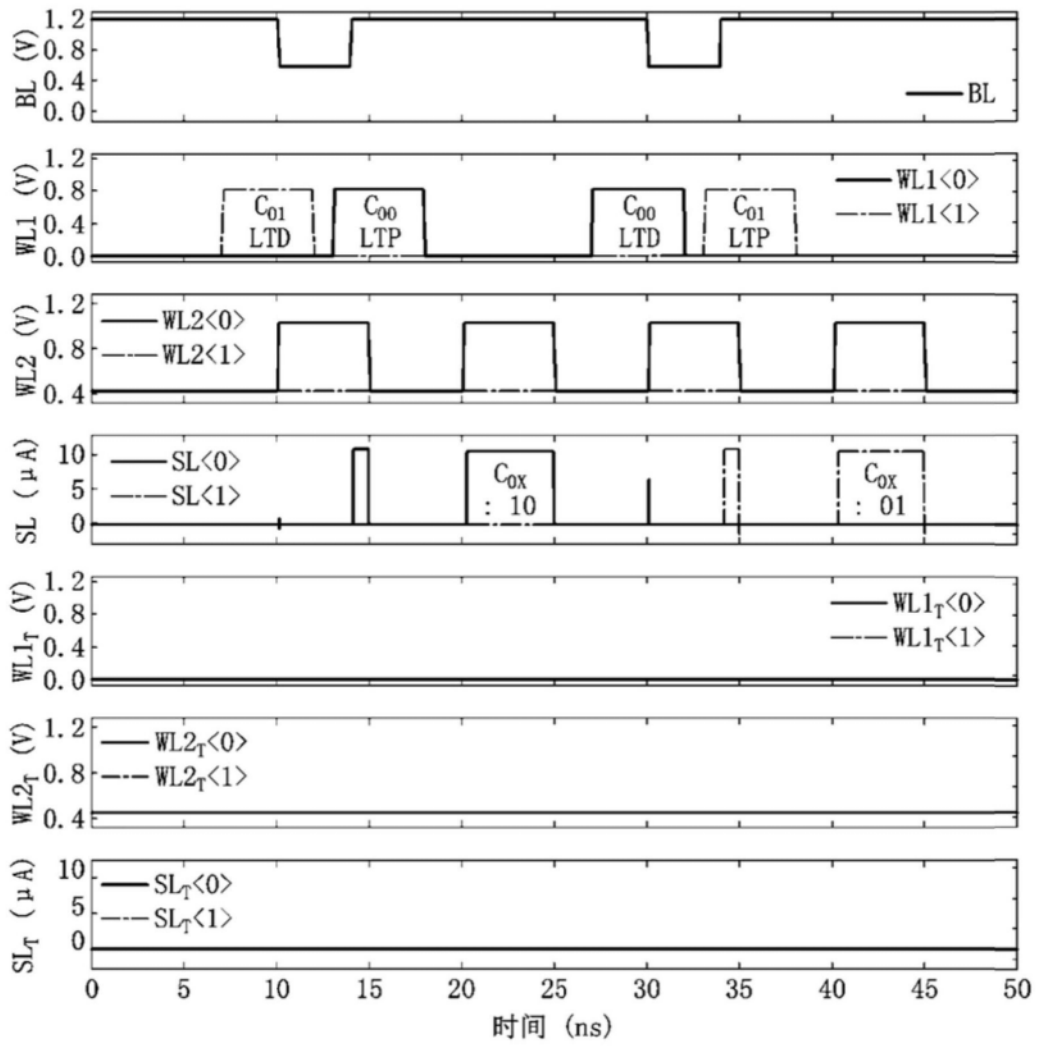


图6b

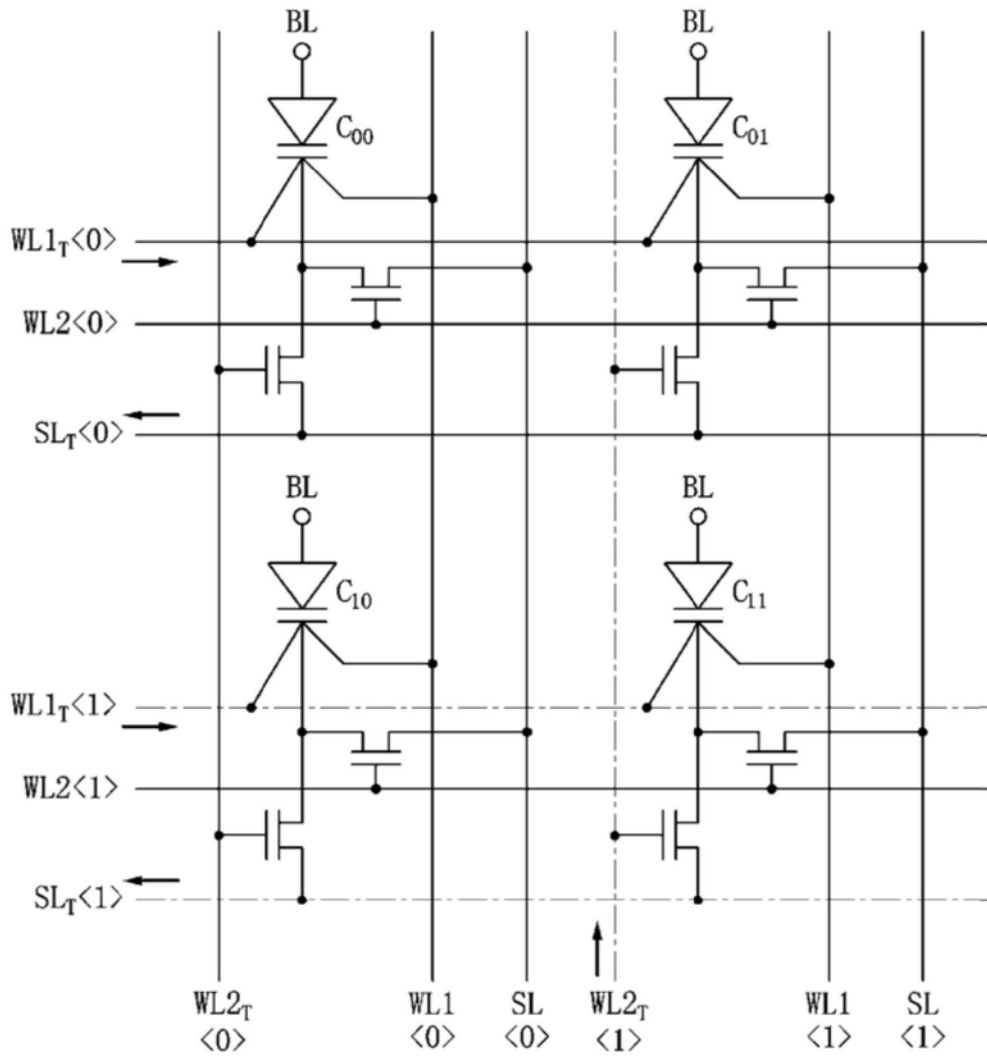


图7a

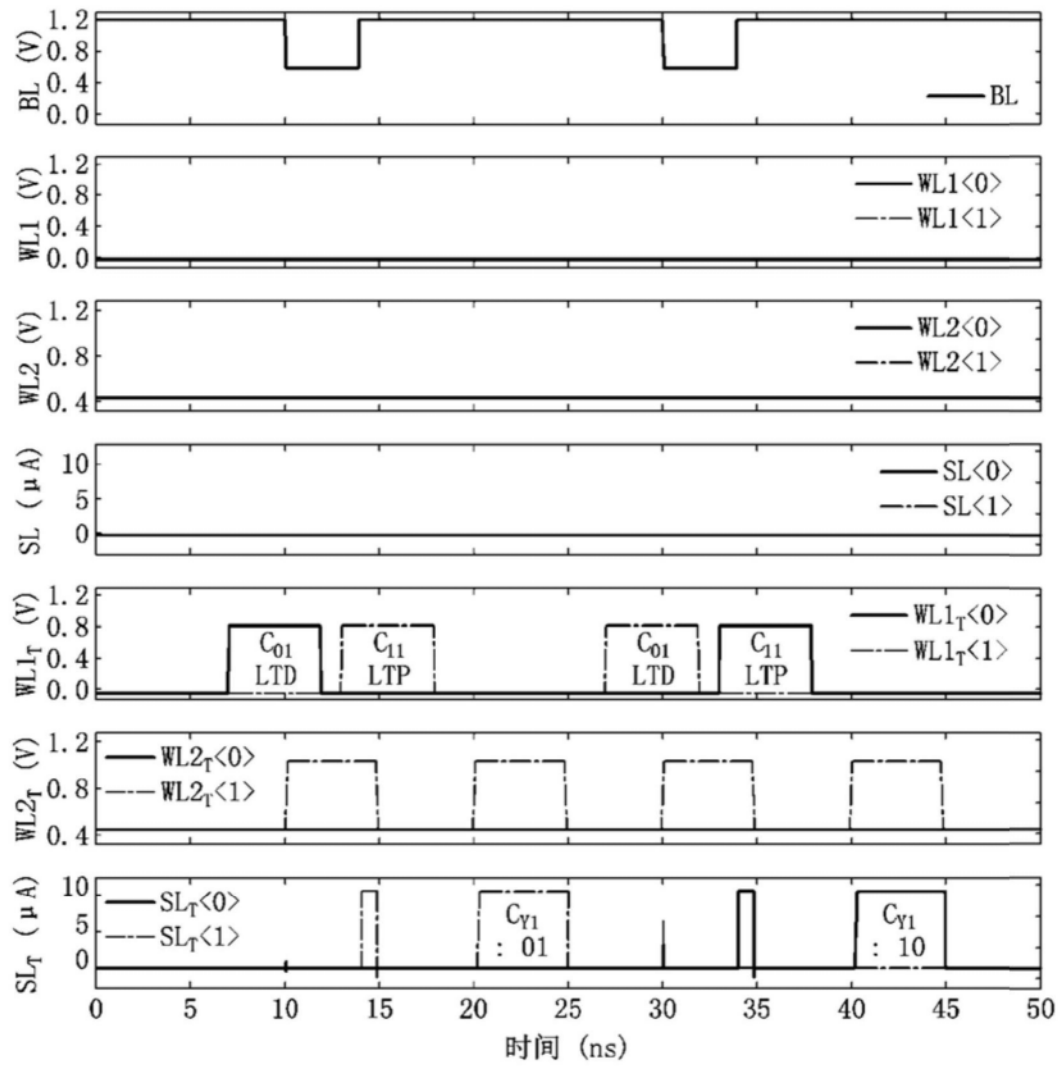


图7b